前　言

本书是哈尔滨工程大学出版社组织编写的《高等学校优秀教材辅导丛书》之一，目的在于为大学本科学生在学习有关技术基础课程时提供一套实用的辅助教材。

本书是为了配合“数字电子技术”课程教学而编写的，是编者在对教学内容深入了解和分析、总结的基础上所编写的一门教学参考书。与清华大学阎石教授主编的《数字电子技术基础》(第五版)教材同步。本书包括：数制和码制、逻辑代数基础、门电路、组合逻辑电路、触发器、时序逻辑电路、半导体存储器、可编程逻辑器件、硬件描述语言简介、脉冲波形的产生和整形、数－模和模－数转换共十一章。

本书总结了各章的知识要点，对书后的全部复习思考题和习题进行了详尽的分析解答，同时结合其他优秀教材的相关内容编写了同步训练题，并给出了解答，以利于学生进一步提高对本课程内容的理解和掌握。

本书由东北林业大学白雪冰、戴天虹、佳木斯大学刘德胜和绥化卫生学校孙丽萍合作编写，其中白雪冰负责编写第3章、第4章、第5章，刘德胜编写第2章、第6章，第8章，戴天虹编写第7章、第9章、第10章，孙丽萍编写第1章、第11章。全书由白雪冰主编。在本书的编写过程中，参考了一些同类教辅书的内容，在此致以诚挚的谢意。

由于编者水平有限加之时间仓促，书中难免会有不妥之处，敬请广大读者批评指正。

编　者

2007年3月

目　录

第1章　数制和码制 …… 1
知识要点 …… 1
1.1　数字量和模拟量 …… 1
1.2　数制 …… 1
1.3　不同数制之间的转换 …… 1
1.4　二进制数的算术运算 …… 2
1.5　常用的码制 …… 2
1.6　本章重点 …… 3
书后复习思考题解答 …… 3
书后习题解析 …… 4
同步训练题 …… 12
同步训练题答案 …… 12
第2章　逻辑代数基础 …… 13
知识要点 …… 13
2.1　逻辑代数的基本运算和复合运算 …… 13
2.2　逻辑代数的主要公式 …… 13
2.3　逻辑函数的表示方法 …… 14
2.4　逻辑函数的化简方法 …… 15
2.5　具有无关项的逻辑函数的化简 …… 16
2.6　本章重点 …… 16
书后复习思考题解答 …… 16
书后习题解析 …… 17
同步训练题 …… 37
同步训练题答案 …… 38
第3章　门电路 …… 42
知识要点 …… 42
3.1　二极管的开关特性 …… 42
3.2　CMOS门电路 …… 42
3.3　TTL门电路 …… 43
3.4　本章重点 …… 44

书后复习思考题解答 …… 44
书后习题解析 …… 46
同步训练题 …… 60
同步训练题答案 …… 63
第4章 组合逻辑电路 …… 66
知识要点 …… 66
4.1 组合逻辑电路 …… 66
4.2 组合逻辑电路的分析 …… 66
4.3 组合逻辑电路的设计 …… 66
4.4 常用的组合逻辑电路 …… 66
4.5 组合逻辑电路中的竞争－冒险现象 …… 67
4.6 本章重点 …… 67
书后复习思考题解答 …… 67
书后习题解析 …… 68
同步训练题 …… 89
同步训练题答案 …… 90
第5章 触发器 …… 97
知识要点 …… 97
5.1 触发器的电路结构与动作特点 …… 97
5.2 触发器的逻辑功能及其描述方法 …… 97
5.3 本章重点 …… 99
书后复习思考题解答 …… 99
书后习题解析 …… 100
同步训练题 …… 118
同步训练题答案 …… 120
第6章 时序逻辑电路 …… 123
知识要点 …… 123
6.1 时序逻辑电路 …… 123
6.2 时序逻辑电路的分析 …… 123
6.3 常用的时序逻辑电路 …… 124
6.4 时序逻辑电路的设计 …… 124
6.5 本章重点 …… 125
书后复习思考题解答 …… 125
书后习题解析 …… 126
同步训练题 …… 148

同步训练题答案 …… 150
第7章　半导体存储器 …… 156
知识要点 …… 156
7.1　半导体存储器的类型 …… 156
7.2　只读存储器 ROM …… 156
7.3　随机存储器 RAM …… 157
7.4　本章重点 …… 157
书后复习思考题解答 …… 157
书后习题解析 …… 159
同步训练题 …… 169
同步训练题答案 …… 170
第8章　可编程逻辑器件 …… 174
知识要点 …… 174
8.1　可编程逻辑器件的类型及特点 …… 174
8.2　可编程逻辑器件的编程原理 …… 175
8.3　本章重点 …… 175
书后复习思考题解答 …… 176
书后习题解析 …… 177
同步训练题 …… 184
同步训练题答案 …… 186
第9章　硬件描述语言 …… 190
知识要点 …… 190
9.1　可编程逻辑器件的硬件描述语言 …… 190
9.2　Verilog HDL 语言的语法规则 …… 190
9.3　Verilog HDL 语言的层次结构 …… 190
9.4　本章重点 …… 190
书后习题解析 …… 191
同步训练题 …… 195
同步训练题答案 …… 195
第10章　脉冲波形的产生和整形 …… 197
知识要点 …… 197
10.1　施密特触发器 …… 197
10.2　单稳态触发器 …… 197
10.3　多谐振荡器 …… 197
10.4　555 定时器及其应用 …… 198

10.5 本章重点 …… 198
书后复习思考题解答 …… 198
书后习题解析 …… 200
同步训练题 …… 212
同步训练题答案 …… 214
第 11 章 数－模和模－数转换 …… 216
知识要点 …… 216
11.1 数－模转换器 …… 216
11.2 模－数转换器 …… 216
11.3 本章重点 …… 216
书后复习思考题解答 …… 217
书后习题解析 …… 218
同步训练题 …… 230
同步训练题答案 …… 233

第 1 章　数制和码制

知 识 要 点

1.1　数字量和模拟量

在用科学的方法描述事物特征时，常用物理量来表征这些事物的性质。物理量分为数字量和模拟量。在电子电路中，人们使用电子信号来代表物理量。

能表示数字量的电子信号称为数字信号，能对数字信号作运算的电路称为数字电路。

能表示模拟量的电子信号称为模拟信号，能对模拟信号作运算的电路称为模拟电路。

1.2　数　　制

多位数码中每一位的构成方法以及从低位到高位的进位规则称为数制。常用的数制有十进制、二进制、八进制和十六进制等。

1.3　不同数制之间的转换

1.二－十转换

把二进制数转换为等值的十进制数，称为二－十转换。转换时，只要将二进制数按公式 $D = \sum k_i 2^i$ 展开，再把所有各项的数值按十进制数相加，即得等值的十进制数。

2.十－二转换

把十进制数转换为等值的二进制数，称为十－二转换。

整数部分：采用“除 2 取余逆写”的方法，即将整数部分除以 2，取其余数作为所求二进制数的 d_0 位，把所得到的商再除以 2，取余作为 d_1 位，如此反复处理，可求得二进制数的每一位，逆与即为所求的等值二进制数。

小数部分：采用“乘 2 取整顺写”的方法，即将小数部分乘 2，取其整数作为所求二进制数的 d_{-1}位，把所得到的小数部分再乘以 2，取整作为 d_{-2}位，如此反复处理，顺写可求得二进制数的每一位，即为所求的等值二进制数。

3.二－十六转换

把二进制数转换为等值的十六位制数称为二－十六转换。转换时，只要从低位到高位将

每4位二进制数分为一组并以等值的十六进制数代之,即可得到对应的十六进制数。此处需注意:如果不足4位需在整数部分前和小数部分后用0补足。

4.十六-二转换

把十六进制数转换为等值的二进制数,称为十六-二转换。转换时,只需将十六进制数的每一位用等值的4位二进制数代替即可。

5.十六进制和十进制之间的转换

把十六进制数转换为等值的十进制数时,将十六进制数按式 $D = \sum k_i 16^i$ 展开后相加求得;把十进制数转换为十六进制数时,可先把十进制数转换为二进制数,再把二进制数转换为十六进制数。

1.4 二进制数的算术运算

二进制数码的结构和运算都很简单、易于实现,因此,是数字逻辑电路的基本进制。为了更方便地进行二进制数的算术运算,通常将有符号的二进制数表示成补码的形式,两个有符号的二进制数的减法运算可转化为两个补码之间的加法运算来实现。

在无符号的二进制数的最高位左侧再增加一位作为符号位,就形成了有符号的二进制数。有符号的二进制数的符号位(最高位)为0时表示该二进制数为正数,符号位为1时表示该二进制数为负数,除符号位以外的位就是数值位。这种有符号的二进制数码称为原码。

正数的原码、反码、补码完全相同。

负数的反码是保留原码的符号位不变,对原码的数值位按位取反后所形成的码。

负数的补码是保留原码的符号位不变,对其原码先求反码,然后对反码数值位加1后所形成的码。

对于负数的补码,对补码再求补码就得到原码(符号位不变)。

1.5 常用的码制

在用数码表示不同的事物时,这些数码没有表示大小的含义,仅仅是事物的代号而已,即代码,代码的编制原则称为码制。

用四位二进制数码表示一位十进制数的0~9这十个数码,称为二-十进制代码(BCD码),常用的BCD码包括8421码、余3码、2421码、余3循环码、ASCⅡ码等,各种代码均有其特定的性质和使用场合。

1.6 本章重点

1.常用数制之间的转换。

2.有符号的二进制数运算。

书后复习思考题解答

R1.2.1 写出4位二进制数、4位八进制数和4位十六进制数的最大数。

答:最大的4位二进制数为1111,4位八进制数为7777,4位十六进制数为FFFF。

R1.2.2 与4位二进制数,4位八进制数,4位十六进制数的最大值等值的十进制数各为多少?

答:分别为15,4 095,65 535。

R1.3.1 在十-二转换中,整数部分的转换方法和小数部分的转换方法有何不同?

答:整数部分转换方法为除2取余,将所有余数逆序排列即可。

小数部分转换方法为乘2取整,将所有整数顺序排列即可。

R1.3.2 怎样将八进制数转换为十六进制数和将十六进制数转换为八进制数?

答:八进制→十六进制时,先将八进制数转化为二进制数,即八进制数的每一位写为三位二进制数;然后将每四位二进制数写为一位十六进制数即可(从最低位开始)。

十六进制→八进制时,先将十六进制的每一位表示为四位二进制数;然后,将每三位二进制数写为一位八进制数即可(从最低位开始)。

R1.3.3 怎样才能将十进制数转换为八进制数?

答:先将十进制数转化为二进制数,然后将每三位二进制数表示为一位八进制数(从最低位开始)。或者按照对十进制数整数部分"除八取余逆写",小数部分"乘八取整顺写"的办法转换。

R1.4.1 二进制正、负数的原码、反码和补码三者之间是什么关系?

答:正数的原码、反码和补码三者一致。

负数的反码由原码按位取反得到(最高的符号位"1"不变);负数的补码为其反码"+1"(符号位"1"不变)。

R1.4.2 为什么两个二进制数的补码相加时,和的符号位等于两数的符号位与来自最高有效数字位的进位相加的结果(舍弃产生的进位)?

答:参见原教材图1.4.2。

R1.4.3 如何求二进制数补码对应的原码?

答:若二进制补码的符号位为"0",则其原码与补码相同。

若二进制补码的符号位为"1",则其原码为补码再求补码(符号位不变)。

R1.5.1 8421码、2421码、5211码、余3码和余3循环码在编码规则上各有何特点?

答:8421码是恒权代码,每位的权值分别为8、4、2、1。

2421码是恒权代码,它的0和9,1和8,2和7,3和6,4和5互为反码。

5211码是恒权代码,5211码每一位的权与8421码十进制计数器的分频比相对应。

余3码不是恒权代码,主要特点是相邻两个代码之间只有一位的状态不同,且与8421码的编码刚好差0011。

余3循环码是一种变权代码,两相邻代码之间仅有一位不同。

R1.5.2 你能写出3位和5位格雷码的顺序编码吗?

答:

3位格雷码	5位格雷码	
000	00000	11000
001	00001	11001
011	00011	11011
010	00010	11010
110	00110	11110
111	00111	11111
101	00101	11101
100	00100	11100
	01100	10100
	01101	10101
	01111	10111
	01110	10110
	01010	10010
	01011	10011
	01001	10001
	01000	10000

R1.5.3 你能用ASCII代码写出"Well Come!"吗?

答

1010111	1100101	1101100	1101100	0000000	1000011	1101111	1101101	1100101	0100001
W	e	l	l	空格	C	o	m	e	!

书后习题解析

[题1.1] 为了将600份文件顺序编码,如果采用二进制代码,最少需要用几位?如果改用八进制或十六进制代码,则最少各需要用几位?

解 若用九位二进制代码,共有$2^9=512$个二值代码,小于600;若用十位二进制代码,则有$2^{10}=1\,024$个代码,大于600,所以至少要采用十位二进制代码;采用八进制代码需用4位,十六进制需用3位。

[题1.2] 将下列二进制整数转换为等值的十进制数。

(1)$(01101)_2$;(2)$(10100)_2$;(3)$(10010111)_2$;(4)$(1101101)_2$。

解 (1)$(01101)_2=0\times2^4+1\times2^3+1\times2^2+0\times2^1+1\times2^0=13$

(2)$(10100)_2=1\times2^4+0\times2^3+1\times2^2+0\times2^1+0\times2^0=20$

(3)$(10010111)_2=1\times2^7+0\times2^6+0\times2^5+1\times2^4+0\times2^3+1\times2^2+1\times2^1+1\times2^0=151$

(4)$(1101101)_2=1\times2^6+1\times2^5+0\times2^4+1\times2^3+1\times2^2+0\times2^1+1\times2^0=109$

[题1.3] 将下列二进制小数转换为等值的十进制数。

(1)$(0.1001)_2$;(2)$(0.0111)_2$;(3)$(0.101101)_2$;(4)$(0.001111)_2$。

解 (1)$(0.1001)_2=1\times2^{-1}+0\times2^{-2}+1\times2^{-3}+1\times2^{-4}=0.5625$

(2)$(0.0111)_2 = 0\times2^{-1}+0\times2^{-2}+1\times2^{-3}+1\times2^{-4}=0.4375$

(3)$(0.101101)_2 = 1\times2^{-1}+0\times2^{-2}+1\times2^{-3}+1\times2^{-4}+0\times2^{-5}+1\times2^{-6}=0.703125$

(4)$(0.001111)_2 = 0\times2^{-1}+0\times2^{-2}+1\times2^{-3}+1\times2^{-4}+1\times2^{-5}+1\times2^{-6}=0.234375$

[题1.4]　将下列二进制数转换为等值的十进制数。

(1)$(101.011)_2$;(2)$(110.101)_2$;(3)$(1111.1111)_2$;(4)$(1001.0101)_2$。

解　(1)$(101.011)_2 = 1\times2^2+0\times2^1+1\times2^0+0\times2^{-1}+1\times2^{-2}+1\times2^{-3}=5.375$

(2)$(110.101)_2 = 1\times2^2+1\times2^1+0\times2^0+1\times2^{-1}+0\times2^{-2}+1\times2^{-3}=6.625$

(3)$(1111.1111)_2 = 1\times2^3+1\times2^2+1\times2^1+0\times2^0+1\times2^{-1}+0\times2^{-2}+1\times2^{-3}+2^{-4}=15.9375$

(4)$(1001.0101)_2 = 1\times2^3+0\times2^2+0\times2^1+1\times2^0+0\times2^{-1}+1\times2^{-2}+0\times2^{-3}+1\times2^{-4}=9.3125$

[题1.5]　将下列二进制数转换为等值的八进制数和十六进制数。

(1)$(1110.0111)_2$;(2)$(1001.1101)_2$;(3)$(0110.1001)_2$;(4)$(101100.110011)_2$。

解　(1)$(1110.0111)_2 = (16.34)_8 = (E.7)_{16}$

(2)$(1001.1101)_2 = (11.64)_8 = (9.D)_{16}$

(3)$(0110.1001)_2 = (6.44)_8 = (6.9)_{16}$

(4)$(101100.110011)_2 = (54.63)_8 = (2C.CC)_{16}$

[题1.6]　将下列十六进制数转换为等值的二进制数。

(1)$(8C)_{16}$;(2)$(3D.BE)_{16}$;(3)$(8F.FF)_{16}$;(4)$(10.00)_{16}$。

解　(1)$(8C)_{16} = (1000\ 1100)_2$

(2)$(3D.BE)_{16} = (0011\ 1101.1011\ 1110)_2$

(3)$(8D.FE)_{16} = (1000\ 1111.1111\ 1111)_2$

(4)$(10.00)_{16} = (0001\ 0000.0000\ 0000)_2$

[题1.7]　将下列十进制数转换为等值的二进制数和十六进制数。

(1)$(17)_{10}$;(2)$(127)_{10}$;(3)$(79)_{10}$;(4)$(255)_{10}$。

解　(1)

2	17	余 $1 = k_0$
2	8	余 $0 = k_1$
2	4	余 $0 = k_2$
2	2	余 $0 = k_3$
2	1	余 $1 = k_4$
	0	

所以$(17)_{10} = (10001)_2 = (11)_{16}$

(2)

2	127	余 $1 = k_0$
2	63	余 $1 = k_1$
2	31	余 $1 = k_2$
2	15	余 $1 = k_3$
2	7	余 $1 = k_4$
2	3	余 $1 = k_5$
2	1	余 $1 = k_6$
	0	

所以$(127)_{10} = (1111111)_2 = (7F)_{16}$

(3)

2	79	余 $1 = k_0$
2	39	余 $1 = k_1$
2	19	余 $1 = k_2$
2	9	余 $1 = k_3$
2	4	余 $0 = k_4$
2	2	余 $0 = k_5$
2	1	余 $1 = k_6$
	0	

所以$(79)_{10} = (0100\ 1111)_2 = (4F)_{16}$

(4)

2	255	余 $1 = k_0$
2	127	余 $1 = k_1$
2	63	余 $1 = k_2$
2	31	余 $1 = k_3$
2	15	余 $1 = k_4$
2	7	余 $1 = k_5$
2	3	余 $1 = k_6$
2	1	余 $1 = k_7$
	0	

所以$(255)_{10} = (1111\ 1111)_2 = (FF)_{16}$

[题 1.8] 将下列十进制数转换为等值的二进制数和十六进制数。要求二进制数保留小数点以后 8 位有效数字。

(1)$(0.519)_{10}$;(2)$(0.251)_{10}$;(3)$(0.037\ 6)_{10}$;(4)$(0.512\ 8)_{10}$。

解 (1)

$$\begin{array}{rr} & 0.519 \\ \times & 2 \\ \hline & 1.038 \end{array}$$

整数 $1 = k_{-1}$

$$\begin{array}{rr} & 0.038 \\ \times & 2 \\ \hline & 0.076 \end{array}$$

整数 $0 = k_{-2}$

$$\begin{array}{rr} & 0.076 \\ \times & 2 \\ \hline & 0.152 \end{array}$$

整数 $0 = k_{-3}$

$$\begin{array}{rr} & 0.152 \\ \times & 2 \\ \hline & 0.304 \end{array}$$

整数 $0 = k_{-4}$

$$\begin{array}{rr} & 0.304 \\ \times & 2 \\ \hline & 0.608 \end{array}$$

整数 $0 = k_{-5}$

$$\begin{array}{rr} & 0.608 \\ \times & 2 \\ \hline & 1.216 \end{array}$$

整数 $1 = k_{-6}$

$$\begin{array}{rr} & 0.216 \\ \times & 2 \\ \hline & 0.432 \end{array} \quad \text{整数 } 0 = k_{-7}$$

$$\begin{array}{rr} & 0.432 \\ \times & 2 \\ \hline & 0.864 \end{array} \quad \text{整数 } 0 = k_{-8}$$

所以$(0.519)_{10} = (\mathbf{0.10000100})_2 = (0.84)_{16}$

(2)方法同(1),结果为

$$(0.251)_{10} = (\mathbf{0.01000000})_2 = (0.40)_{16}$$

(3)方法同(1),结果为

$$(0.037\ 6)_{10} = (\mathbf{0.00001001})_2 = (0.09)_{16}$$

(4)方法同(1),结果为

$$(0.512\ 8)_{10} = (\mathbf{0.10000011})_2 = (0.83)_{16}$$

[题 1.9]　将下列十进制数转换为等值的二进制数和十六进制数。要求二进制数保留小数点以后 4 位有效数字。

(1)$(25.7)_{10}$;(2)$(188.875)_{10}$;(3)$(107.39)_{10}$;(4)$(174.06)_{10}$。

解　(1)分别对$(25.7)_{10}$的整数和小数部分转换,再合并转换后的结果。

①整数部分

$$\begin{array}{r|l} 2 & 25 \quad \text{余 } 1 = k_0 \\ 2 & 12 \quad \text{余 } 0 = k_1 \\ 2 & 6 \quad \text{余 } 0 = k_2 \\ 2 & 3 \quad \text{余 } 1 = k_3 \\ 2 & 1 \quad \text{余 } 1 = k_4 \\ & 0 \end{array}$$

②小数部分

$$\begin{array}{rr} & 0.7 \\ \times & 2 \\ \hline & 1.4 \end{array} \quad \text{整数 } 1 = k_{-1}$$

$$\begin{array}{rr} & 0.4 \\ \times & 2 \\ \hline & 0.8 \end{array} \quad \text{整数 } 0 = k_{-2}$$

$$\begin{array}{rr} & 0.8 \\ \times & 2 \\ \hline & 1.6 \end{array} \quad \text{整数 } 1 = k_{-3}$$

$$\begin{array}{rr} & 0.6 \\ \times & 2 \\ \hline & 1.2 \end{array} \quad \text{整数 } 1 = k_{-4}$$

③综合以上两步可知$(25.7)_{10} = (\mathbf{11001.1011})_2 = (19.\mathrm{B})_{16}$

(2)方法同(1)题

①整数部分

$$\begin{array}{r|l} 2 & 188 \quad \text{余 } 0 = k_0 \\ 2 & 94 \quad \text{余 } 0 = k_1 \\ 2 & 47 \quad \text{余 } 1 = k_2 \end{array}$$

②小数部分

$$\begin{array}{rr} & 0.875 \\ \times & 2 \\ \hline & 1.750 \end{array} \quad \text{整数 } 1 = k_{-1}$$

2	23	余 $1=k_3$
2	11	余 $1=k_4$
2	5	余 $1=k_5$
2	2	余 $0=k_6$
2	1	余 $1=k_7$
	0	

	0.750	
×	2	
	1.500	整数 $1=k_{-2}$
	0.500	
×	2	
	1.000	整数 $1=k_{-3}$
	0.000	
×	2	
	0.000	整数 $0=k_{-4}$

③综合以上两步可知$(188.875)_{10}=(\mathbf{10111100.1110})_2=(\mathrm{BC.E})_{16}$

(3)

①整数部分

2	107	余 $1=k_0$
2	53	余 $1=k_1$
2	26	余 $0=k_2$
2	13	余 $1=k_3$
2	6	余 $0=k_4$
2	3	余 $1=k_5$
2	1	余 $1=k_6$
	0	

②小数部分

	0.39	
×	2	
	0.78	整数 $0=k_{-1}$
	0.78	
×	2	
	1.56	整数 $1=k_{-2}$
	0.56	
×	2	
	1.12	整数 $1=k_{-3}$
	0.12	
×	2	
	0.24	整数 $0=k_{-4}$

③综合以上两步可知$(107.39)_2=(\mathbf{1101011.0110})_2=(6\mathrm{B}.6)_{16}$

(4)

①整数部分

2	174	余 $0=k_0$
2	87	余 $1=k_1$
2	43	余 $1=k_2$
2	21	余 $1=k_3$
2	10	余 $0=k_4$
2	5	余 $1=k_5$
2	2	余 $0=k_6$
2	1	余 $1=k_7$
	0	

②小数部分

	0.06	
×	2	
	0.12	整数 $0=k_{-1}$
	0.12	
×	2	
	0.24	整数 $0=k_{-2}$
	0.24	
×	2	
	0.48	整数 $0=k_{-3}$
	0.48	
×	2	
	0.96	整数 $0=k_{-4}$

③综合以上两步可知$(174.06)_{10}=(10101110.0000)_2=(AE.0)_{16}$

[题 1.10]　写出下列二进制数的原码、反码和补码。

(1)$(+1011)_2$;(2)$(+00110)_2$;(3)$(-1101)_2$;(4)$(-00101)_2$。

解　(1)$(+1011)_2$ 的原码、反码、补码均为 01011。

(2)$(+00110)_2$ 的原码、反码、补码均为 000110。

(3)$(-1101)_2$ 的原码为 11101,反码为 10010,补码为 10011。

(4)$(-00101)_2$ 的原码为 100101,反码为 111010,补码为 111011。

[题 1.11]　写出下列带符号位二进制数(最高位为符号位)的反码和补码。

(1)$(011011)_2$;(2)$(001010)_2$;(3)$(111011)_2$;(4)$(101010)_2$。

解　(1)反码和补码均为 011011。

(2)反码和补码均为 001010。

(3)反码为 100100,补码为 100101。

(4)反码为 110101,补码为 110110。

[题 1.12]　用 8 位的二进制补码表示下列的十进制数。

(1) +17;(2) +28;(3) -13;(4) -47(5) -89;(6) -121。

解　(1)先将 17 化为二进制数的形式,再将二进制数表示为原码,再求出补码。

$$\begin{array}{r|l l}
2 & 17 & 余\ 1=k_0 \\
2 & 8 & 余\ 0=k_1 \\
2 & 4 & 余\ 0=k_2 \\
2 & 2 & 余\ 0=k_3 \\
2 & 1 & 余\ 1=k_4 \\
 & 0 &
\end{array}$$

$(17)_{10}$的 7 位二进制码为:$(0010001)_2$

加上符号位形成 8 位原码为:00010001

其反码为:00010001

其补码为:00010001

(2)
$$\begin{array}{r|l l}
2 & 28 & 余\ 0=k_0 \\
2 & 14 & 余\ 0=k_1 \\
2 & 7 & 余\ 1=k_2 \\
2 & 3 & 余\ 1=k_3 \\
2 & 1 & 余\ 1=k_4 \\
 & 0 &
\end{array}$$

$(28)_{10}$的 7 位二值码为:$(0011100)_2$

$(+28)_{10}$的 8 位二值原码为:00011100

$(+28)_{10}$的 8 位反码为:00011100

$(+28)_{10}$的 8 位补码为:00011100

(3)
$$\begin{array}{r|l l}
2 & 13 & 余\ 1=k_0 \\
2 & 6 & 余\ 0=k_1 \\
2 & 3 & 余\ 1=k_2 \\
2 & 1 & 余\ 1=k_3 \\
 & 0 &
\end{array}$$

$(13)_{10}$的 7 位二进制代码为:$(0001101)_2$

$(-13)_{10}$的 8 位二进制原码为:10001101

$(-13)_{10}$的 8 位二进制反码为:11110010

$(-13)_{10}$的 8 位二进制补码为:11110011

(4)

2	47	余 $1=k_0$
2	23	余 $1=k_1$
2	11	余 $1=k_2$
2	5	余 $1=k_3$
2	2	余 $0=k_4$
2	1	余 $1=k_5$
	0	

$(47)_{10}$的 7 位二进制代码为:$(0101111)_2$

$(-47)_{10}$的 8 位二进制原码为:10101111

$(-47)_{10}$的 8 位二进制反码为:11010000

$(-47)_{10}$的 8 位二进制补码为:11010001

(5)

2	89	余 $1=k_0$
2	44	余 $0=k_1$
2	22	余 $0=k_2$
2	11	余 $1=k_3$
2	5	余 $1=k_4$
2	2	余 $0=k_5$
2	1	余 $1=k_6$
	0	

$(89)_{10}$的 7 位二进制代码为:$(1011001)_2$

$(-89)_{10}$的 8 位二进制原码为:11011001

$(-89)_{10}$的 8 位二进制反码为:10100110

$(-89)_{10}$的 8 位二进制补码为:10100111

(6)

2	121	余 $1=k_0$
2	60	余 $0=k_1$
2	30	余 $0=k_2$
2	15	余 $1=k_3$
2	7	余 $1=k_4$
2	3	余 $1=k_5$
2	1	余 $1=k_6$
	0	

$(121)_{10}$的 7 位二进制代码为:$(1111001)_2$

$(-121)_{10}$的 8 位二进制原码为:11111001

$(-121)_{10}$的 8 位二进制反码为:10000110

$(-121)_{10}$的 8 位二进制补码为:10000111

[题 1.13] 计算下列用补码表示的二进制数的代数和。如果和为负数,试求出负数的绝对值。

(1)01001101 + 00100110;(2)00011101 + 01001100;

(3)00110010 + 10000011;(4)00011110 + 10011100;

(5)11011101 + 01001011;(6)10011101 + 01100110;

(7)11100111 + 11011011;(8)11111001 + 10001000。

解

(1)
$$\begin{array}{r} 01001101 \\ +\ 00100110 \\ \hline 01110011 \end{array}$$
结果为正数

(2)
$$\begin{array}{r} 00011101 \\ +\ 01001100 \\ \hline 01101001 \end{array}$$
结果为正数

(3)
$$\begin{array}{r} 00110010 \\ +\ 10000011 \\ \hline 10110101 \end{array}$$
结果为负数,其原码为补码和数的补码:11001011,和的绝对值为 1001011。

(4)
$$\begin{array}{r} 00011110 \\ +\ 10011100 \\ \hline 10111010 \end{array}$$
结果为负数,其原码为和数的补码:11000110,和的绝对值为 1000110。

(5)
```
    11011101
+   01001011
------------
    00101000
```
结果为正数

(6)
```
    10011101
+   01100110
------------
    00000011
```
结果为正数

(7)
```
    11100111
+   11011011
------------
    11000010
```
结果为负数,其原码为和的补码:10111110,和的绝对值为0111110。

(8)
```
    11111001
+   10001000
------------
    10000001
```
结果为负数,其原码为和的补码:11111111,和的绝对值为1111111。

[题1.14] 用二进制补码运算计算下列各式。式中的4位二进制数是不带符号位的绝对值。如果和为负数,试求出负数的绝对值。(提示:所用补码的有效位数应足够表示代数和的最大绝对值)。

(1)1010+0011;(2)1101+1011;(3)1010-0011;(4)1101-1011;

(5)0011-1010;(6)1011-1101;(7)-0011-1010;(8)-1101-1011。

解 先求出两个加数的补码,再相加

(1)
```
    01010
+   00011
------------
    01101
```
和为正数

(2)
```
    001101
+   001011
------------
    011000
```
和为正数

(3)
```
    01010
+   11101
------------
    0111
```
和为正数

(4)
```
    01101
+   10101
------------
    00010
```
和为正数

(5)
```
    00011
+   10110
------------
    11001
```
和为负数,对和求补得原码为10111,和的绝对值为0111。

(6)
```
    01011
+   10011
------------
    11110
```
和为负数,对和求补得到原码为10010,和的绝对值为0010。

(7)
```
    11101
+   10110
------------
    10011
```
和为负数,对和求补得到原码为11101,和的绝对值为1101。

(8)
```
    110011
+   110101
------------
    101000
```
和为负数,对和求补得到原码为111000,和的绝对值为11000。

[题1.15] 用二进制补码运算计算下列各式。(提示:所用补码的有效位数应足够表示代数和的最大绝对值。)

(1)3+15;(2)8+11;(3)12-7;(4)23-11;(5)9-12;(6)20-25;(7)-12-5;(8)-16-14

解 (1)先根据和的绝对值判断最大位数;再将两个十进制数表示为二进制补码形式,再做加法运算;对运算结果求原码,得到最终的运算结果。

```
    000011
+   001111
------------
    010010
```

结果为+18。

(2)
$$\begin{array}{r} 001000 \\ +\ 001011 \\ \hline 010011 \end{array}$$
结果为 + 19。

(3)
$$\begin{array}{r} 01100 \\ +\ 11001 \\ \hline 00101 \end{array}$$
结果为 + 5。

(4)
$$\begin{array}{r} 010111 \\ +\ 110101 \\ \hline 001100 \end{array}$$
结果为 + 12。

(5)
$$\begin{array}{r} 01001 \\ +\ 10100 \\ \hline 11101 \end{array}$$
求补得原码为 10011,结果为 - 3。

(6)
$$\begin{array}{r} 010100 \\ +\ 100111 \\ \hline 111011 \end{array}$$
求补得原码为 100101,结果为 - 5。

(7)
$$\begin{array}{r} 110100 \\ +\ 111011 \\ \hline 101111 \end{array}$$
求补得到原码为 110001,结果为 - 17。

(8)
$$\begin{array}{r} 110000 \\ +\ 110010 \\ \hline 100010 \end{array}$$
求补得到原码为 11110,结果为 - 30。

同步训练题

1.将下列二进制数和十六进制数化成等值的十进制数。

(1)$(10110101)_2$;(2)$(0.011)_2$;(3)$(137.48)_{16}$;(4)$(1F4)_{16}$。

2.将下列的十进制数转化为等值的二进制数和十六进制数。

(1)51;(2)136;(3)12.34;(4)105.375。

3.将下列带符号的二进制数表示为补码(最高位为符号位)。

(1)$(010011)_2$;(2)$(011000101)_2$;(3)$(100101)_2$;(4)$(1100110100)_2$。

4.求下列用补码表示的二进制数的代数和,若结果为负数,求出负数的绝对值。

(1)01001100 + 00101000;(2)00011110 + 01001000;

(3)10101110 + 01101100;(4)11000111 + 11001100。

同步训练题答案

1.解 (1)$(181)_{10}$;(2)$(0.375)_{10}$;(3)$(311.281\ 25)_{10}$;(4)$(500)_{10}$。

2.解

(1)$(51)_{10} = (110011)_2 = (33)_{16}$;

(2)$(136)_{10} = (10001000)_2 = (88)_{16}$;

(3)$(12.34)_{10} = (1100.01010111)_2 = (C.57)_{16}$;

(4)$(105.375)_{10} = (1101001.011)_2 = (69.6)_{16}$;

3.解 (1)$(010011)_2$;(2)$(011000101)_2$;(3)$(111011)_2$;(4)$(1011001100)_2$。

4.解 (1)01110100(正数);(2)01100110(正数);

(3)00011010(正数);(4)10010011(负数),绝对值为 01101101。

第 2 章　逻辑代数基础

知 识 要 点

2.1　逻辑代数的基本运算和复合运算

逻辑代数的基本运算：与、或、非。
逻辑代数的复合运算：与非、或非、与或非、同或、异或。
逻辑代数的各种基本运算和复合运算可由真值表、逻辑式、逻辑符号三种表示形式。

2.2　逻辑代数的主要公式

2.2.1　基本公式

逻辑代数的基本公式如表 2－1 所示。

表 2－1

序号	公式	序号	公式
1	$0\cdot A=0$	10	$1'=0;0'=1$
2	$1\cdot A=A$	11	$1+A=1$
3	$A\cdot A=A$	12	$0+A=A$
4	$A\cdot A'=0$	13	$A+A=A$
5	$A\cdot B=B\cdot A$	14	$A+A'=1$
6	$A\cdot(B\cdot C)=(A\cdot B)\cdot C$	15	$A+B=B+A$
7	$A\cdot(B+C)=A\cdot B+A\cdot C$	16	$A+(B+C)=(A+B)+C$
8	$(A\cdot B)'=A'+B'$	17	$A+B\cdot C=(A+B)\cdot(A+C)$
9	$(A')'=A$	18	$(A+B)'=A'\cdot B'$

2.2.2 常用公式

逻辑代数的若干常用公式如表 2－2 所示。

表 2－2

序 号	公 式
21	$A+A\cdot B=A$
22	$A+A'\cdot B=A+B$
23	$A\cdot B+A\cdot B'=A$
24	$A\cdot(A+B)=A$
25	$A\cdot B+A'\cdot C+B\cdot C=A\cdot B+A'\cdot C$ $A\cdot B+A'\cdot C+BCD=A\cdot B+A'\cdot C$
26	$A\cdot(A\cdot B)'=A\cdot B';A'\cdot(A\cdot B)'=A'$

2.3 逻辑函数的表示方法

常用的逻辑函数表示方法有逻辑真值表、逻辑函数式、逻辑图和波形图、卡诺图等。

1.逻辑真值表

将输入变量所有的取值下对应的输出值找出来，列成表格，即为逻辑真值表。

2.逻辑函数式

把输出与输入之间的逻辑关系写成与、或、非等运算的组合式，即为逻辑函数式。

3.逻辑图

将逻辑函数中各变量之间的与、或、非等逻辑关系用逻辑符号表示出来，即为逻辑图。

4.波形图

将逻辑函数的输出变量随输入变量的变化规律用高低电平表示出来，即得到波形图。

5.卡诺图

将 n 变量的全部最小项各用一个小方块表示，并使具有逻辑相邻性的最小项在几何位置上也相邻地排列起来，所得到的图形叫做 n 变量最小项的卡诺图。

把逻辑函数化为最小项之和的形式，在卡诺图上与这些最小项对应的位置上填入 1，其余位置上填入 0，就得到了表示该逻辑函数的卡诺图。

6.各种表示方法之间的相互转换

在已知逻辑函数的一种表示方法情况下，一定可以求出其他四种表示方法。

2.4 逻辑函数的化简方法

逻辑函数化简的目的是找出最简形式。用与或逻辑式表示时，要求其中包含的乘积项最少，而且每一个乘积项里的因子数最少。

常用的逻辑函数化简方法如下所述。

2.4.1 公式化简法

公式化简法就是反复、交替、灵活地使用逻辑代数的基本公式和常用公式消去函数式中多余的乘积项和多余的乘积因子，以求得函数式的最简形式。常用的方法如下：

(1)并项法 利用公式 $A\cdot B+A\cdot B'=A$ 将两项合并，消去一个变量。

(2)吸收法 利用公式 $A+A\cdot B=A$ 消去多余的项。

(3)消项法 利用公式 $A\cdot B+A'\cdot C+B\cdot C=A\cdot B+A'\cdot C$ 及 $A\cdot B+A'\cdot C+B\cdot C\cdot D=A\cdot B+A'\cdot C$消去多余的与项。

(4)消因子法 利用公式 $A+A'\cdot B=A+B$ 消去与项的多余因子。

(5)配项法 利用公式 $A+A=A$ 及 $A+A'=1$ 进行配项，展开后消去更多的项。

2.4.2 卡诺图化简法

卡诺图化简法的步骤如下：

(1)将函数化为最小项的形式

(2)画出表示该逻辑函数的卡诺图

(3)找出可以合并的最小项

(4)选取化简后的乘积项，选取的原则

①这些乘积应包含函数式中所有的最小项(应覆盖卡诺图中所有的1)；

②所用的乘积数目最少，也就是可合并的最小项组成的矩形组数目最少；

③每个乘积包含的因子最少，即每个可合并的最小项矩形组中应包含尽量多的最小项。

2.4.3 奎恩－麦克拉斯基化简法(Q－M法)

公式化简法的缺点是没有固定的步骤可循，卡诺图化简法的缺点是变量数较多时将失去直观、简单的优点。奎恩－麦克拉斯基化简法较好地克服了上述两种方法的局限性，适合于用计算机实现化简，其基本原理仍然是合并相邻的最小项而得到最简的与或式。

2.5 具有无关项的逻辑函数的化简

无关项是约束项和任意项的统称。化简具有无关项的逻辑函数时，合理利用无关项可得到更加简单的化简结果。

合并最小项时，究竟把卡诺图中的无关项（×）作为1（即认为函数式中包含了这个最小项）还是作为0（即认为函数式中不包含这个最小项）对待，应以得到的相邻最小项矩形组合最大、矩形组合数目最少为原则。

2.6 本章重点

1. 逻辑代数的基本公式和常用公式。
2. 逻辑函数的表示方法和相互转换。
3. 逻辑函数的公式化简法。
4. 逻辑函数的卡诺图化简法。

书后复习思考题解答

R2.2.1 你能各举出一个现实生活中存在的与、或、非逻辑关系的事例吗？

答 与：如果计算机是完好的，且供电正常，则计算机就可以正常启动。

或：你去开会或我去开会，我们就会知道这个消息。

非：你去我就不去了。

R2.2.2 两个变量的异或运算和同或运算之间是什么关系？

答 是非的关系。

R2.3.1 在逻辑代数的基本公式当中，哪些公式的运算规则和普通代数的运算规则是相同的？哪些是不同，需要特别记住的？

答 相同的有$0\cdot A=0$；$1\cdot A=A$；$A+B=B+A$；$A\cdot(B\cdot C)=(A\cdot B)\cdot C$；$A\cdot(B+C)=A\cdot B+A\cdot C$；$0+A=A$；$A\cdot B=B\cdot A$；$A+(B+C)=(A+B)+C$。

不相同的有 $A\cdot A=A$；$A\cdot A'=0$；$(A\cdot B)'=A'+B'$；$(A')'=A$；$1'=0$；$0'=1$；$1+A=1$；$A+A=A$；$A+A'=1$；$A+B\cdot C=(A+B)\cdot(A+C)$；$(A+B)'=A'\cdot B'$。

R2.4.1 代入定理中对代入逻辑式的形式和复杂程度有无限制？

答 无限制。

R2.4.2 利用反演定理对给定逻辑式求反时，应如何处理变换的优先顺序和式中所有的非运算符号？

答 优先顺序：括号→非→与→或，括号的优先级最高。

关于非运算：单变量上的非号要去掉，不属于单变量上的非号保持不变。

R2.5.1 逻辑函数的表示方法有哪几种？你能把由任何一种表示方法给出的逻辑函数转换为由其他任何一种表示方法表示的逻辑函数吗？

答 逻辑函数的表示方法包括逻辑真值表、逻辑函数式、逻辑图、波形图、卡诺图。已知任一种表示方法均可转换为其他表示方法。

R2.5.2 在逻辑函数的真值表和波形图中,任意改变各组输入和输出取值的排列顺序对函数有无影响?

答 没有影响。

R2.6.1 卡诺图化简法所依据的基本原理是什么?

答 逻辑相邻的两个最小项作或运算时,其结果是二者合并为一项,并消去一对互为反变量的因子。而在卡诺图上,逻辑相邻和几何相邻是一致的。

R2.6.2 卡诺图两侧变量取值的标注次序应遵守什么规则?

答 相邻两个标注之间只有一个变量不同,以保证逻辑相邻和几何相邻的一致性。

R2.6.3 Q-M法所依据的基本原理是什么?

答 通过合并相邻最小项并消去多余因子而获得最简的与或式。

R2.6.4 公式化简法、卡诺图化简法、Q-M化简法各有何优缺点?

答:(1)公式化简法的优点是对逻辑变量的数量没有限制,但须灵活应用基本和常用公式,没有固定步骤可循,化简的结果未必最简。

(2)卡诺图化简法的优点是有固定的步骤可循,化简过程直观、简便,且结果一定最简。但变量数不能多于4个,否则其直观性将不复存在。

(3)Q-M化简法有一定的步骤可循,可有效克服公式化简法和卡诺图化简法的缺点,适合于用计算机软件实现。其缺点是麻烦一些。

R2.7.1 什么是逻辑函数的约束项、任意项和逻辑函数式的无关项?

答 约束项:在逻辑函数中,恒等于0的最小项称为逻辑函数的约束项。约束项用来表示输入变量的某些取值是不允许的。

任意项:在输入变量的某些取值下,函数值是1和0均可,并不影响电路的功能。这种变量取值所对应的最小项称为任意项。

无关项:约束项和任意项统称为无关项。

R2.7.2 将一个约束项写入逻辑函数式或不写入逻辑函数式,对函数的输出是否有影响?将一个任意项写入逻辑函数式或不写入逻辑函数式,对函数的输出有无影响?

答 对于约束项,没有影响。对于任意项,有影响。

R2.7.3 怎样利用无关项才能得到更简单的逻辑函数化简结果?

答 加入的无关项应与函数式中尽可能多的最小项具有逻辑相邻性。

书后习题解析

[题2.1] 试用列真值表的方法证明下列异或运算公式。

(1) $A \oplus 0 = A$

(2) $A \oplus 1 = A'$

(3) $A \oplus A = 0$

(4) $A \oplus A' = 1$

(5) $(A \oplus B) \oplus C = A \oplus (B \oplus C)$

(6)$A(B\oplus C)=AB\oplus AC$

(7)$A\oplus B'=(A\oplus B)'=A\oplus B\oplus 1$

解 在输入变量所有取值下，求出等号两边逻辑式的值，列成真值表，若在输入变量的任何取值下均相等，则等式成立。

(1)

A	0	$A\oplus 0$
0	0	0
1	0	1

(2)

A	1	A'	$A\oplus 1$
0	1	1	1
1	1	0	0

(3)

A	A	$A\oplus A$
0	0	0
1	1	0

(4)

A	A'	$A\oplus A'$
0	1	1
1	0	1

(5)

A	B	C	$A\oplus B$	$B\oplus C$	$(A\oplus B)\oplus C$	$A\oplus(B\oplus C)$
0	0	0	0	0	0	0
0	0	1	0	1	1	1
0	1	0	1	1	1	1
0	1	1	1	0	0	0
1	0	0	1	0	1	1
1	0	1	1	1	0	0
1	1	0	0	1	0	0
1	1	1	0	0	1	1

(6)

A	B	C	$B\oplus C$	AB	AC	$A\oplus(B\oplus C)$	$AB\oplus AC$
0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	1	0	0	0	0
0	1	1	0	0	0	0	0
1	0	0	0	0	0	0	0
1	0	1	1	0	1	1	1
1	1	0	1	1	0	1	1
1	1	1	0	1	1	0	0

(7)

A	B	B'	$A\oplus B'$	$A\oplus B$	$(A\oplus B)'$	$A\oplus B\oplus 1$
0	0	1	1	0	1	1
0	1	0	0	1	0	0
1	0	1	0	1	0	0
1	1	0	1	0	1	1

[题2.2] 证明下列逻辑恒等式(方法不限)

(1)$AB' + B + A'B = A + B$

(2)$(A + C')(B + D)(B + D') = AB + BC'$

(3)$((A + B + C')'C'D)' + (B + C')(AB'D + B'C') = 1$

(4)$A'B'C' + A(B + C) + BC = (AB'C' + A'B'C + A'BC')'$

解 最简便的方法是用基本和常用公式证明。

(1)左 $= AB' + B + A'B = A + A'B = A + B =$ 右

(2)左 $= (A + C')(B + D)(B + D') = (A + C')(B + BD' + BD + DD') = (A + C')B = AB + BC' =$ 右

(3)左 $= ((A + B + C')'C'D)' + (B + C')(AB'D + B'C')$

$= A + B + C' + C + D' + (B + C')(AB'D + B'C') = 1 =$ 右

(4)右 $= (AB'C' + A'B'C + A'BC')' = (AB'C')'(A'B'C)'(A'BC')'$

$= (A' + B + C)(A + B + C')(A + B' + C)$

$= (A'C' + B + AC)(A + B' + C) = A'B'C' + AB + BC + AC$

$= A'B'C' + A(B + C) + BC =$ 左

[题2.3] 已知逻辑函数 Y_1 和 Y_2 的真值表如表P2.3(a),(b)所示,试写出 Y_1 和 Y_2 的逻辑函数式。

表P2.3(a)

A	B	C	Y_1
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

表P2.3(b)

A	B	C	D	Y_2
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

解 将使输出变量取值为1的那些输入变量取值组合所对应的最小项作或运算,即得逻辑式。

$$Y_1 = A'B'C' + A'B'C + AB'C' + AB'C + ABC$$

$$Y_2 = A'B'C'D + A'B'CD' + A'BC'D' + A'BCD + AB'C'D' + AB'CD + ABC'D + ABCD'$$

[题2.4] 已知逻辑函数的真值表如表P2.4(a),(b)所示,试写出对应的逻辑函数式。

表 P2.4(a)

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

表 P2.4(b)

M	N	P	Q	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

解

$$Y = A'B'C + A'BC' + AB'C'$$

$$Z = M'N'PQ + M'NPQ' + M'NPQ + MN'PQ + MNP'Q' + MNP'Q + MNPQ' + MNPQ$$

[题 2.5] 列出下列逻辑函数的真值表。

(1) $Y_1 = A'B + BC + ACD'$

(2) $Y_2 = A'B'CD' + (B \oplus C)'D + AD$

解 将输入变量的取值一一代入到逻辑式中，求出输出变量值，将输入输出值对应列成表格即得到真值表。

(1) Y_1 的真值表如表 A2.5(a)所示。

表 A2.5(a)

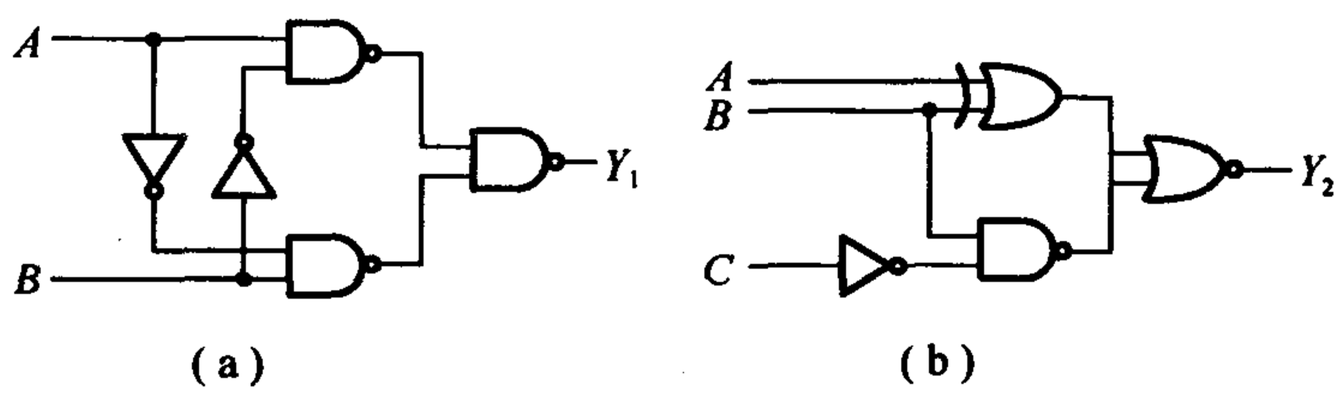
A	B	C	D	A'B	BC	ACD'	Y_1
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	1	0	0	1
0	1	0	1	1	0	0	1
0	1	1	0	1	1	0	1
0	1	1	1	1	1	0	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0
1	0	1	0	0	0	1	1
1	0	1	1	0	0	0	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	0	0
1	1	1	0	0	1	1	1
1	1	1	1	0	1	0	1

(2) Y_2 的真值表如表 A2.5(b)所示。

表 A2.5(b)

A	B	C	D	$A'B'CD'$	AD	$B'C'D$	BCD	Y_2
0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0	1
0	0	1	0	1	0	0	0	1
0	0	1	1	0	0	0	0	0
0	1	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0

[题 2.6]　写出题 2.6 图(a),(b)所示电路的输出逻辑函数式。



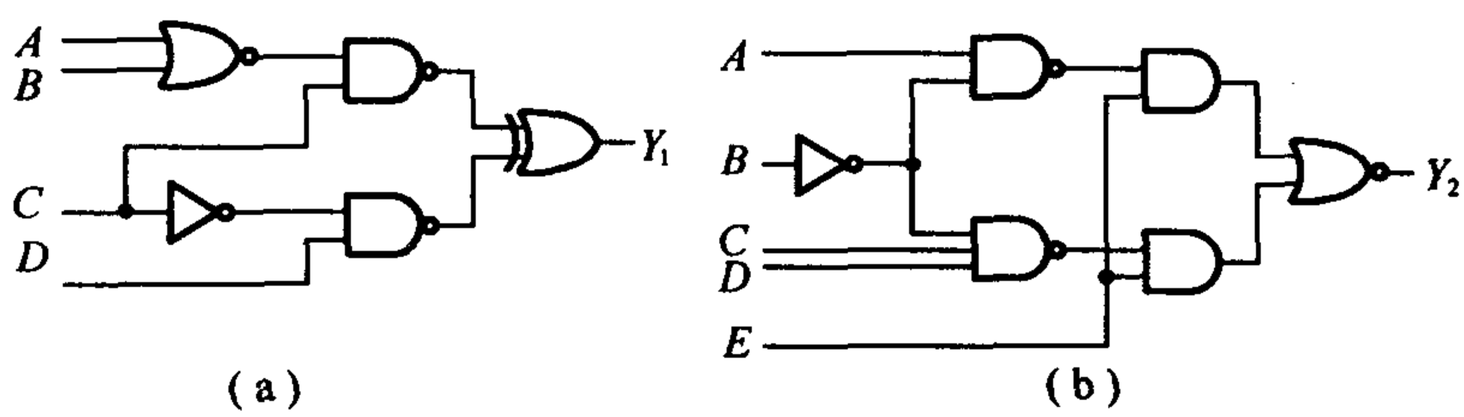
题 2.6 图

解　从逻辑图的输入端开始,逐级写出每级门电路的输出逻辑式,推到输出端即可,即可得

$$Y_1 = ((AB')'(A'B)')' = AB' + A'B = A \oplus B$$

$$Y_2 = ((A \oplus B) + (BC')')' = ABC'$$

[题 2.7]　写出题 2.7 图(a),(b)所示电路的输出逻辑函数式。



题 2.7 图

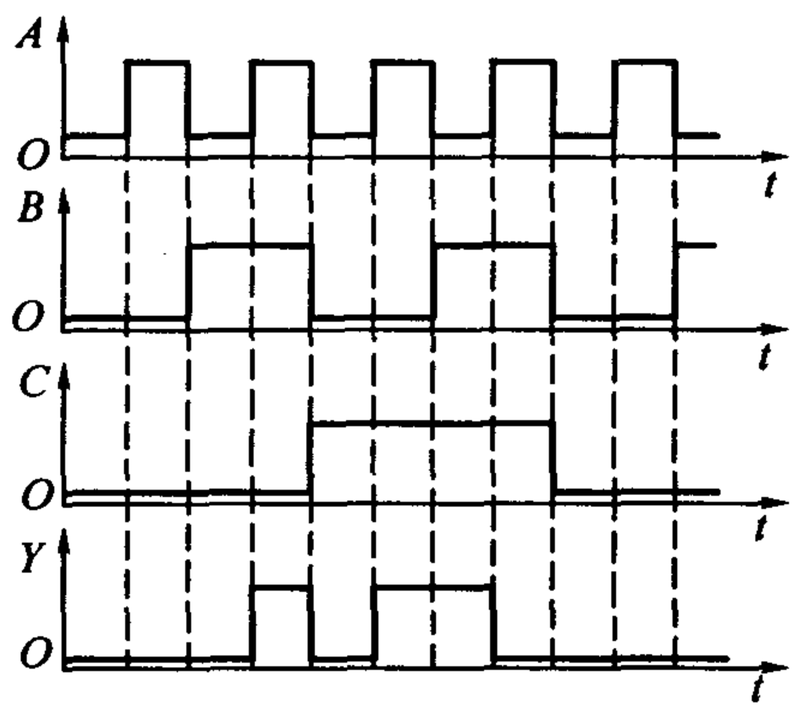
解　方法同题 2.6,结果如下:

$$Y_1 = ((A+B)'C)' \oplus (C'D)' = (A'B'C)' \oplus (C'D)'$$

$$= A'B'C(C + D') + (A + B + C')C'D = A'B'C + A'B'CD' + AC'D + BC'D + C'D$$
$$= A'B'C + C'D$$
$$Y_2 = ((AB')'E + (B'CD)'E)' = ((AB')'E)'((B'CD)'E)'$$
$$= (AB' + E')(B'CD + E') = AB'CD + E'$$

[题 2.8] 已知逻辑函数 Y 的波形图如题 2.8 图所示，试求 Y 的真值表和逻辑函数式。

解 由波形图可得到真值表，如表 A2.8 所示。



题 2.8 图

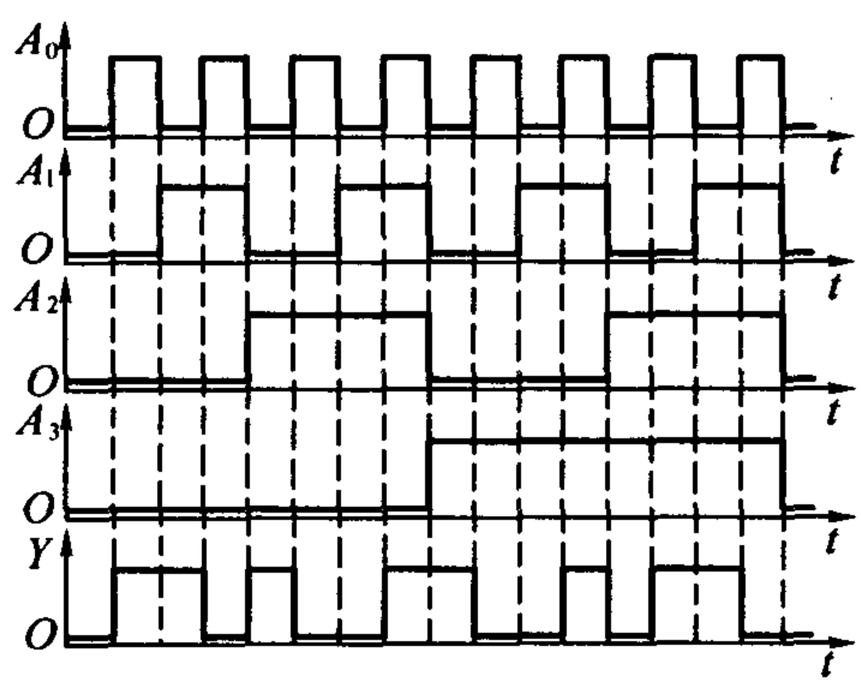
表 A2.8

C	B	A	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

由真值表得到逻辑式为 $Y = ABC' + AB'C + A'BC$。

[题 2.9] 给定逻辑函数 Y 的波形图如题 2.9 图所示，试写出该逻辑函数的真值表和逻辑函数式。

解 由波形图可得到真值表如表 A2.9 所示。



题 2.9 图

表 A2.9

A_3	A_2	A_1	A_0	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

由真值表可得其逻辑式为

$$Y = A_3'A_2'A_1'A_0 + A_3'A_2'A_1A_0' + A_3'A_2A_1'A_0' + A_3'A_2A_1A_0 + A_3A_2'A_1'A_0' + A_3A_2'A_1A_0 + A_3A_2A_1'A_0 + A_3A_2A_1A_0'$$

[题2.10] 将下列各函数式化为最小项之和的形式。

(1) $Y = A'BC + AC + B'C$

(2) $Y = AB'C'D + BCD + A'D$

(3) $Y = A + B + CD$

(4) $Y = AB + ((BC)'(C' + D'))'$

(5) $Y = LM' + MN' + NL'$

(6) $Y = ((A \odot B)(C \odot D))'$

解 (1) $Y = A'BC + AC(B + B') + B'C(A + A') = A'BC + AB'C + ABC + A'B'C$

(2) $Y = AB'C'D + (A + A')BCD + A'D(B + B')(C + C')$

$= AB'C'D + A'BCD + ABCD + A'B'C'D + A'B'CD + A'BC'D$

(3) $Y = A(B + B') + B(A + A') + CD(A + A')(B + B')$

$= AB(C + C')(D + D') + A'B(C + C')(D + D') + AB'(C + C')(D + D') + CD(A + A')(B + B')$

$= A'B'CD + A'BC'D' + A'BC'D + A'BCD' + A'BCD + AB'C'D' + AB'C'D + AB'CD' + AB'CD + ABC'D'$

$+ ABC'D + ABCD' + ABCD$

$= \sum m(3,4,5,6,7,8,9,10,11,12,13,14,15)$

(4) $Y = AB + BC + CD$

$= ABC'D' + ABC'D + ABCD' + ABCD + A'BCD' + A'BCD + A'B'CD + AB'CD$

(5) $Y = LM'N' + LM'N + L'MN' + LMN' + L'M'N + L'MN$

(6) $Y = (A \odot B)' + (C \odot D)' = (A \oplus B) + (C \oplus D)$

$= A'B + AB' + C'D + CD'$

$= A'BC'D' + A'BC'D + A'BCD' + A'BCD' + AB'C'D' + AB'C'D + AB'CD + AB'CD + A'B'CD'$

$+ ABCD' + A'B'C'D + ABC'D$

$= \sum m(1,2,4,5,6,7,8,9,10,11,13,14)$

[题2.11] 将下列各式化为最大项之积的形式。

(1) $Y = (A + B)(A' + B' + C')$

(2) $Y = AB' + C$

(3) $Y = A'BC' + B'C + AB'C$

(4) $Y = BCD' + C + A'D$

(5) $Y(A,B,C) = \sum m(1,2,4,6,7)$

(6) $Y(A,B,C,D) = \sum m(0,1,2,4,5,6,8,10,11,12,14,15)$

解 (1) $Y = (A + B + CC')(A' + B' + C')$

$= (A + B + C)(A + B + C')(A' + B' + C')$

(2) $Y = (A + C)(B' + C)$

$= (A + BB' + C)(AA' + B' + C)$

$= (A + B' + C)(A + B + C)(A' + B' + C)$

(3)将 Y 化为最小项之和形式

$$Y(A,B,C)=m_1+m_2+m_5$$

再将 Y 表示为最大项之积形式,这些最大项的编号是组成最小项之和形式逻辑式的最小项编号之外的那些编号。故有

$$Y=M_0\cdot M_3\cdot M_4\cdot M_6\cdot M_7=(A+B+C)(A+B'+C')(A'+B+C)(A'+B'+C)(A'+B'+C')$$

(4) $Y=BCD'+C+A'D=C+A'D$

$$=A'B'CD'+A'B'CD+A'BCD'+A'BCD+AB'CD'+AB'CD+ABCD'+ABCD+A'B'C'D$$
$$+A'B'CD+A'BC'D+A'BCD$$
$$=m_1+m_2+m_3+m_5+m_6+m_7+m_{10}+m_{11}+m_{14}+m_{15}$$

则

$$Y=M_0M_4M_8M_9M_{12}M_{13}$$
$$=(A+B+C+D)(A+B'+C+D)(A'+B+C+D)(A'+B+C+D')$$
$$\cdot(A'+B'+C+D)(A'+B'+C+D')$$

(5)由 $Y(A,B,C)=\sum m(1,2,4,6,7)$可得

$$Y(A,B,C)=M_0\cdot M_3\cdot M_5=(A+B+C)(A+B'+C')(A'+B+C')$$

(6)由 $Y(A,B,C,D)=\sum m(0,1,2,4,5,6,8,10,11,12,14,15)$得

$$Y(A,B,C,D)=M_3\cdot M_7\cdot M_9\cdot M_{13}$$
$$=(A+B+C'+D')(A+B'+C'+D')(A'+B+C+D')(A'+B'+C+D')$$

[题 2.12] 将下列逻辑函数式化为与非-与非形式,并画出全部由与非逻辑单元组成的逻辑电路图。

(1) $Y=AB+BC+AC$

(2) $Y=(A'+B)(A+B')C+(BC)'$

(3) $Y=(ABC'+AB'C+A'BC)'$

(4) $Y=A(BC)'+((AB')'+A'B'+BC)'$

解 (1) $Y=((AB+BC+AC)')'=((AB)'\cdot(BC)'\cdot(AC)')'$

(2) $Y=(A'+B)(A+B')C+(BC)'=(AB+A'B')C+B'+C'=A+B'+C'=(A'BC)'$

(3) $Y=(ABC'+AB'C+A'BC)'=A'B'C'+A'B'C+A'BC'+AB'C'+ABC$

$$=A'B'+A'C'+B'C'+ABC=((A'B'+A'C'+B'C'+ABC)')'$$
$$=((A'B')'\cdot(A'C')'\cdot(B'C')'\cdot(ABC)')'$$

(4) $Y=A(BC)'+((AB')'+A'B'+BC)'=A(BC)'+AB'\cdot(A'B')'\cdot(BC)'$

$$=A(BC)'=((A\cdot(BC)')')'$$

式(1),(2),(3),(4)所对应的电路如题 2.12 解图中(a),(b),(c),(d)所示。

[题 2.13] 将下列逻辑函数化为或非-或非形式,并画出全部用或非逻辑单元组成的逻辑电路图。

(1) $Y=AB'C+BC'$

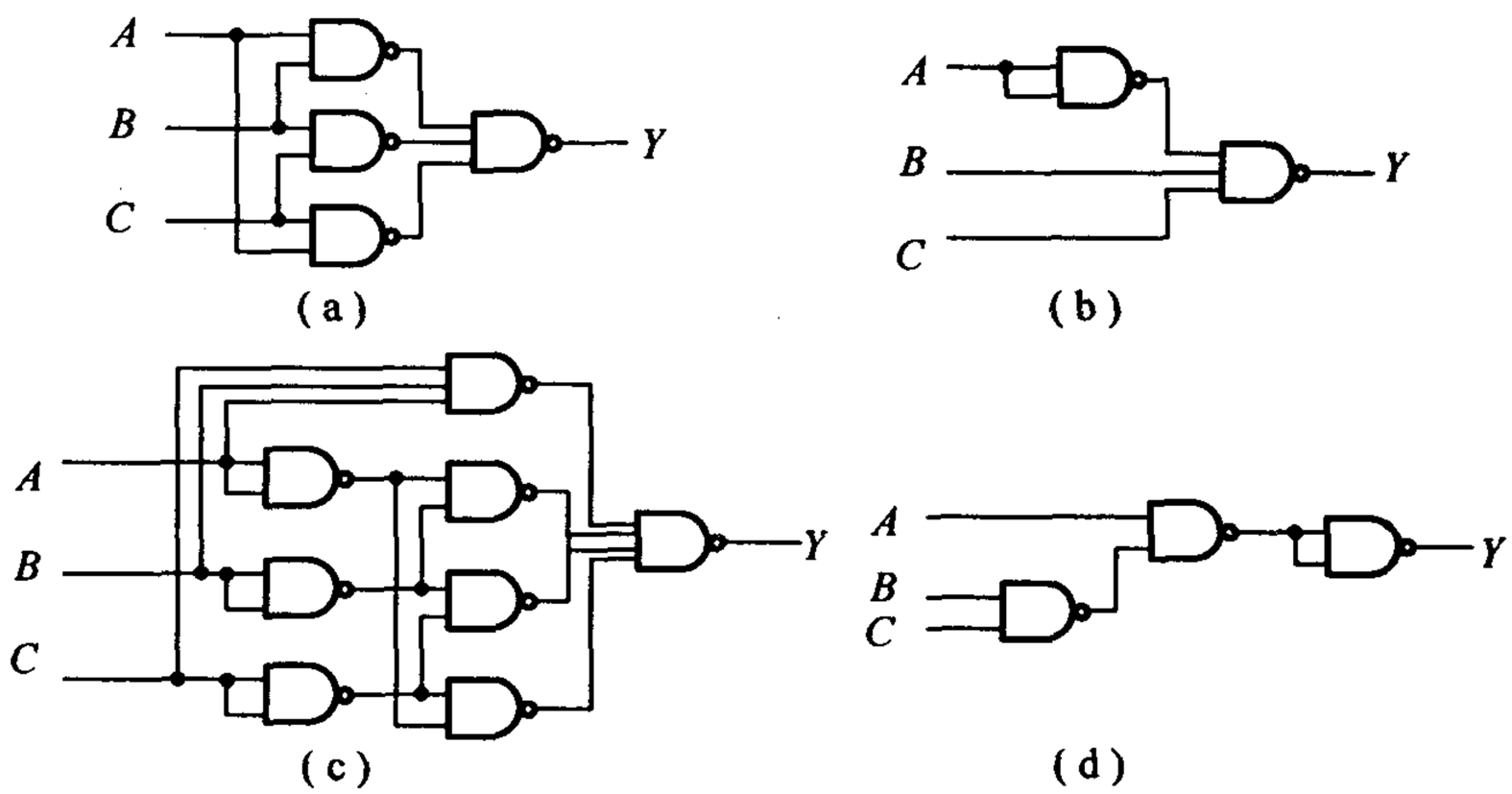
(2) $Y=(A+C)(A'+B+C')(A'+B'+C)$

(3) $Y=(ABC'+B'C)'D'+A'B'D$

(4) $Y=((CD')'(BC)'(ABC)'D')'$

解 (1) $Y=AB'C+BC'=((AB'C)'\cdot(BC')')'$

$$=((A'+B+C')(B'+C))'=(A'B'+A'C+BC+B'C')'$$
$$=(A'B'+BC+B'C')'=((A+B)'+(B'+C')'+(B+C)')'$$



题2.12解图

(2) $Y = A'C + BC + AB'C' = ((A + C)' + (B' + C)' + (A' + B + C')')'$

(3) $Y = (ABC' + B'C)'D' + A'B'D = (((ABC' + B'C)'D' + A'B'D)')'$

$= ((ABC' + B'C + D)(A + B + D'))' = (ABC' + AD + B'CD' + BD)'$

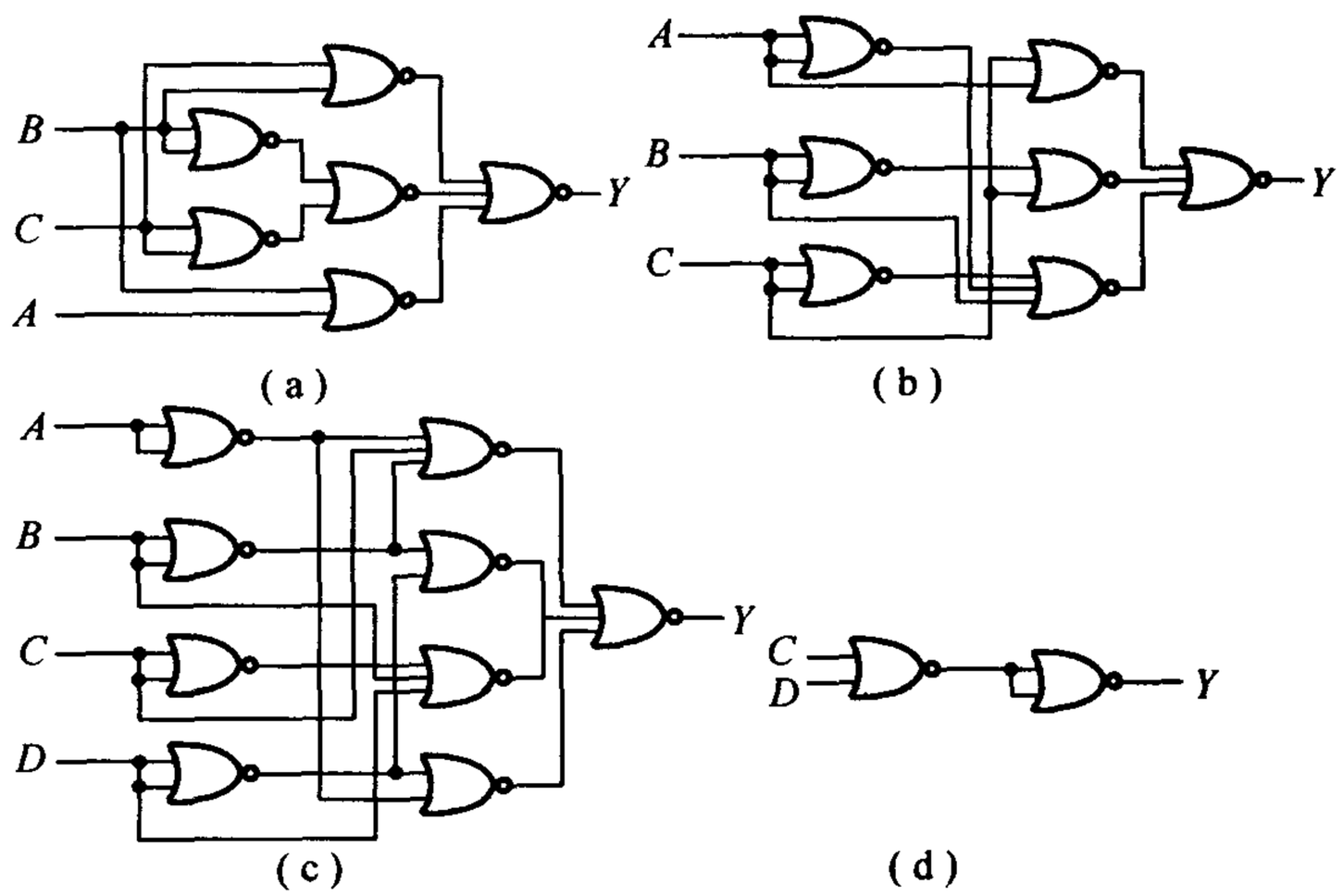
$= ((A' + B' + C)' + (A' + D')' + (B + C' + D)' + (B' + D')')'$

(4) $Y = ((CD')' \cdot (BC)' \cdot (ABC)' \cdot D')'$

$= ((C' + D)(B' + C')(A' + B' + C')D')'$

$= C'D'(B' + C'))' = (C'D')' = ((C + D)')'$

式(1),(2),(3),(4)所对应的电路如题2.13解图(a),(b),(c),(d)所示。



题2.13解图

[题 2.14] 利用逻辑代数的基本公式和常用公式化简下列各式。

(1) $ACD' + D'$

(2) $AB'(A + B)$

(3) $AB' + AC + BC$

(4) $AB(A + B'C)$

(5) $E'F' + E'F + EF' + EF$

(6) $ABD + AB'CD' + AC'DE + A$

(7) $A'BC + (A + B')C$

(8) $AC + BC' + A'B$

解 (1) $ACD' + D' = D'$

(2) $AB'(A + B) = AB'$

(3) $AB' + AC + BC = AB' + BC$

(4) $AB(A + B'C) = AB$

(5) $E'F' + E'F + EF' + EF = E'(F' + F) + E(F' + F) = E' + E = 1$

(6) $ABD + AB'CD' + AC'DE + A = A$

(7) $A'BC + (A + B')C = (A'B)C + (A'B)'C = C$

(8) $AC + BC' + A'B = AC + B(A' + C') = AC + (AC)'B = AC + B$

[题 2.15] 用逻辑代数的基本公式和常用公式将下列逻辑函数化为最简与或形式。

(1) $Y = AB' + B + A'B$

(2) $Y = AB'C + A' + B + C'$

(3) $Y = (A'BC)' + (AB')'$

(4) $Y = AB'CD + ABD + AC'D$

(5) $Y = AB'(A'CD + (AD + B'C')')(A' + B)$

(6) $Y = AC(C'D + A'B) + BC((B' + AD)' + CE)'$

(7) $Y = AC' + ABC + ACD' + CD$

(8) $Y = A + (B + C')'(A + B' + C)(A + B + C)$

(9) $Y = BC' + ABC'E + B'(A'D' + AD)' + B(AD' + A'D)$

(10) $Y = AC + AC'D + AB'E'F + B(D \oplus E) + BC'DE' + BC'D'E + ABE'F$

解 (1) $Y = AB' + B + A'B = AB' + B = A + B$

(2) $Y = AB'C + A' + B + C' = AB'C + (AB'C)' = 1$

(3) $Y = (A'BC)' + (AB')' = A + B' + C' + A' + B = (A + A') + (B + B') + C' = 1$

(4) $Y = AB'CD + ABD + AC'D = AD(B'C + B + C') = AD(C + C') = AD$

(5) $Y = AB'(A'CD + (AD + B'C')')(A' + B)$

$= (AB')(AB')'(A'CD + (AD + B'C')') = 0$

(6) $Y = AC(C'D + A'B) + BC((B' + AD)' + CE)'$

$= BC(B' + AD)(CE)' = ABCD(C' + E') = ABCDE'$

(7) $Y = AC' + ABC + ACD' + CD = A(C' + BC) + C(AD' + D) = A(C' + B) + C(A + D)$

$= AC' + AB + AC + CD = A(C + C') + AB + CD = A + CD$

(8) $Y = A + (B + C')'(A + B' + C)(A + B + C) = A + B'C(A + C) = = A + AB'C + B'C = A + B'C$

(9) $Y = BC' + ABC'E + B'(A'D' + AD)' + B(AD' + A'D)$

$= BC' + B'(AD' + A'D) + B(AD' + A'D)$

$= BC' + (B' + B)(AD' + A'D) = BC' + AD' + A'D$

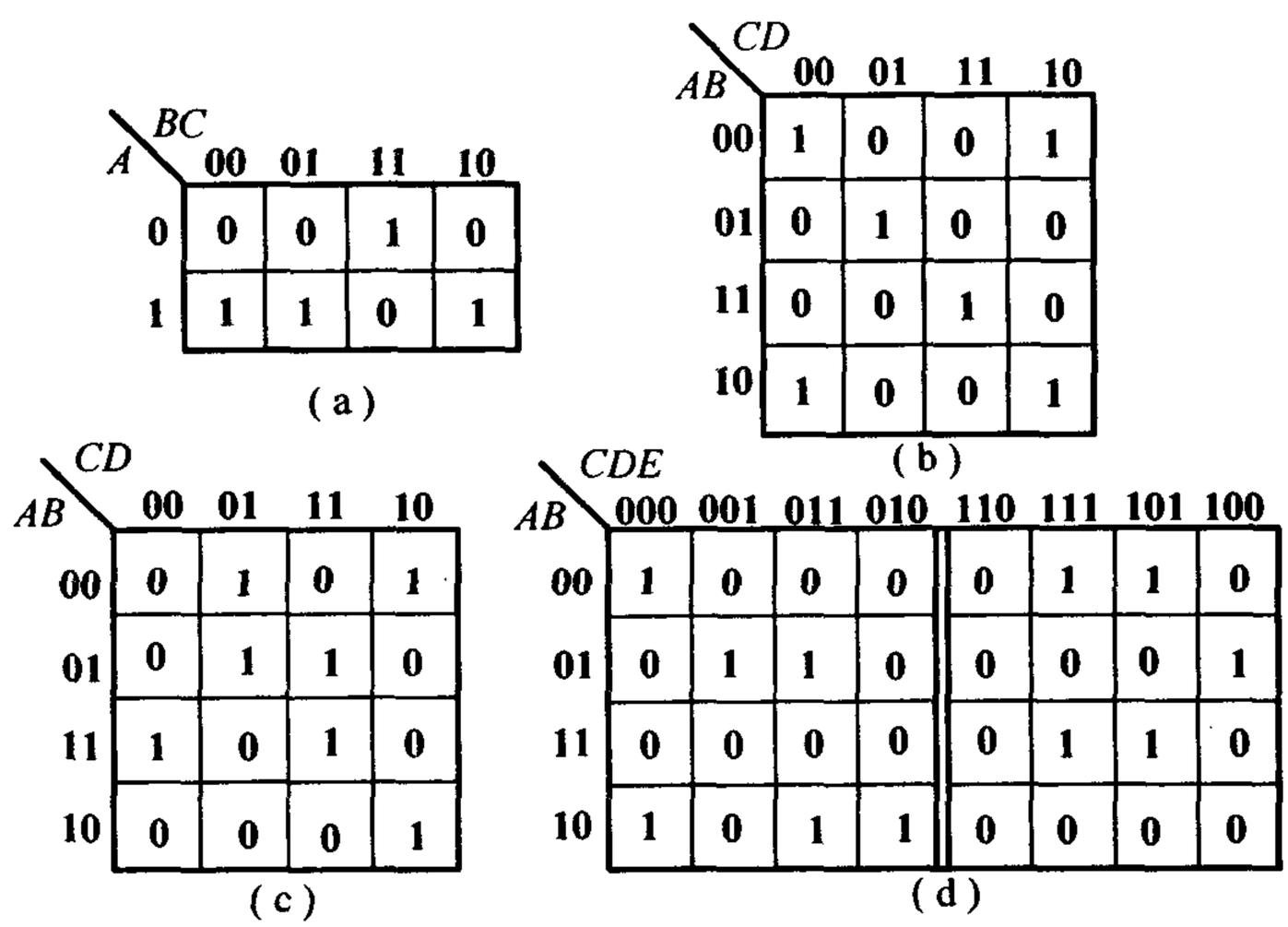
(10) $Y = AC + AC'D + AB'E'F + B(D \oplus E) + BC'DE' + BC'D'E + ABE'F$

$= AC + ACD + AC'D + AB'E'F + B(D \oplus E) + BC'(D \oplus E) + ABE'F$

$= AC + AD + AE'F(B' + B) + B(D \oplus E)$

$= AC + AD + AE'F + B(D \oplus E)$

[题2.16]　写出题2.16图中各卡诺图所表示的逻辑函数式。



题2.16图

解　(a) $Y = A'BC + AB'C' + AB'C + ABC'$

(b) $Y = A'B'C'D' + A'B'CD' + A'BC'D + AB'C'D' + AB'CD' + ABCD$

(c) $Y = A'B'C'D + A'B'CD' + A'BC'D + A'BCD + AB'CD' + ABC'D' + ABCD$

(d) $Y = A'B'C'D'E' + A'B'CD'E + A'B'CDE + A'BC'D'E + A'BC'DE + A'BCD'E' + AB'C'D'E' + AB'C'DE'$
$+ AB'C'DE + ABCD'E + ABCDE$

[题2.17]　用卡诺图化简法化简以下逻辑函数。

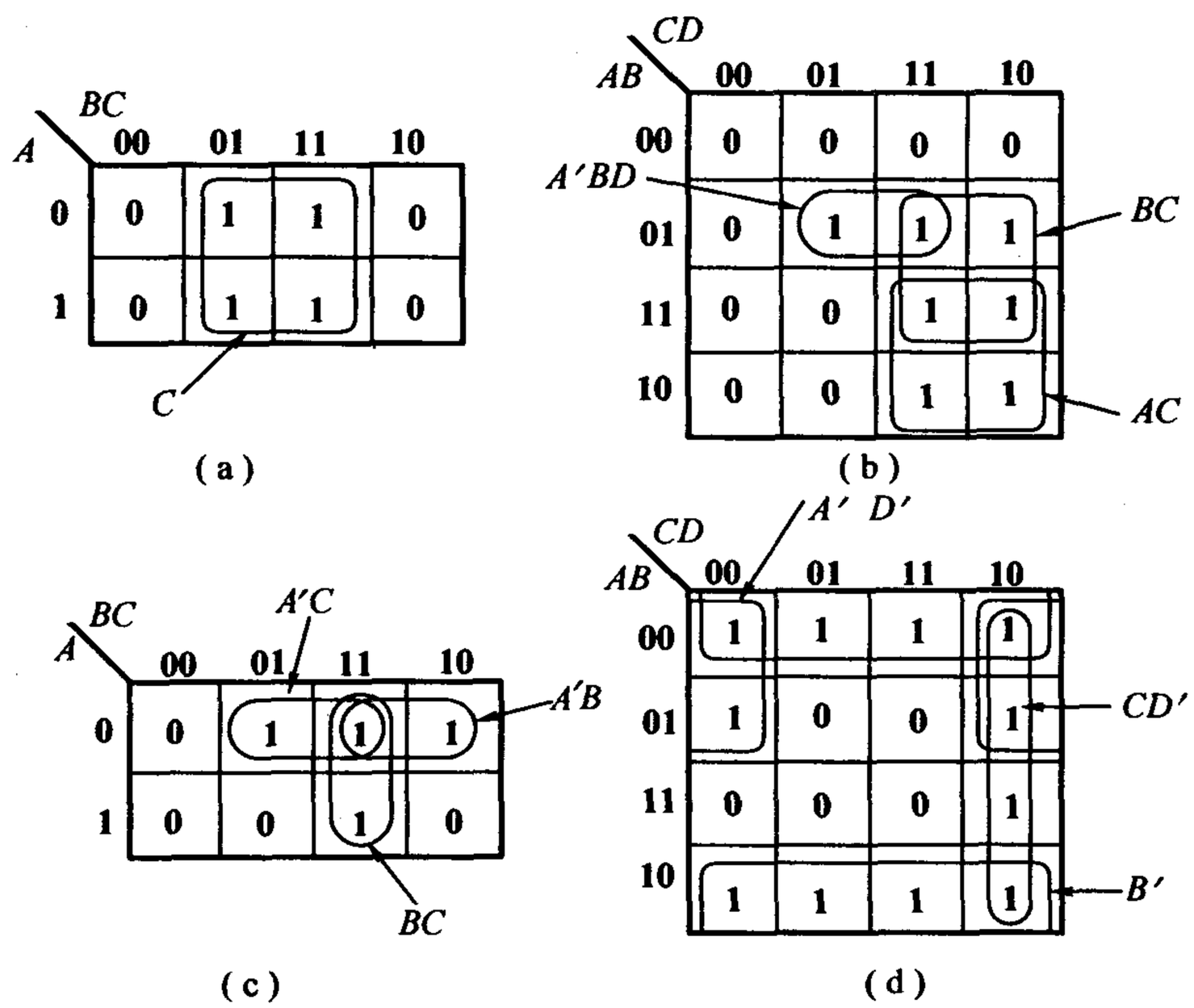
(1) $Y_1 = C + ABC$

(2) $Y_2 = AB'C + BC + A'BC'D$

(3) $Y_3(A,B,C) = \sum m(1,2,3,7)$

(4) $Y_4(A,B,C,D) = \sum m(0,1,2,3,4,6,8,9,10,11,14)$

解　$Y_1 \sim Y_4$ 的卡诺图如题2.17解图所示。由卡诺图化简可得



题 2.17 解图

$$Y_1 = C; Y_2 = A'BD + AC + BC; Y_3 = A'B + A'C + BC; Y_4 = A'D' + CD' + B'$$

[题 2.18] 用卡诺图化简法将下列函数化为最简与或形式。

(1) $Y = ABC + ABD + C'D' + AB'C + A'CD' + AC'D$

(2) $Y = AB' + A'C + BC + C'D$

(3) $Y = A'B' + BC' + A' + B' + ABC$

(4) $Y = A'B' + AC + B'C$

(5) $Y = AB'C' + A'B' + A'D + C + BD$

(6) $Y(A,B,C) = \sum m(0,1,2,5,6,7)$

(7) $Y(A,B,C,D) = \sum m(0,1,2,5,8,9,10,12,14)$

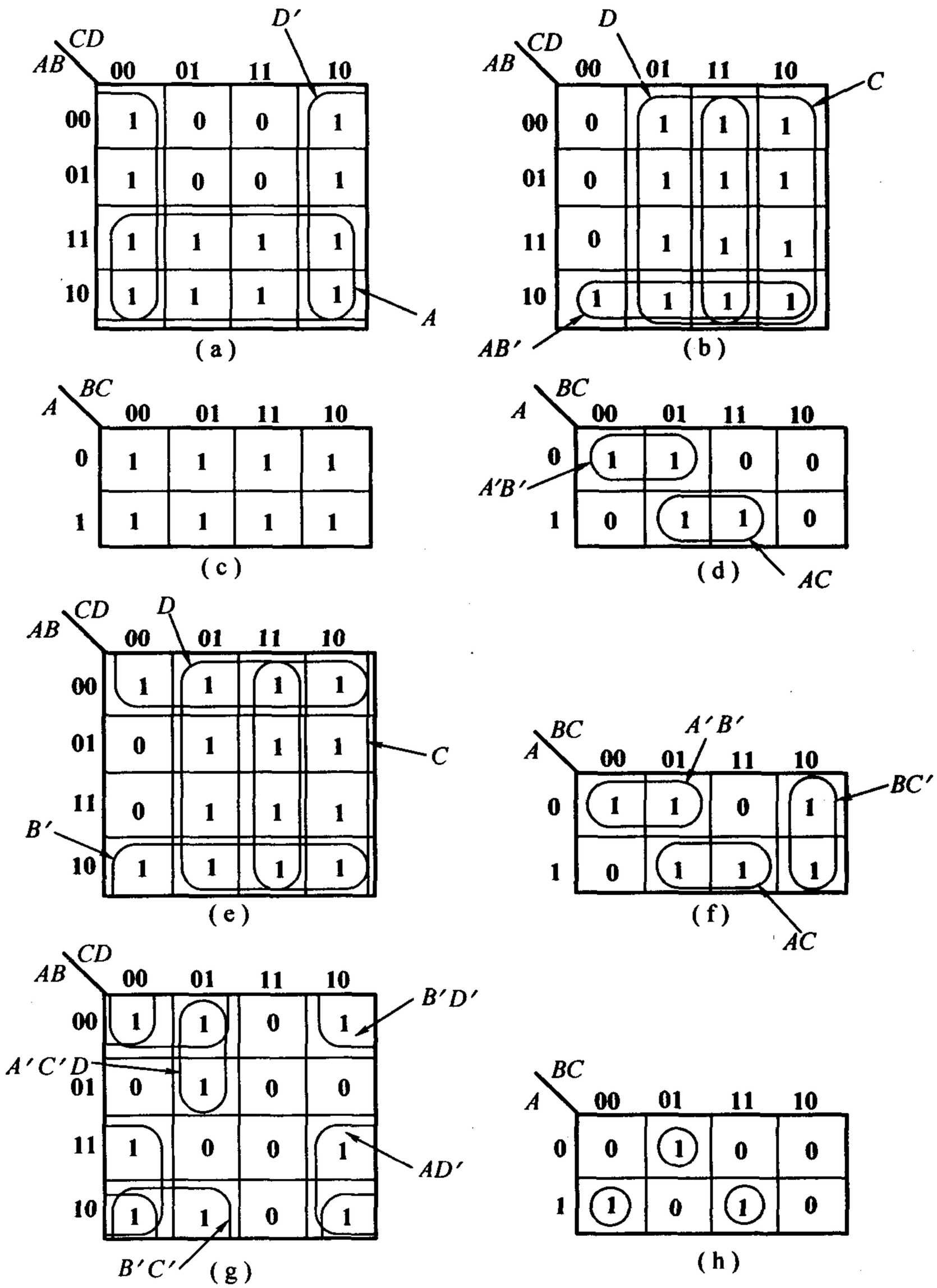
(8) $Y(A,B,C) = \sum m(1,4,7)$

解 (1)~(8)题的卡诺图及其化简情况如题 2.18 解图(a)~(h)所示。由图可解得化简结果为 (1) $Y = A + D'$; (2) $Y = AB' + C + D$; (3) $Y = 1$; (4) $Y = A'B' + AC$; (5) $Y = C + B' + D$; (6) $Y = A'B' + AC + BC'$; (7) $Y = AD' + B'D' + B'C' + A'C'D$; (8) $Y = A'B'C + AB'C' + ABC$。

[题 2.19] 化简下列逻辑函数(方法不限)。

(1) $Y = AB' + A'C + C'D' + D$

(2) $Y = A'(CD' + C'D) + BC'D + AC'D + A'CD'$



题2.18解图

(3) $Y=((A'+B')D)'+(A'B'+BD)C'+A'BC'D+D'$

(4) $Y=AB'D+A'B'C'D+B'CD+(AB'+C)'(B+D)$

(5) $Y=(AB'C'D+AC'DE+B'DE'+AC'D'E)'$

解 (1) $Y=AB'+A'C+C'D'+D=AB'+A'C+C'+D=AB'+A'+C'+D$

$=A'+B'+C'+D$

(2) $Y=A'(CD'+C'D)+BC'D+AC'D+A'CD'$

$=A'CD'+A'C'D+BC'D+AC'D+A'CD'$

$=C'D(A'+A)+BC'D+A'CD'=C'D+B(C'D)+A'CD'$

$=C'D+A'CD'$

(3) $Y=((A'+B')D)'+(A'B'+BD)C'+A'BC'D+D'$

$=((AB)'D)'+A'B'C'+BC'D+A'BC'D+D'$

$=AB+D'+A'B'C'+BC'+A'BC'=AB+A'C'(B+B')+BC'+D'$

$=AB+A'C'+BC'+D'=AB+A'C'+D'$

(4) $Y=AB'D+A'B'C'D+B'CD+(AB'+C)'(B+D)$

$=AB'D+A'B'C'D+B'CD+(A'+B)C'(B+D)$

$=AB'D+A'B'C'D+B'CD+BC'+A'C'D$

$=AB'D+B'CD+BC'+A'C'D$

$=B'D(A+C)+BC'+A'C'D$

$=(A'C')'B'D+BC'+A'C'D$

$=((A'C')'B'+A'C')D+BC'$

$=(A'C'+B')D+BC'$

$=A'C'D+B'D+BC'$

$=B'D+BC'$

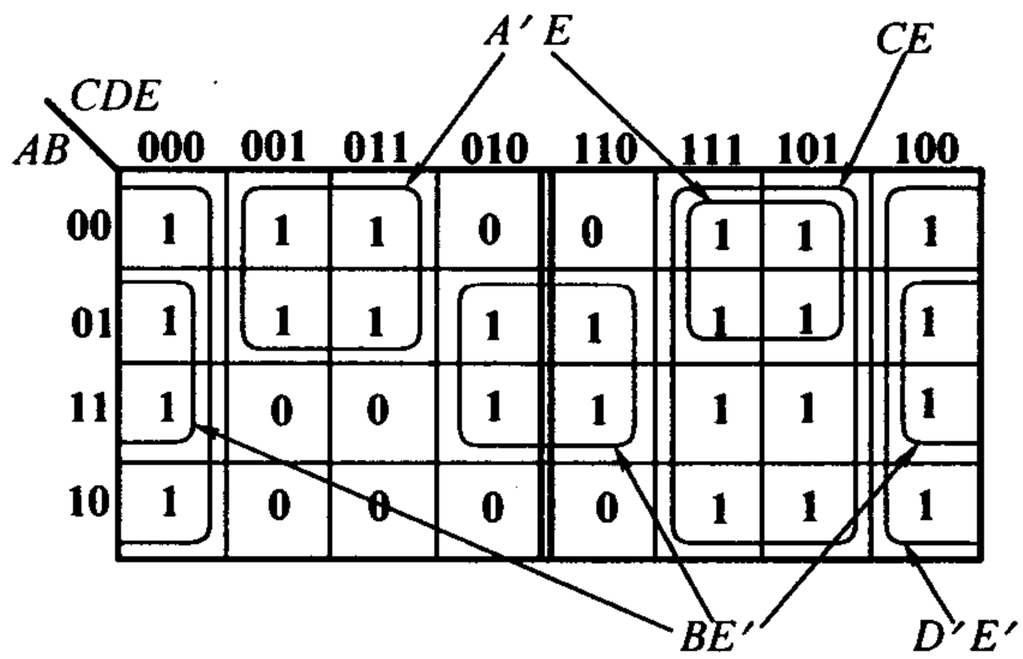
(5) $Y=(AB'C'D+AC'DE+B'DE'+AC'D'E)'$

$=(m_2+m_6+m_{25}+m_{17}+m_{18}+m_{19}$

$+m_{22}+m_{27})'$

其卡诺图如题2.19解图所示。化简结果为

$Y=A'E+BE'+CE+D'E'$



题2.19解图

[题2.20] 写出题2.20图中各逻辑图的逻辑函数式,并化简为最简与或式。

解 (a) $Y=((AB'C)'(BC')')'=AB'C+BC'$

(b) $Y=((A'+C)'+(A+B')'+(B+C')')'$

$=(A'+C)(A+B')(B+C')=ABC+A'B'C'$

(c) $Y_1=((AB')'(ACD')')'=AB'+ACD'$

$Y_2=((AB')'(AC'D')'(A'C'D)'(ACD)')'$

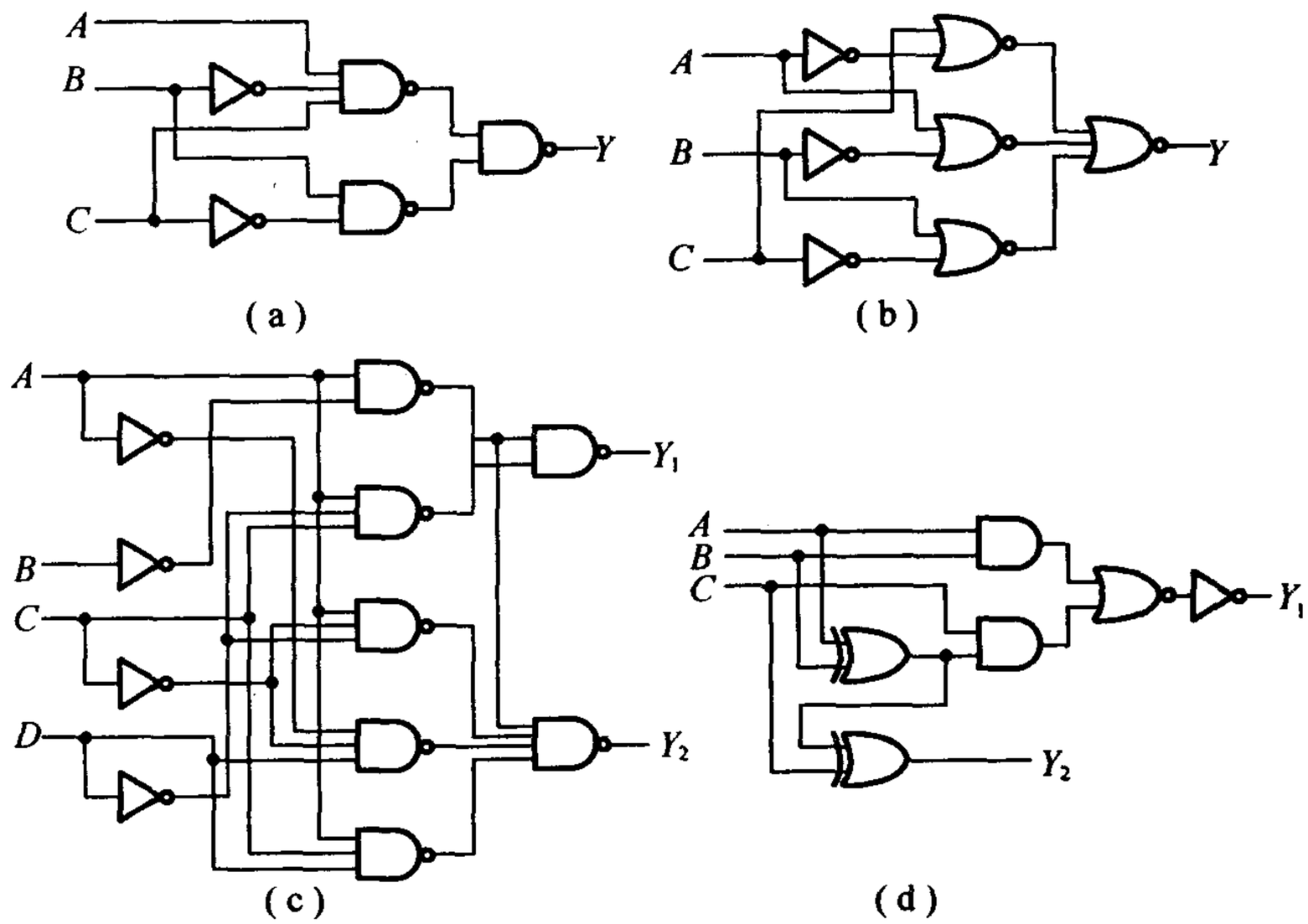
$=AB'+AC'D'+A'C'D+ACD$

(d) $Y_1=(((AB)+C(A\oplus B))')'=AB+C(A'B+AB')=AB+AC+BC$

$Y_2=(A\oplus B)\oplus C=(A\oplus B)C'+(A\oplus B)'C$

$=AB'C'+A'BC'+A'B'C+ABC$

[题2.21] 对于互相排斥的一组变量 A,B,C,D,E(即任何情况下 A,B,C,D,E 不可能有两个或两个以上同时为1),试证明 $AB'C'D'E'=A$, $A'BC'D'E'=B$, $A'B'CD'E'=C$, $A'B'C'DE'=D$, $A'B'C'D'E=E$。



题 2.20 图

解 由题意可知，A,B,C,D,E 中有两个或两个以上同时为 1 时所对应的最小项是约束项，而约束项的值恒等于零。所以有

$$AB'C'D'E' = AB'C'D'E' + AB'C'D'E + AB'C'DE' + AB'C'DE + AB'CD'E' + AB'CD'E + AB'CDE' + AB'CDE$$
$$+ ABC'D'E' + ABC'D'E + ABC'DE' + ABC'DE + ABCD'E' + ABCD'E + ABCDE' + ABCDE = A$$

同理可证 $A'BC'D'E' = B$；$A'B'CD'E' = C$；$A'B'C'DE' = D$；$A'B'C'D'E = E$。

[题 2.22] 将下列具有约束项的逻辑函数化为最简与或形式。

(1) $Y_1 = AB'C' + ABC + A'B'C + A'BC'$

给定约束条件为 $A'B'C' + A'BC = 0$。

(2) $Y_2 = (A + C + D)' + A'B'CD' + AB'C'D$

给定约束条件为 $AB'CD' + AB'CD + ABC'D' + ABC'D + ABCD' + ABCD = 0$。

(3) $Y_3 = CD'(A \oplus B) + A'BC' + A'C'D$，给定约束条件为 $AB + CD = 0$。

(4) $Y_4 = (AB' + B)CD' + ((A + B)(B' + C))'$，给定约束条件为 $ABC + ABD + ACD + BCD = 0$。

解 $Y_1 \sim Y_4$ 的卡诺图为题 2.22 解图(a)～(d)，化简结果为：

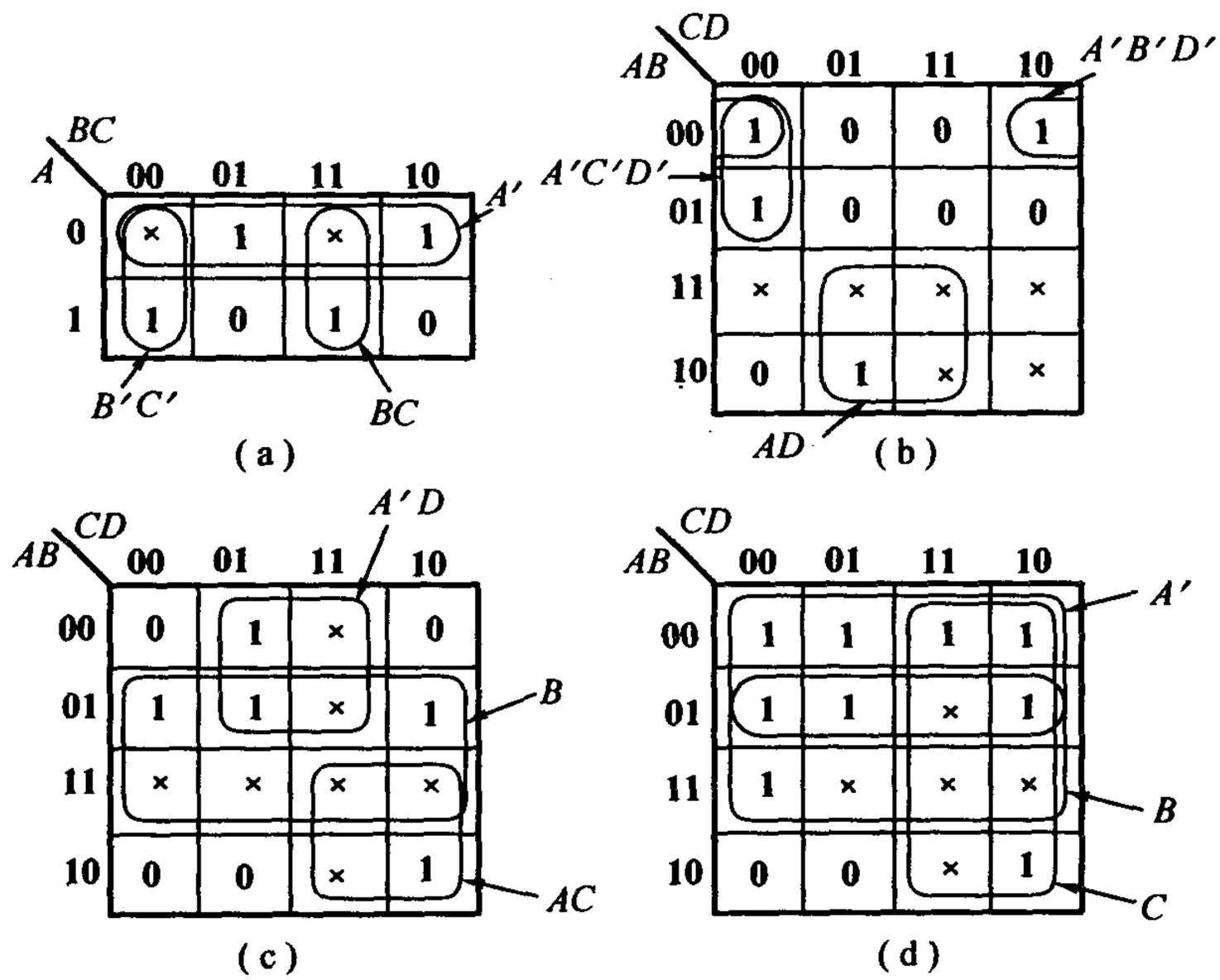
(1) $Y_1 = A' + B'C' + BC$

(2) $Y_2 = A'B'D' + A'C'D' + AD$

(3) $Y_3 = AC + A'D + B$

(4) $Y_4 = A' + B + C$

[题 2.23] 将下列具有无关项的逻辑函数化为最简的与或逻辑式。



题 2.22 解图

(1) $Y_1(A,B,C) = \sum m(0,1,2,4) + d(5,6)$

(2) $Y_2(A,B,C) = \sum m(1,2,4,7) + d(3,6)$

(3) $Y_3(A,B,C,D) = \sum m(3,5,6,7,10) + d(0,1,2,4,8)$

(4) $Y_4(A,B,C,D) = \sum m(2,3,7,8,11,14) + d(0,5,10,15)$

解 $Y_1 \sim Y_4$ 的卡诺图及化简过程如题 2.23 解图(a)~(d)所示。化简结果为：

(1) $Y_1 = B' + C'$

(2) $Y_2 = B + A'C + AC'$

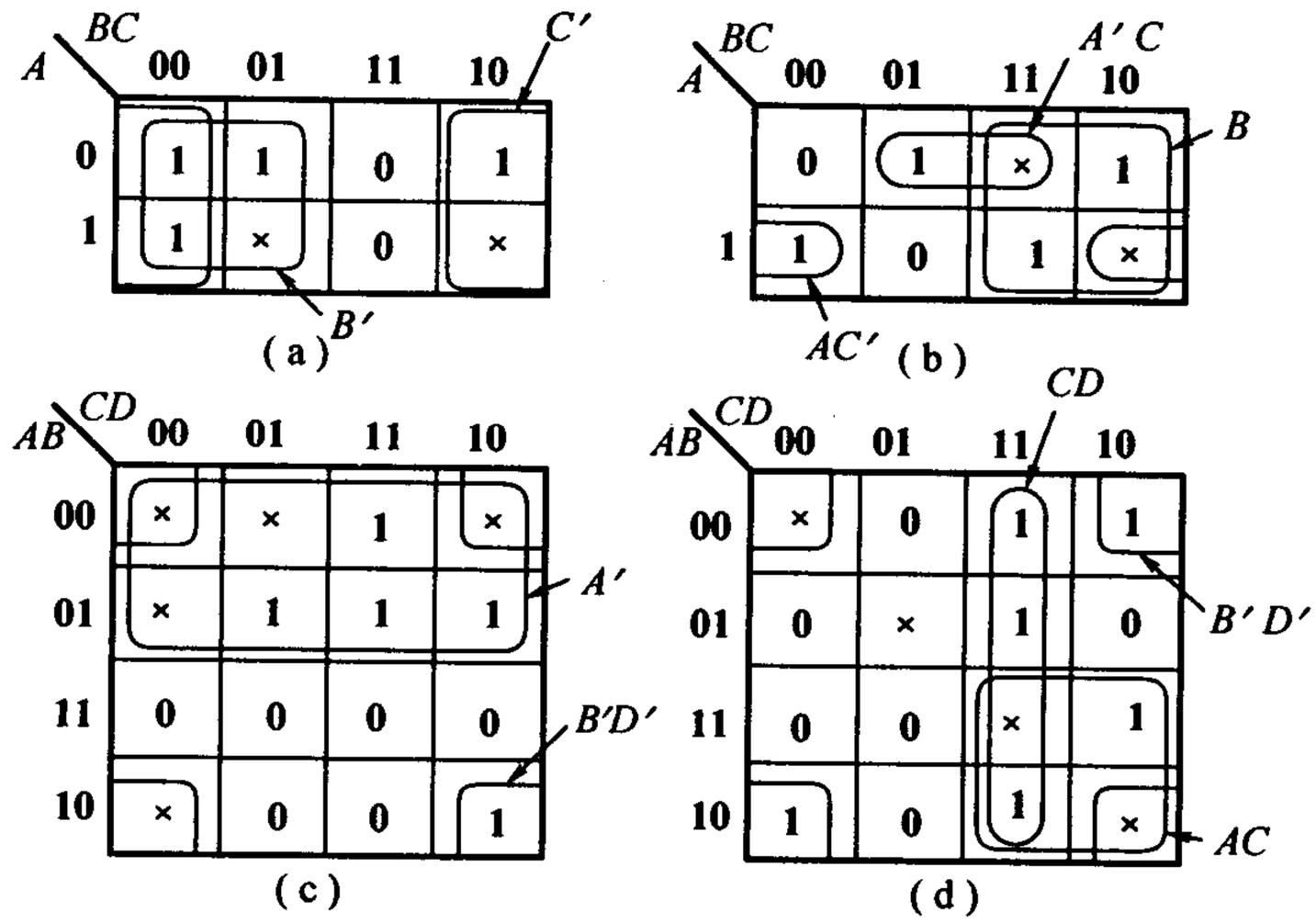
(3) $Y_3 = A' + B'D'$

(4) $Y_4 = AC + CD + B'D'$

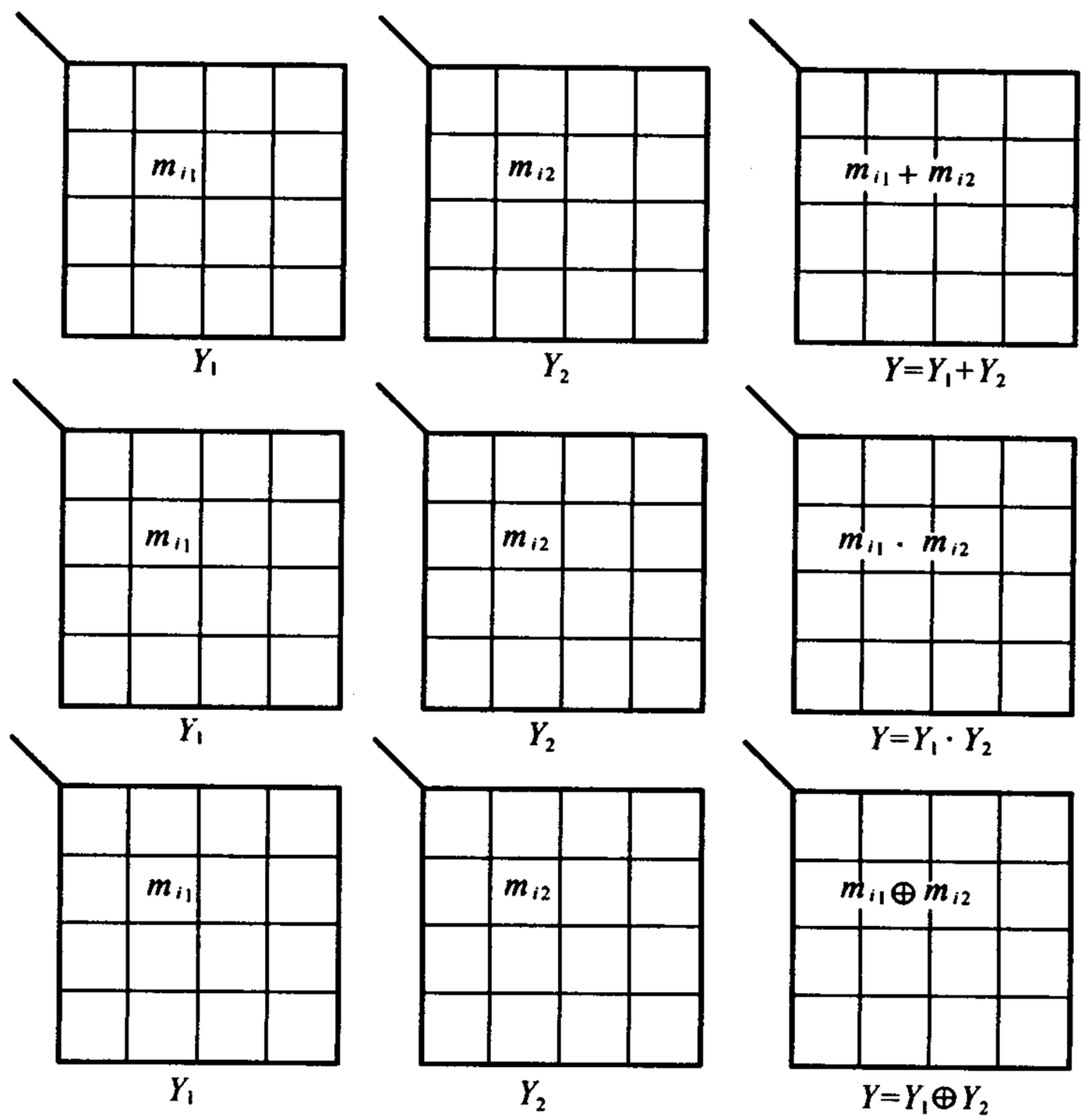
[题 2.24] 试证明两个逻辑函数间的与、或、异或运算可以通过将它们的卡诺图中对应的最小项做与、或、异或运算来实现，如题 2.24 图所示。

解 设两个逻辑函数 Y_1、Y_2 的最小项为 $m_i(i=0,1,2,\cdots,15)$，m_{i1}、m_{i2} 分别为 Y_1 和 Y_2 卡诺图中最小项所对应单元格中的元素(0或1)，则 $Y_1 = \sum m_{i1} m_i$，$Y_2 = \sum m_{i2} m_i$。

(1) 与：由于 $m_i \cdot m_j = \begin{cases} m_i, & i = j \\ 0, & i \neq j \end{cases}$



题2.23解图



题2.24图

$$Y = Y_1 \cdot Y_2 = \sum m_{i1} m_i \cdot \sum m_{i2} m_i = \sum (m_{i1} \cdot m_{i2}) m_i$$

可见，Y 的卡诺图单元格中的元素为 $m_{i1} \cdot m_{i2}$。

(2) 或 $$Y = Y_1 + Y_2 = \sum m_{i1} m_i + \sum m_{i2} \cdot m_i = \sum (m_{i1} + m_{i2}) m_i$$

Y 的卡诺图单元格中的元素为 $m_{i1} + m_{i2}$。

(3) 异或 $$Y_1' = \sum (m_{i1})' m_i, Y_2' = \sum (m_{i2})' m_i$$

$$\begin{aligned} Y = Y_1 \oplus Y_2 &= Y_1 Y_2' + Y_1' Y_2 \\ &= \sum m_{i1} m_i \cdot \sum (m_{i2})' m_i + \sum (m_{i1})' m_i \sum m_{i2} m_i \\ &= \sum (m_{i1} (m_{i2})') m_i + \sum (m_{i1}' \cdot m_{i2}) m_i \\ &= \sum (m_{i1} m_{i2}' + m_{i1}' m_{i2}) m_i \\ &= \sum (m_{i1} \oplus m_{i2}) m_i \end{aligned}$$

即 Y 的卡诺图中单元格内的元素为 $m_{i1} \oplus m_{i2}$。

[题 2.25] 利用卡诺图之间的运算(参见上题)将下列逻辑函数化为最简与或式。

(1) $Y = (AB + A'C + B'D)(AB'C'D + A'CD + BCD + B'C)$

(2) $Y = (A'B'C + A'BC' + AC)(AB'C'D + A'BC + CD)$

(3) $Y = (A'D' + C'D + CD') \oplus (AC'D' + ABC + A'D + CD)$

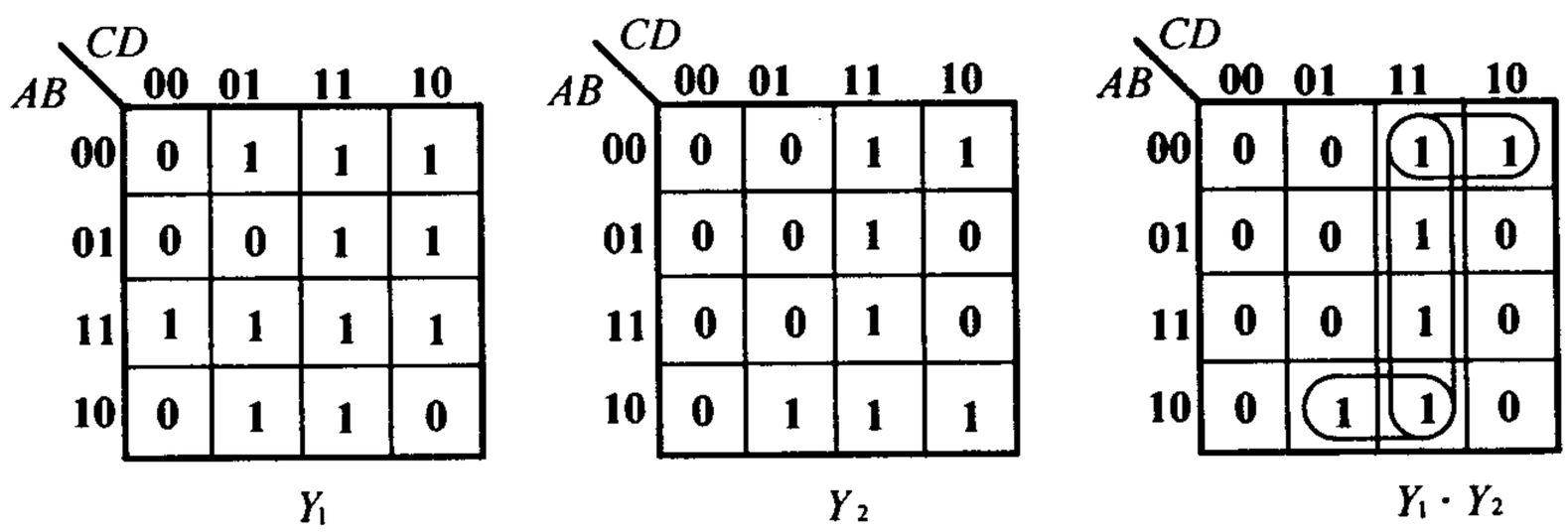
(4) $Y = (A'C'D' + B'D' + BD) \oplus (A'BD' + B'D + BCD')$

解 (1)令 $Y_1 = AB + A'C + B'D$，$Y_2 = AB'C'D + A'CD + BCD + B'C$，则 $Y = Y_1 \cdot Y_2 = AB'D + A'B'C + CD$，如题 2.25 解图(a)所示。

(2)令 $Y_1 = A'B'C + A'BC' + AC$，$Y_2 = AB'C'D + A'BC + CD$，则 $Y_1 \cdot Y_2 = ACD + B'CD$，如题 2.25 解图(b)所示。

(3)令 $Y_1 = A'D' + C'D + CD'$，$Y_2 = AC'D' + ABC + A'D + CD$，则 $Y_1 \oplus Y_2 = AB' + A'C + AD + C'D'$，如题 2.25 解图(c)所示。

(4)令 $Y_1 = A'C'D' + B'D' + BD$，$Y_2 = A'BD' + B'D + BCD'$，则 $Y_1 \oplus Y_2 = (BC'D')' = B' + C + D$，如题 2.25 解图(d)所示。



(a)

AB \ CD	00	01	11	10
00	0	0	1	1
01	1	1	0	0
11	0	0	1	1
10	0	0	1	1

Y_1

AB \ CD	00	01	11	10
00	0	0	1	0
01	0	0	1	1
11	0	0	1	0
10	0	1	1	0

Y_2

AB \ CD	00	01	11	10
00	0	0	1	0
01	0	0	0	0
11	0	0	1	0
10	0	0	1	0

$Y_1 \cdot Y_2$

(b)

AB \ CD	00	01	11	10
00	1	1	0	1
01	1	1	0	1
11	0	1	0	1
10	1	0	0	1

Y_1

AB \ CD	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	1	0	1	1
10	1	0	1	0

Y_2

AB \ CD	00	01	11	10
00	1	0	1	1
01	1	0	1	1
11	1	1	1	0
10	1	1	1	1

$Y_1 \oplus Y_2$

(c)

AB \ CD	00	01	11	10
00	1	0	0	1
01	1	1	1	0
11	0	1	1	0
10	1	1	0	1

Y_1

AB \ CD	00	01	11	10
00	0	1	1	0
01	1	0	0	1
11	0	0	0	1
10	0	1	1	0

Y_2

AB \ CD	00	01	11	10
00	1	1	1	1
01	0	1	1	1
11	0	1	1	1
10	1	1	1	1

$Y_1 \oplus Y_2$

(d)

题2.25解图

[题2.26]　用Multisim7求下列函数的反函数式，并将得到的函数式化简成最简与或形式。

(1) $Y = AB + C$

(2) $Y = (A + BC)C'D$

(3) $Y = ((A + B')(A' + C))'AC + BC$

(4) $Y = ((AB')'C + C'D)'(AC + BD)$

(5) $Y = AD' + A'C' + B'C'D + C$

(6) $Y = E'F'G' + E'F'G + E'FG' + E'FG + EF'G' + EF'G + EFG' + EFG$

解 (1)运行 Multisim7 程序,启动逻辑转换器,输入逻辑$(AB+C)'$,点击右侧第四个按钮,再点击第三个按钮,即可完成转换及化简,结果为 $Y'=A'B'+B'C'$,其他小题方法类似。

(2)$Y'=A'+C+D'$

(3)$Y'=B'+C'$

(4)$Y'=A'+B+C'$

(5)$Y'=AC'D$

(6)$Y'=0$

[题 2.27] 用 Multisim7 将下列逻辑函数式化为最简与或形式。

(1)$Y(A,B,C,D)=((AB+B'D)(A'C')')'(CD'+AD)$

(2)$Y(A,B,C,D,E)=ABCD'E+A'B'D'E+AC'DE+A'C(BE+(C'D)')'$

(3)$Y(A,B,C,D,E)=\sum m(0,4,11,15,16,19,20,23,27,31)$

(4)$Y(A,B,C,D,E)=\sum m(1,3,5,8,9,12,13,18,19,22,23,24,25,28,29)$

(5)$Y(A,B,C,D,E)=\sum m(2,9,15,19,20,23,24,25,27,28)+d(5,6,16,31)$

(6)$Y(A,B,C,D,E)=\sum m(1,4,5,8,9,10,13,14,19,20,22,23,26,28)+d(0,11,12,18,30)$

(7)$Y(A,B,C,D,E,F)=\sum m(0,4,8,11,12,15,16,17,20,21,27,31,32,36,59,63)$

(8)$Y(A,B,C,D,E,F)=\sum m(3,7,9,11,13,15,16,19,27,29,31,41,43,45,47,48)$

(9)$Y(A,B,C,D,E,F)=\sum m(8,9,12,14,15,19,20,23,24,29,36,41,42,51,52,57,58)$
$+d(3,6,21,22,33,34,35,49,50)$

(10)$Y(A,B,C,D,E,F)=\sum m(0,4,9,11,15,25,27,31,32,41,45,53,59,63)$
$+d(13,29,36,43,47,57,61)$

解 运行 multisim7 程序,启动逻辑转换器,输入逻辑式,方法同题 2.26,化简结果如下:

(1)$Y=A'CD'+B'CD'$

(2)$Y=A'B'D'E+AC'DE+ABCD'E'$

对于最小项之和形式的逻辑式,选择转换器上面的选择按钮 A、B、C、D、E,这五个变量的全部取值组合显示在操作面板中。在输出栏内,将逻辑式中包函的最小项对应的输出置为1,无关项对应的输出置为×,其余的置为0,这样得到了真值表。再点击右侧第三个按钮,就完成了由真值表到逻辑式的转换和化简。化简结果如下:

(3)$Y=B'D'E'+ADE+BDE$

(4)$Y=A'B'C'E+A'D'E=AB'D+BD'$

(5)$Y=A'B'DE'+BCDE+BC'D'E+ADE+AD'E'$

(6)$Y=A'D'+AB'D+BDE'+CD'E'$

(7)$Y=A'B'E'F'+A'BC'E'+A'CEF+B'C'E'F'+BCFF$

(8)$Y=A'B'EF+A'D'EF+A'CDF+B'CF+BC'D'E'F'+CEF$

(9)$Y=A'B'CD'E'+A'B'CE'F'+A'B'CDE+A'BC'D+A'CD'E'F'+A'BDE'F+C'D'EF+AC'DE'F'$
$+AD'E'F+AD'EF'$

(10)$Y=B'C'E'F'+ABDE'F+CF$

同步训练题

1.利用公式化简法将下列逻辑函数式化为最简与或式。

(1)$(AB)' + AC + C'D + B'(CD)' + BC'E + BCF$;

(2)$A'B'C' + A'B'D' + B'C'D' + AB'D' + AB'C$;

(3)$(AB + A'B')' \cdot (AC' + B')'$;

(4)$(AC' + BD + A'BC)'$。

2.利用卡诺图化简法将下列逻辑函数式化为最简与或式。

(1)$Y_1 = AC' + B'C' + ABC + A'BC'$;

(2) $Y_2(A,B,C) = \sum m(0,1,2,5)$;

(3)$Y_3 = AB' + BC'D' + ABD + A'BC'D$;

(4) $Y_4(A,B,C,D) = \sum m(3,4,5,6,9,10,12,13,14,15)$。

3.写出下列逻辑函数的真值表。

(1)$Y_1 = A'B + BC' + AC$;

(2)$Y_2 = C'D' + AB'D' + A'BC' + ABCD$。

4.试画出用于非门和反相器实现下列逻辑函数的逻辑图。

(1)$Y_1 = [A(B + C)]'$;

(2)$Y_2(A,B,C) = \sum m(0,1,4,6)$。

5.试画出用与或非门和反相器实现下列逻辑函数的逻辑图。

(1)$Y_1 = AB'C + BC' + A'B'$;

(2) $Y_2(A,B,C,D) = \sum m(0,1,2,5,6,7,8,9,13,14,15)$。

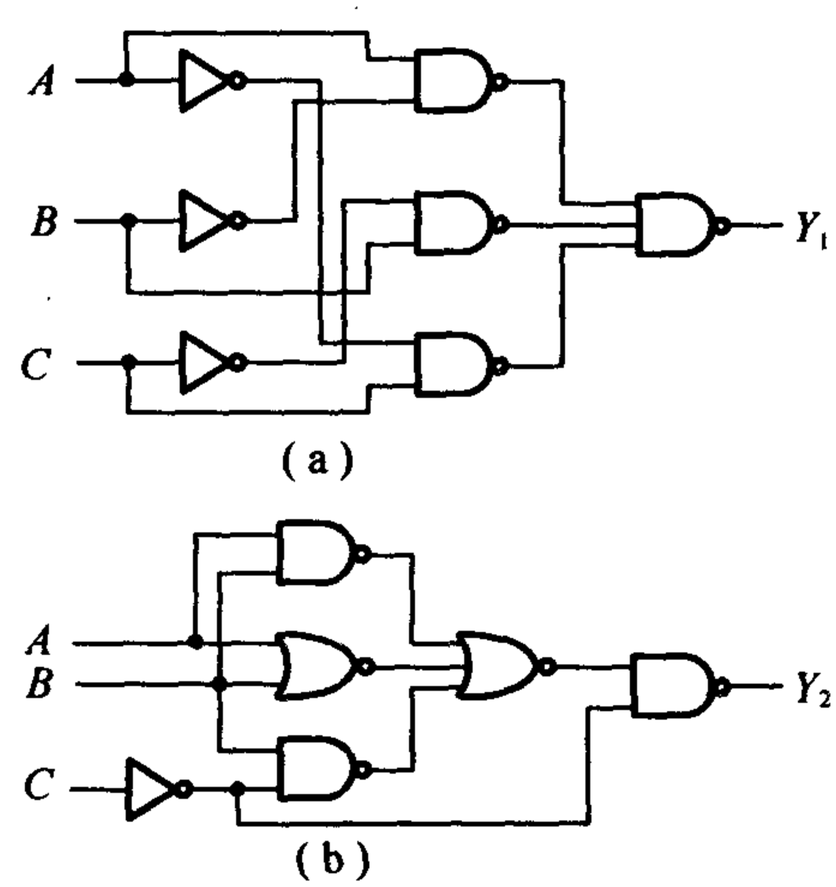
6.将下列逻辑函数式化为最小项之和的形式。

(1) $Y = (A'(B + C'))'$;

(2)$Y = (A'B' + ABC)'(B + CD')$。

7.写出题7图中各逻辑图的逻辑函数式,并化简为最简与或形式。

8.已知逻辑函数 Y 的真值表如表T2.8所示,试分别写出 Y 的与或形式和与或非形式的逻辑函数式。



题7图

表 T2.8

A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
Y	0	1	1	0	1	0	0	1

9.利用卡诺图化简法将下列逻辑函数式化为最简与或式。

(1) $Y_1(A,B,C,D)=\sum m(0,2,4,5,7,8)$,约束条件 $AB+AC=0$。

(2) $Y_2(A,B,C,D)=\sum m(2,4,6,7,12,15)+\sum d(0,1,3,8,9,11)$。

同步训练题答案

1.解 (1)

$$\begin{aligned}&(AB)'+AC+C'D+B'(CD)'+BC'E+BCF\\&=A'+B'+AC+C'D+B'(CD)'+BC'E+BCF\\&=A'+B'+C+C'D+C'E+CF=A'+B'+C+D+E\end{aligned}$$

(2)

$$\begin{aligned}A'B'C'+A'B'D'+B'C'D'+AB'D'+AB'C&=A'B'C'+B'D'+B'C'D'+AB'C\\&=A'B'C'+B'D'+AB'C\end{aligned}$$

(3)

$$\begin{aligned}(AB+A'B')'\cdot(AC'+B')'&=(A'B+AB')\cdot(AC')'\cdot B\\&=(A'B+AB')\cdot(A'+C)\cdot B\\&=(A'B+A'BC+AB'C)\cdot B=A'B\end{aligned}$$

(4)

$$\begin{aligned}(AC'+BD+A'BC)'&=(AC')'\cdot(BD)'\cdot(A'BC)'\\&=(A'+C)\cdot(B'+D')\cdot(A+B'+C')\\&=(A'B'+A'D'+B'C+CD')(A+B'+C')\\&=A'B'+A'B'C'+A'B'D'+A'C'D'+AB'C+B'C+ACD'+B'CD'\\&=A'B'+A'C'D'+B'C+ACD'\end{aligned}$$

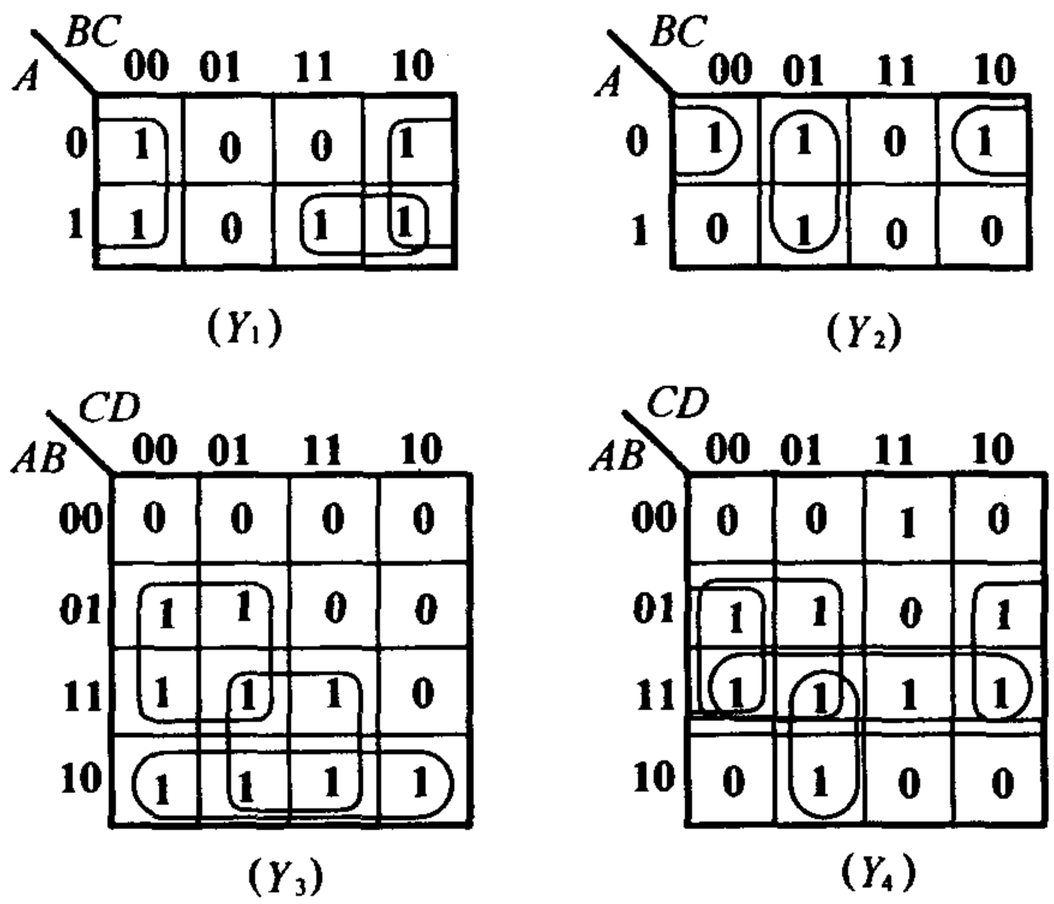
2.解

由题2解图卡诺图可得

(1) $Y_1=C'+AB$; (2) $Y_2=A'C'+B'C$; (3) $Y_3=AB'+BC'+AD$;

(4) $Y_4=AB+BC'+BD'+AC'D+ACD'+A'B'CD$。

3.解 (1) Y_1 的真值表如表 B2.3(a)所示。



题2解图

表 B2.3(a)

A	B	C	Y_1	A	B	C	Y_1
0	0	0	0	1	0	0	0
0	0	1	0	1	0	1	1
0	1	0	1	1	1	0	1
0	1	1	1	1	1	1	1

(2) Y_2 的真值表如表 B2.3(b)所示。

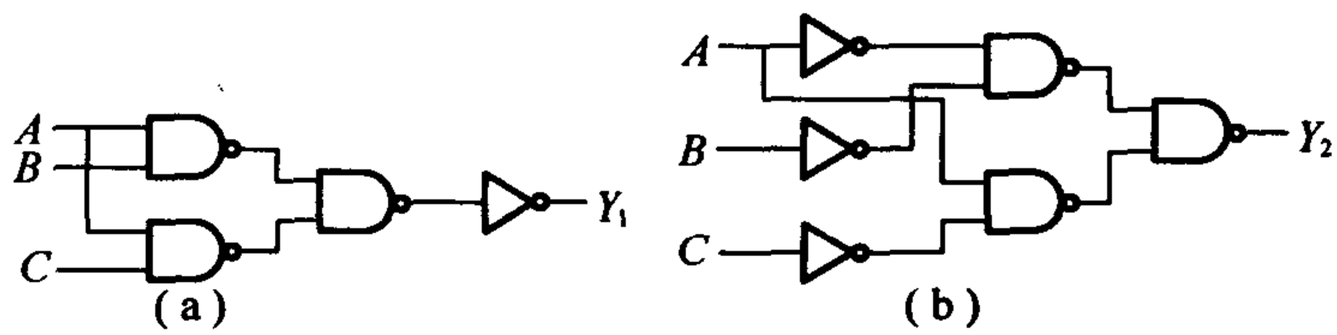
表 B2.3(b)

A	B	C	D	Y_2	A	B	C	D	Y_2
0	0	0	0	1	1	0	0	0	1
0	0	0	1	0	1	0	0	1	0
0	0	1	0	0	1	0	1	0	1
0	0	1	1	0	1	0	1	1	0
0	1	0	0	1	1	1	0	0	1
0	1	0	1	1	1	1	0	1	0
0	1	1	0	0	1	1	1	0	0
0	1	1	1	0	1	1	1	1	1

4.解 (1) $Y_1=(AB+AC)'=[((AB)'\cdot(AC)')']'$；

(2) $Y_2=A'B'C'+A'B'C+AB'C'+ABC'=A'B'+AC'=[(A'B')'\cdot(AC')']'$。

逻辑图如题4解图(a),(b)所示。

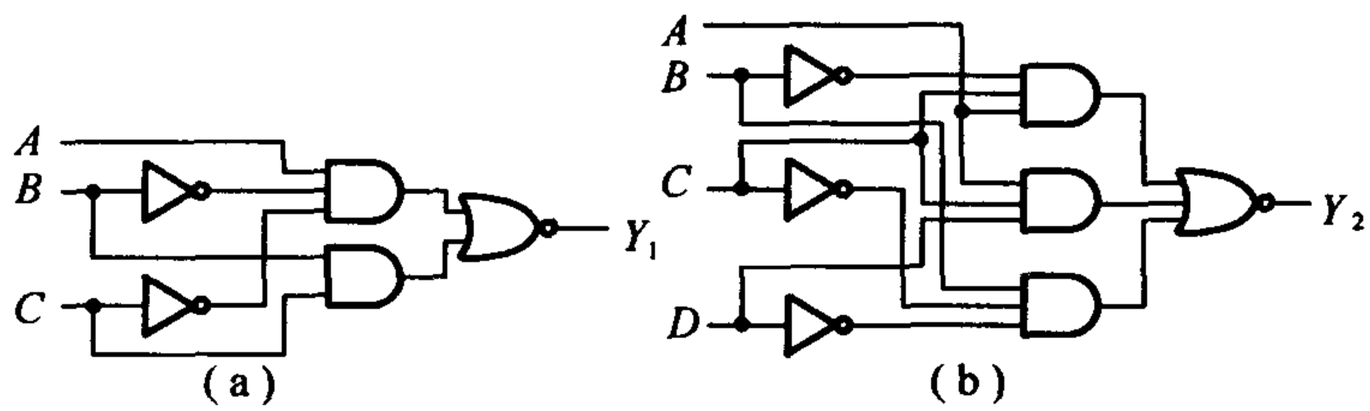


题4题图

5.解 (1) $Y_1=\sum m(0,1,2,5,6)=[\sum m(3,4,7)]'=(AB'C'+A'BC+ABC)'=(AB'C'+BC)'$；

(2) $Y_2(A,B,C,D)=[\sum m(3,4,10,11,12)]'=(BC'D'+ACD+AB'C)'$。

逻辑图如题5解图(a),(b)所示。



题5解图

6.解

(1) $Y=A+(B+C')'=A+B'C=A'B'C+AB'C'+AB'C+ABC'+ABC$；

(2) $Y=(A'B')'\cdot(ABC)'\cdot(B+CD')=(A+B)(A'+B'+C')(B+CD')$

$=AB'CD'+A'B+BC'$

$=A'BC'D'+A'BC'D+A'BCD'+A'BCD+AB'CD'+ABC'D'+ABC'D$

7.解

$$Y_1=[(AB')'\cdot(BC')'\cdot(A'C)']'=AB'+BC'+A'C$$

$$Y_2=((AB+(A+B)'+BC')'\cdot C')'=AB+(A+B)'+BC'+C=A'+B+C$$

8.解

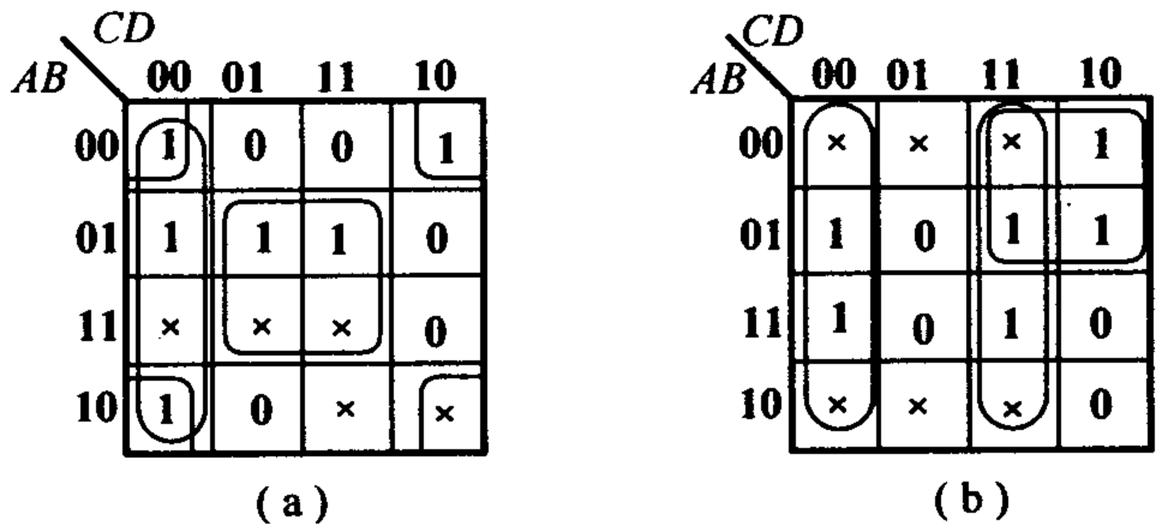
与或式：$Y=A'B'C+A'BC'+AB'C'+ABC$。

与或非式：$Y=(A'B'C'+A'BC+AB'C+ABC')'$。

9.解 由题9解图所示卡诺图可得

(1) $Y_1=C'D'+BD+B'D'$；

(2) $Y_2=A'C+CD+C'D'$。


CD
AB
00 01 11 10
00 1 0 0 1
01 1 1 1 0
11 × × × 0
10 1 0 × ×
(a)
CD
AB
00 01 11 10
00 × × × 1
01 1 0 1 1
11 1 0 1 0
10 × × × 0
(b)

题9解图

第3章 门 电 路

知 识 要 点

3.1 二极管的开关特性

工作在数字电路中的二极管有三种近似开关模型。

1.当二极管的正向导通压降和导通电阻与外电路的等效电源和等效电阻相比都不太小时,二极管的正向导通压降和导通电阻均不能忽略,其伏安特征曲线可用一个折线代替。

2.与外电路的等效电阻相比,二极管的导通电阻很小时,可以忽略该电阻,但不能忽略二极管的正向导通压降。其伏安特征曲线可用一个垂直于二极管开启电压的直线代替。

3.只有当二极管的正向导通压降和导通电阻与外电路的等效电源和等效电阻相比都很小时,二极管的正向导通压降和导通电阻均可忽略,此时,二极管是一个理想开关。

模型2是数字电路中常用的。

3.2 CMOS门电路

3.2.1 反相器电路结构

CMOS反相器以N沟道增强型MOS管作为驱动管,以P沟道增强型MOS管作为负载管,为互补对称式电路。

1.电压传输特性

输入电压 V_O 随输入电压 V_I 变化的曲线称为电压的传输特征。

2.静态特征

(1)输入特征:输入电流 I_I 与输入电压 V_I 的关系。

(2)输出特性:输出电压 V_O 与输出电流 I_O 的关系。

3.动态特征

(1)传输延迟时间 t_{pd}:输入电压波形滞后于输入电压波形的时间,常由实验方法测定。

(2)交流噪声容限:受电源电压和负载电容的影响。

(3)动态功耗:当CMOS反相器从一种稳定工作状态突然转变到另一种稳定状态的过程

中,将产生附加的功耗,称之为动态功耗。

3.2.2 电路类型

1.按逻辑功能分为非门(反相器)、与非门、或非门、与或非门和异或门等;
2.按电路结构分为互补对称式电路、漏极开路门(OD)、传输门(TG)、三态门(TS)等;
3.改进系列如高速 CMOS 电路、Bi - CMOS 电路、74HC 系列等。

3.2.3 主要特点

静态功耗低,集成度高,抗干扰能力强,电源电压范围宽。

3.2.4 CMOS 电路使用需注意的问题

1.输入端不允许直接接电源或地;除 OD 门和三态门外,不允许两个器件的输出端直接并联。

2.输入端连接时应注意:多余的输入端不允许悬空,应按逻辑要求接 V_{DD}或地。

3.如果输入端通过一个负载电阻接地,则无论阻值多大,都相当于输入低电平。

3.3 TTL 门电路

3.3.1 电路类型

1.逻辑功能分为非门(反相器)、与非门、或非门、与或非门和异或门等;
2.按电路结构分为:推拉式输入级门电路、集电极开路门(OC 门)、三态门(TS 门)等。

3.3.2 特性和参数

1.电压传输特性

输入电压 V_O 随输入电压 V_I 变化的曲线称为电压的传输特征。特性参数有输出高电平 V_{OH};输出低电平 V_{OL};阈值电压 V_{TH}。

2.静态特征

(1)输入特征:输入电流 I_I 与输入电压 V_I 的关系曲线。特性参数有输入低电平电流 I_{IL},输入高电平电流 I_{IH}。

(2)输出特性:输出电压 V_O 与输出电流 I_O 的关系曲线。特性参数有最大允许拉电流 $I_{H(max)}$;最大允许灌电流 $I_{L(max)}$,扇出系数 N。

(3)输入负载特性:输入电压 V_I 与输入负载电阻 R_P 的关系。

注意问题:当 TTL 门电路某一输入端与地之间或与信号的低电平之间接入电阻 R_P 时,该

输入端的逻辑状态随输入端负载电阻的大小而变化。

3.动态特征

传输延迟时间 t_{pd}:输入电压波形滞后于输入电压波形的时间,常由实验方法测定。

3.4 本章重点

1.门电路的输入输出特性和输入端负载特性。

2.门电路的开路输出和三态输出的特点及应用。

难点在于门电路的结构和工作原理以及其参数计算。

书后复习思考题解答

R3.2.1 为什么在原教材图 3.2.3 中给出了三种不同形式的二极管等效电路?它们各适用于什么场合?

答 当二极管外电路的电效电压源和等效电阻与二极管的导通压降和导通电阻相比处于不同情况时,分别采用这三种不同形式的二极管等效电路。

(1)当外电路的等效电源 V_{CC}和等效电阻都很小时,二极管的正向导通压降和正向电阻都不能忽略,此时用原教材中图 3.2.3(a)的折线来近似二极管的特性。

(2)当二极管的正向导通压降与外电路的电源电压相比不能忽略,而外电路的电阻与二极管的正向电阻相比可以忽略时,采用原教材中图 3.2.3(b)的近似特性。

(3)当二极管的正向导通压降和正向电阻与外电路的电压和电阻相比,均可忽略时,可将二极管视为理想开关,用原教材中图 3.2.3(c)的特性近似。

R3.2.2 为什么不宜将多个二极管门电路串联起来使用。

答 当串联二极管支路导通时,每经历一个二极管,其输出电位就降低了一个二极管压降,串联的二极管越多,电位下降的就越多。所以不宜将多个二极管串联使用。

R3.3.1 在什么条件下才可以将原教材中图 3.3.4 中的 MOS 管近似地看作一个理想开关?

答 当 $V_I = V_{GS} < V_{GS(th)}$时,只要负载电阻 R_D 远远小于 MOS 管的截止电阻 R_{OFF},MOS 管的 D-S 之间就相当于一个断开的开关。

(2)当 $V_I = V_{GS} > V_{GS(th)}$,并且在 V_{GS}较高的情况下,MOS 管的导通内阻 R_{ON}变得很小,只要 $R_D \gg R_{ON}$,则 MOS 管的 D-S 之间相当于一个闭合的开关。

R3.3.2 N 沟道增强型 MOS 管和 P 沟道增强型 MOS 管在导通状态下 V_{GS}和 V_{DS}的极性有何不同?

答 (1)N 沟道增强型 MOS 管导通时,V_{GS}为正,V_{DS}为正。

P 沟道增强型 MOS 管导通时,V_{GS}为负,V_{DS}为负。

R3.3.3 什么是开启电压 $V_{GS(th)}$?什么是夹断电压 $V_{GS(off)}$?

答 (1)开启电压 $V_{GS(th)}$:对于增强型 MOS 管,当$|V_{GS}| \geqslant |V_{GS(th)}|$时,D-S 之间形成导电沟道,否则无导电沟道,所以 $V_{GS(th)}$是形成导电沟道的开启电压。

(2)夹断电压 $V_{GS(off)}$:对于耗尽型 MOS 管,在 $V_{GS}=0$ 时导电沟道就存在,当$|V_{GS}| \geqslant |V_{GS(off)}|$时,导电沟

道才消失，所以 $V_{GS(off)}$ 是阻断导电沟道的阈值电压。

R.3.3.4 若将原教材中图 3.3.16(a)所示反相器的输入端经过 100 kΩ 电阻接地，这时输入端电压 v_I 等于多少？

答 $v_I = 0$ V。

R3.3.5 若将原教材中图 3.3.16(a)所示反相器的输入端悬空，这时输入端电压 v_I 是多少？

答 $v_I = \frac{1}{2}V_{DD}$。

R3.3.6 CMOS 电路的动态功耗和哪些电路参数有关？

答 CMOS 电路的动态功耗分为负载电容的充、放电功耗 P_C 和 MOS 管 T_1，T_2 同时导通功耗 P_T 两部分。总的来说，CMOS 电路的功耗与负载电容的容量、信号重复频率、电源电压以及电路内部参数有关。

R3.3.7 你能说明 CMOS 电路功耗电容的物理意义吗？

答 对于 T_1，T_2 支路，其功耗为

$$P_T = \left(\frac{V^2}{R_D}\right)/T = \frac{V^2}{R_D}f = \frac{V_{DD}^2}{R_D}f$$

其中 R_D 为 T_1，T_2 支路的等效导通电阻。

由

$$P_T = C_{PD}fV_{DD}$$

有

$$C_{PD}fV_{DD} = \frac{V_{DD}^2}{R_D}f$$

则有

$$C_{PD} = \frac{1}{R_D}$$

由此可见，C_{PD} 可以看作是 T_1，T_2 支路的电导。

R3.3.8 能否将两个互补输出结构的 CMOS 门电路的输出端并联，接成线与结构？

答 不可以。如果将两个互补输出结构的 CMOS 门电路的输出端并联，有可能产生很大的输出级电流，损坏两个门电路的输出级。

R3.5.1 三极管工作在放大区、截止区、饱和区的条件是什么？三个区的工作特性各有何特点？

答 (1) $V_I < V_{ON}$ 时，三极管工作在截止区，$i_b \approx 0$，$i_c \approx 0$；

(2) $V_{ON} \leqslant V_I$ 且 $I_B < I_{BS} = \frac{V_{CC}}{\beta R_C}$ 时，三极管工作在放大区，$i_B = \frac{V_I - V_{ON}}{R_B}$，$i_C = \beta i_B$；

(3) $V_I \geqslant V_{ON}$ 且 $I_B \geqslant I_{BS} = \frac{V_{CC}}{\beta R_C}$ 时，三极管工作在饱和区，$V_O = V_{CES} \approx 0$ V。

R3.5.2 为什么 74 系列 TTL 反相器的电压传输特性上有一个线性区？

答 由于 0.7 V < V_I < 1.3 V，使得 T_2 导通而 T_5 截止，T_4 导通而造成的。此时 T_2 工作在线性区，随着 V_I 升高，V_{C2} 和 V_O 线性下降，由此形成线性区。

R3.5.3 TTL 反相器空载(输出端开路)时的输出电压是否还是 3.4 V 左右，为什么？

答 是 3.4 V。因为 3.4 V 电平本身就是在没有考虑外电路负载情况下，单纯从电路内部计算得到的电压值。

R3.5.4 TTL反相器的输入端悬空时输入端电压 v_I 等于多少？这时输出是高电平还是低电平？

答 当TTL反相器的某一输入端悬空时，相当于与地之间接入电阻 $R_p=\infty$，根据公式得

$$v_I=\frac{R_p}{R_1+R_p}(V_{CC}-V_{BE1})=V_{CC}-V_{BE1}=5-0.7=4.3\ \text{V}$$

由此可知，输入是高电平，输出是低电平。

R3.5.5 为什么TTL门电路的 t_{PLH} 大于 t_{PHL}？

答 当 $V_O=V_{OH}$ 时，T_4 导通，T_5 截止；当 $V_O=V_{OL}$ 时，T_4 截止，T_5 处于深度饱和状态。因此，在 V_O 由低电平向高电平转化过程中，T_5 由深度饱和向截止转化，当 V_O 由高电平向低电平转化过程中，T_4 由导通向截止转化，由于 T_5 深度饱和状态下所积累的载流子浓度较高，因此需要更长的时间耗散掉载流子而变为截止。因此，t_{PLH} 大于 t_{PHL}。

R3.5.6 TTL电路的电源尖峰电流是怎样产生的？它对系统的工作可能产生哪些影响？

答 由于在动态情况下，特别是当输出电压由低电平突然转变成高电平的过渡过程中，由于 T_5 原来工作在深度饱和状态，所以 T_4 的导通必然先于 T_5 的截止，在短时间内，T_4 和 T_5 同时处于导通的状态，有很大的瞬时电流流过 T_4 和 T_5，使电源电流出现尖峰脉冲。其影响主要体现在两方面：①增加了电源的平均电流，加大了电源负担；②尖峰电流通过电源和地线形成一个系统内部的噪声源，影响电路的可靠性。

R3.5.7 TTL与非门输入端并联时总的输入电流的计算方法和或非门输入端并联时总的输入电流的计算方法有何不同？

答 与非门输入端并联使用，输入高电平时输入电流加倍，输入低电平时输入电流不加倍。或非门输入端并联使用，无论输入高电平还是低电平，输入电流均加倍。

R3.5.8 OC门外接负载电阻允许阻值的计算和OD门外接负载电阻允许阻值的计算有何区别？

答 OC门外接电阻的计算方法和OD门外接电阻的计算方法基本相同。唯一的区别是在多个负载门输入端并联的情况下，OC门低电平输入电流的倍数不一定与输入端数目相等。OD门则相等。

书后习题解析

[题3.1] 在原教材中图3.2.5所示的正逻辑与门和原教材中图3.2.6所示的正逻辑或门电路中，若改用负逻辑，试列出它们的逻辑真值表，并说明 Y 和 A，B 之间是什么逻辑关系。

解 改用负逻辑后的真值表如表A3.1(a)和(b)所示。可见，变成负逻辑后，与门的逻辑式为 $Y=A\cdot B$，或门的逻辑式为 $Y=A+B$，逻辑关系并未改变。

表A3.1(a)

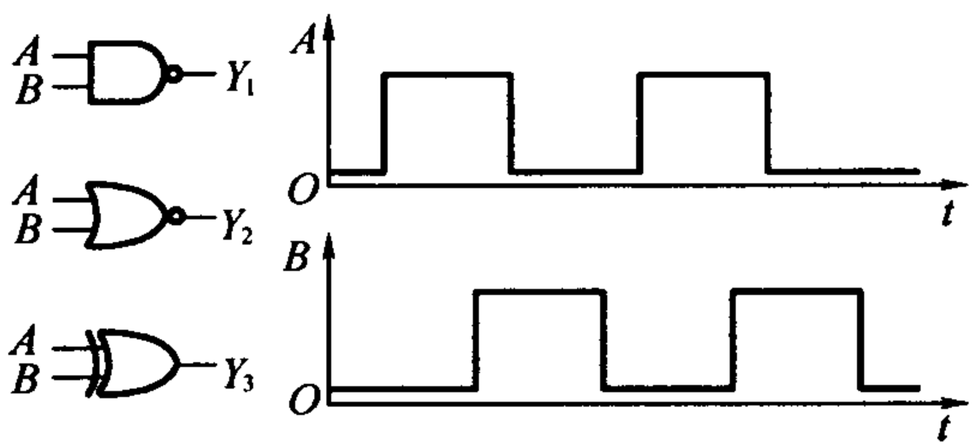
A	B	Y
1	1	1
1	0	1
0	1	1
0	0	0

表A3.1(b)

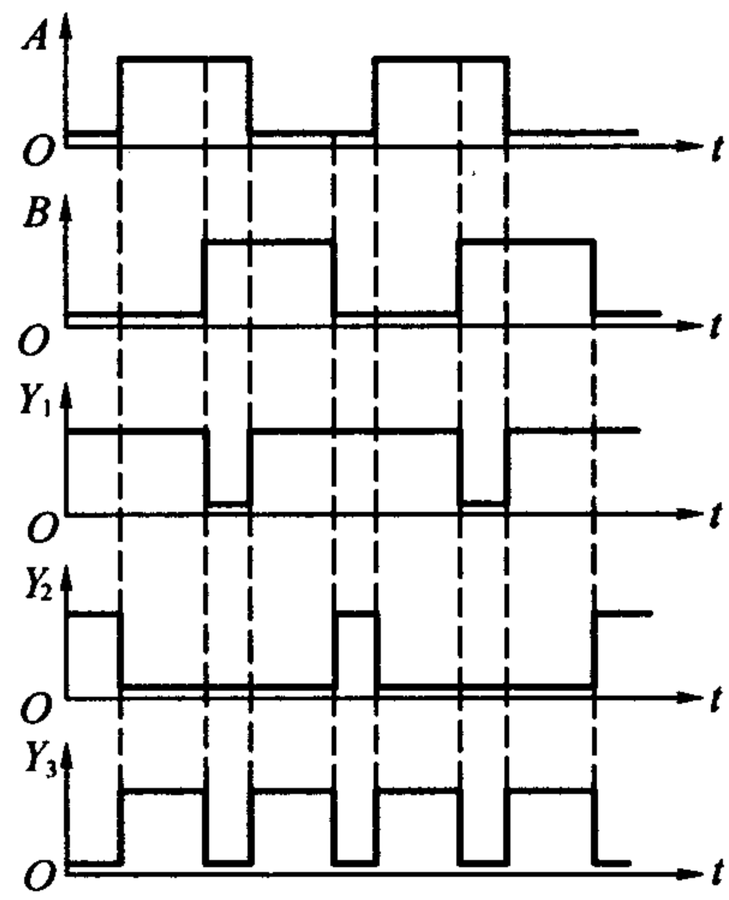
A	B	Y
1	1	1
1	0	0
0	1	0
0	0	0

[题3.2] 试画出题3.2图中各个门电路输出端的电压波形。输入端 A,B 的电压波形如图中所示。

解 Y_1、Y_2 和 Y_3 的波形如题3.2解图。



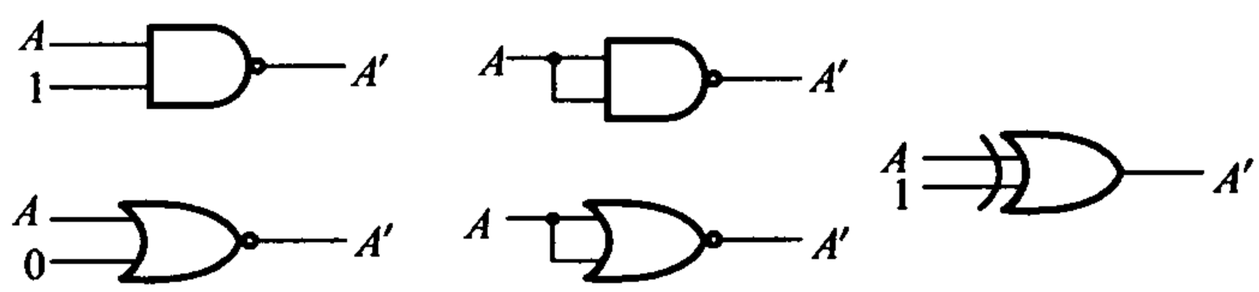
题3.2图



题3.2解图

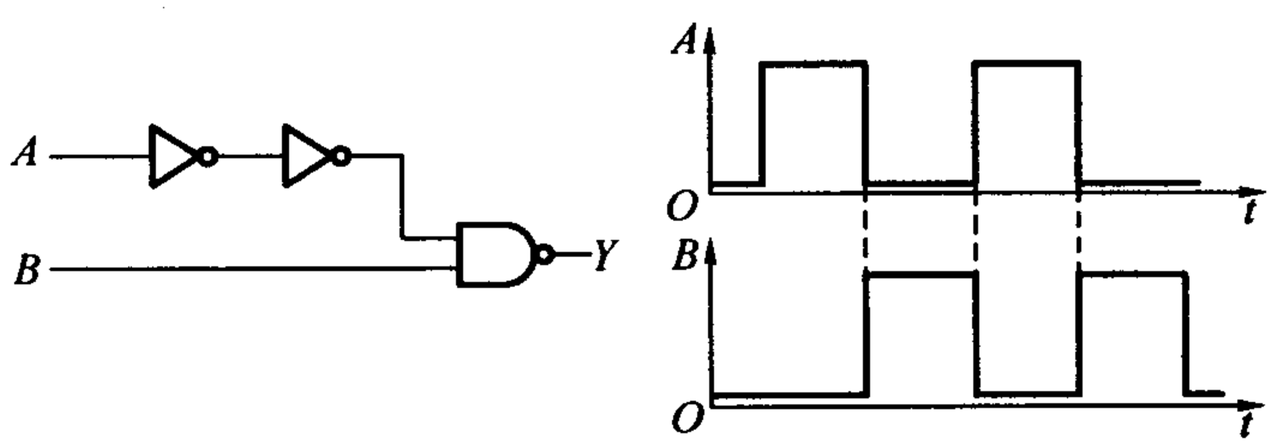
[题3.3] 试说明能否将与非门、或非门、异或门当作反相器使用？如果可以,各输入端应如何连接？

解 都可以当作反相器使用,连接方法如题3.3解图所示。



题3.3解图

[题3.4] 画出题3.4图所示电路在下列两种情况下的输出电压波形：



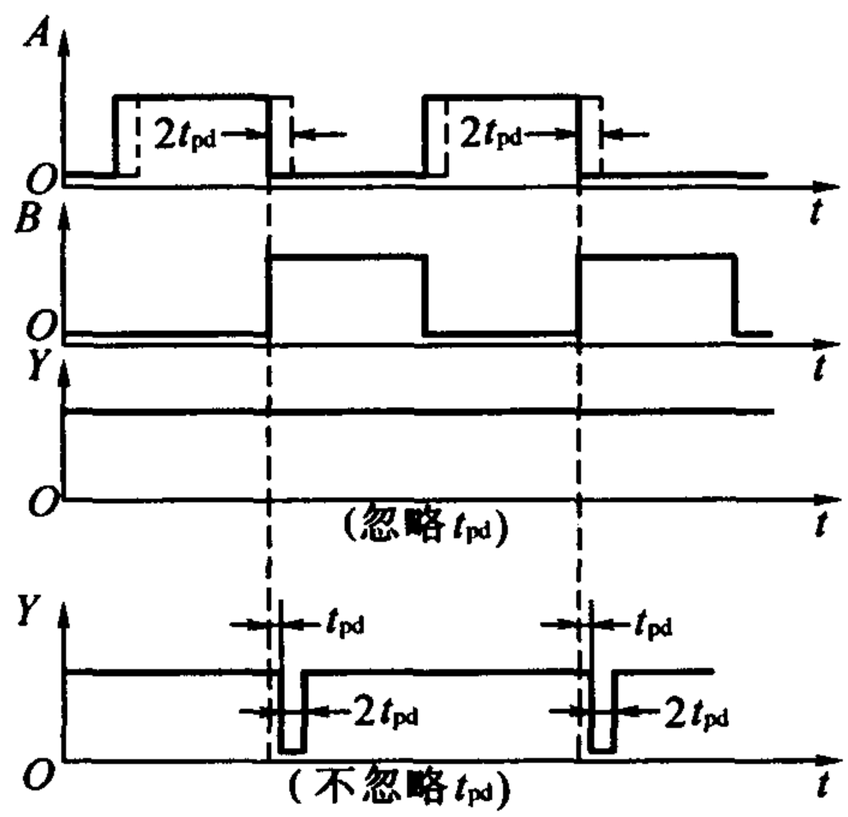
题3.4图

(1)忽略所有门电路的传输延迟时间；

(2)考虑每个门都有传输延迟时间 t_{pd}。

输入端 A,B 的电压波形如图中所示。

解 不忽略 t_{pd}条件下,有竞争-冒险现象,输出电压波形如题 3.4 解图所示。



题 3.4 解图

[题 3.5] 已知 CMOS 门电路的电源电压 $V_{DD}=5$ V,静态电源电流 $I_{DD}=2\ \mu A$,输入信号为 200 kHz 的方波(上升时间和下降时间可忽略不计),负载电容 $C_L=200$ pF,功耗电容 $C_{pd}=20$ pF,试计算它的静态功耗、动态功耗、总功耗和电源平均电流。

解 (1)静态工耗为

$$P_S=I_{DD}V_{DD}=5\times2\times10^{-6}\ \text{W}=0.01\ \text{mW}$$

(2)动态功耗为

$$P_D=(C_L+C_{pd})fV_{DD}^2=(200+20)\times10^{-12}\times2\times10^5\times5^2=1.10\ \text{mW}$$

(3)总功耗为

$$P_{TOT}=P_S+P_D=(0.01+1.10)=1.11\ \text{mW}$$

(4)电源的平均电流为

$$\overline{I}_{DD}=P_{TOT}/V_{DD}=(1.11/5)=0.22\ \text{mA}$$

[题 3.6] 若 CMOS 门电路工作在 5 V 电源电压下的静态电源电流为 5 μA,在负载电容 C_L 为 100 pF、输入信号频率为 500 kHz 时的总功耗为 1.56 mW,试计算该门电路的功耗电容的数值。

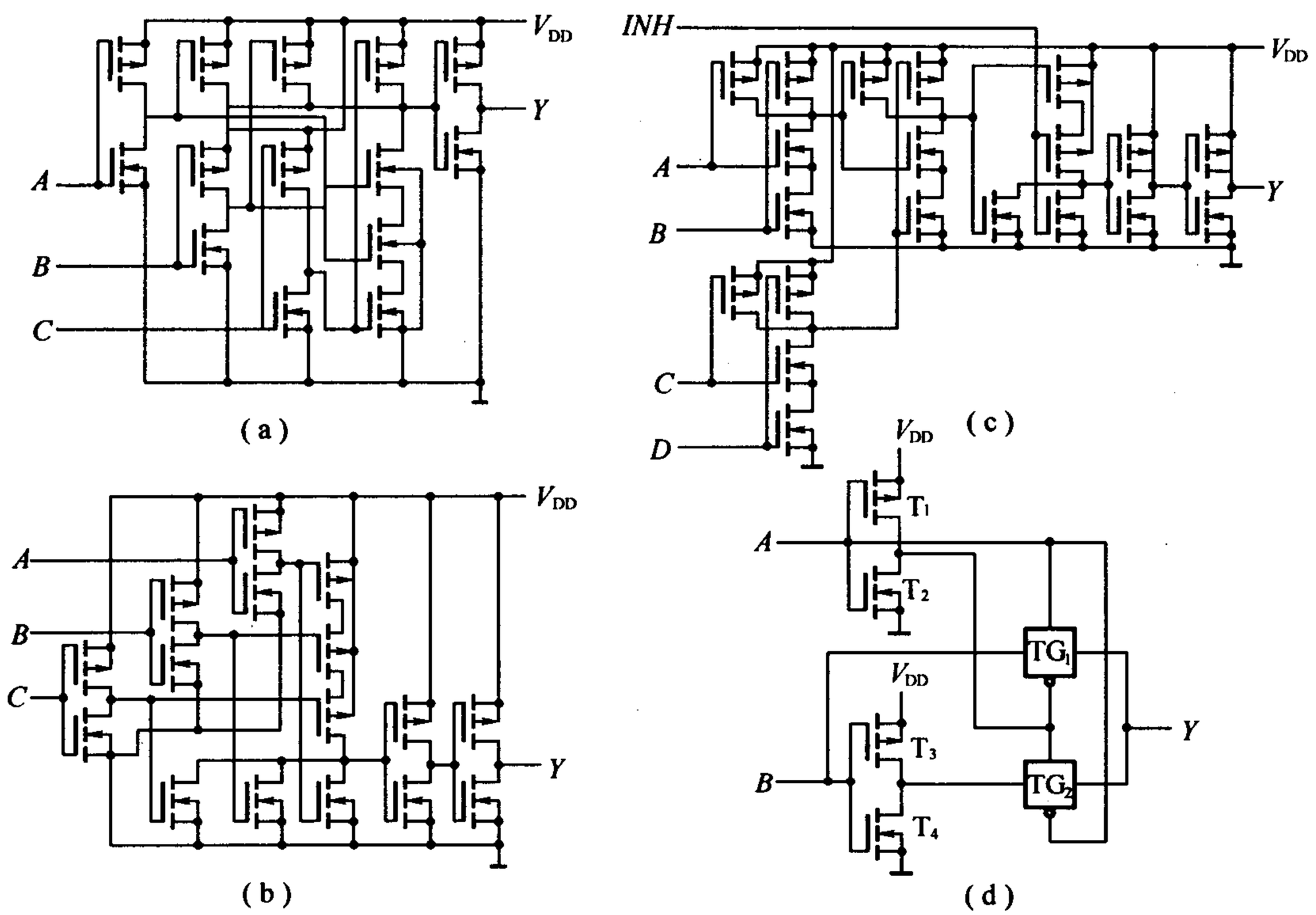
解 动态功耗为

$$P_D=P_{TOT}-P_S=(1.56-5\times5\times10^{-3})\ \text{mW}\approx1.54\ \text{mW}$$

由 $P_D=(C_L+C_{pd})fV_{DD}^2$得

$$C_{pd}=(P_D/fV_{DD}^2)-C_L=\left(\frac{1.54\times10^{-3}}{5\times10^5\times5^2}-100\times10^{-12}\right)\ \text{F}\approx13\ \text{pF}$$

[题3.7] 试分析题3.7图中各电路的逻辑功能,写出输出的逻辑函数式。



题3.7图

解 从输入端开始,逐级写出逻辑式,写到输出级即可得到整个电路的逻辑函数式。

题3.7图(a):$Y=(A+B+C)'$,或非门。

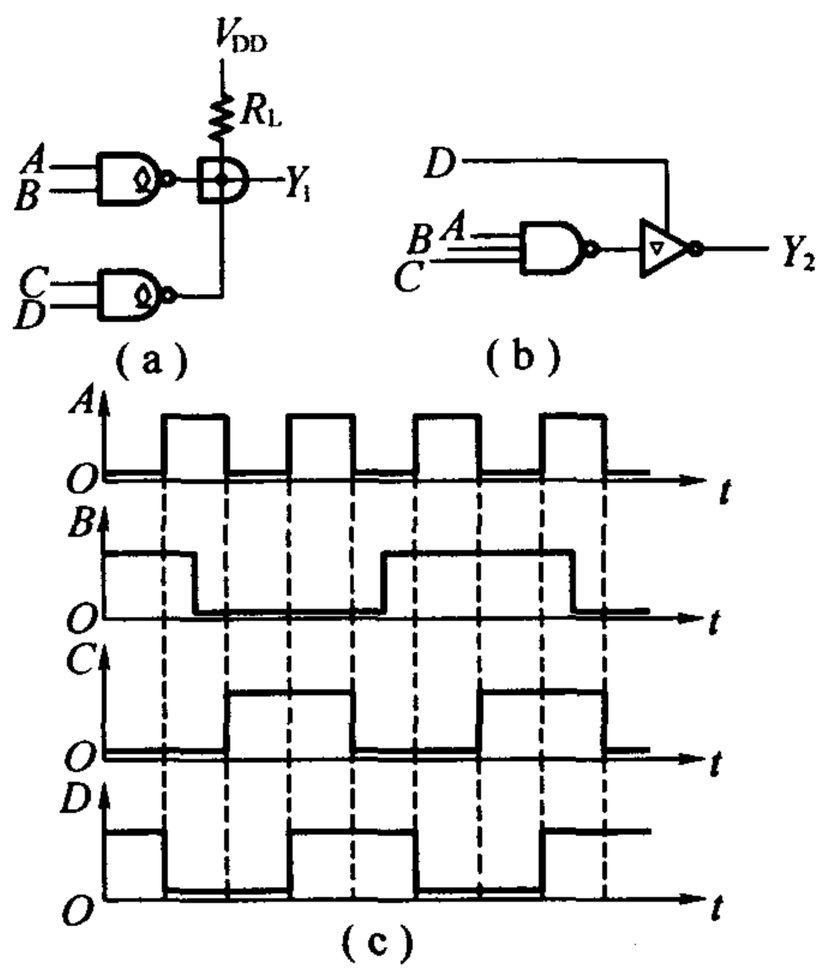
题3.7图(b):$Y=ABC$,与门。

题3.7图(c):$Y=(AB+CD)'\cdot INH'$,低电平使能的或非门。

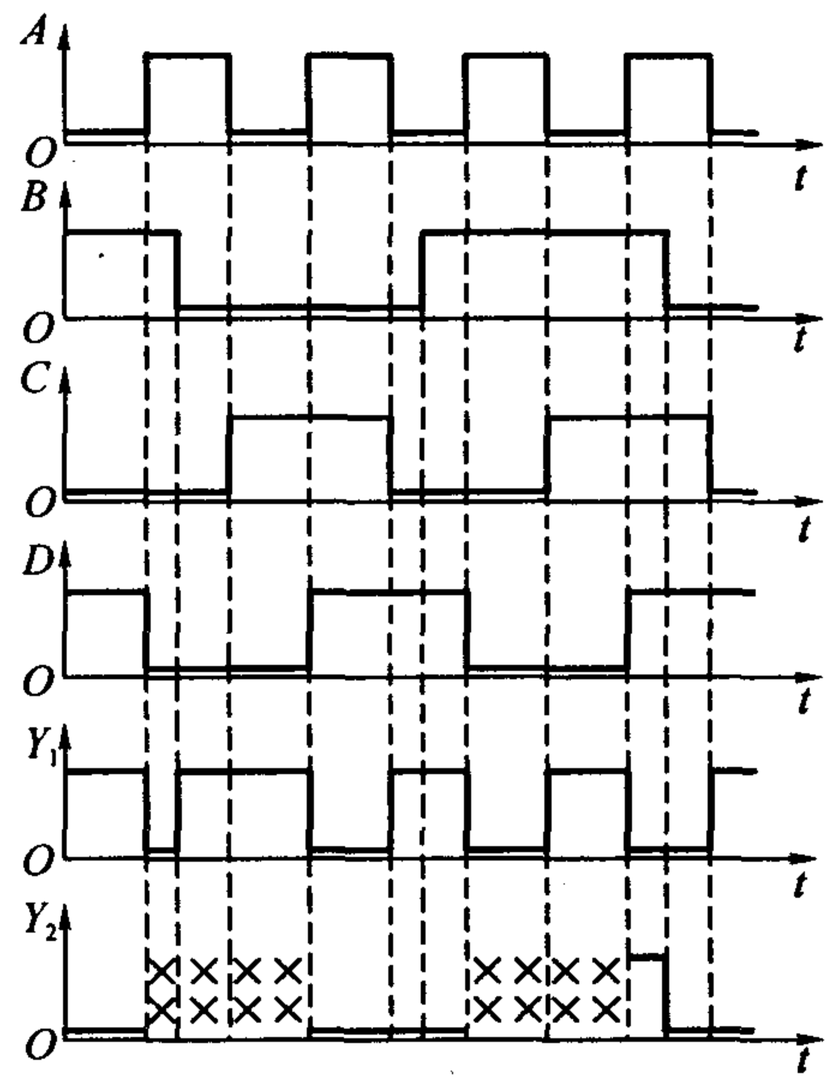
题3.7图(d):$Y=A\odot B$,异或门。

[题3.8] 试画出题3.8图(a),(b)两个电路的输出电压波形。输入电压波形如图(c)所示。

解 Y_1,Y_2 的波形如题3.8解图所示,图中的"×"表示高阻态。

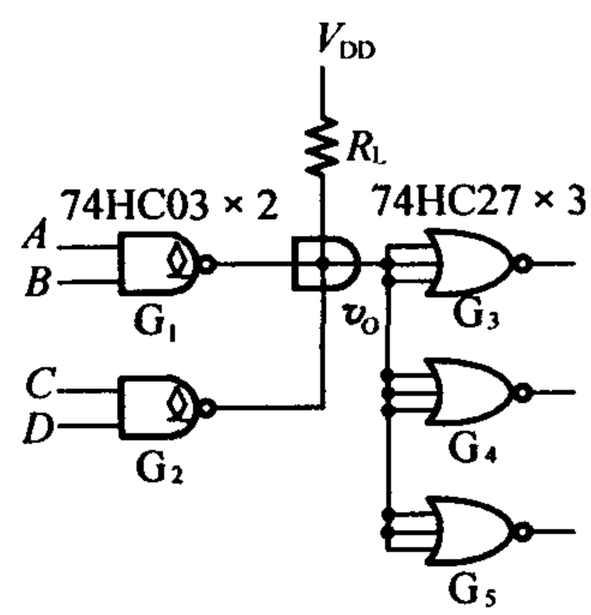


题 3.8 图



题 3.8 解图

[题 3.9] 在题 3.9 图所示电路中，G_1 和 G_2 是两个 OD 输出结构的与非门 74HC03。74HC03 输出端 MOS 管截止时的漏电流为 $I_{OH(max)}=5\ \mu A$；导通时允许的最大负载电流为 $I_{OL(max)}=5.2\ mA$，这时对应的输出电压 $V_{OL(max)}=0.33\ V$。负载门 $G_3\sim G_5$ 是三输入端或非门 74HC27，每个输入端的高电平输入电流最大值为 $I_{IH(max)}=1\ \mu A$，低电平输入电流最大值为 $I_{IL(max)}=-1\ \mu A$。试求在 $V_{DD}=5\ V$、并且满足 $V_{OH}\geqslant 4.4\ V$、$V_{OL}\leqslant 0.33\ V$ 的情况下，R_L 取值的允许范围。



题 3.9 图

解 (1)当驱动门输出高电平时

$$R_{L(max)}=\frac{V_{DD}-V_{OH}}{nI_{OH}+mI_{IH}}=\frac{5-4.4}{2\times5\times10^{-6}+9\times1\times10^{-6}}\ \Omega=31.6\ k\Omega$$

(2)当驱动门输出为低电平时

$$R_{L(min)}=\frac{V_{DD}-V_{OL}}{I_{OL(max)}-|m'I_{IL}|}=\frac{5-0.33}{5.2\times10^{-3}-9\times10^{-6}}\ \Omega=0.9\ k\Omega$$

因此 R_L 的取值范围应为 $0.9\ k\Omega\leqslant R_L\leqslant 31.6\ k\Omega$。

[题 3.10] 题 3.10 图中的 $G_1\sim G_4$ 是 OD 输出结构的与非门 74HC03，它们接成线与结构。试写出线与输出 Y 与输入 $A_1, A_2, B_1, B_2, C_1, C_2, D_1, D_2$ 之间的逻辑关系式，并计算外接电阻 R_L 取值的允许范围。

已知 $V_{DD}=5\ V$，74HC03 输出高电平时漏电流的最大值为 $I_{OH(max)}=5\ \mu A$，低电平输出电流最大值为 $I_{OL(max)}=5.2\ mA$，此时的输出低电平为 $V_{OL(max)}=0.33\ V$。负载门每个输入端的高、低电平输入电流最大值为 $\pm 1\ \mu A$。要求满足 $V_{OH}\geqslant 4.4\ V$，$V_{OL}\leqslant 0.33\ V$。

解 (1) $Y=(A_1A_2+B_1B_2+C_1C_2+D_1D_2)'$

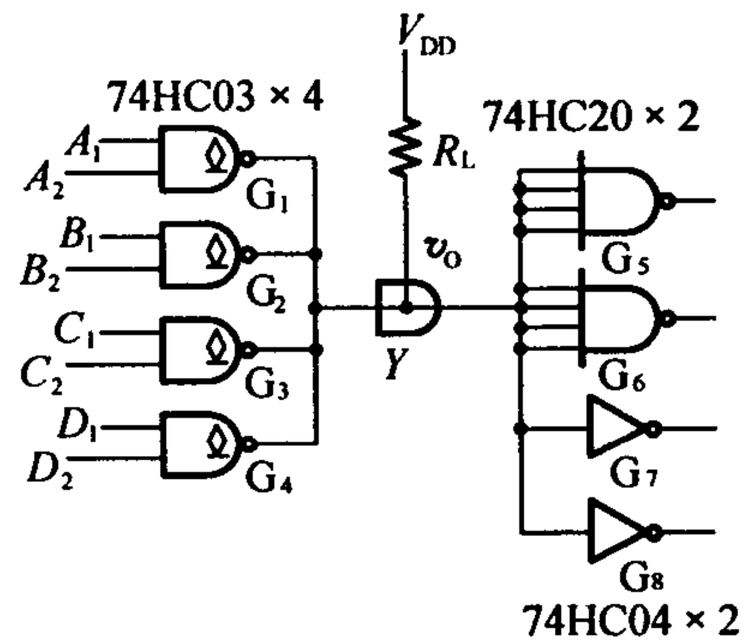
(2)当 v_O 为高电平时

$$R_{L(max)}=\frac{V_{DD}-V_{OH}}{nI_{OH}+mI_{IH}}=\frac{5-4.4}{4\times5\times10^{-6}+10\times10^{-6}}\ \Omega=20\ k\Omega$$

(3)当 V_O 为低电平时

$$R_{L(min)}=\frac{V_{DD}-V_{OL}}{I_{OL(max)}-|m'I_{IL}|}=\frac{5-0.33}{5.2\times10^{-3}-10\times10^{-6}}\ \Omega=0.9\ k\Omega$$

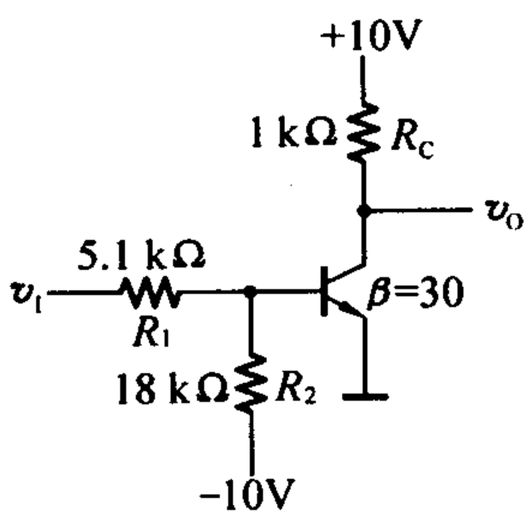
则 R_L 的取值应为 $0.9\ k\Omega\leqslant R_L\leqslant20\ k\Omega$。



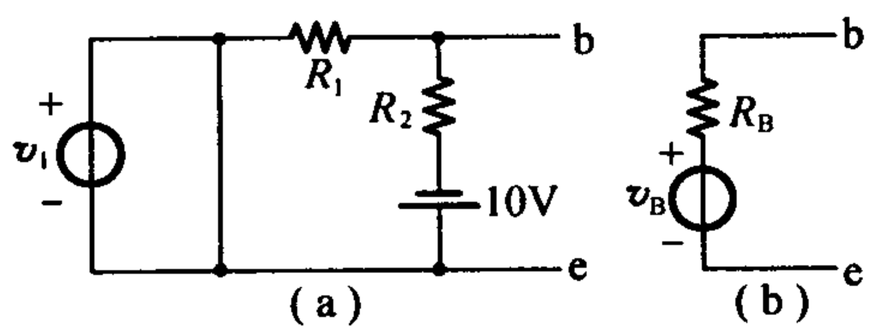
题 3.10 图

[题 3.11] 在题 3.11 图的三极管开关电路中,若输入信号 v_I 的高、低电平分别为 $V_{IH}=5$ V、$V_{IL}=0$ V,试计算在图中标注的参数下能否保证 $v_I=V_{IH}$时三极管饱和导通,$v_I=V_{IL}$时三极管可靠地截止?三极管的饱和导通压降 $V_{CE(sat)}=0.1$ V,饱和导通内阻 $R_{CE(sat)}=20\ \Omega$。如果参数配合不当,则在电源电压和 R_C 不变的情况下应如何修改电路参数?

解 输入端电路如题 3.11 解图(a)所示,根据戴维宁定理,可将其等效为(b)图。



题 3.11 图



题 3.11 解图

由图可知
$$R_B=\frac{R_1R_2}{R_1+R_2}=\frac{5.1\times18}{5.1+18}=3.97\ k\Omega$$

$$v_B=v_I-\frac{v_I+10}{5.1+18}\times5.1\ V$$

当 $v_I=0$ V 时:$v_B=0-\frac{10}{5.1+18}\times5.1=-2.2$ V,可知三极管可靠截止。

当 $v_I=5$ V 时:$v_B=5-\frac{5+10}{5.1+18}\times5.1\ V=1.69$ V,则

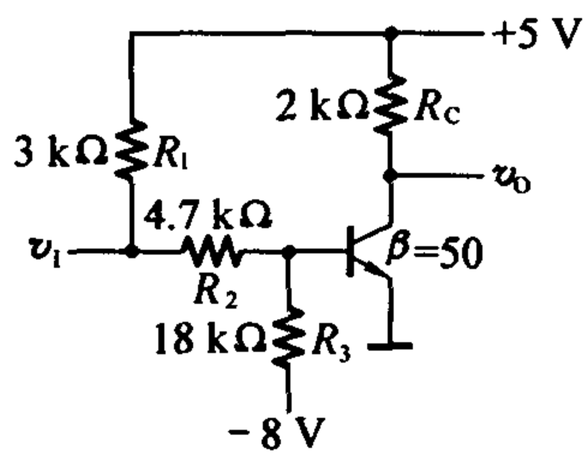
$$i_B=\frac{v_B-V_{BE}}{R_E}=\frac{1.69-0.7}{3.97\times10^3}=0.25\ mA$$

$$i_{BS}=\frac{V_{CC}-V_{ces}}{\beta(R_C+R_{ces})}=\frac{10-0.1}{30\times(1+0.02)\times10^3}=0.32\ mA$$

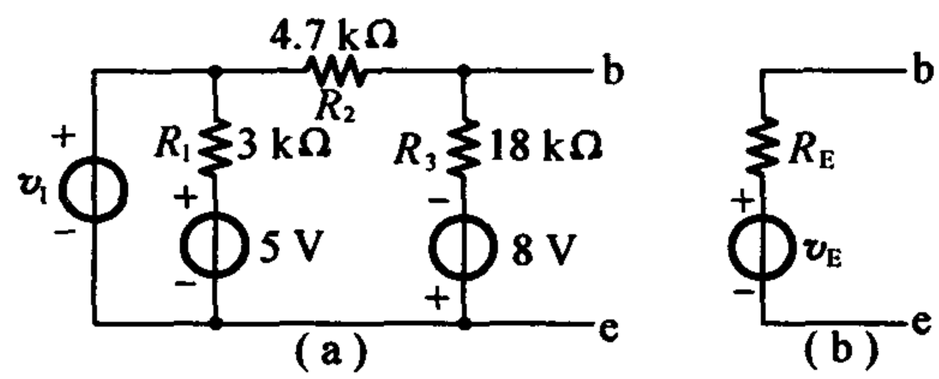
由于 $i_B<i_{BS}$,所以三极管不饱和。为了使三极管工作在饱和导通状态,可以使用 β 值更大的三极管或减小 R_1 值或增大 R_C 的值。

题3.12 在题3.12图所示的电路中，试计算当输入端分别接0 V、5 V和悬空时输出电压 v_O 的数值，并指出三极管工作在什么状态。假定三极管导通以后 $v_{BE}\approx0.7$ V，电路参数如图中所注。

解 三极管b极外电路模型如题3.12解图(a)所示。



题3.12图



题3.12解图

(1)当 v_I 存在时，根据戴维宁原理，电路等效为(b)图，图中

$$R_E=\frac{R_2R_3}{R_2+R_3}=\frac{4.7\times18}{4.7+18}=3.7\ \text{k}\Omega$$

$$v_E=\left(v_I-\frac{v_I+8.0}{4.7+18}\times4.7\right)\ \text{V}$$

当 $v_I=0$ V时

$$v_E=0-\frac{8.0}{4.7+18}\times4.7=-1.66\ \text{V}$$

故三极管截止，$v_O=5.0$ V。

当 $v_I=5.0$ V时

$$v_E=5-\frac{5+8.0}{4.7+18}\times4.7\ \text{V}=2.3\ \text{V}$$

$$i_B=\frac{V_E-V_{BE}}{R_E}=\frac{2.3-0.7}{3.7}=0.43\ \text{mA}$$

$$i_{BS}=\frac{V_{CC}-V_{CES}}{\beta(R_C+R_{ces})}=\frac{5-0.1}{50\times2}=0.049\ \text{mA}$$

由于 $i_B>i_{BS}$，所以三极管处于饱和导通状态，$v_O\approx0.1$ V。

(2)当 v_I 不存在，即输入端悬空时，图(a)中的 v_I 支路不存在，此时图(b)中的等效值为

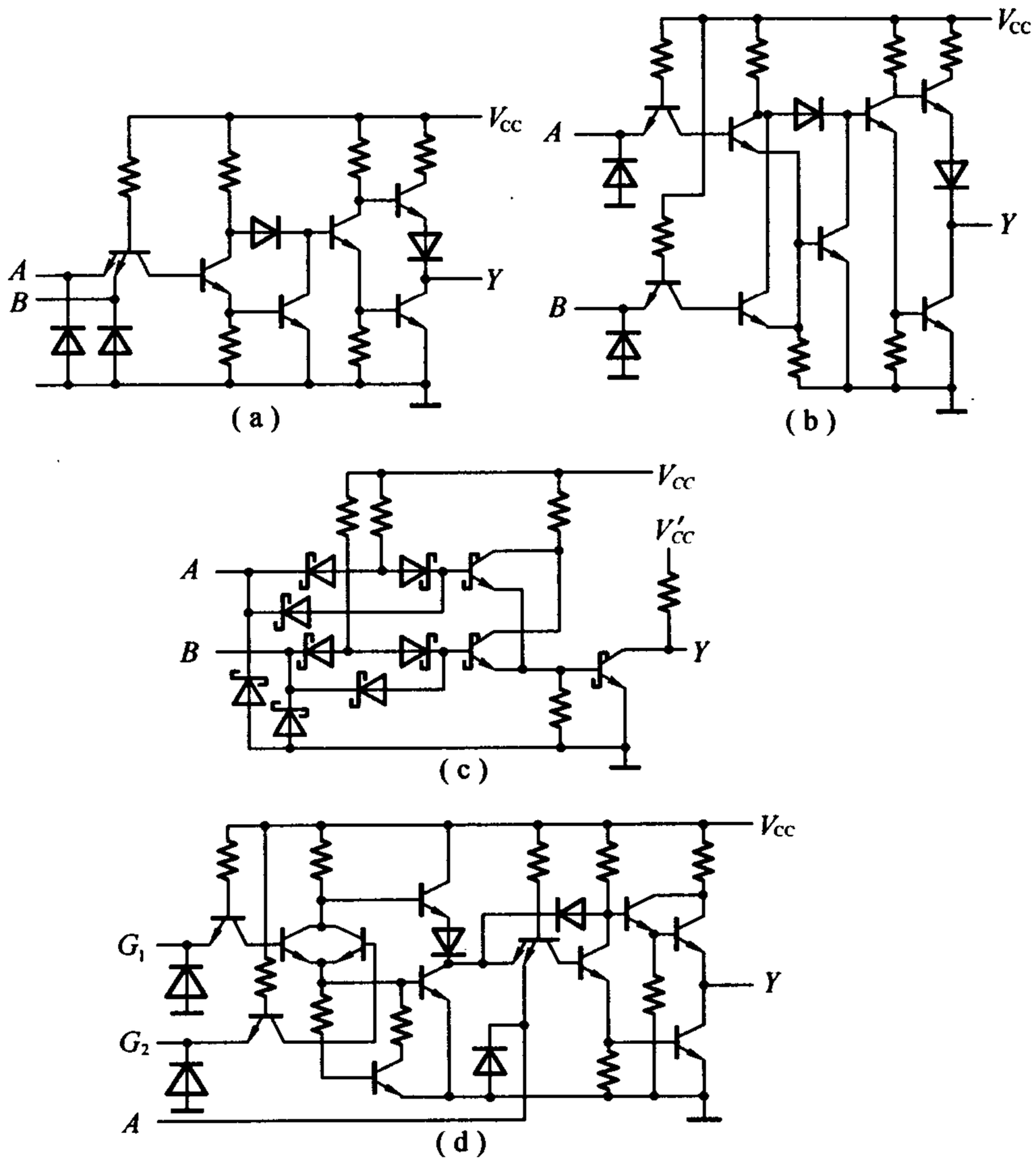
$$R_E=\frac{(R_1+R_2)R_3}{R_1+R_2+R_3}=\frac{(3+4.7)\times18}{3+4.7+18}=5.4\ \text{k}\Omega$$

$$v_E=5-\frac{5+8}{3+4.7\times18}(3+4.7)=1.1\ \text{V}$$

$$i_B=\frac{V_E-V_{BE}}{R_E}=\frac{1.1-0.7}{5.4}=0.074\ \text{mA}$$

由于 $i_B>i_{BS}$，故三极管处于饱和导通状态，$v_O\approx0.1$ V。

[题3.13] 试分析题3.13图中各电路的逻辑功能，写出输出的逻辑函数式。



题 3.13 图

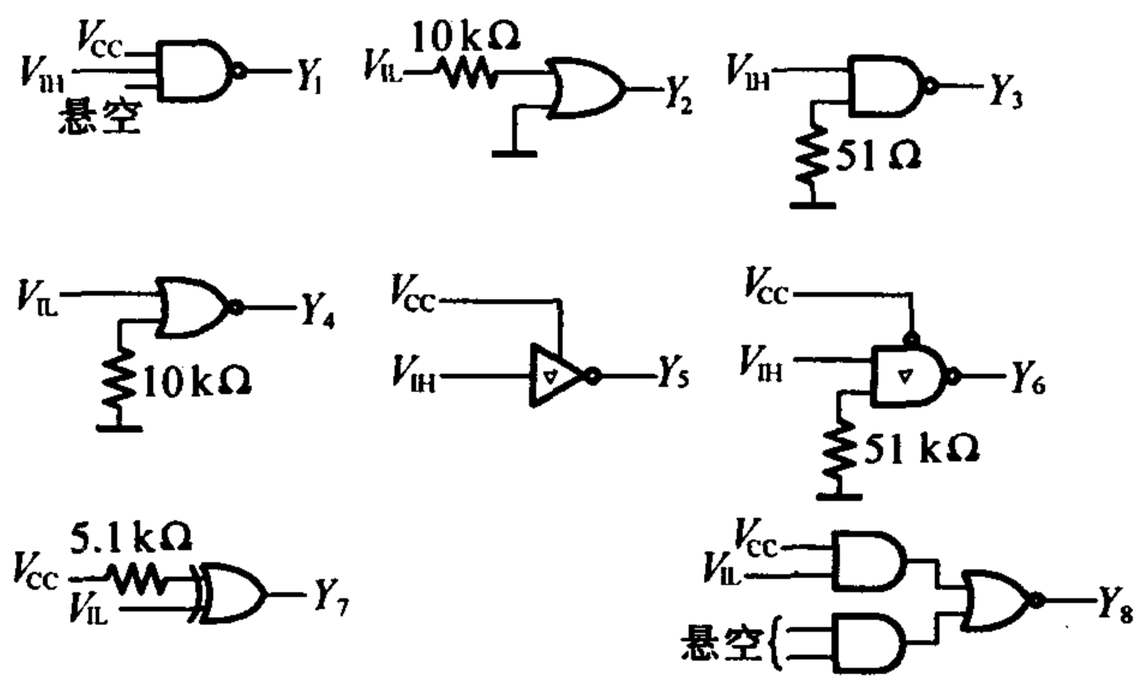
解 (a)图电路为与门：$Y = AB$。

(b)图电路为或门：$Y = A + B$。

(c)图电路为与非门：$Y = (A + B)'$。

(d)图电路为三态门：$Y = \begin{cases} A', & \text{当 } G_1 + G_2 = 0 \text{ 时} \\ \text{高阻态}, & \text{当 } G_1 + G_2 = 1 \text{ 时} \end{cases}$

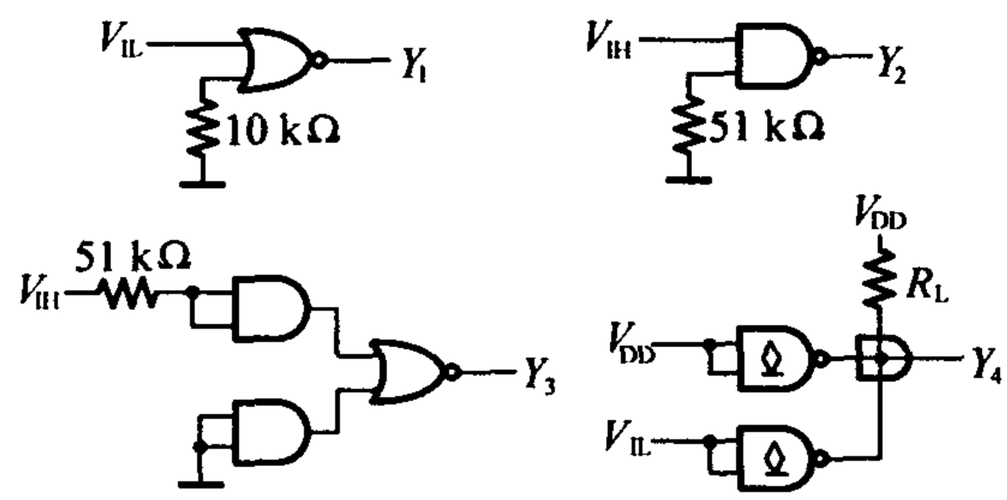
[题 3.14] 指出题 3.14 图中各门电路的输出是什么状态(高电平、低电平或高阻态)。已知这些门电路都是 74 系列 TTL 电路。



题 3.14 图

解 $Y_1 = V_{OL}$，$Y_2 = V_{OH}$，$Y_3 = V_{OH}$，$Y_4 = V_{OL}$，$Y_5 = V_{OL}$，Y_6 = 高阻态，$Y_7 = V_{OH}$，$Y_8 = V_{OL}$。

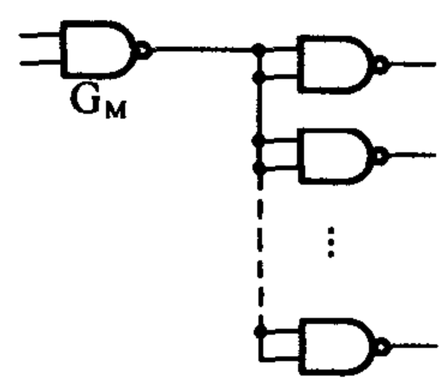
[题 3.15] 说明题 3.15 图中各门电路的输出是高电平还是低电平。已知它们都是 74HC 系列的 CMOS 电路。



题 3.15 图

解 $Y_1 = V_{OH}$，$Y_2 = V_{OH}$，$Y_3 = V_{OL}$，$Y_4 = V_{OL}$。

[题 3.16] 在题 3.16 图所示的由 74 系列 TTL 与非门组成的电路中，计算门 G_M 能驱动多少同样的与非门。要求 G_M 输出的高、低电平满足 $V_{OH} \geqslant 3.2$ V，$V_{OL} \leqslant 0.4$ V。与非门的输入电流为 $I_{IL} \leqslant -1.6$ mA，$I_{IH} \leqslant 40\ \mu$A。$V_{OL} \leqslant 0.4$ V 时输出电流最大值为 $I_{OL(max)} = 16$ mA，$V_{OH} \geqslant 3.2$ V 时输出电流最大值为 $I_{OH(max)} = -0.4$ mA。G_M 的输出电阻可忽略不计。



题 3.16 图

解 (1)G_M 输出低电平 $V_{OL} \leqslant 0.4$ V 时，可驱动的负载门数为

$$N_1 \leqslant \frac{I_{OL(max)}}{|I_{IL(max)}|} = \frac{16}{1.6} = 10\text{ 个}$$

(2)G_M 输出高电平 $V_{OH} \geqslant 3.2$ V 时，可驱动的负载门数

$$N_2 \leqslant \frac{|I_{OH(max)}|}{pI_{IH}(\max)} = \frac{0.4}{2 \times 0.4} = 5\text{ 个}$$

综合以上(1)和(2)可知 G_M 最多能驱动5个与非门。

[题3.17] 在题3.17图所示由74系列或非门组成的电路中,试求门 G_M 能驱动多少同样的或非门。要求 G_M 输出的高、低电平满足 $V_{OH} \geqslant 3.2$ V, $V_{OL} \leqslant 0.4$ V。或非门每个输入端的输入电流为 $I_{IL} \leqslant -1.6$ mA, $I_{IH} \leqslant 40\ \mu$A。$V_{OL} \leqslant 0.4$ V时输出电流的最大值为 $I_{OL(max)} = 16$ mA, $V_{OH} \geqslant 3.2$ V时输出电流的最大值为 $I_{OH(max)} = -0.4$ mA。G_M 的输出电阻可忽略不计。

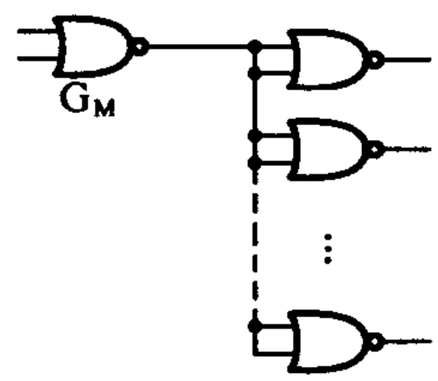
解 (1)当 G_M 输出为低电平 $V_{OL} \leqslant 0.4$ V时,可驱动的负载门数为

$$N_1 \leqslant \frac{I_{OL(max)}}{2I_{IL(max)}} = \frac{1.6}{2 \times 1.6} = 5\text{个}$$

(2)当 G_M 输出为高电平 $V_{OH} \geqslant 3.2$ V时,可驱动的负载门数为

$$N_2 \leqslant \frac{I_{OH(max)}}{2I_{IH(max)}} = 5\text{个}$$

综合以上(1),(2)可知 G_M 最多可驱动5个或非门。



题3.17图

[题3.18] 试说明在下列情况下,用万用电表测量题3.18图的 v_{I2} 端得到的电压各为多少:

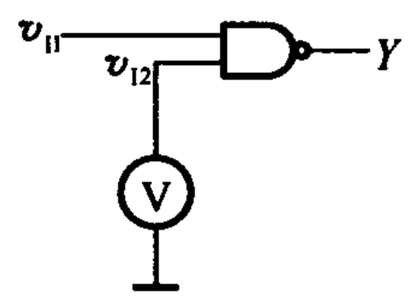
(1) v_{I1} 悬空;

(2) v_{I1} 接低电平(0.2 V);

(3) v_{I1} 接高电平(3.2 V);

(4) v_{I1} 经51 Ω电阻接地;

(5) v_{I1} 经10 kΩ电阻接地。



题3.18图

图中的与非门为74系列的TTL电路,万用电表使用5 V量程,内阻为20 kΩ/V。

解 当用5 V量程将万用表接在 v_{I2} 输入端时,由于万用表的内阻存在,相当于在 v_{I2} 与地之间接入 $5 \times 20 = 100$ kΩ的电阻,则

(1) $v_{I2} \approx 1.4$ V;

(2) $v_{I2} \approx 0.2$ V;

(3) $v_{I2} \approx 1.4$ V;

(4) $v_{I2} \approx 0$ V;

(5) $v_{I2} \approx 1.4$ V。

[题3.19] 若将上题中的与非门改为74系列TTL或非门,试问在上列五种情况下测得的 v_{I2} 各为多少?

解 由于或非门的两个输入端接至两个独立三极管的发射极,二者之间没有影响,所以 v_{I2} 在(1)~(5)的所有情况下均为1.4 V。

[题3.20] 若将题3.18图中的门电路改为CMOS与非门,试说明当 v_{I1} 为题3.18给出的五种状态时测得的 v_{I2} 各等于多少?

解 由于CMOS与非门的每个输入端都有缓冲器,各个输入信号独立,相互之间没有影响,又因为 v_{I2} 输入端经万用表的100 kΩ电阻接地,因此在5种情况下,$v_{I2} = 0$ V。

[题3.21] 在题3.21图所示电路中 R_1, R_2 和 C 构成输入滤波电路。当开关S闭合时,要求门电路的输入电压 $V_{IL} \leqslant 0.4$ V;当开关S断开时,要求门电路的输入电压 $V_{IH} \geqslant 4$ V,试求 R_1 和 R_2 的最大允许阻值。G_1 ~

G_5 为 74LS 系列 TTL 反相器，它们的高电平输入电流 $I_{IH} \leqslant 20\ \mu A$，低电平输入电流 $|I_{IL}| \leqslant 0.4\ mA$。

解 (1)当 S 闭合时，相当于经 R_2 将 0 V 低电平输入给 $G_1 \sim G_5$。显然，R_2 不能太大，否则将使 $V_I = V_{IL} > 0.4\ V$。因此

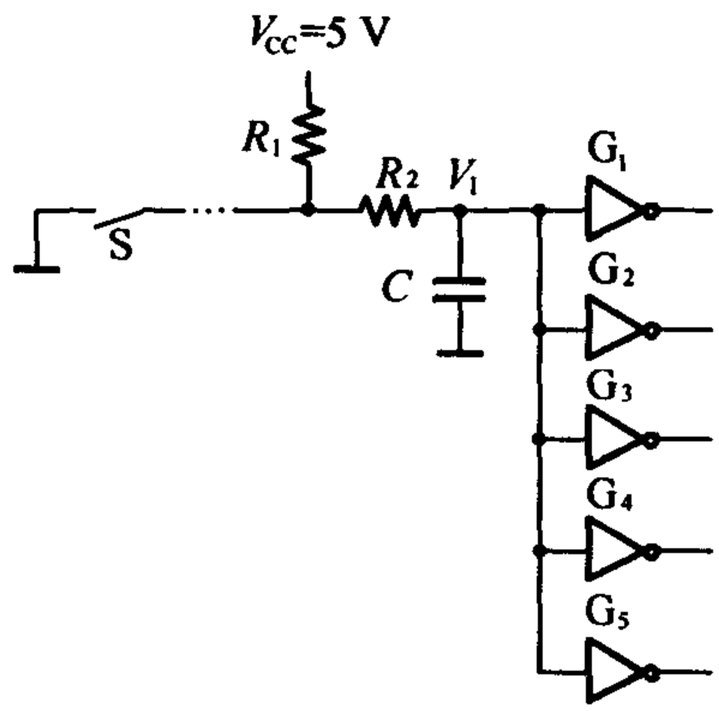
$$R_2 \leqslant \frac{V_{IL(max)}}{5I_{IL}} = \frac{0.4}{5 \times 0.4} = 0.2\ k\Omega$$

$$R_{2(max)} = 0.2\ k\Omega$$

(2)当 S 断开时，相当于 5 V 高电位经 R_1 和 R_2 输入给 $G_1 \sim G_5$。显然 R_1 和 R_2 也不能太大，否则 $V_I = V_{IH} < 4\ V$。因此

$$R_1 + R_2 \leqslant \frac{V_{CC} - V_{IH(min)}}{5I_{IH}} = \frac{5-4}{5 \times 0.02} = 10\ k\Omega$$

在 $R_2 = R_{2(max)} = 0.2\ k\Omega$ 情况下，$R_1 \leqslant 9.8\ k\Omega$，即 $R_{1(max)} = 9.8\ k\Omega$。



题 3.21 图

[题 3.22] 试绘出题 3.22 图所示电路的高电平输出特性和低电平输出特性。已知 $V_{CC} = 5\ V$，$R_L = 1\ k\Omega$。OC 门截止时输出管的漏电流 $I_{OH} = 200\ \mu A$。$V_I = V_{IH}$ 时 OC 门输出管饱和导通，其饱和压降为 $V_{CE(sat)} = 0.1\ V$，饱和导通内阻为 $R_{CE(sat)} = 20\ \Omega$。

解 当 $V_O = V_{OH}$ 时，V_{OH} 与 i_L 关系为

$$V_{OH} = V_{CC} - (2I_{OH} + (-i_L))R_L$$

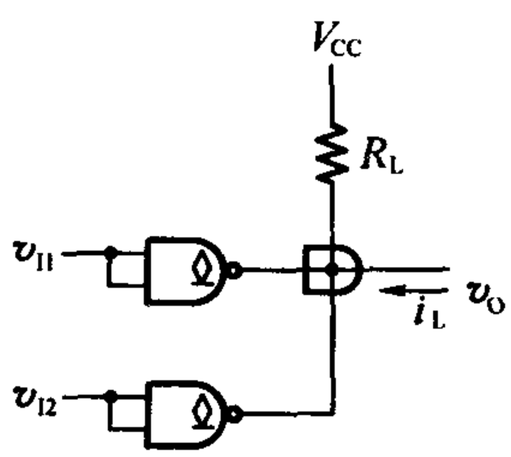
当 $i_L = 0$ 时，得 $v_{OH} = 4.6\ V$。

当 $V_O = V_{OL}$ 时，V_{OL} 与 i_L 的关系为

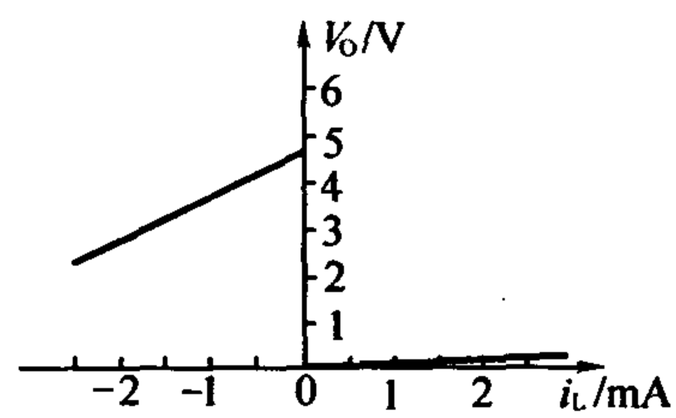
$$V_{OL} = \left(\frac{V_{CC} - V_{OL}}{R_L} + i_L\right) R_{CES} + V_{CES}$$

当 $i_L = 0\ V$ 时，得到 $v_{OL} = 0.1\ V$。

由此可画出 V_O 与 i_L 的关系曲线如题 3.22 解图。



题 3.22 图



题 3.22 解图

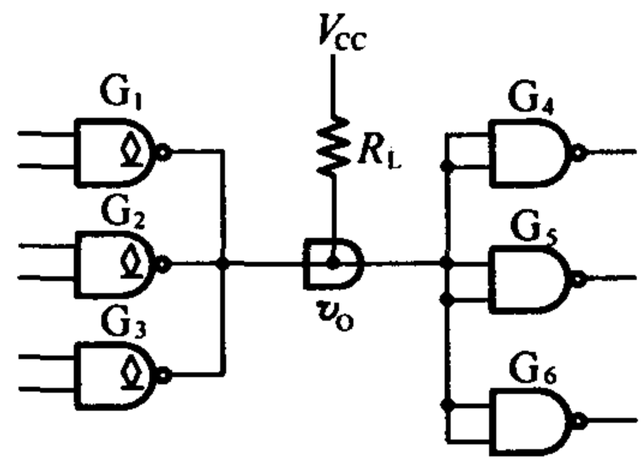
[题 3.23] 计算题 3.23 图电路中上拉电阻 R_L 的阻值范围。其中 G_1, G_2, G_3 是 74LS 系列 OC 门，输出管截止时的漏电流 $I_{OH} \leqslant 100\ \mu A$，输出低电平 $V_{OL} \leqslant 0.4\ V$ 时允许的最大负载电流 $I_{OL(max)} = 8\ mA$。G_4, G_5, G_6 为 74LS 系列与非门，它们的输入电流为 $|I_{IL}| \leqslant 0.4\ mA$，$I_{IH} \leqslant 20\ \mu A$。给定 $V_{CC} = 5\ V$，要求 OC 门的输出高、低电平应满足 $V_{OH} \geqslant 3.2\ V$，$V_{OL} \leqslant 0.4\ V$。

解 由题意可知

$$R_{L(max)}=\frac{V_{CC}-V_{OH}}{nI_{OH}+mI_{IH}}=\frac{5-3.2}{0.1\times3+0.02\times6}\ k\Omega=4.29\ k\Omega$$

$$R_{L(min)}=\frac{V_{CC}-V_{OL}}{I_{OL(max)}-|m'I_{IL}|}=\frac{5-0.4}{8-3\times0.4}\ k\Omega=0.68\ k\Omega$$

则 R_L 的取值范围为 $0.68\ k\Omega\leqslant R_L\leqslant4.29\ k\Omega$。



题3.23图

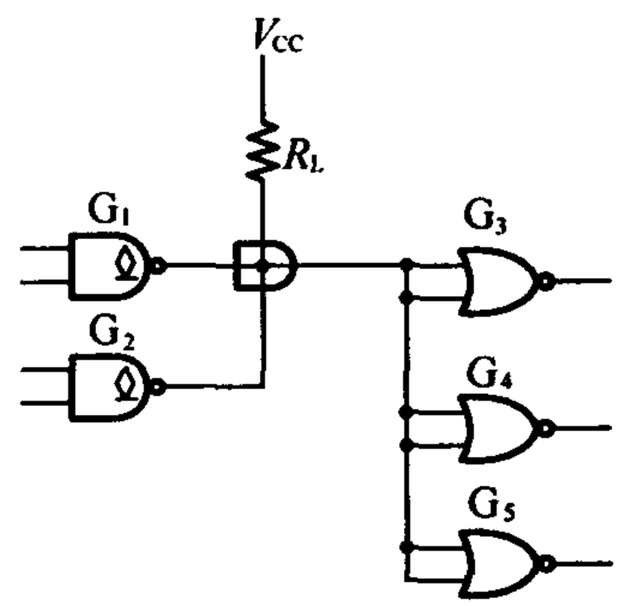
[题3.24] 在题3.24图所示电路中，已知 G_1 和 G_2 为74LS系列OC输出结构的与非门，输出管截止时的漏电流最大值为 $I_{OH(max)}=100\ \mu A$，低电平输出电流最大值为 $I_{OL(max)}=8\ mA$，这时输出的低电平为 $V_{OL(max)}=0.4\ V$。$G_3\sim G_5$ 是74LS系列的或非门，其高电平输入电流最大值为 $I_{IH(max)}=20\ \mu A$，低电平输入电流最大值为 $I_{IL(max)}=-0.4\ mA$。给定 $V_{CC}=5\ V$，要求满足 $V_{OH}\geqslant3.4\ V$，$V_{OL}\leqslant0.4\ V$，试求 R_L 取值的允许范围。

解 由题意可知

$$R_{L(max)}=\frac{V_{CC}-V_{OH}}{nI_{OH}+mI_{IH}}=\frac{5-3.4}{0.1\times2+0.02\times6}\ k\Omega=5\ k\Omega$$

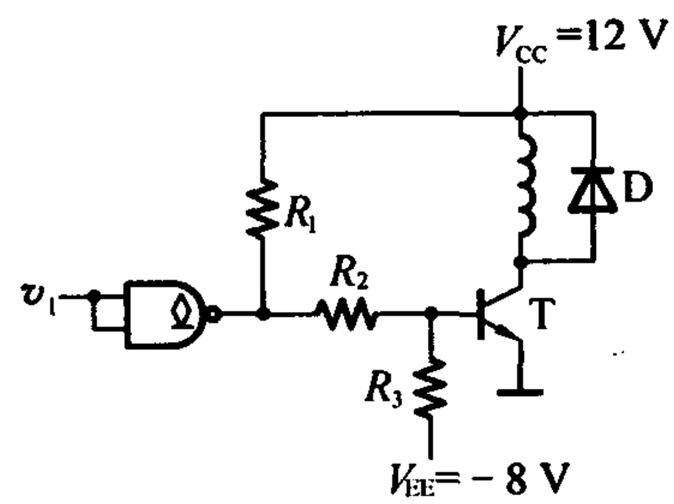
$$R_{L(min)}=\frac{V_{CC}-V_{OL}}{I_{OL(max)}-|m'I_{IL}|}=\frac{5-0.4}{8-0.4\times6}\ k\Omega=0.82\ k\Omega$$

则 R_L 的取值范围为 $0.82\ k\Omega\leqslant R_L\leqslant5\ k\Omega$。



题3.24图

题3.25 题3.25图是一个继电器线圈驱动电路。要求在 $v_I=V_{IH}$ 时三极管T截止，而 $v_I=0$ 时三极管T饱和导通。已知OC门输出管截止时的漏电流 $I_{OH}\leqslant100\ \mu A$，导通时允许流过的最大电流 $I_{OL(max)}=10\ mA$，管压降小于0.1 V，导通内阻小于20 Ω。三极管 $\beta=50$，饱和导通压降为 $V_{CE(sat)}=0.1\ V$，饱和导通内阻为 $R_{CE(sat)}=20\ \Omega$。继电器线圈内阻240 Ω，电源电压 $V_{CC}=12\ V$，$V_{EE}=-8\ V$，$R_2=3.2\ k\Omega$，$R_3=18\ k\Omega$，试求 R_1 的阻值范围。



题3.25图

解 当 $V_I=0\ V$ 时，$v_P=V_{OH}$，电流流向如题3.25解图(a)所示。此时T的饱和电流为

$$I_{BS}=\frac{V_{CC}-V_{CES}}{\beta(R_C+R_{CES})}=\frac{12-0.1}{50\times260}=0.92\ mA$$

$$i_3=\frac{v_B-V_{EE}}{R_3}=\frac{0.7+8}{18}=0.48\ mA$$

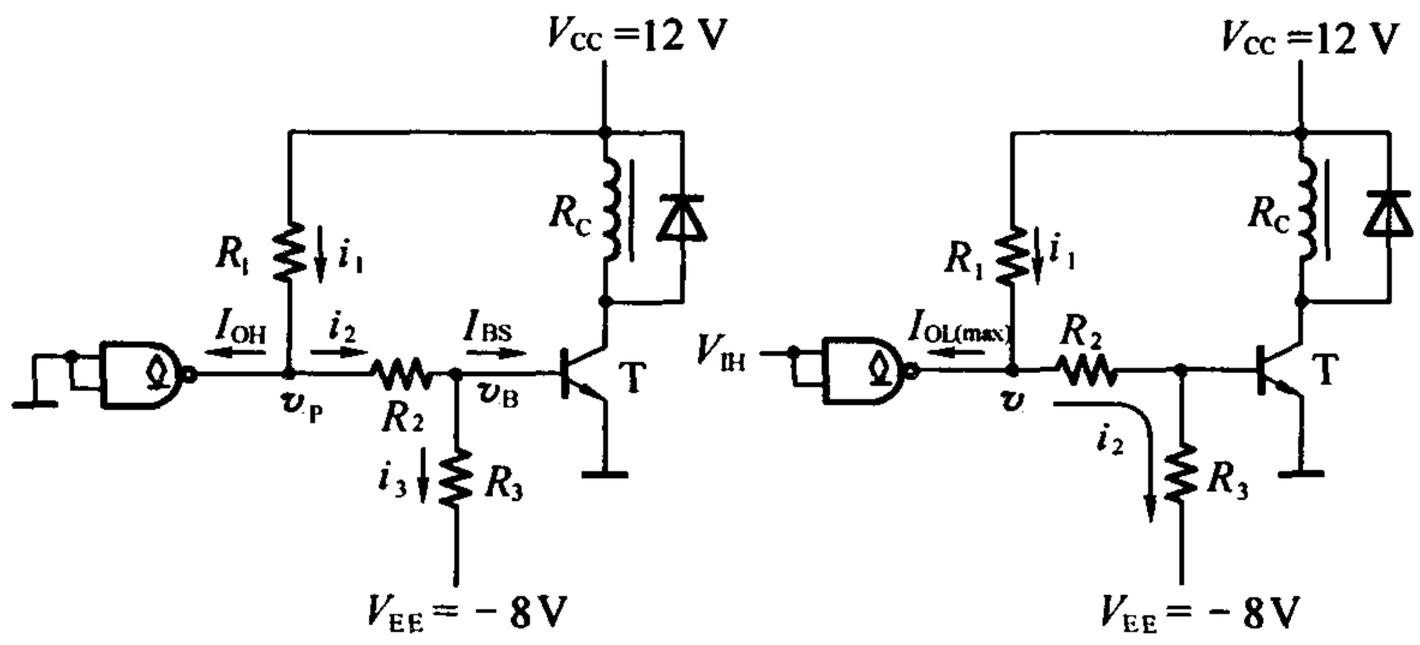
$$i_2=I_{BS}+i_3=0.92+0.48=1.4\ mA$$

则

$$v_P=i_2R_2+v_B=1.4\times3.2+0.7=5.2\ V$$

流过 R_1 的电流 i_1 为

$$i_1=\frac{V_{CC}-v_P}{R_1}=i_2+I_{OH}$$



题 3.25 解图

由此可见，为保证注入到三极管 T 的基极电流大于 I_{BS}，i_2 必须足够大；为保证 i_2 足够大，R_1 必须足够小。因此

$$R_{1(max)} = \frac{V_{CC} - v_P}{i_2 + I_{OH}} = \frac{12-5.2}{1.4+0.1} = 4.5\ \text{k}\Omega$$

(2)当 $v_I = v_{IH}$时，$v_P = v_{OL} \approx 0.1$ V，此时三极管截止。电路中的电流流向如图(b)所示。由于三极管截止，所以无基极电流注入。

流过 R_2 和 R_3 的电流为

$$i_2 = \frac{v_P - V_{EE}}{R_2 + R_3} = \frac{0.1+8}{3.2+18} = 0.38\ \text{mA}$$

而注入到 OC 门输出级的电流不能大于 $I_{OL(max)}$，所以 R_1 不能太小，即

$$R_{1(min)} = \frac{V_{CC} - V_P}{I_{OL(max)} + i_2} = \frac{12-0.1}{10+0.38} = 1.1\ \text{k}\Omega$$

综合以上两步得到 1.1 kΩ≤R_1≤4.5 kΩ。

[题 3.26] 在题 3.26 图(a)所示电路中已知三极管导通时 $V_{BE} = 0.7$ V，饱和压降 $V_{CE(sat)} = 0.3$ V，饱和导通内阻为 $R_{CE(sat)} = 20\ \Omega$，三极管的电流放大系数 $\beta = 100$。OC 门 G_1 输出管截止时的漏电流约为 50 μA，导通时允许的最大负载电流为 16 mA，输出低电平≤0.3 V。$G_2 \sim G_5$ 均为 74 系列 TTL 电路，其中 G_2 为反相器，G_3 和 G_4 是与非门，G_5 是或非门，它们的输入特性如题 3.26 图(b)所示。试问：

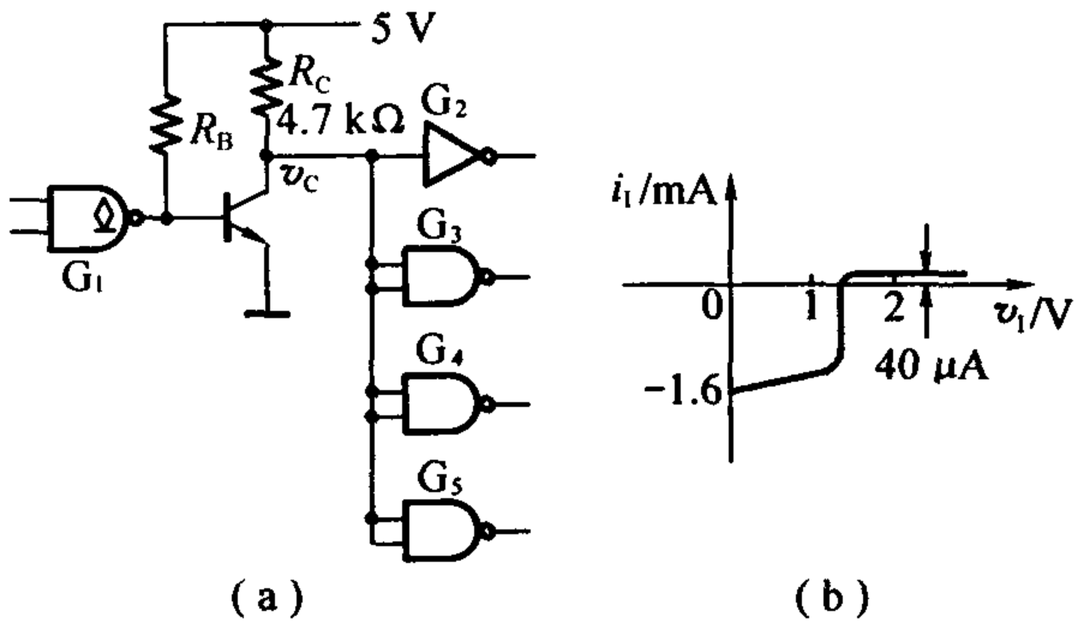
(1)在三极管集电极输出的高、低电压满足 $V_{OH} \geqslant 3.5$ V，$V_{OL} \leqslant 0.3$ V 的条件下，R_B 的取值范围有多大？

(2)若将 OC 门改成推拉式输出的 TTL 门电路，会发生什么问题？

解 (1)当 OC 门 G_1 截止时，由 5 V 电源向 OC 门输出级和三极管基极提供电流。只有当三极管的基极电流大于 I_{BS}时，三极管才能饱和导通，因此，R_B 不能太大。由此可知

$$I_{BS} = \frac{1}{\beta}\left(\frac{V_{CC} - V_{CES}}{R_C + R_{CES}} + 5I_{IL}\right) = \frac{1}{100}\left(\frac{5-0.3}{4.7} + 5\times 1.6\right) = 0.09\ \text{mA}$$

$$I_{R_B} = \frac{V_{CC} - V_{BE}}{R_B} = I_{BS} + I_{OH}$$



(a) (b)

题3.26图

故

$$R_B = \frac{V_{CC} - V_{BE}}{I_{BS} + I_{OH}} = \frac{5-0.7}{0.09+0.05} = 30.7\ \text{k}\Omega$$

这是 R_B 的最大值。

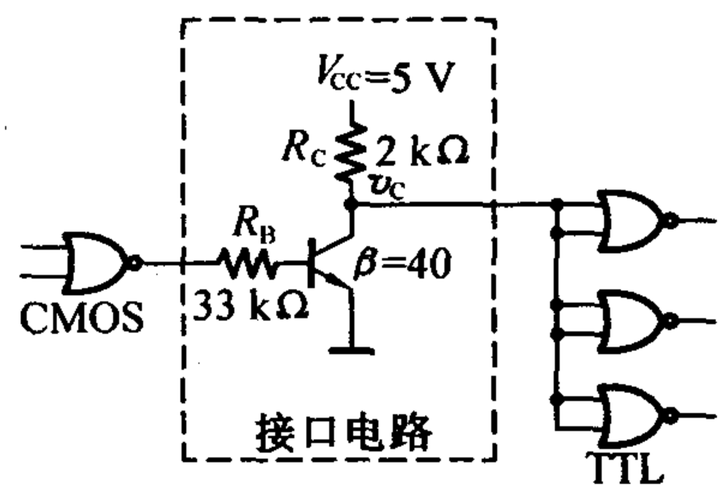
当OC门导通时,三极管基极得到低电平。三极管截止,5 V电源经 R_B 向OC门输出级注入电流,但电流不能超过16 mA。因此 R_B 不能太小,其最小值为

$$R_B = \frac{V_{CC} - V_{OL}}{16} = \frac{5-0.3}{16} = 0.29\ \text{k}\Omega$$

因此,$0.29\ \text{k}\Omega < R_B < 30.7\ \text{k}\Omega$。

(2)若将OC门换成普通推拉式输出的TTL门电路,当三极管饱和导通时,输出门将有较大的电流注入到三极管基极,有可能损坏门电路的输出级和三极管。

[题3.27] 计算题3.27图所示电路中接口电路输出端 v_C 的高、低电平,并说明接口电路参数的选择是否合理。三极管的电流放大系数 $\beta = 40$,饱和导通压降 $V_{CE(sat)} = 0.1$ V,饱和导通内阻 $R_{CE(sat)} = 20\ \Omega$。CMOS或非门的电源电压 $V_{DD} = 5$ V,空载输出的高、低电平分别为 $V_{OH} = 4.95$ V, $V_{OL} = 0.05$ V,门电路的输出电阻小于200 Ω,高电平输出电流的最大值和低电平输出电流的最大值均为4 mA。TTL或非门的高电平输入电流 $I_{IH} = 40\ \mu$A,低电平输入电流 $I_{IL} = -1.6$ mA。



题3.27图

解 (1)当CMOS电路输出低电平时三极管处于截止状态,v_C 为高电平,且

$$V_C = V_{CC} - 6I_{IH}R_C = 5 - 6\times 40\times 10^{-6}\times 2\times 10^3 = 4.5\ \text{V}$$

完全满足 $V_C > 2$ V 的要求。

(2)当CMOS门电路输出高电平并使三极管饱和导通时,才能满足接口电路输出低电平的要求。三极管基极饱和电流为

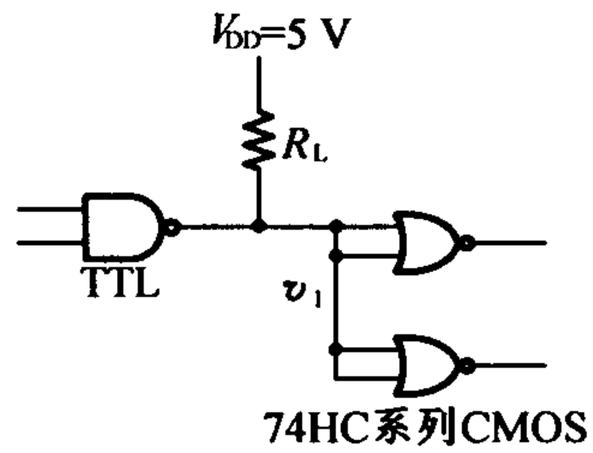
$$I_{BS} = \frac{1}{\beta}\left(\frac{V_{CC} - V_{CE(sat)}}{R_C + R_{CE(sat)}} + 6|I_{IL}|\right) = \frac{1}{40}\left(\frac{5-0.1}{2+0.02} + 6\times 1.6\right)\ \text{mA} = 0.3\ \text{mA}$$

而实际注入给基极的电流为

$$I_B = \frac{V_{OH} - V_{BE}}{R_B + R_O} = \frac{4.95 - 0.7}{33 + 0.2}\ \text{mA} = 0.128\ \text{mA}$$

由于 $I_B < I_{BS}$，所以三极管不处于饱和导通状态，参数选择不合理。

[题 3.28] 题 3.28 图是用 TTL 电路驱动 CMOS 电路的实例，试计算上拉电阻 R_L 的取值范围。TTL 与非门在 $V_{OL} \leqslant 0.3$ V 时的最大输出电流为 8 mA，输出端的 T_5 管截止时有 50 μA 的漏电流。CMOS 或非门的高电平输入电流最大值和低电平输入电流最大值均为 1 μA。要求加到 CMOS 或非门输入端的电压满足 $V_{IH} \geqslant 4$ V，$V_{IL} \leqslant 0.3$ V。给定电源电压 $V_{DD} = 5$ V。



题 3.28 图

解 (1)当 $v_I = v_{IH} \geqslant 4$ V 时

$$R_{L(max)} = \frac{V_{CC} - V_{IH}}{I_{OH} + 4I_{IH}} = \frac{5 - 4}{0.05 + 0.001 \times 4}\ \text{k}\Omega = 18.5\ \text{k}\Omega$$

(2)当 $v_I = v_{IL} \leqslant 0.3$ V 时

$$R_{L(min)} = \frac{V_{CC} - V_{IL}}{I_{OL(max)} - 4I_{IL}} = \frac{5 - 0.3}{8}\ \text{k}\Omega = 0.59\ \text{k}\Omega$$

因此可知 R_L 取值范围为 $0.59\ \text{k}\Omega \leqslant R_L \leqslant 18.5\ \text{k}\Omega$。

[题 3.29] 试说明下列各种门电路中哪些可以将输出端并联使用(输入端的状态不一定相同)：

(1)具有推拉式输出级的 TTL 电路；

(2)TTL 电路的 OC 门；

(3)TTL 电路的三态输出门；

(4)互补输出结构的 CMOS 门；

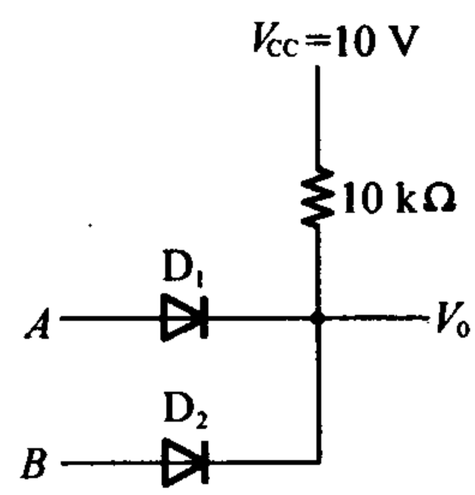
(5)CMOS 电路的 OD 门；

(6)CMOS 电路的三态输出门。

解 (2)，(3)，(5)，(6)中的门电路输出端可以并联使用。(1)，(4)不可以。

同步训练题

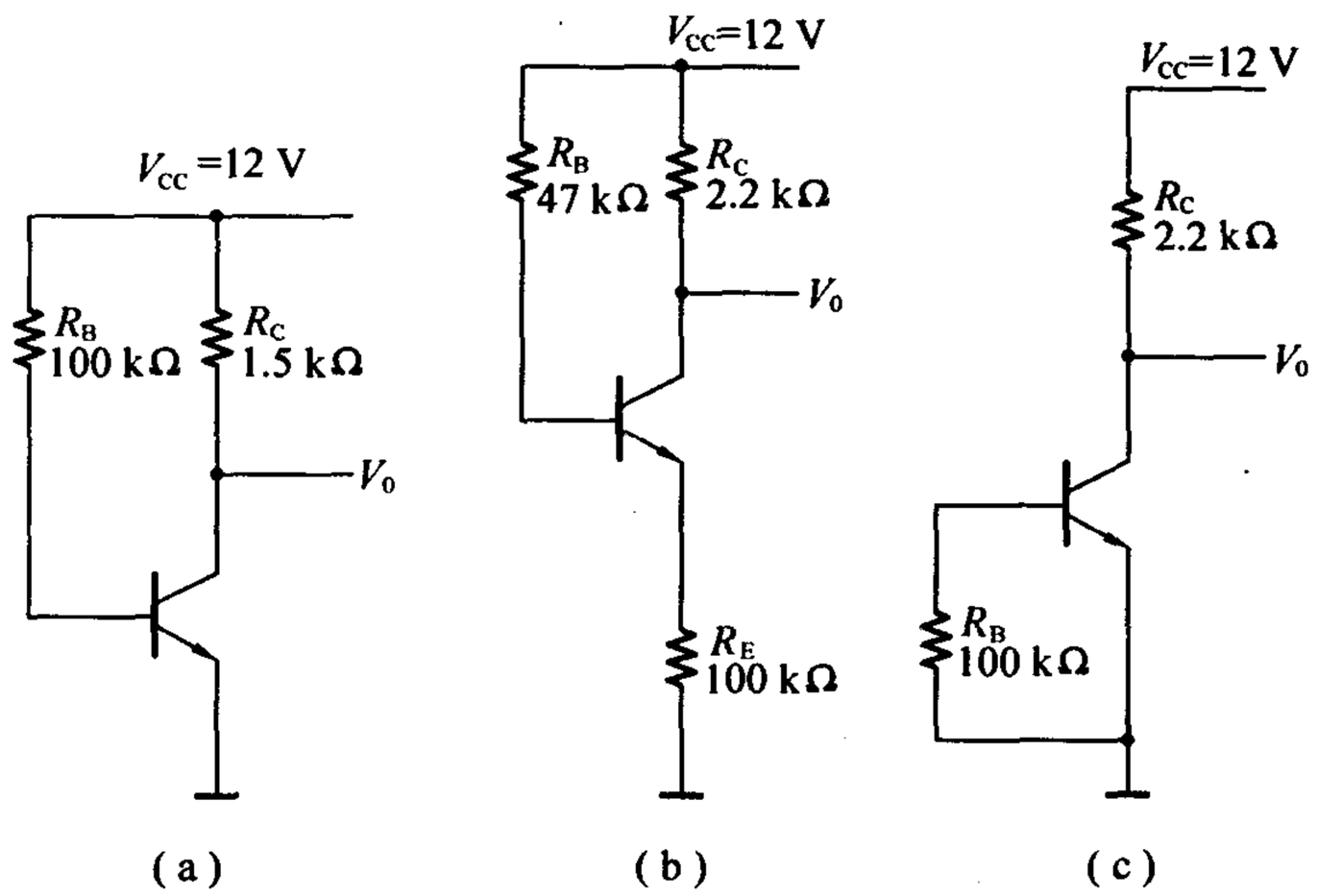
1.题 1 图所示电路中，D_1，D_2 导通压降为 0.7 V。(1) B 端接地，A 端接 5 V 时，V_O 等于多少伏？(2) B 端接 10 V，A 端接 5 V 时，V_O 等于多少伏？(3) B 悬空，A 接 5 V 时，测 B 和 V_O 端电压，各应等于多少伏？(4) B 悬空，A 通过 10 kΩ 电阻接地时，测 B 和 V_O 端电压各应等于多少伏？



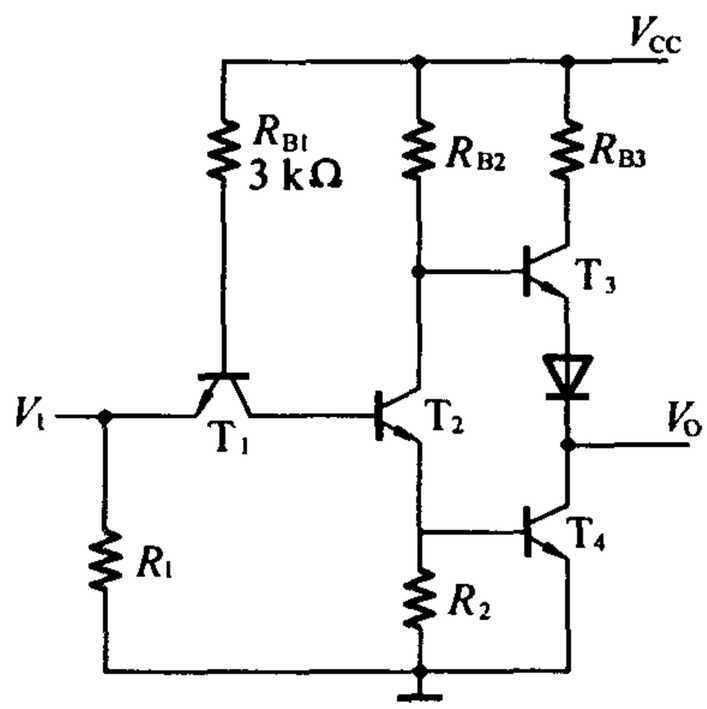
题 1 图

2.说明在题 2 图所示各电路中三极管工作在什么状态，所有三极管的 $\beta = 30$。

3.TTL 非门电路如题 3 图所示。如果输入端通过电阻 R_1 接地，试计算 $R_1 = 2$ kΩ 和 $R_2 = 0.5$ kΩ 时非门的输入电压 V_I。



题2图



题3图

4.为什么说在以下几种接法情况下,TTL门电路的输入端都属于逻辑"1":(1)输入端悬空;(2)输入端接同类门的输入高电平3.6 V;(3)输入端通过10 kΩ的电阻接地。

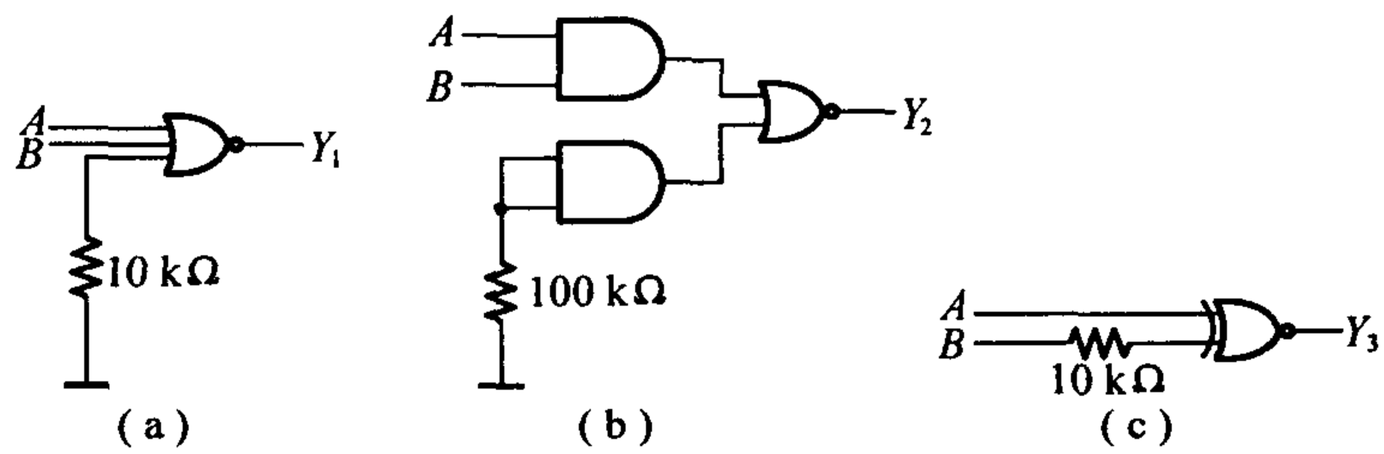
5.写出题5图所示各电路在以下两种情况下的输出信号逻辑函数式。

(1)电路器件均为CMOS门电路;(2)电路器件均为TTL门电路。

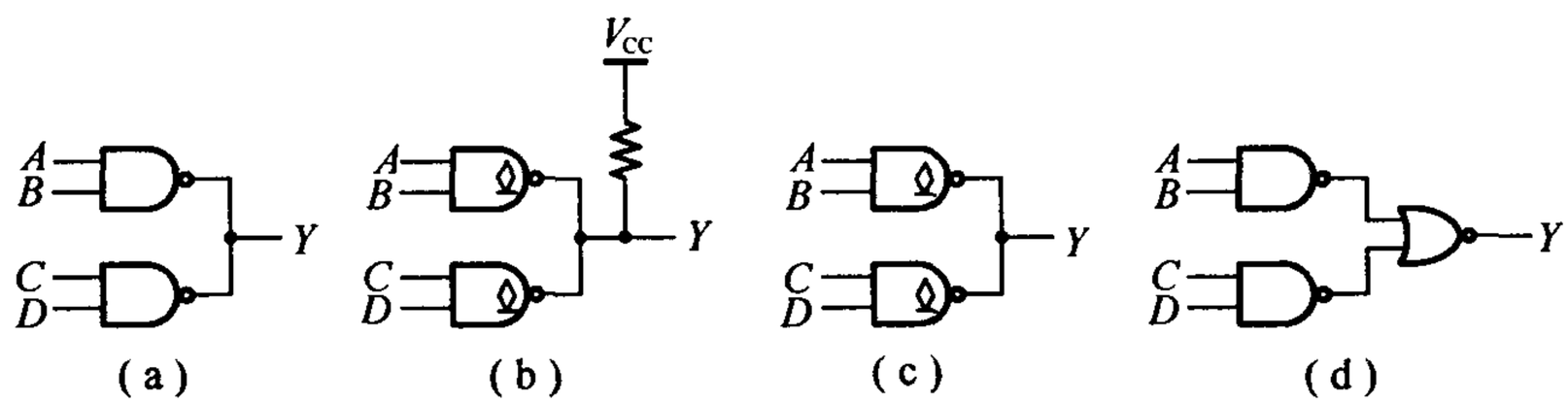
6.在题6图所示电路中,哪个能实现 $Y=(AB+CD)'$ 的逻辑功能。

7.TTL与非门与三极管反相器构成如题7图所示电路。已知与非门的 $V_{OH}=3.6$ V, $V_{OL}=0.3$ V, $I_{OH}=1.0$ mA, $I_{OL}=-20$ mA。若要实现 $C=(AB)'$, $L=C'$,试确定电阻 R_B 的取值范围。三极管的 $\beta=40$。

8.在题8图所示的TTL电路中,门 G_1, G_2 的输出电流 $I_{OH}=250\ \mu A$, $I_{OL}=13$ mA,输出电压 $V_{OH(min)}=2.4$ V,

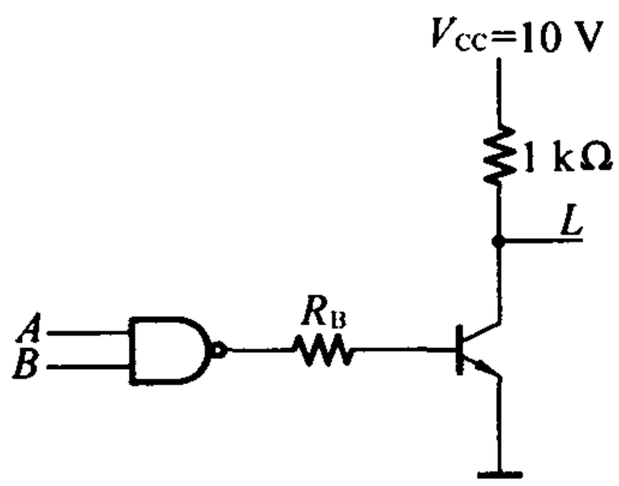


题 5 图

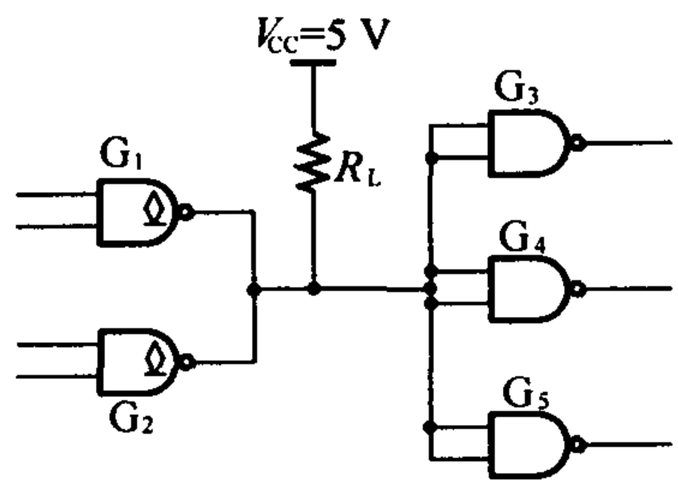


题 6 图

$V_{OL(max)}=0.4$ V；门 G_3，G_4，G_5 的输入电流 $I_{IH}=50\ \mu A$，$I_{IL}=-1.6$ mA，输入电压 $V_{IH(min)}=2$ V，$V_{IL(max)}=0.8$ V。试计算上拉电阻 R_L 的阻值范围。



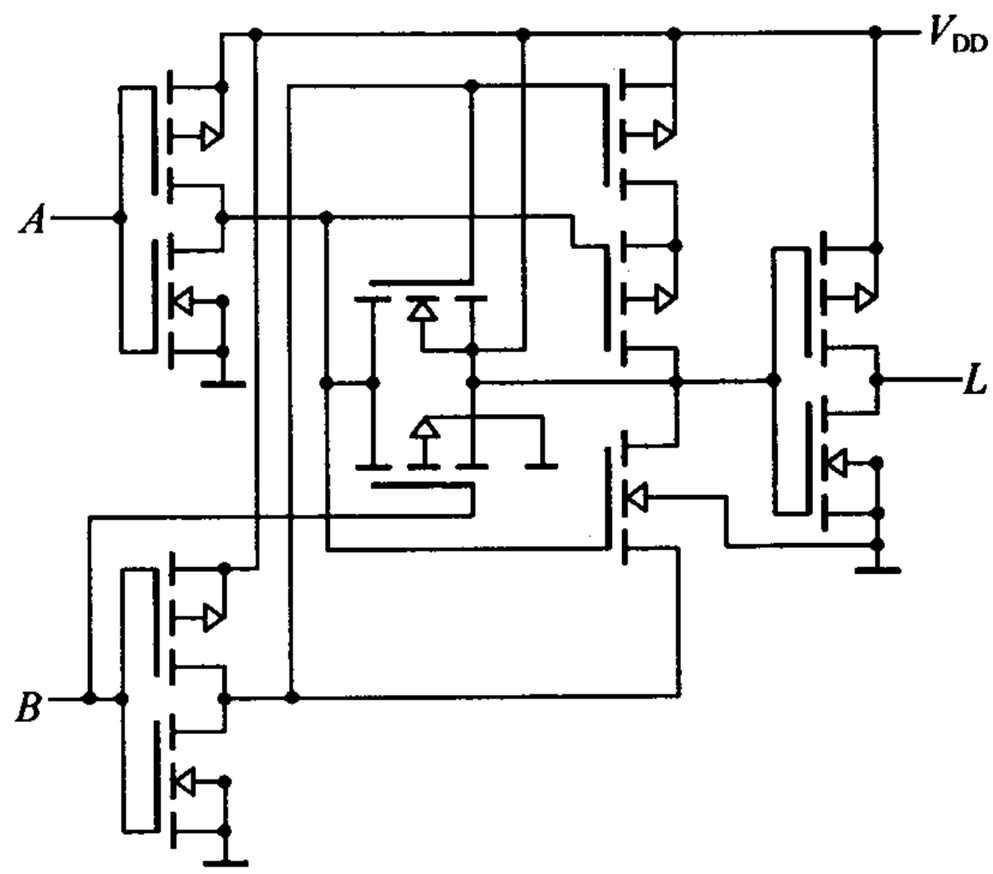
题 7 图



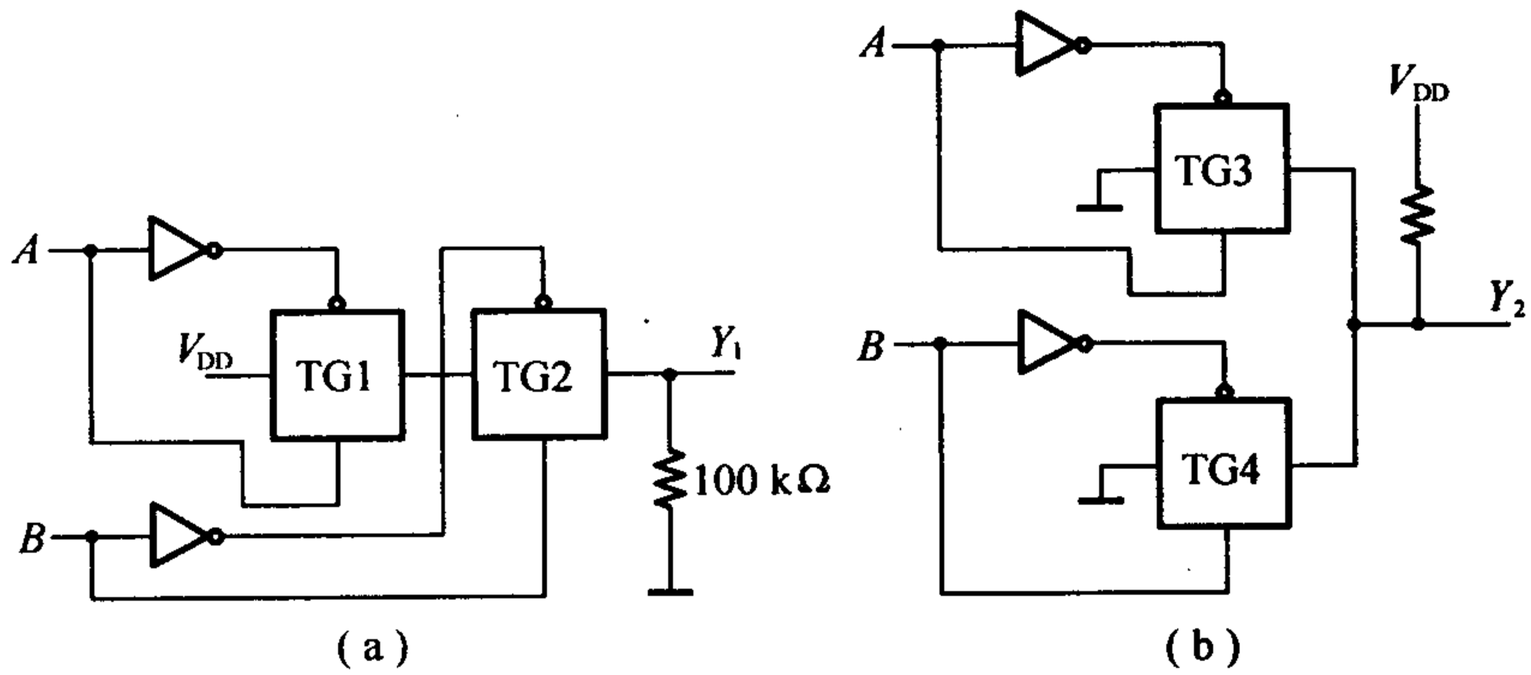
题 8 图

9. 某 CMOS 器件的电路如题 9 图所示，试写出其逻辑函数式，说明它是什么逻辑电路。

10. 由 CMOS 传输门构成的电路如题 10 图所示，试写出各电路的输出逻辑函数式。



题9图



题10图

同步训练题答案

1.解　(1) $V_O = 0.7$ V; (2) $V_O = 5.7$ V; (3) $V_B = 5$ V, $V_O = 5.7$ V; (4) $V_B = 4.65$ V, $V_O = 5.35$ V。

2.解　(a)基极电流为

$$i_B = \frac{V_{CC} - V_{BE}}{R_B} = \frac{12 - 0.7}{100}\ \text{mA} = 0.113\ \text{mA}$$

饱和基极电流

$$I_{BS} = \frac{V_{CC} - V_{CES}}{\beta R_C} = \frac{12 - 0.3}{30 \times 1.5}\ \text{mA} = 0.26\ \text{mA}$$

因为 $i_B < I_{BS}$，所以三极管工作在放大状态。

(b)基极电流

$$i_B = \frac{V_{CC} - V_{BE}}{R_B + (1+\beta)R_C} = \frac{12-0.7}{47+(1+30)\times 100}\ \text{mA} = 0.23\ \text{mA}$$

饱和基极电流 $$I_{BS} = \frac{V_{CC} - V_{CES}}{\beta(R_C + R_E)} = \frac{12-0.3}{30\times(2.2+0.1)}\ \text{mA} = 0.17\ \text{mA}$$

因为 $i_B > I_{BS}$，所以三极管工作在饱和导通状态。

(c)因为 $v_{BE} = 0$ V，所以三极管工作在截止状态。

3.解 $R_1 = 2$ kΩ 时

$$V_I = \frac{5 - v_{be1}}{3+2}\times 2 = 1.7\ \text{V}$$

由于 V_I 最多不能超过 1.4 V，所以此时 V_I 被钳位在 1.4 V。

$R_1 = 0.5$ kΩ 时 $$V_I = \frac{5 - v_{be1}}{3+0.5}\times 0.5 = 0.61\ \text{V}$$

4.解 (1)当输入端悬空时，输入端三极管 T_1 的发射极输入电流等于 0，T_2 饱和导通，可见输入端属于逻辑1；(2)输入端接同类门的输出高电压 3.6 V 时，输入属于逻辑高电平，故输入电平为逻辑1；(3)输入端通过 10 kΩ 的电阻接地，电源电压 $V_{CC} = 5$ V 在电阻 R_{b1}、T_1 的发射极和输入端负载电阻(10 kΩ)进行分压，此时的输入电压大于输入高电平，故输入端也属于逻辑1。

5.解 (1)对于 CMOS 门电路，输入端电阻相当于导线，所以可知

(a) $Y_1 = (A+B+0)' = (A+B)'$；(b) $Y_2 = (AB+0)' = (AB)'$；(c) $Y_3 = A \oplus B$。

(2)对于 TTL 门电路

(a) $R_I = 10\ \text{k}\Omega > R_{ON}$，故输入端相当于接入高电平1，所以 $Y_1 = (A+B+1)' = 0$；

(b) $R_1 = 100\ \text{k}\Omega < R_{OFF}$，故输入端相当于接入低电平 0，所以 $Y_2 = (AB+0)' = (AB)'$；

(c)当 $B = 1$时，输入端相当于接入高电平1；当 $B = 0$时，$R_I = 10\ \text{k}\Omega > R_{on}$，故输入端仍相当于接1，所以 $Y_3 = A \oplus 1 = A'$。

6.解 能实现 $Y = (AB + CD)'$的电路有(b)和(d)，电路(a)中 TTL 门不允许直接进行“线与”，电路(c)中 OC 门如实现“线与”，需外接上拉电阻和电源。

7.解 R_B 的取值过小，与非门输出高电平电流可能大于 I_{OH}。由

$$\frac{V_{OH} - V_{BE}}{R_B} \leqslant I_{OH}$$

可得 $$R_B \geqslant \frac{V_{OH} - V_{BE}}{I_{OH}} = \frac{3.6-0.7}{1}\ \text{k}\Omega = 2.9\ \text{k}\Omega$$

R_B 的取值过大，注入三极管基极电流 I_B 可能大于 I_{BS}。由

$$\frac{V_{OH} - V_{BE}}{R_B} \geqslant \frac{V_{CC}}{\beta+1}$$

可得 $$R_B \leqslant \frac{V_{OH} - V_{BE}}{V_{CC}}\times\beta\times 1 = \left(\frac{3.6-0.7}{10}\times 40\times 1\right)\ \text{k}\Omega = 11.6\ \text{k}\Omega$$

因此，R_B 的取值范围为 $2.9\ \text{k}\Omega \leqslant R_B \leqslant 11.6\ \text{k}\Omega$。

8.解 若门 G_1，G_2 中只有 1 个导通(设 G_1 导通)，输出低电平 V_{OL}，此时负载门输入电流也流入 G_1 门。因

总电流不能超过 G_1 门的灌电流能力 I_{OL}，故可确定 R_L 的最小值。

因为 $I_{R_L}+\left|\sum I_{IL}\right|<I_{OL}$，即 $\frac{V_{CC}-V_{OL(max)}}{R_L}+m\left|I_{IL}\right|<I_{OL}$，所以

$$R_L>\frac{V_{CC}-V_{OL(max)}}{I_{OL}-m\left|I_{IL}\right|}=\frac{5-0.4}{13-3\times1.6}\ \text{k}\Omega=0.56\ \text{k}\Omega$$

若门 G_1，G_2 全部截止，输出高电平。为使输出电压大于 $V_{OH(min)}$，R_L 不能取得过小，因此可求出 R_L 最大值。此时负载门输入电流流入负载门，有

$$nI_{OH}+\sum I_{IH}=\frac{V_{CC}-V_{OH(min)}}{R_L}$$

即

$$R_L=\frac{V_{CC}-V_{OH(min)}}{nI_{OL}+\sum I_{IH}}=\frac{5-2.4}{2\times250+8\times50}\ \text{k}\Omega=2.89\ \text{k}\Omega$$

故 R_L 的阻值范围为 $0.56\ \text{k}\Omega\leqslant R_L\leqslant2.89\ \text{k}\Omega$。

9.解　由题9图所示电路可知，当 $B=1$时，由 T_1 和 T_2 组成的传输门截止，且 T_3 导通，此时 $L=A'$；当 $B=0$时，传输门打开，且 T_3 和 T_4 截止，$L=A$，真值表如表 B3.9 所示。

表 B3.9

A	B	L
0	0	0
0	1	1
1	0	1
1	1	0

逻辑函数式为 $L=A'B+AB'=A\oplus B$，是异或门电路。

10.解　根据题10图，可得输出函数 Y_1，Y_2 的状态表如表 B3.10 所示，输出函数表达式为 $Y_1=AB$，$Y_2=(A+B)'$。

表 B3.10

A	B	TG_1	TG_2	Y_1	TG_3	TG_4	Y_2
0	0	关闭	关闭	0	关闭	关闭	1
0	1	关闭	导通	0	关闭	导通	0
1	0	导通	关闭	0	导通	关闭	0
1	1	导通	导通	1	导通	导通	0

第4章　组合逻辑电路

知 识 要 点

4.1　组合逻辑电路

组合逻辑电路中，任意时刻的输出仅取决于该时刻的输入，与电路原来的状态无关。组合逻辑电路逻辑功能的描述方法有逻辑函数式、逻辑真值表和逻辑电路图等几种。

4.2　组合逻辑电路的分析

组合逻辑电路的分析，就是通过分析组合逻辑电路找出逻辑功能，其步骤如下：

1.根据逻辑电路图写出逻辑函数式；

2.对逻辑函数式进行化简；

3.由逻辑函数式写出逻辑真值表；

4.由逻辑真值表得出逻辑功能。

4.3　组合逻辑电路的设计

组合逻辑电路的设计，就是根据给出的实际逻辑问题，通过设计求出实现这一逻辑功能的最简单逻辑电路，其步骤如下：

1.进行逻辑抽象，确定输入输出变量，逻辑赋值，写出逻辑真值表；

2.由逻辑真值表写出逻辑函数式；

3.选定器件类型，对逻辑函数式化简或转化成适当形式；

4.由化简或转化后的逻辑函数式画出逻辑电路图。

4.4　常用的组合逻辑电路

常用的组合逻辑电路有编码器、译码器、数据选择器、数据分配器、加法器等，其基本功能如下。

1.编码器:用二进制代码对输入信号进行编码,分为普通编码器和优先编码器。

2.译码器:将输入的二进制代码译成对应的输出高、低电平信号,常用的译码器有二进制译码器、二-十进制译码器和显示译码器三类。

3.数据选择器:在地址变量控制下,从多路数据中选择一路输出。

4.数据分配器:在地址变量控制下,将单路输入数据分配到多路输出中的某一路。

5.加法器:实现一位或多位二进制数相加。

重点理解组合逻辑器件的功能扩展和用组合逻辑器件产生逻辑函数的方法。

4.5 组合逻辑电路中的竞争-冒险现象

1.竞争-冒险:门电路的两个输入信号同时向相反逻辑状态跳变的现象叫竞争。由于竞争而在门电路输出端可能产生违背稳态下正常逻辑关系的尖峰脉冲的现象叫竞争-冒险。

2.消除方法:接入滤波电容,引入选通脉冲,修改逻辑设计。

4.6 本章重点

1.组合逻辑电路的分析和设计方法。

2.常用组合逻辑电路的逻辑功能及其应用。

3.竞争-冒险现象及其消除方法。

书后复习思考题解答

R4.2.1 什么是"逻辑抽象",它包含哪些内容?

答 所谓"逻辑抽象"是指将具体问题的逻辑需求转化为逻辑函数的过程。具体包含:(1)确定输入、输出变量;(2)定义逻辑状态的含义;(3)根据给定的因果关系列出逻辑真值表。

R4.2.2 对于一个实际的逻辑问题,两个同学经过逻辑抽象得到的逻辑函数不完全相同,这是为什么?

答 在定义逻辑状态含义过程中,不同的逻辑状态所对应的变量取值可人为地定义为0或1,如果两个同学的定义不一致,最后得到的逻辑函数也就会不相同。

R4.3.1 在需要使用普通编码器的场合能否用优先编码器取代普通编码器?在需要使用优先编码器的场合能否用普通编码器取代优先编码器?

答 前者可以,后者不可以。

R4.3.2 用二-十进制译码器附加门电路(如原教材中图4.3.20所示的结构形式)能否得到任何形式的四变量逻辑函数,为什么?

答 不可以。因为二-十进制译码器不是全译码器,在其输出端不能得到四变量的全部最小项(16个),而只能是10个。

R4.3.3 用4线-16线译码器(输入为 A_3, A_2, A_1, A_0,输出为 $Y'_0 \sim Y'_{15}$)能否取代原教材中图4.3.20中的

3-8线译码器？如果可以取代，那么电路应如何连接？

答 可以。将 A,B,C 分别输入给 A_2,A_1,A_0,A_3 接"0"逻辑状态，4-16线译码器的高八位输出端不用，低八位输出 $Y_0'\sim Y_7'$，还是按3-8译码器的连接方法即可。

R4.3.4 数据选择器输入数据的位数和输入地址的位数之间应满足怎样的定量关系？

答 若输入数据的位数为 M，输入地址的位数为 N，则二者的关系为 $M=2^N$。

R4.3.5 如果用同样的一个4选1数据选择器产生同样的三变量逻辑函数，电路接法是否是唯一的？

答 不唯一。因为变量的对应方法可以有多种。

R4.3.6 串行进位加法器和超前进位加法器有何区别？它们各有何优缺点？

答 (1)串行进位加法器中每位的进位输入信号是从低位逐级产生并传送而来的，每一位的运算结果必须等到各低位的运算都完成后，才能确定。因此，运算速度慢，但结构简单。

(2)并行进位加法器中每位的进位输入信号都是同时确定的，每一位的运算是同时独立进行的，因此运算速度快，但电路结构复杂。

R4.3.7 如果用4位数值比较器比较两个3位的二进制数，可以有多少种接法？

答 有两种。

第一种，将两个3位二进制数分别输入给4位数值比较器的两组低3位数据输入端 $A_2\sim A_0$，$B_2\sim B_0$，将两个高位数据输入端接逻辑0状态，即 $A_3=B_3=0$。

第二种，将两个3位二进制数分别输入给4位数值比较器的两组高3位数据输入端 $A_3\sim A_1$，$B_3\sim B_1$，将两个高位数据输入端接逻辑0状态，即 $A_3=B_3=0$。

R4.4.1 你能用最简单的语言说明什么是竞争-冒险现象，以及它的产生原因吗？

答 竞争：门电路的两个输入信号同时向相反状态跳变的现象。

竞争-冒险：由于竞争而有可能在门电路的输出端产生违背稳态下正常逻辑关系的尖峰脉冲的现象。

成因：两个输入信号向相反状态跳变时，时间不能保证精确一致。

R4.4.2 有哪些方法可以消除竞争-冒险现象，这些方法各有何优缺点？

答 共有三种方法。

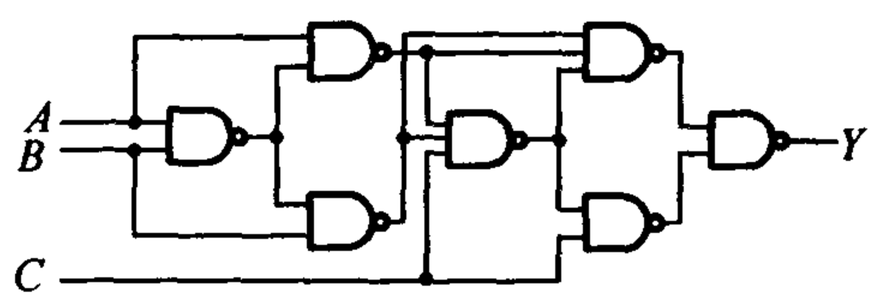
(1)引入滤波电容：优点是简单有效；缺点是使正常信号边沿质量变坏。

(2)引入选通脉冲：优点在于门电路输出端不会出现尖峰脉冲；缺点是正常输出信号会变成脉冲信号，且必须设法使选通信号与输入信号同步。

(3)修改逻辑设计：如果运用得当，可以从根本上消除竞争-冒险现象，不必增加额外的电路，又不给输出信号带来不利影响；缺点是能解决的问题是有限的。

书后习题解析

[题4.1] 分析题4.1图电路的逻辑功能，写出输出的逻辑函数式，列出真值表，说明电路逻辑功能的特点。



题4.1图

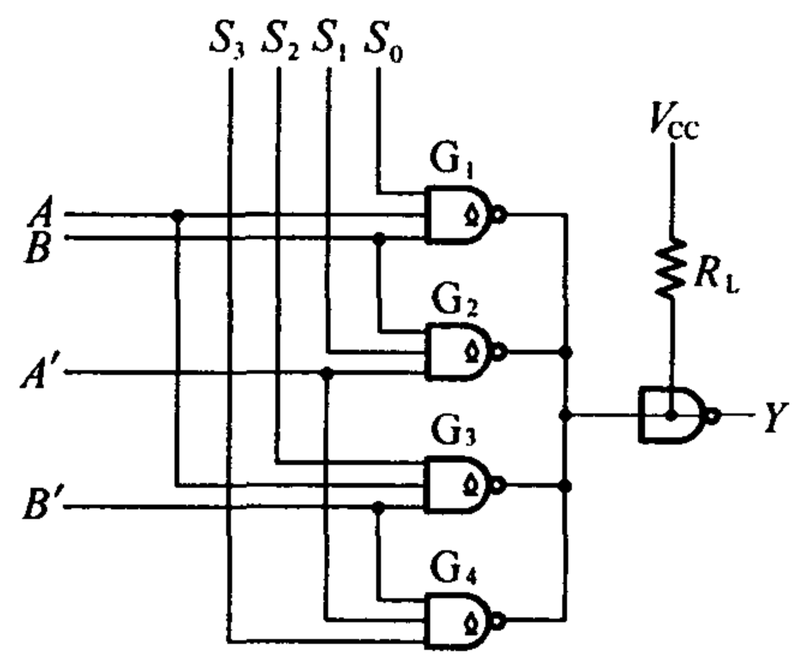
解 (1)由逻辑图得到逻辑式，化简后得到最简逻辑式为

$$Y=ABC'+AB'C+A'BC+A'B'C'=A\odot(B\oplus C)$$

(2)由逻辑式得到真值表，如图表A4.1所示。

表 A4.1

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0



题 4.2 图

(3)功能分析：当输入变量中有偶数个1或全部为0时输出为1，否则为0。因此，这是一个三变量的奇偶校验电路。

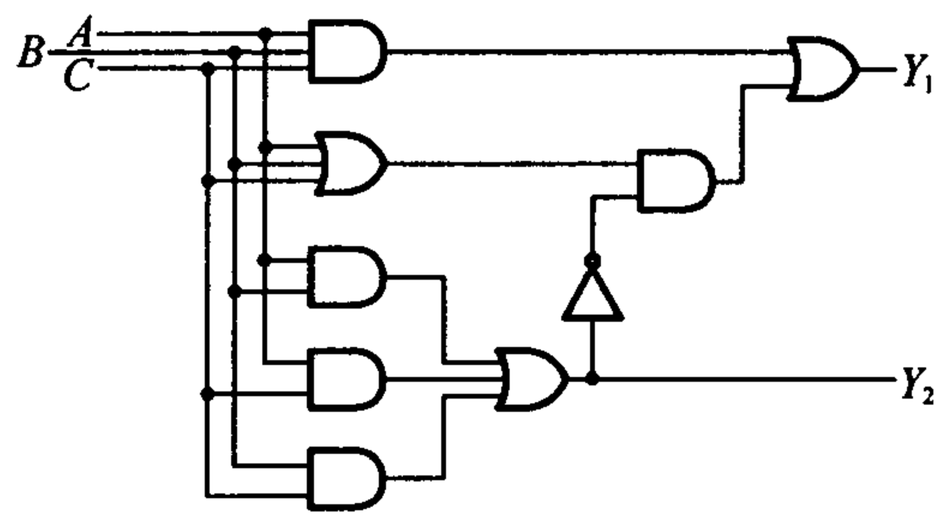
[题 4.2]　题 4.2 图是一个多功能函数发生电路。试写出 $S_0S_1S_2S_3$ 为0000～1111十六种不同状态时输出 Y 的逻辑函数式。

解　图中 $G_1 \sim G_4$ 输出线与后为输出 Y。在 $S_0 \sim S_3$ 取值为0000～1111情况下，Y 的逻辑式如表A4.2所示。

表 A4.2

S_3	S_2	S_1	S_0	Y
0	0	0	0	1
0	0	0	1	$A'+B'$
0	0	1	0	$A+B'$
0	0	1	1	B'
0	1	0	0	$A'+B$
0	1	0	1	A'
0	1	1	0	$AB+A'B'$
0	1	1	1	$A'\cdot B'$
1	0	0	0	$A+B$
1	0	0	1	$AB'+A'B$
1	0	1	0	A
1	0	1	1	AB'
1	1	0	0	B
1	1	0	1	$A'B$
1	1	1	0	AB
1	1	1	1	0

[题4.3] 分析题4.3图电路的逻辑功能，写出 Y_1，Y_2 的逻辑函数式，列出真值表，指出电路完成什么逻辑功能。



题4.3图

解 (1)逻辑式

$$Y_1 = ABC + AB'C' + A'BC' + A'B'C = A \oplus B \oplus C$$

$$Y_2 = AB + BC + AC$$

(2)真值表：如表A4.3所示。

表A4.3

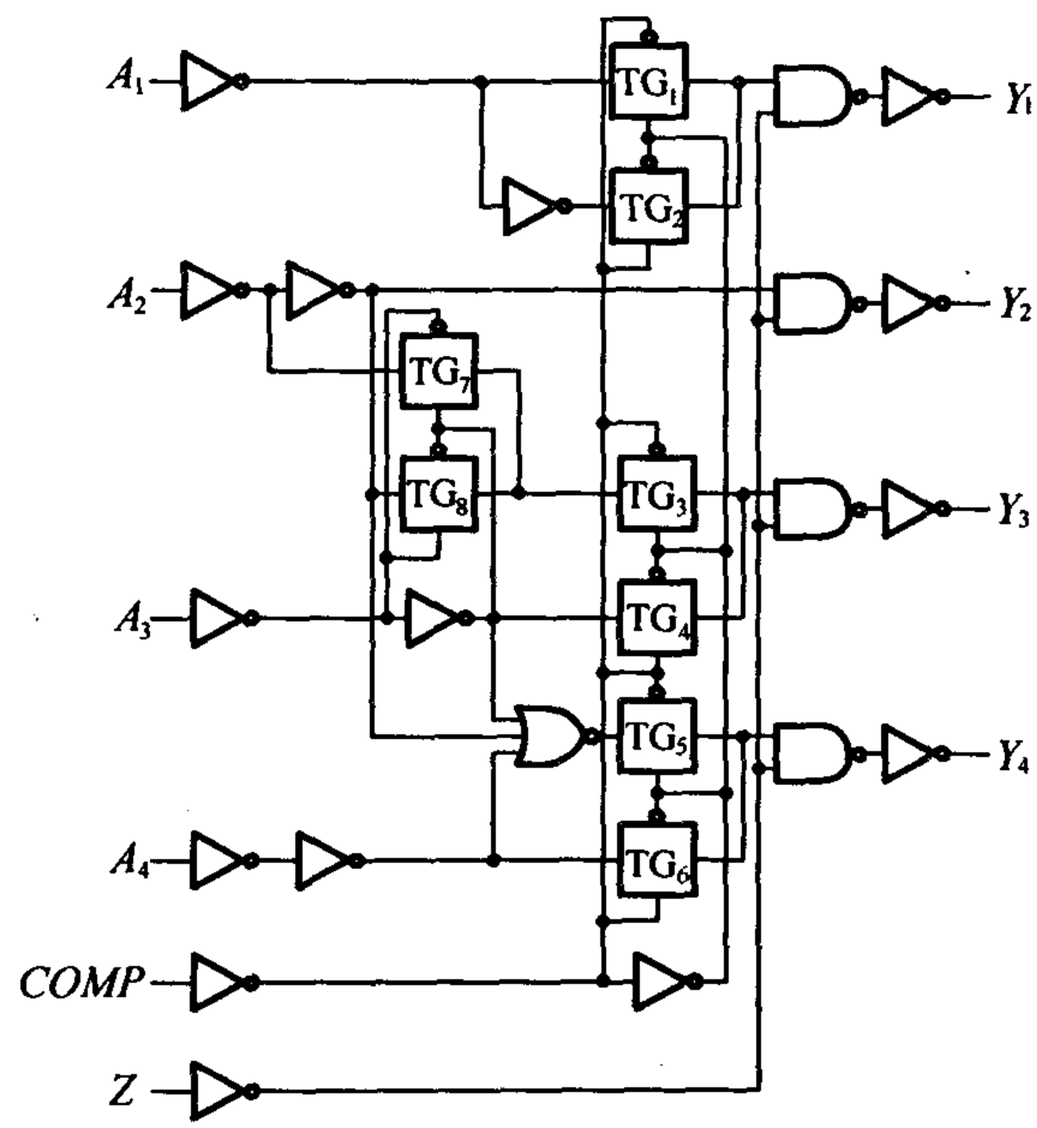
A	B	C	Y_1	Y_2
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

(3)功能分析：这是一个一位全加器，Y_1 是和，Y_2 为进位输出。

[题4.4] 题4.4图是对十进制数9求补的集成电路CC14561的逻辑图，写出当 $COMP=1, Z=0$ 和 $COMP=0, Z=0$ 时，Y_1，Y_2，Y_3，Y_4 的逻辑式，并列出真值表。

解 (1)当 $COMP=1, Z=0$ 时，逻辑式为

$$\begin{cases} Y_1 = A_1' \\ Y_2 = A_2 \\ Y_3 = A_2 \oplus A_3 \\ Y_4 = (A_2 + A_3 + A_4)' \end{cases}$$



题4.4图

(2)当 $COMP=0, Z=0$时,逻辑式为

$$\begin{cases} Y_1 = A_1 \\ Y_2 = A_2 \\ Y_3 = A_3 \\ Y_4 = A_4 \end{cases}$$

(3)真值表如表A4.4所示。

表A4.4

A_4	A_3	A_2	A_1	$COMP=1, Z=0$				$COMP=0, Z=0$			
				Y_4	Y_3	Y_2	Y_1	Y_4	Y_3	Y_2	Y_1
0	0	0	0	1	0	0	1	0	0	0	0
0	0	0	1	1	0	0	0	0	0	0	1
0	0	1	0	0	1	1	1	0	0	1	0
0	0	1	1	0	1	1	0	0	0	1	1
0	1	0	0	0	1	0	1	0	1	0	0
0	1	0	1	0	1	0	0	0	1	0	1
0	1	1	0	0	0	1	1	0	1	1	0

表 A4.4(续)

A_4	A_3	A_2	A_1	$COMP=1, Z=0$				$COMP=0, Z=0$			
				Y_4	Y_3	Y_2	Y_1	Y_4	Y_3	Y_2	Y_1
0	1	1	1	0	0	1	0	0	1	1	1
1	0	0	0	0	0	0	1	1	0	0	0
1	0	0	1	0	0	0	0	1	0	0	1
1	0	1	0	0	1	1	1	1	0	1	0
1	0	1	1	0	1	1	0	1	0	1	1
1	1	0	0	0	1	0	1	1	1	0	0
1	1	0	1	0	1	0	0	1	1	0	1
1	1	1	0	0	0	1	1	1	1	1	0
1	1	1	1	0	0	1	0	1	1	1	1

[题 4.5] 用与非门设计四变量的多数表决电路。当输入变量 A, B, C, D 有 3 个或 3 个以上为1时输出为1,输入为其他状态时输出为0。

解 (1)经逻辑抽象得出真值表,如表 A4.5 所示。

表 A4.5

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

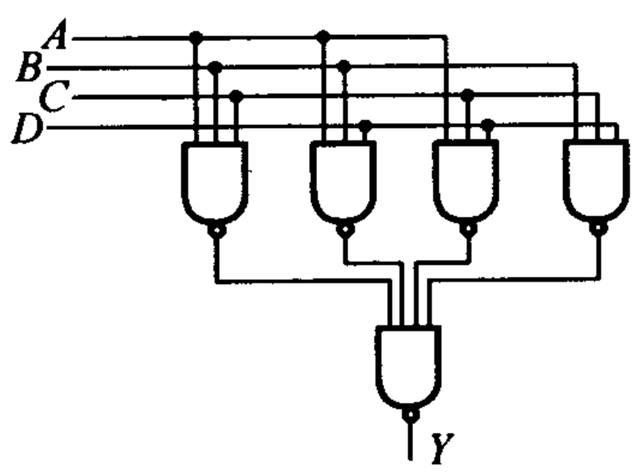
(2)由真值表得到逻辑式并化简得到

$$Y = A'BCD + AB'CD + ABC'D + ABCD' + ABCD = ABC + ABD + ACD + BCD$$

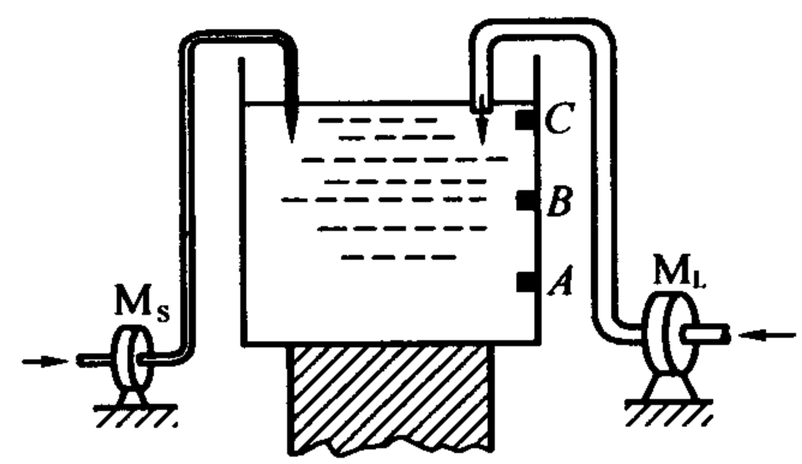
(3)将上式化为与非－与非式,并画出逻辑图,如题4.5解图所示。

$$Y = ((ABC)' \cdot (ABD)' \cdot (ACD)' \cdot (BCD)')'$$

[题4.6] 有一水箱同大、小两台水泵 M_L 和 M_S 供水,如题4.6图所示。水箱中设置了3个水位检测元件 A,B,C。水面低于检测元件时,检测元件给出高电平;水面高于检测元件时,检测元件给出低电平。现要求当水位超过 C 点时水泵停止工作;水位低于 C 点而高于 B 点时 M_S 单独工作;水位低于 B 点而高于 A 点时 M_L 单独工作;水位低于 A 点时 M_L 和 M_S 同时工作。试用门电路设计一个控制两台水泵的逻辑电路,要求电路尽量简单。



题4.5解图



题4.6图

解 (1)逻辑抽象,确定输入输出变量及变量赋值

水位检测元件状态变量

$$A = \begin{cases} 1 & \text{水位低于检测元件} \\ 0 & \text{水位高于检测元件} \end{cases}, \quad \text{大水泵状态 } M_L \begin{cases} 1 & \text{大水泵工作} \\ 0 & \text{大水泵不工作} \end{cases}$$

$$B、C \text{ 的含义及取值与 } A \text{ 相同,小水泵状态 } M_S \begin{cases} 1 & \text{小水泵工作} \\ 0 & \text{小水泵不工作} \end{cases}$$

(2)列出真值表,如表A4.6所示。

表A4.6

A	B	C	M_S	M_L
0	0	0	0	0
0	0	1	1	0
0	1	0	×	×
0	1	1	0	1
1	0	0	×	×

表 A4.6(续)

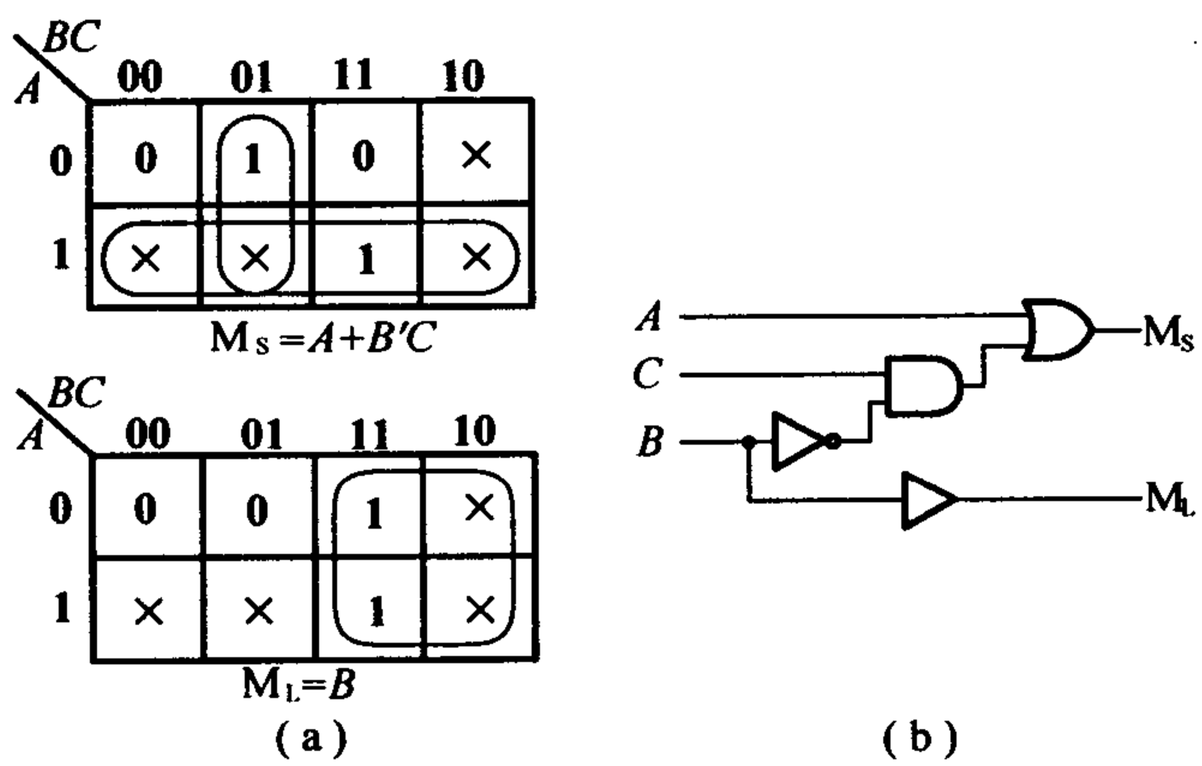
A	B	C	M_S	M_L
1	0	1	×	×
1	1	0	×	×
1	1	1	1	1

表中"×"是指 A,B,C 不可能出现的情况,此时作为约束条件处理。

(3)求出逻辑式并化简。这里用卡诺图法化简,如题 4.6 解图(a)所示,得

$$M_S = A + B'C, M_L = B$$

(4)画出逻辑图,如题 4.6 解图(b)所示。



题 4.6 解图

[题 4.7] 设计一个代码转换电路,输入为 4 位二进制代码,输出为 4 位格雷码。可以采用各种逻辑功能的门电路来实现。4 位格雷码见原教材中的表 1.5.2。

解 逻辑抽象,得到真值表如表 A4.7 所示。

表 A4.7

二进制代码				格雷码				二进制代码				格雷码			
A_3	A_2	A_1	A_0	Y_3	Y_2	Y_1	Y_0	A_3	A_2	A_1	A_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	1	0	0	0	1	1	0	0
0	0	0	1	0	0	0	1	1	0	0	1	1	1	0	1
0	0	1	0	0	0	1	1	1	0	1	0	1	1	1	1
0	0	1	1	0	0	1	0	1	0	1	1	1	1	1	0

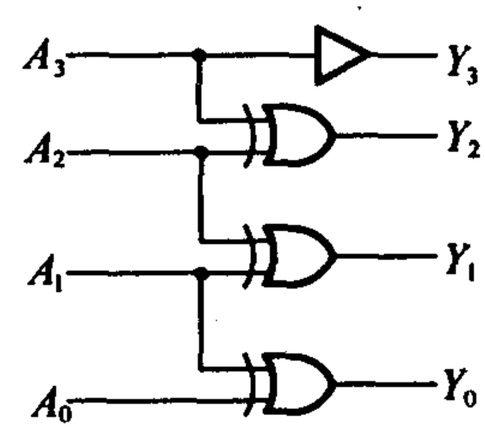
表 A4.7(续)

二进制代码				格雷码				二进制代码				格雷码			
A_3	A_2	A_1	A_0	Y_3	Y_2	Y_1	Y_0	A_3	A_2	A_1	A_0	Y_3	Y_2	Y_1	Y_0
0	1	0	0	0	1	1	0	1	1	0	0	1	0	1	0
0	1	0	1	0	1	1	1	1	1	0	1	1	0	1	1
0	1	1	0	0	1	0	1	1	1	1	0	1	0	0	1
0	1	1	1	0	1	0	0	1	1	1	1	1	0	0	0

(2)由真值表得到逻辑式并化简，得到最简逻辑式

$$Y_0 = A_0 \oplus A_1$$
$$Y_1 = A_1 \oplus A_2$$
$$Y_2 = A_2 \oplus A_3$$
$$Y_3 = A_3$$

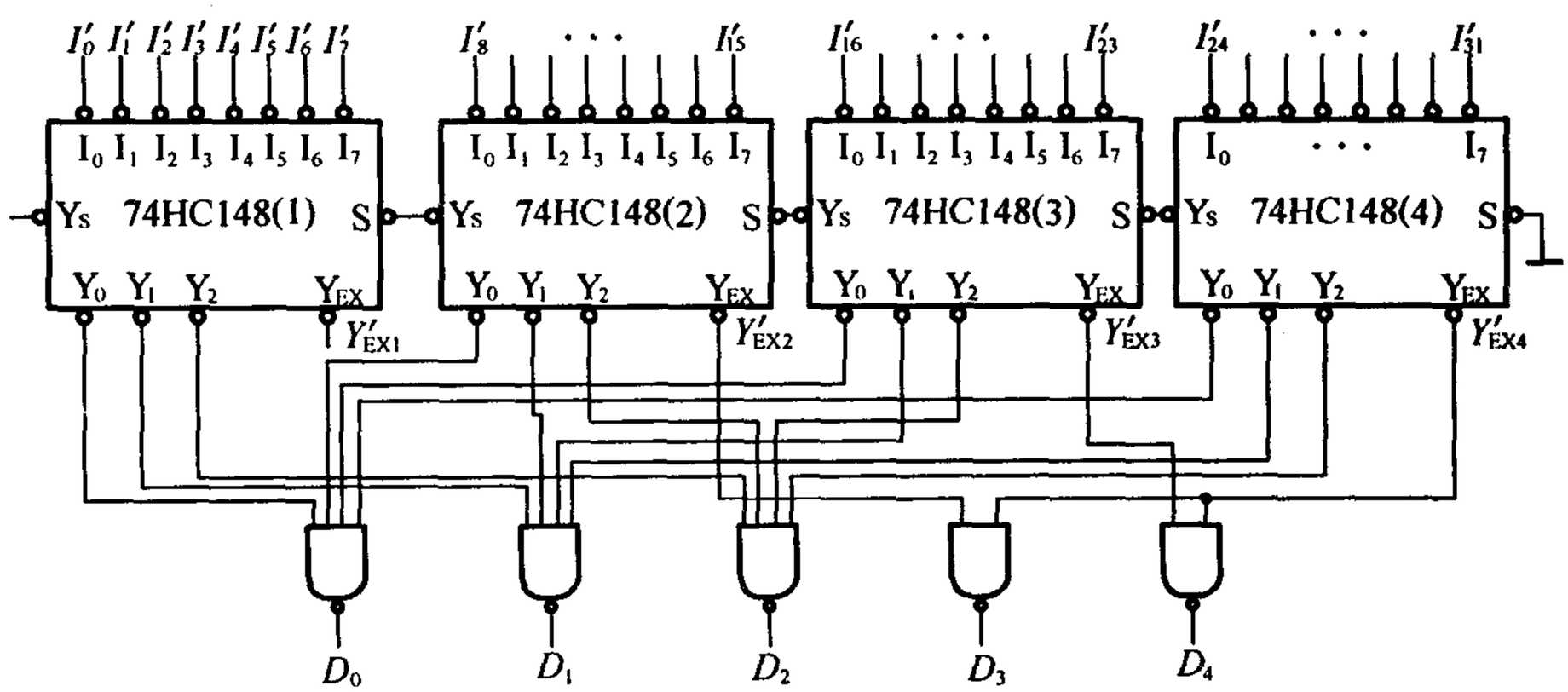
(3)画出逻辑图。逻辑图如题4.7解图所示。



题4.7解图

[题4.8]　试画出用4片8线－3线优先编码器74HC148组成32线－5线优先编码器的逻辑图。74HC148的逻辑图见原教材图4.3.3。允许附加必要的门电路。

解　$I'_0 \sim I'_{31}$为32个低电平有效的输入信号，$D_4 \sim D_0$为输出编码。电路如题4.8解图所示。D_4、D_3与$Y_{EX4} \sim Y_{EX1}$关系见表A4.8。



题4.8解图

表 A4.8

工作芯片	Y_{EX4}	Y_{EX3}	Y_{EX2}	Y_{EX1}	D_4	D_3
4	1	0	0	0	1	1
3	0	1	0	0	1	0
2	0	0	1	0	0	1
1	0	0	0	1	0	0

[题4.9] 某医院有一、二、三、四号病室4间，每室设有呼叫按钮，同时在护士值班室内对应地装有一号、二号、三号、四号4个指示灯。

现要求当一号病室的按钮按下时，无论其他病室的按钮是否按下，只有一号灯亮。当一号病室的按钮没有按下而二号病室的按钮按下时，无论三、四号病室的按钮是否按下，只有二号灯亮。当一、二号病室的按钮都未按下而三号病室的按钮按下时，无论四号病室的按钮是否按下，只有三号灯亮。只有在一、二、三号病室的按钮均未按下而按下四号病室的按钮时，四号灯才亮。试用优先编码器74HC148和门电路设计满足上述控制要求的逻辑电路，给出控制四个指示灯状态的高、低电平信号。

解 (1)由题目可知，四个按钮中，一号病室的按钮具有最高优先级，四号病室按钮具有最低优先级，可将一号按钮接至74HC148的 I'_3，四号按钮接至 I'_0，而 $I'_7 \sim I'_5$ 接高电平。

此时74HC148将把输入的四个按钮信号编为两位代码从 Y'_1 和 Y'_0 输出，Y'_2 无效(为0)。

(2) $Y'_1\,Y'_0$ 构成的两位优先编码要驱动四个灯，还需变成四个二值信号，这需要一个2-4线译码器，可用门电路设计，真值表如表A4.9所示。

表 A4.9

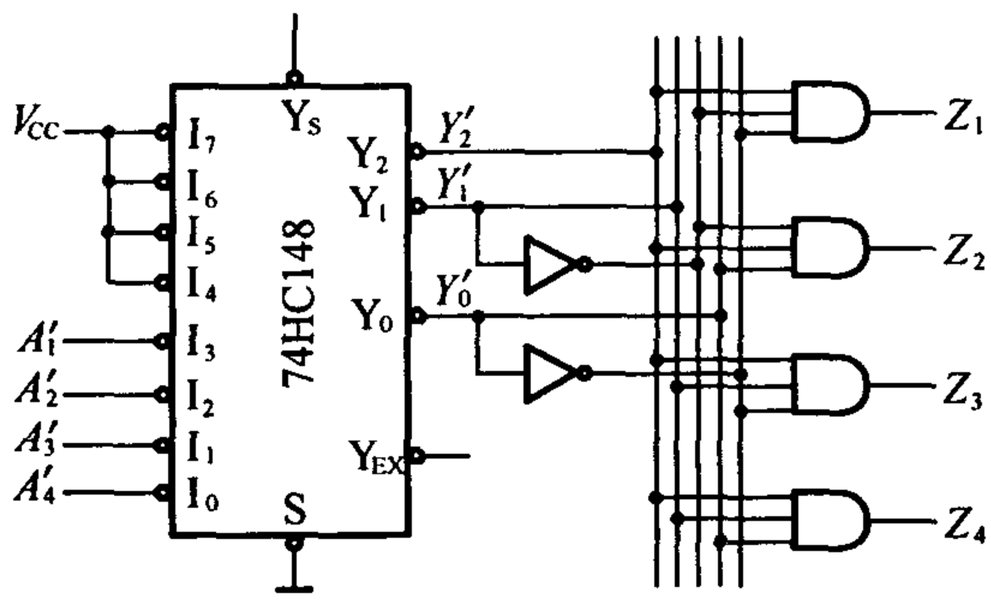
A'_1	A'_2	A'_3	A'_4	Y'_2	Y'_1	Y'_0	Z_1	Z_2	Z_3	Z_4
0	×	×	×	1	0	0	1	0	0	0
1	0	×	×	1	0	1	0	1	0	0
1	1	0	×	1	1	0	0	0	1	0
1	1	1	0	1	1	1	0	0	0	1

由真值表得到逻辑式，为

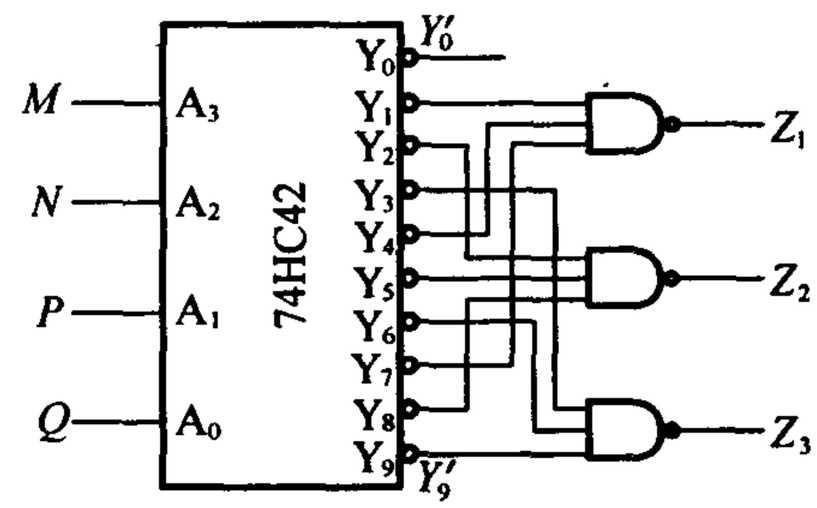
$$\begin{cases} Z_1 = Y'_2\,Y_1\,Y_0 \\ Z_2 = Y'_2\,Y_1\,Y'_0 \\ Z_3 = Y'_2\,Y'_1\,Y_0 \\ Z_4 = Y'_2\,Y'_1\,Y'_0 \end{cases}$$

最后总的电路如题4.9解图所示。

[题4.10] 写出题4.10图中 Z_1, Z_2, Z_3 的逻辑函数式，并化简为最简的与或表达式。译码器74HC42的逻辑图见原教材中图4.3.11。



题4.9解图



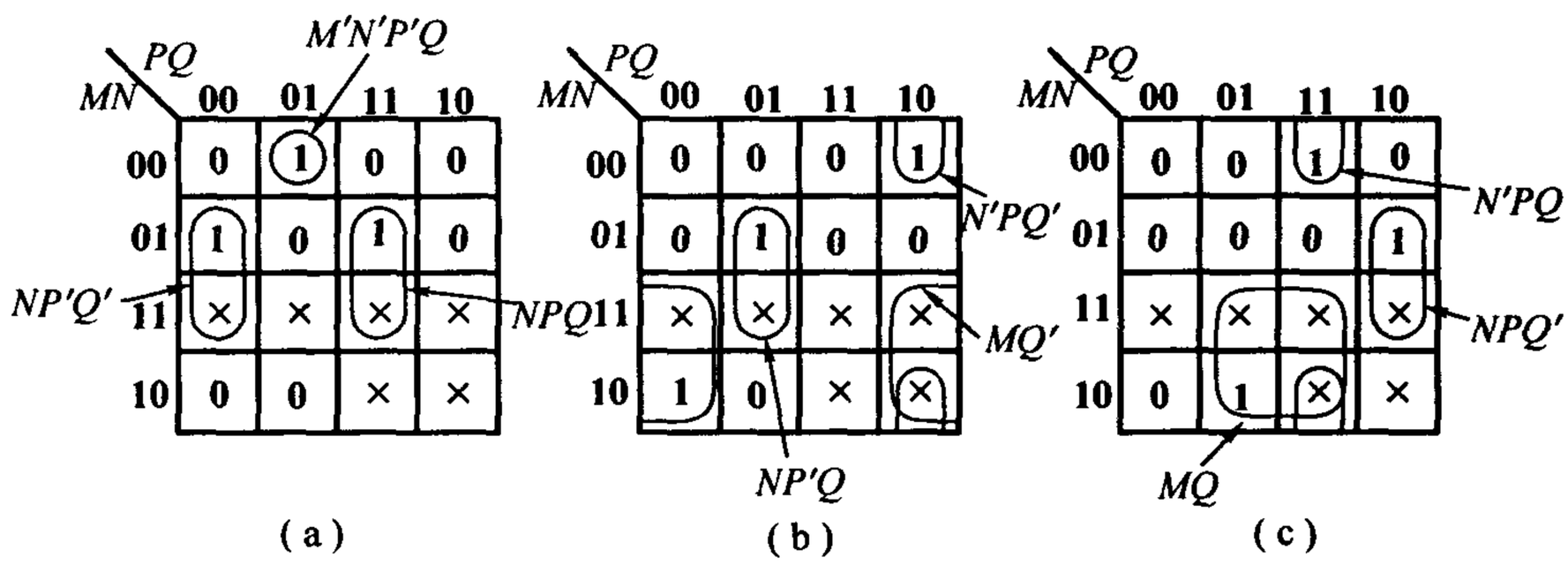
题4.10图

解　由题4.10得到逻辑式

$$\begin{cases} Z_1 = (Y_1' Y_4' Y_7')' = M'N'P'Q + M'NP'Q' + M'NPQ \\ Z_2 = (Y_2' Y_5' Y_8')' = M'N'PQ' + M'NP'Q + MN'P'Q' \\ Z_3 = (Y_3' Y_6' Y_9') = M'N'PQ + M'NPQ' + MN'P'Q \end{cases}$$

用卡诺图对逻辑式进行化简，化简结果为

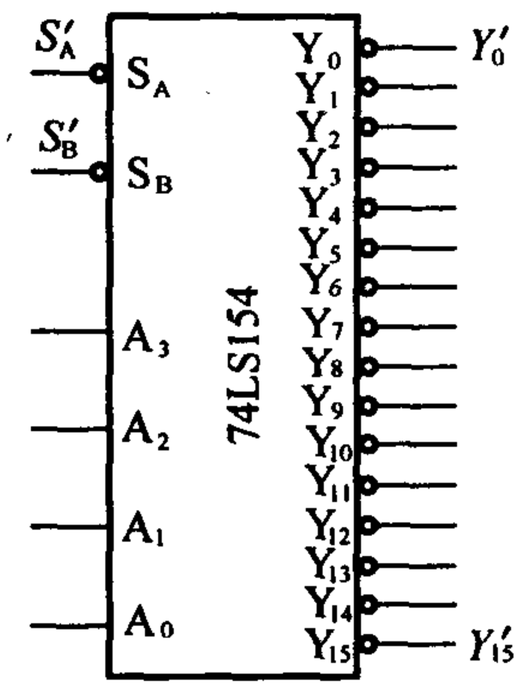
$$\begin{cases} Z_1 = M'N'P'Q + NP'Q' + NPQ \\ Z_2 = MQ' + NP'Q + N'PQ' \\ Z_3 = MQ + NPQ' + N'PQ \end{cases}$$



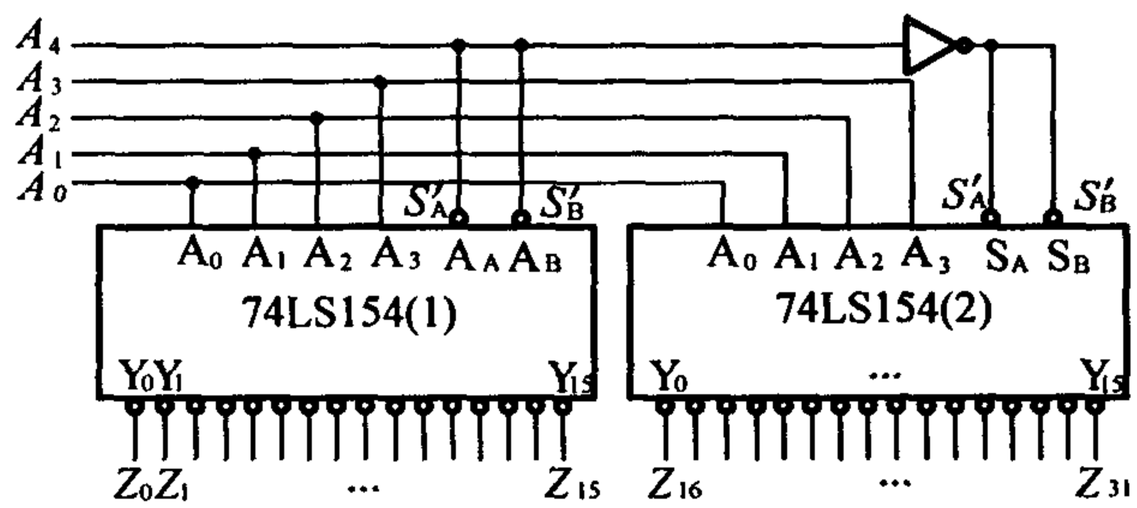
题4.10解图

[题4.11]　画出两片4线－16线译码器74LS154组成5线－32线译码器的接线图。题4.11图是74LS154的逻辑框图，图中的 S_A'，S_B' 是两个控制端(亦称片选端)，译码器工作时应使 S_A' 和 S_B' 同时为低电平。当输入信号 $A_3A_2A_1A_0$ 为0000～1111这16种状态时，输出端从 Y_0' 到 Y_{15}' 依次给出低电平输出信号。

解 电路如题4.11解图所示。



题4.11图



题4.11解图

[题4.12] 试画出用3线-8线译码器74HC138(见图4.3.8)和门电路产生如下多输出逻辑函数的逻辑图。

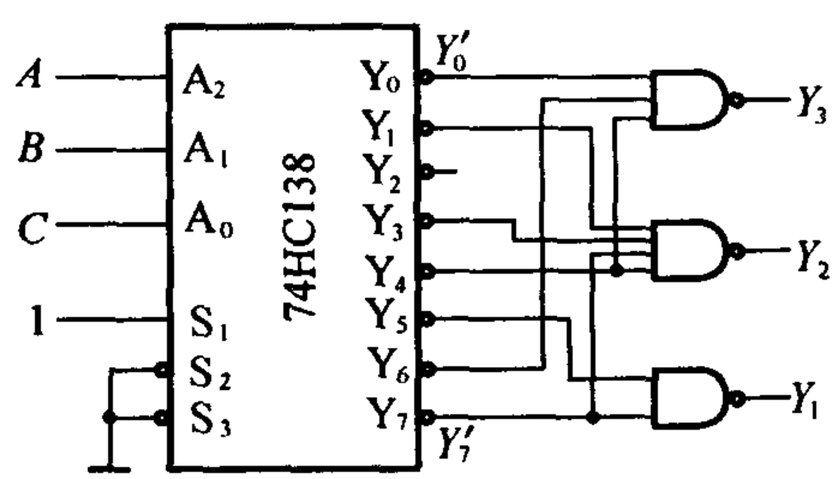
$$\begin{cases} Y_1 = AC \\ Y_2 = A'B'C + AB'C' + BC \\ Y_3 = B'C' + ABC' \end{cases}$$

解 将输入变量 A, B, C 分别接至74HC138的输入端 A_2, A_1, A_0 输出端 $Y'_0 \sim Y'_7$ 给出了三变量全部7个最小项的反相输出 $m'_0 \sim m'_7$。

把给定的函数转化为 $m'_0 \sim m'_7$ 的形式,即为

$$\begin{cases} Y_1(A,B,C) = AC = AB'C + ABC = m_5 + m_7 = (m'_5 m'_7)' = (Y'_5 Y'_7)' \\ Y_2(A,B,C) = A'B'C + AB'C' + BC = A'B'C + A'BC + AB'C' + ABC \\ \qquad = m_1 + m_3 + m_4 + m_7 = (m'_1 m'_3 m'_4 m'_7)' = (Y'_1 Y'_3 Y'_4 Y'_7)' \\ Y_3(A,B,C) = B'C' + ABC' = A'B'C' + AB'C' + ABC' \\ \qquad = m_0 + m_4 + m_6 = (m'_0 m'_4 m'_6)' = (Y'_0 Y'_4 Y'_6)' \end{cases}$$

电路如图题4.12解图所示。



题4.12解图

[题4.13] 画出用4线－16线译码器74LS154(参见题4.11)和门电路产生如下多输出逻辑函数的逻辑图。

$$\begin{cases} Y_1 = A'B'C'D + A'B'CD' + AB'C'D' + A'BC'D' \\ Y_2 = A'BCD + AB'CD + ABC'D + ABCD' \\ Y_3 = A'B \end{cases}$$

解 将给定的逻辑函数进行逻辑式变换,得

$$\begin{cases} Y_1(A,B,C,D) = A'B'C'D + A'B'CD' + A'BC'D' + AB'C'D' \\ \qquad = m_1 + m_2 + m_4 + m_8 = (m_1' m_2' m_4' m_8')' = (Y_1' Y_2' Y_4' Y_8')' \\ Y_2(A,B,C,D) = A'BCD + AB'CD + ABC'D + ABCD' \\ \qquad = m_7 + m_{11} + m_{13} + m_{14} = (m_7' m_{11}' m_{13}' m_{14}')' = (Y_7' Y_{11}' Y_{13}' Y_{14}')' \\ Y_3(A,B,C,D) = A'B = A'BC'D' + A'BC'D + A'BCD' + A'BCD \\ \qquad = m_4 + m_5 + m_6 + m_7 = (m_4' m_5' m_6' m_7')' = (Y_4' Y_5' Y_6' Y_7') \end{cases}$$

电路如题4.13解图所示。

[题4.14] 用3线－8线译码器74HC138和门电路设计1位二进制全减器电路。输入为被减数、减数和来自低位的借位;输出为两数之差和向高位的借位信号。

解 设 A_i 为被减数,B_i 为减数,C_{i-1} 为来自低位的借位输入,S_i 为和,C_i 为借位输出,其真值表如图表A4.14所示。由真值表可得到逻辑式,为

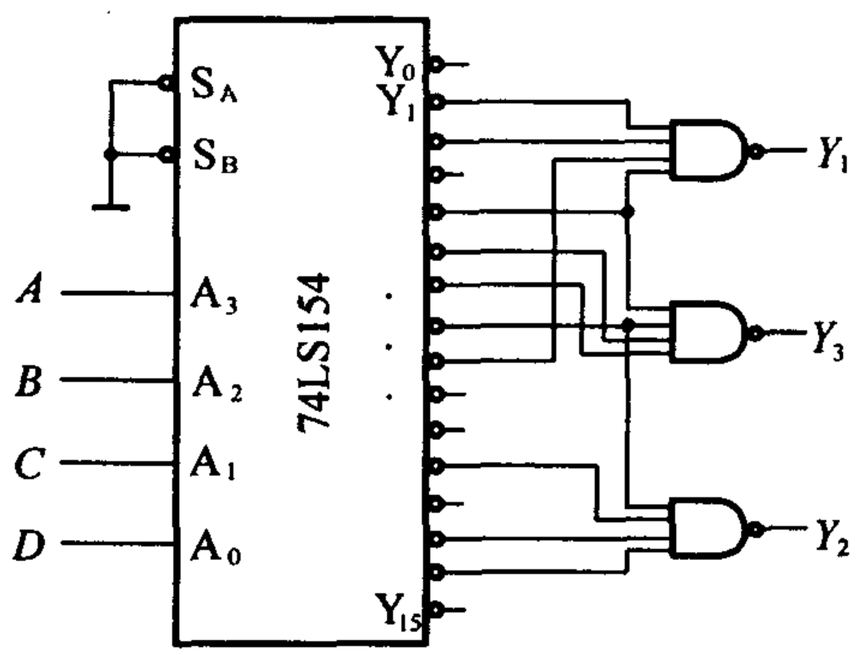
$$S_i = A_i'B_i'C_{i-1} + A_i'B_iC_{i-1}' + A_iB_i'C_{i-1}' + A_iB_iC_{i-1} = (m_1' m_2' m_4' m_7')'$$

$$C_i = A_i'B_i'C_{i-1} + A_i'B_iC_{i-1}' + A_i'B_iC_{i-1} + A_iB_iC_{i-1} = (m_1' m_2' m_3' m_7')'$$

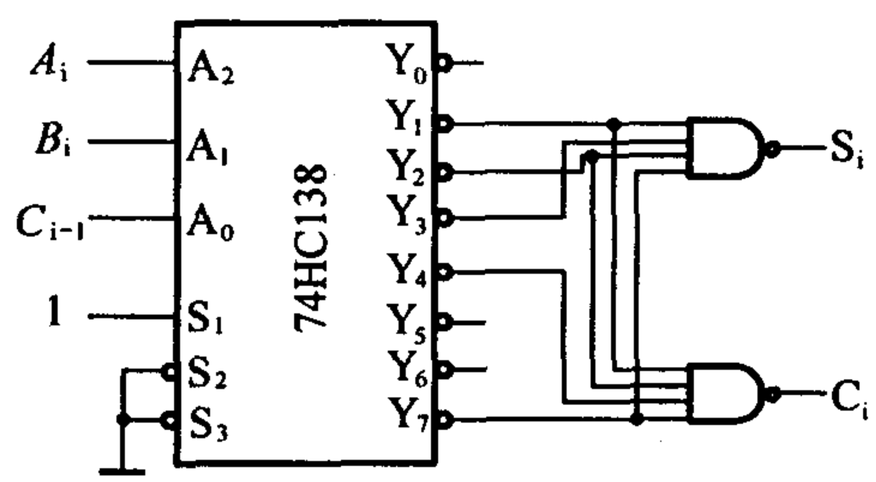
表 A4.14

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

一位二进制全减器电路如图题4.14解图所示。



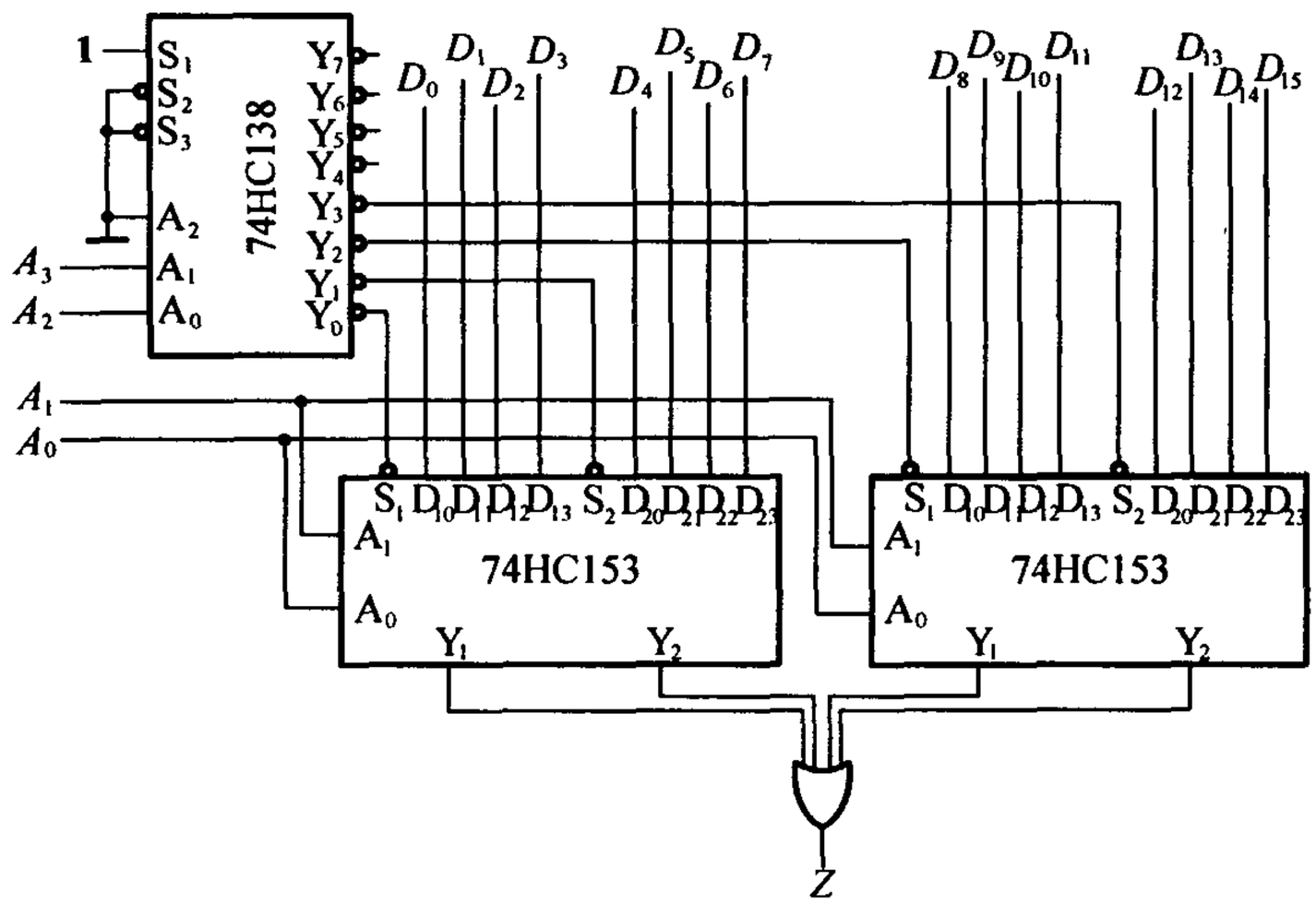
题 4.13 解图



题 4.14 解图

[题 4.15] 试用两片双 4 选 1 数据选择器 74HC153 和 3－8 线译码器 74HC138 接成 16 选 1 的数据选择器。74HC153 的逻辑图见原教材中图 4.3.21，74HC138 的逻辑图见原教材中图 4.3.8。

解 高位地址 A_3，A_2 分别接至 74HC138 的 A_1，A_0 地址输入端，A_2 地址输入端接地。74HC138 的 4 个输出信号分别接至两片 74HC153 的四个的使能端。电路如图题 4.15 解图所示。



题 4.15 解图

[题 4.16] 分析题 4.16 图电路，写出输出 Z 的逻辑函数式。74HC151 为 8 选 1 数据选择器，它的逻辑图见原教材中图 4.3.24，输出的逻辑函数式见原教材中式(4.3.22)。

解 已知 74HC151 的逻辑式为

$$Y = D_0(A_2'A_1'A_0') + D_1(A_2'A_1'A_0) + D_2(A_2'A_1A_0') + D_3(A_2'A_1A_0) +$$

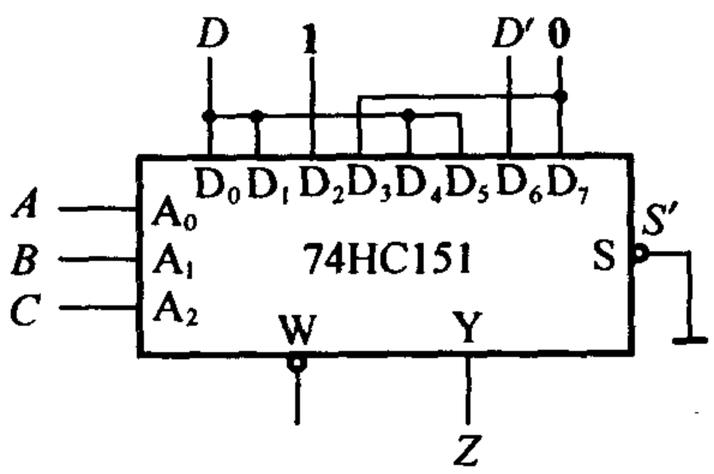
$$D_4(A_2A_1'A_0') + D_5(A_2A_1'A_0) + D_6(A_2A_1A_0') + D_7(A_2A_1A_0)$$

将图中 $D_0 = D_1 = D_4 = D_5 = D, D_2 = 1, D_3 = D_7 = 0, D_6 = D'$ 代入上式，得

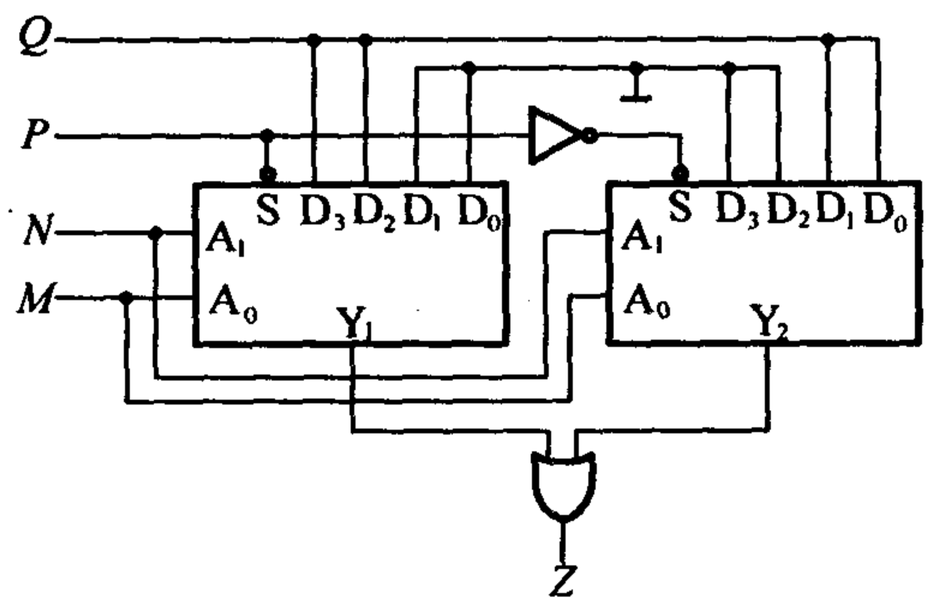
$$Z = DC'B'A' + DC'B'A + C'BA' + DCB'A' + DCB'A + D'CBA'$$

[题4.17] 题4.17图是用两个4选1数据选择器组成的逻辑电路，试写出输出 Z 与输入 M、N、P、Q 之间的逻辑函数式。已知数据选择器的逻辑函数式为

$$Y = [D_0A_1'A_0' + D_1A_1'A_0 + D_2A_1A_0' + D_3A_1A_0]\cdot S$$



题4.16图



题4.17图

解 由题4.17图可得输出信号的逻辑式为

$$Y_1 = [Q\cdot N'M' + Q\cdot N'M + QNM' + QNM]P' = NP'Q$$

$$Y_2 = [QN'M' + QN'M + Q\cdot NM' + Q\cdot NM]P = N'PQ$$

$$Z = Y_1 + Y_2 = NP'Q = N'PQ$$

[题4.18] 试用4选1数据选择器产生逻辑函数

$$Y = AB'C' + A'C' + BC$$

解 (1)4选1数据选择器固有的逻辑式为

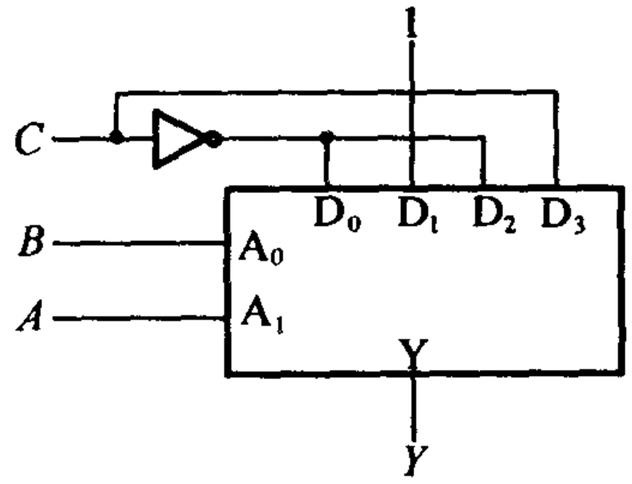
$S' = 0$，则 $$Y = D_0(A_1'A_0') + D_1(A_1'A_0) + D_2(A_1A_0') + D_3(A_1A_0)$$

(2)逻辑式变换得

$$Y = (A'B')C' + (A'B)\cdot 1 + (AB')C' + (AB)C$$

(3)逻辑式对照，令 $A_1 = A, A_0 = B, D_0 = D_2 = C', D_1 = 1, D_3 = C$ 即可实现。

(4)逻辑图如题4.18解图所示。



题4.18解图

[题4.19] 用8选1数据选择器74HC151(见原教材中图4.3.24)产生逻辑函数

$$Y = AC'D + A'B'CD + BC + BC'D'$$

解 (1)8选1数据选择器74HC151固有逻辑式为

$$\begin{aligned}Y = {} & (A_2'A_1'A_0')\cdot D_0 + (A_2'A_1'A_0)\cdot D_1 + (A_2'A_1A_0')\cdot D_2 \\ & + (A_2'A_1A_0)\cdot D_3 + (A_2A_1'A_0')\cdot D_4 + (A_2A_1'A_0)\cdot D_5 \\ & + (A_2A_1A_0')\cdot D_6 + (A_2A_1A_0)\cdot D_7\end{aligned}$$

(2)对所求的逻辑函数进行逻辑式变换,得

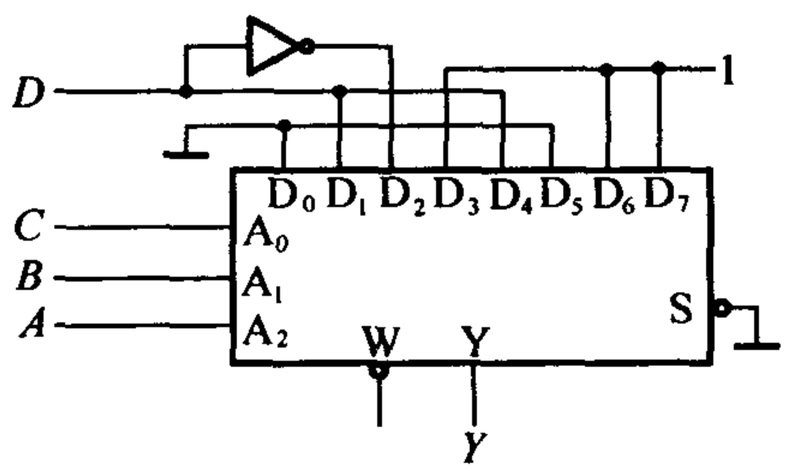
$$Y=(A'B'C')\cdot 0+(A'B'C)\cdot D+(A'BC')\cdot D'+(A'BC)\cdot 1$$
$$+(AB'C')\cdot D+(AB'C)\cdot 0+(ABC')\cdot 1+(ABC)\cdot 1$$

(3)进行逻辑式对照,令 $A_2=A, A_1=B, A_0=C, D_0=D_5=0, D_1=D_4=D, D_2=D', D_3=D_6=D_7=1$,即可实现所要实现的逻辑式。

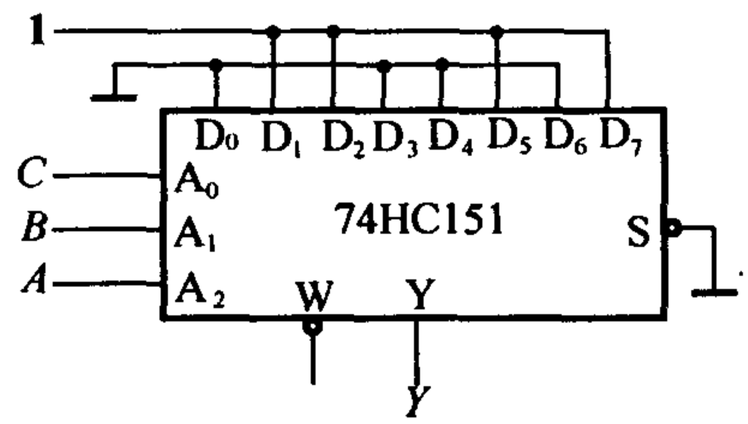
(4)画出逻辑图,如题 4.19 解图所示。

[题 4.20] 用 8 选 1 数据选择器 74HC151(见原教材中图 4.3.24)产生逻辑函数

$$Y=AC+A'BC'+A'B'C$$



题 4.19 解图



题 4.20 解图

解 (1)8 选 1 数据选择器固有逻辑式见上题。

(2)进行逻辑式变换得

$$Y=(A'B'C')\cdot 0+(A'B'C)\cdot 1+(A'BC')\cdot 1+(A'BC)\cdot 0$$
$$+(AB'C')\cdot 0+(AB'C)\cdot 1+(ABC')\cdot 0+(ABC)\cdot 1$$

(3)进行逻辑式对照,令 $A_2=A, A_1=B, A_0=C, D_0=D_3=D_4=D_6=0, D_1=D_2=D_5=D_7=1$即可实现所要实现的逻辑式。

(4)逻辑式图,如题 4.20 解图所示。

[题 4.21] 设计用 3 个开关控制一个电灯的逻辑电路,要求改变任何一个开关的状态都能控制电灯由亮变灭或者由灭变亮。要求用数据选择器来实现。

解 (1)逻辑抽象

当 A, B, C 表示三个开关的状态,Y 表示灯的状态。显然,A, B, C 为循环码,并假设当 $ABC=000$时,$Y=0$,得真值表如表 A4.21。

(2)逻辑式

由真值表得其逻辑式为

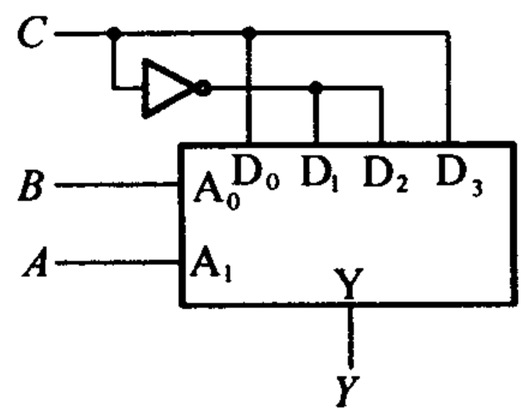
$$Y=A'B'C+A'BC'+ABC+AB'C'$$

(3)用 4 选 1 数据选择器实现

令 $A_1=A, A_0=B, D_0=D_3=C, D_1=D_2=C'$ 即可,电路如题 4.21 解图所示。

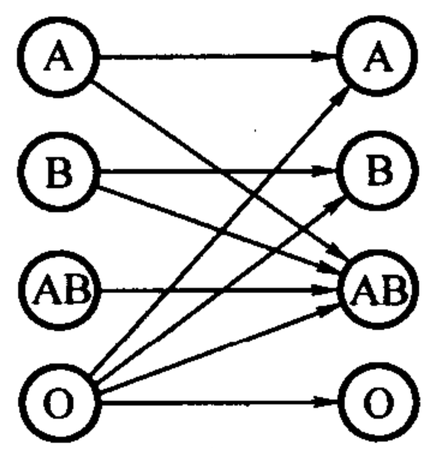
表 A4.21

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1



题 4.21 解图

[题 4.22]　人的血型有 A、B、AB、O 四种。输血时输血者的血型与受血者血型必须符合题 4.22 图中用箭头指示的授受关系。试用数据选择器设计一个逻辑电路，判断输血者与受血者的血型是否符合上述规定。(提示：可以用两个逻辑变量的四种取值表示输血者的血型。用另外两个逻辑变量的四种取值表示受血者的血型。)



题 4.22 图

解　(1)逻辑抽象

用 M，N 的四种取值表示输血者的血型，用 P，Q 的四种取值表示受试者血型，用 Y 表示判断结果，且定义 $Y=1$表示符合要求，$Y=0$表示不符合，得到真值表如表 A4.22 所示。

表 A4.22

M	N	P	Q	Y	M	N	P	Q	Y
0	0	0	0	0	1	0	0	0	1
0	0	0	1	1	1	0	0	1	1
0	0	1	0	0	1	0	1	0	0
0	0	1	1	1	1	0	1	1	1
0	1	0	0	1	1	1	0	0	0
0	1	0	1	0	1	1	0	1	0
0	1	1	0	0	1	1	1	0	0
0	1	1	1	1	1	1	1	1	0

(2)由真值表得到逻辑式为

$$Y = M'N'P'Q + M'N'PQ + M'NP'Q' + M'NPQ + MN'P'Q' + MN'P'Q + MN'PQ$$

(3)逻辑式变换

将逻辑式变为 8 选 1 数据选择器固有逻辑式的形式(参见题 4.19),得

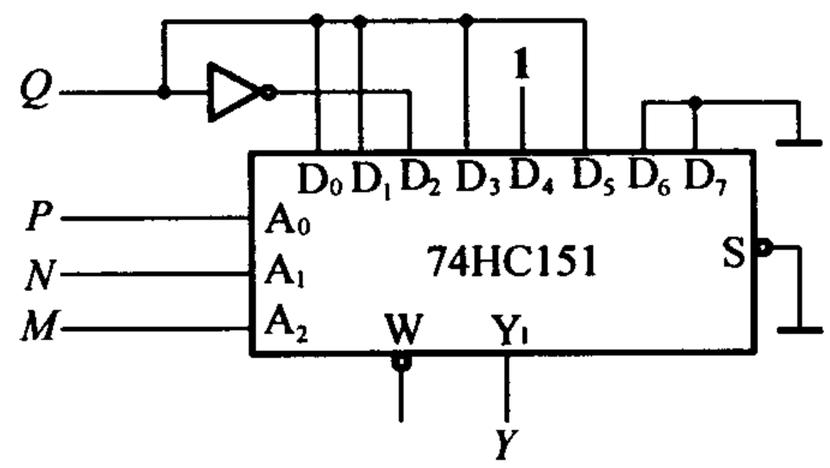
$$Y = M'N'P' \cdot Q + M'N'P \cdot Q + M'NP' \cdot Q' + M'NP \cdot Q + MN'P' \cdot 1 + MN'P \cdot Q + MNP' \cdot 0 + MNP \cdot 0$$

(4)逻辑式对照

令 $A_2 = M, A_1 = N, A_0 = P, D_0 = D_1 = D_3 = D_5 = Q, D_2 = Q', D_4 = 1, D_6 = D_7 = 0$即可。

(5)逻辑图

可得逻辑图如题 4.22 解图所示。



题 4.22 解图

[题 4.23] 用 8 选 1 数据选择器 74HC151(见原教材中图 4.3.24)设计一个组合逻辑电路。该电路有三个输入逻辑变量 A, B, C 和一个工作状态控制变量 M。当 $M = 0$时电路实现"意见一致"功能(A, B, C 状态一致时输出为1,否则输出为0),而 $M = 1$时电路实现"多数表决"功能,即输出与 A, B, C 中多数的状态一致。

解 根据题意可得到如表 A4.23 所示的真值表,用 Z 表示输出逻辑变量。

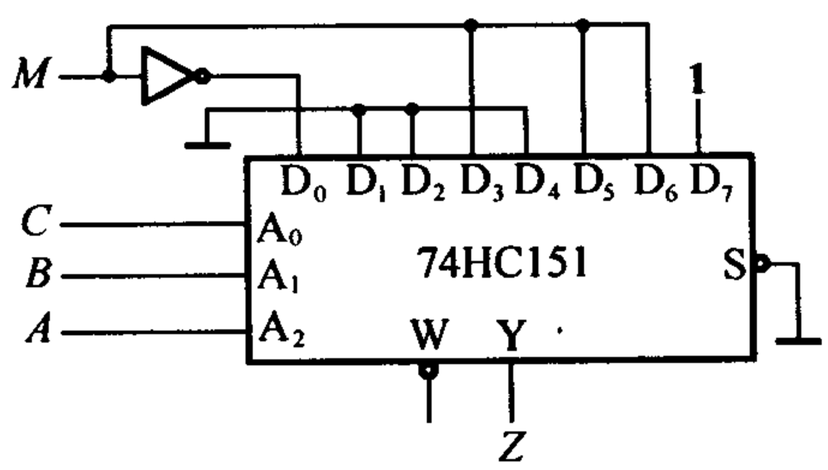
表 A4.23

M	A	B	C	Z	M	A	B	C	Z
0	0	0	0	1	1	0	0	0	0
0	0	0	1	0	1	0	0	1	0
0	0	1	0	0	1	0	1	0	0
0	0	1	1	0	1	0	1	1	1
0	1	0	0	0	1	1	0	0	0
0	1	0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1

由真值表写出逻辑式为

$$Z = (A'B'C' + ABC)M' + (A'BC + AB'C + ABC' + ABC)M$$
$$= A'B'C' \cdot M' + A'B'C \cdot 0 + A'BC' \cdot 0 + A'BC \cdot M + AB'C' \cdot 0AB'C \cdot M + ABC' \cdot M + ABC \cdot 1$$

令 $A_2 = A, A_1 = B, A_0 = C, D_0 = M', D_1 = D_2 = D_4 = 0, D_3 = D_5 = D_6 = M, D_7 = 1$。得到电路如题 4.23 解图所示。



题 4.23 解图

[题 4.24] 用 8 选 1 数据选择器设计一个函数发生器电路,它的功能表如表 P4.24 所示。

解 由功能表写出逻辑式

$$Y = S_1' S_0' AB + S_1' S_0 (A + B) + S_1 S_0' (AB' + A'B) + S_1 S_0 A'$$

8选1数据选择器的输出逻辑式为

$$Y = A_2' A_1' A_0' \cdot D_0 + A_2' A_1' A_0 \cdot D_1 + A_2' A_1 A_0' \cdot D_2 + A_2' A_1 A_0 \cdot D_3$$
$$+ A_2 A_1' A_0' \cdot D_4 + A_2 A_1' A_0 \cdot D_5 + A_2 A_1 A_0' \cdot D_6 + A_2 A_1 A_0 \cdot D_7$$

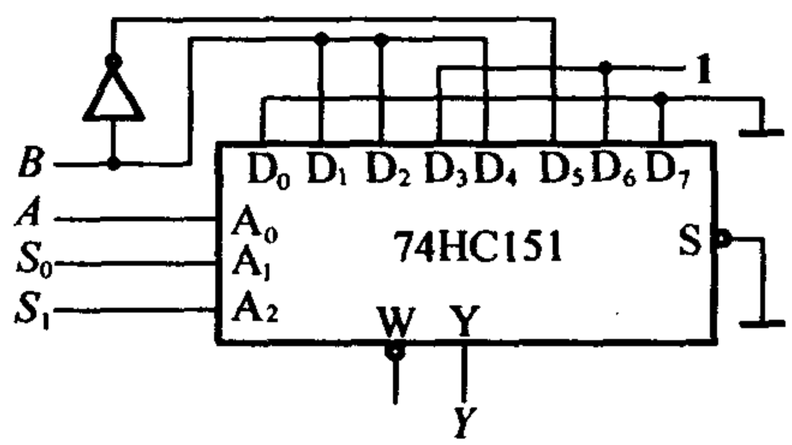
将要求产生的函数式化为与数据选择器输出函数式完全对应的形式

$$Y = S_1' S_0' A' \cdot 0 + S_1' S_0' A \cdot B + S_1' S_0 A' \cdot B + S_1' S_0 A \cdot 1$$
$$+ S_1 S_0' A' \cdot B + S_1 S_0' A \cdot B' + S_1 S_0 A' \cdot 1 + S_1 S_0 A \cdot 0$$

令74HC151的输入为 $A_2 = S_1, A_1 = S_0, A_0 = A, D_0 = D_7 = 0, D_1 = D_2 = D_4 = B, D_3 = D_6 = 1, D_5 = B'$ 即可，逻辑图如题4.24解图所示。

表 P4.24

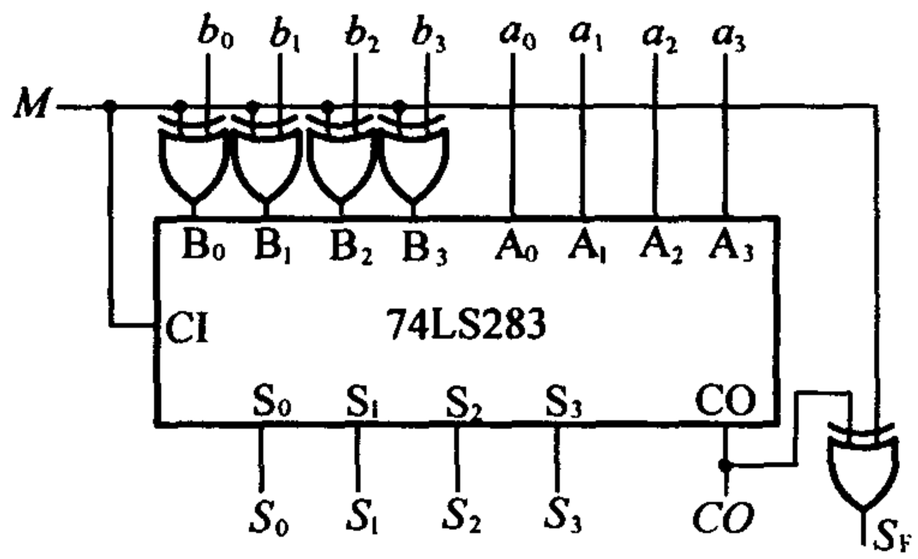
S_1	S_0	Y
0	0	$A \cdot B$
0	1	$A + B$
1	0	$A \oplus B$
1	1	A'



题4.24解图

[题4.25]　试用4位并行加法器74LS283设计一个加/减运算电路。当控制信号 $M = 0$ 时它将两个输入的4位二进制数相加，而 $M = 1$ 时它将两个输入的4位二进制数相减。两数相加的绝对值不大于15。允许附加必要的门电路。

解　两个4位二进制数相减，可用其补码相加实现。对减数求反再加1得到补码。电路如题4.25解图所示。当 $M = 0$ 时，将两个4位二进制数 $a_3 a_2 a_1 a_0$ 和 $b_3 b_2 b_1 b_0$ 相加。当 $M = 1$ 时，将两个4位二进制数 $a_3 a_2 a_1 a_0$ 和 $b_3 b_2 b_1 b_0$ 相减(补码相加)，$b_3 b_2 b_1 b_0$ 的补码是通过异或门对其按位取反，再在 CI 位加1求得。输出和也是补码形式。

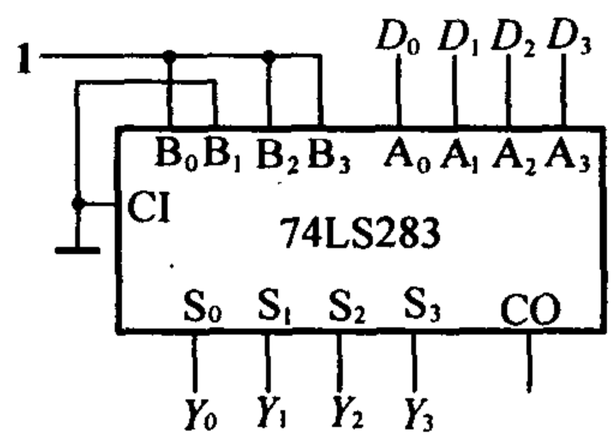


题4.25解图

S_F 为和的符号，当 $S_F = 0$ 时为正数，$S_F = 1$ 时为负数。

[题4.26]　能否用一片4位并行加法器74LS283将余3代码转换成8421的二－十进制代码？如果可能，应当如何连线？

解　余3码制的各个代码比8421码制的各代码在数量上大0011，因此减去0011即可。而减去0011可用加上0011的补码(1101)实现，实现电路如题4.26解图。



题4.26解图

可知其逻辑式为　　$Y_3 Y_2 Y_1 Y_0 = D_3 D_2 D_2 D_1 + 1101$

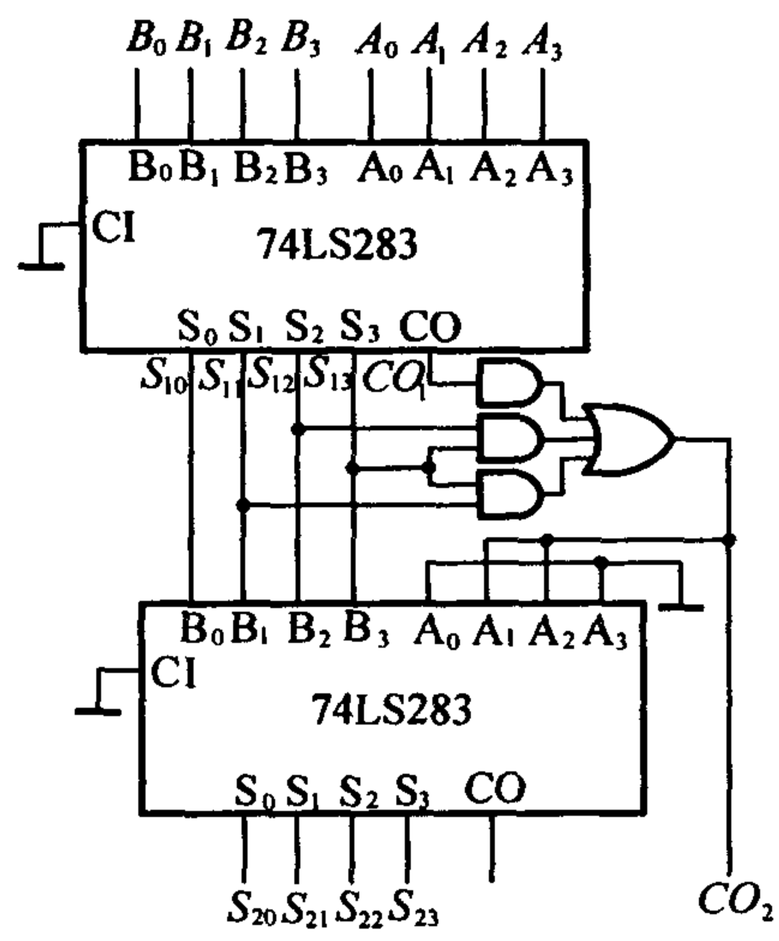
[题4.27]　试利用两片4位二进制并行加法器74LS283和必要的门电路组成一个二－十进制加法器电路。(提示：根据BCD码中8421码的加法运算规则，当两数之和小于、等于9(1001)时，相加的结果和按二进制

数相加所得到的结果一样。当两数之和大于 9(即等于1010～1111时),则应在按二进制数相加的结果上加 6(0110),这样就可以给出进位信号,同时得到一个小于 9 的和。)

解 两个二－十进制数 $A_3A_2A_1A_0$ 和 $B_3B_2B_1B_0$ 相加,当和≤9(1001)时,其结果就是所求的二－十进制和;当和≥10(1010)时,必须将该结果在另一个加法器中加 6(0110)进行修正,才能得到 8421 码的和及进位输出。电路如题 4.27 解图所示。其中进位输出 CO 的逻辑式为

$$CO_2 = CO_1 + S_{13}S_{12} + S_{13}S_{11}$$

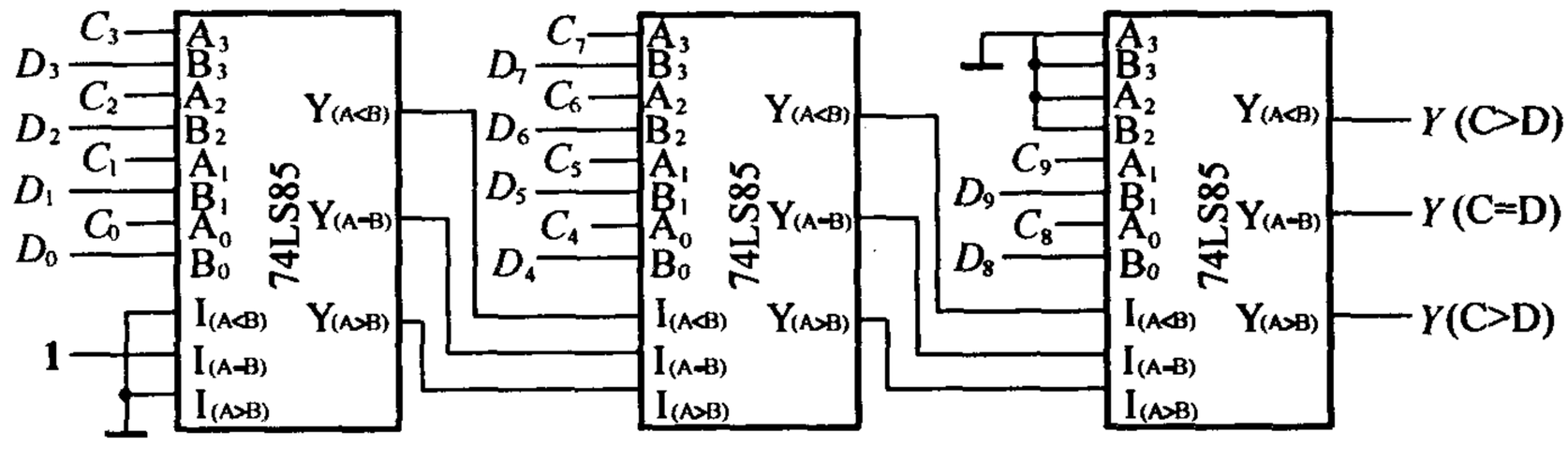
当和≥10 时,进位输出 $CO_2 = 1$。同时在 $S_{13}S_{12}S_{11}S_{10}$ 上加 6 (0110),此时 $S_{23}S_{22}S_{21}S_{20}$ 和 CO_2 就是修正后的结果。



题 4.27 解图

[题 4.28] 若用 4 位数值比较器 74LS85(见原教材中图 4.3.32)组成十位数值比较器,需要用几片?各片之间应如何连接?

解 需要三片 74LS85,电路如题 4.28 解图所示。



题 4.28 解图

[题 4.29] 试用两个 4 位数值比较器组成三个数的判断电路。要求能够判别三个 4 位二进制数 $A(a_3a_2a_1a_0)$,$B(b_3b_2b_1b_0)$,$C(c_3c_2c_1c_0)$是否相等、A 是否最大、A 是否最小,并分别给出"三个数相等"、"A 最大"、"A 最小"的输出信号。可以附加必要的门电路。

解 分别将 A 与 B,A 与 C 用数值比较器进行比较,根据两个数值比较器的比较结果,再进行逻辑组合,其组合依据如下。

(1)"A 最大" $= (A > B)\cdot(A > C)$

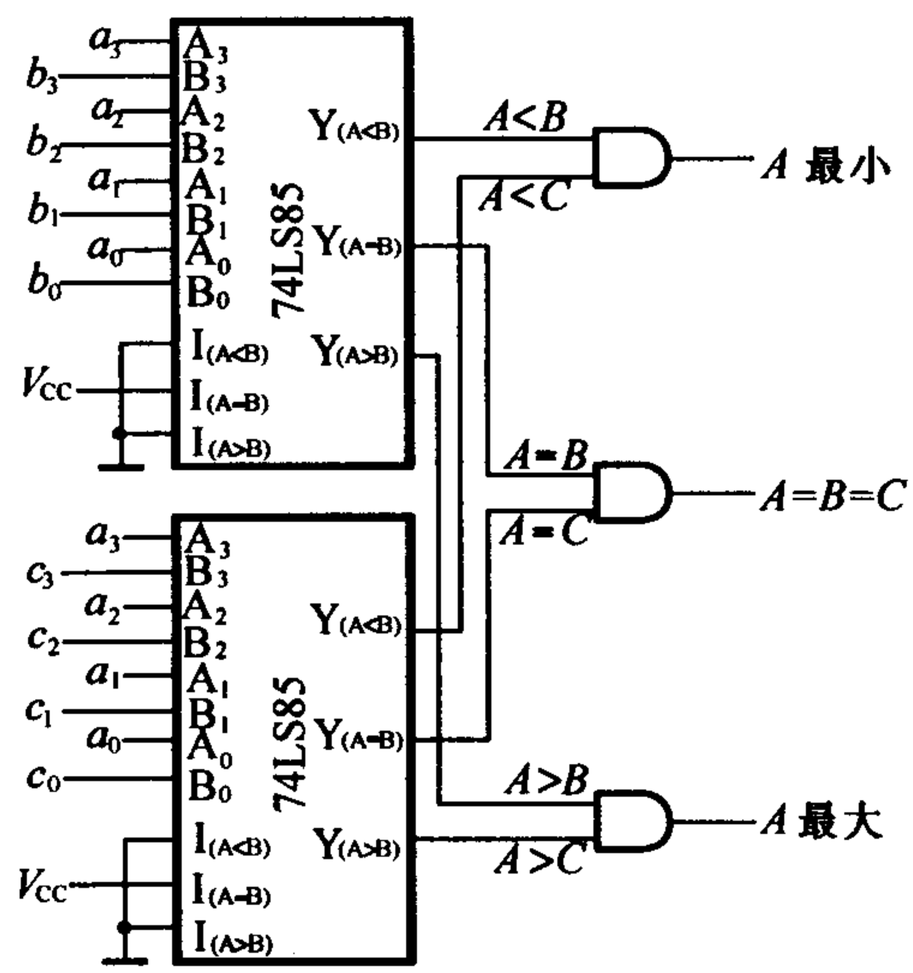
(2)"A 最小" $= (A < B)\cdot(A < C)$

(3)"$A = B = C$" $= (A = B)\cdot(A = C)$

实现上述三条逻辑关系的电路如题 4.29 解图所示。

[题 4.30] 已知 4 位数值比较器 74LS85 的传输延迟时间(从加上两个输入比较数到产生输出比较结果所需时间)小于 45 ns。要求用六片 74LS85 接成一个 24 位数值比较器电路,传输延迟时间不得大于 90 ns。

解　由于74LS85的传输延迟时间最大值为45 ns，而总的传输延迟时间不可大于90 ns，所以只能采用两级串联比较方式。而只允许用六片比较器，所以第一级采用五片，第二级用一片。第一级为并行比较方式，共比较四个五位和一个四位，五片的比较结果再由第二级比较，得出最终结果，如题4.30解图所示。



题4.29解图

在题4.30解图中，片(1)～(4)使用于 $I(A<B)$ 和 $I(A>B)$ 引脚，由此实现五位二进制数的比较，其原理可参看教材上相关逻辑式。

[题4.31]　若将十进制编码中的8421码、余3码、余3循环码、2421码和5211码分别加到二－十进制译码器745HC42(见图4.3.11)的输入端，并按表1.5.1的排列顺序依次变化时，输出端是否都会产生尖峰脉冲？试简述理由。

解　8421码，余码，余3循环码，2421码和5211码中，只有将余3循环码加到74LS42输入端，并按教材上表1.5.1的排列顺序依次变化时，才不会有竞争－冒险现象。不会在输出端产生尖峰脉冲。这是因为每次的输入状态变化时，仅有一个变量改变状态。

[题4.32]　试分析题4.32图电路中当 A、B、C、D 单独一个改变状态时是否存在竞争－冒险现象？如果存在竞争－冒险现象，那么都发生在其他变量为何种取值的情况下？

解　由题4.32得到输出的逻辑式为

$$Y = A'CD + AB'D + BC' + CD'$$

(1)当 $B=0, C=D=1$ 时，输出逻辑式为

$$Y = A + A'$$

所以 A 状态改变时存在竞争－冒险现象。

(2)当 $A=1, C=0, D=1$ 时，输出逻辑式为

$$Y = B + B'$$

所以 B 状态改变时存在竞争－冒险现象。

(3)当 $A=0, B=D=1$，或者当 $A=\times, B=1, D=0$ 时，输出的逻辑式为

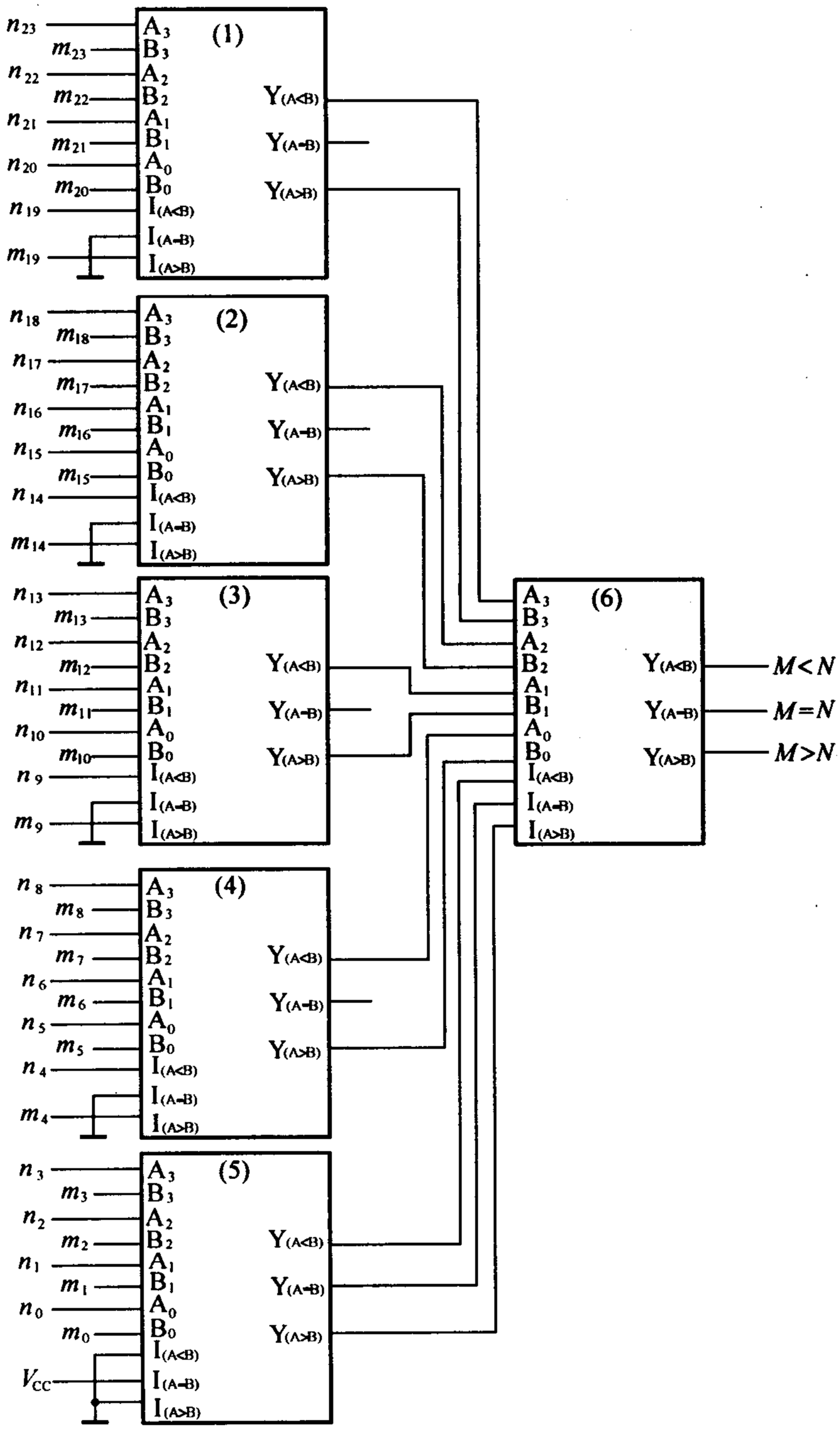
$$Y = C + C'$$

所以 C 状态改变时存在竞争－冒险现象。

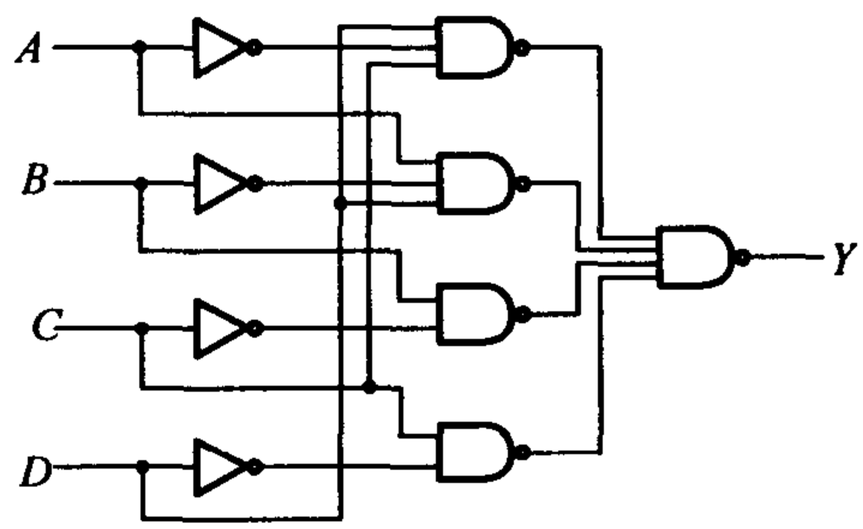
(4)当 $A=1, B=0, C=1$，或者为 $A=0, B=\times, C=1$ 时，输出逻辑式为

$$Y = D + D'$$

所以 D 状态改变时存在竞争－冒险现象。


(1)
(2)
(3)
(4)
(5)
(6)
n_{23} m_{23} n_{22} m_{22} n_{21} m_{21} n_{20} m_{20} n_{19} m_{19}
n_{18} m_{18} n_{17} m_{17} n_{16} m_{16} n_{15} m_{15} n_{14} m_{14}
n_{13} m_{13} n_{12} m_{12} n_{11} m_{11} n_{10} m_{10} n_9 m_9
n_8 m_8 n_7 m_7 n_6 m_6 n_5 m_5 n_4 m_4
n_3 m_3 n_2 m_2 n_1 m_1 n_0 m_0 V_{CC}
A_3 B_3 A_2 B_2 A_1 B_1 A_0 B_0 $I_{(A<B)}$ $I_{(A=B)}$ $I_{(A>B)}$
$Y_{(A<B)}$ $Y_{(A=B)}$ $Y_{(A>B)}$
$M<N$
$M=N$
$M>N$

题 4.30 解图

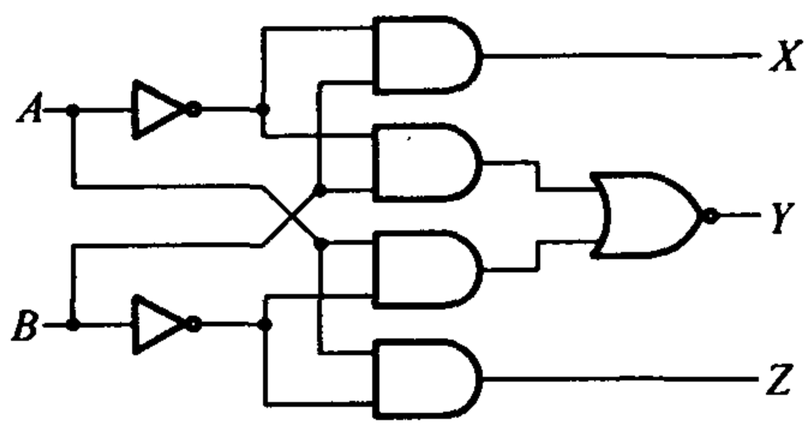


题4.32图

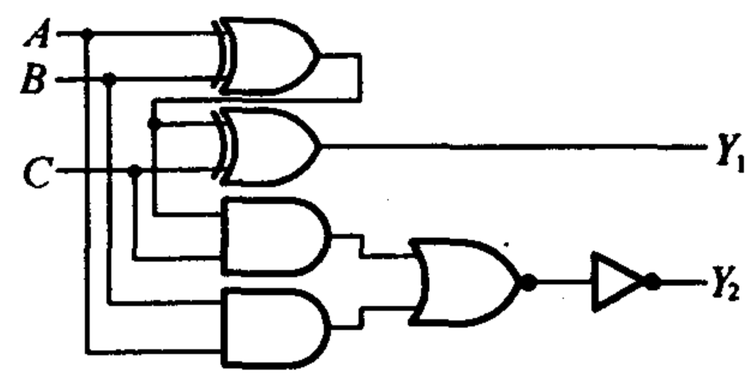
同步训练题

1.电路如题1图所示,写出输出 X,Y,Z 的逻辑函数式,列出真值表,说明电路的逻辑功能。

2.电路如题2图所示,写出输出信号的逻辑函数式,并说明电路的逻辑功能。



题1图



题2图

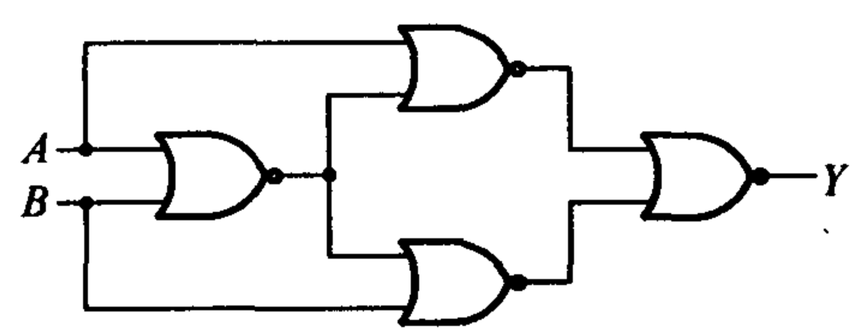
3.分析题3图所示电路的逻辑功能。

4.用与非门实现以下逻辑关系,画出逻辑图。

(1) $Y_1 = AB + A'C$;(2) $Y_2 = A'B' + (A' + B)C'$

5.用与非门设计组合逻辑电路,将8421码转换成余3码。

6.用与非门设计一个组合逻辑电路,其输入是一个四位二进制数,当该数大于或等于$(10)_{10}$时输出为1,否则输出为0。



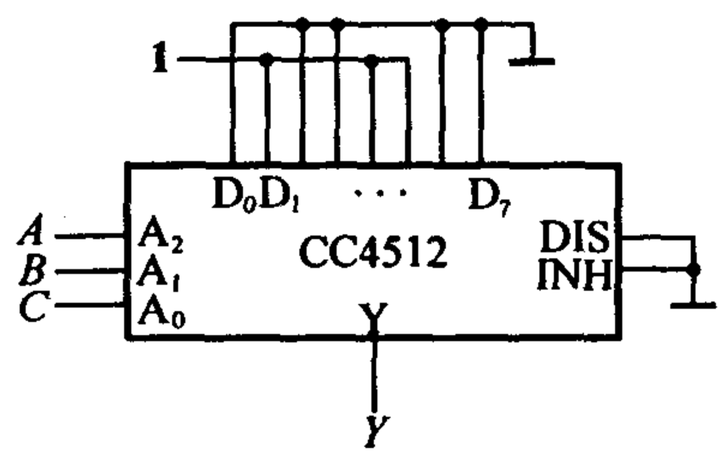
题3图

7.用3线-8线译码器74LS138和门电路产生逻辑函数

$$\begin{cases} Y_1 = AB' + BC \\ Y_2 = A'C + BC + AB'C' \end{cases}$$

8.试用一片3线-8线译码器74LS138和与非门组成一位全加器。

9.分析如题9图所示由CC4512构成的电路,写出输出 Z 的逻辑函数式。



题9图

10.用数据选择器产生逻辑函数

$$Y = ABC' + A'B'C' + AB'C'D + A'B'D + ABC + AB'CD'$$

11.仿照半加器和全加器的设计方法,试设计一个半减器和一个全减器。

同步训练题答案

1.解 逻辑函数式为

$$X = A'B, Y = (A'B + AB')', Z = AB'$$

真值表如表B4.1所示。

当 $A < B$ 时,$X = 1$;当 $A = B$ 时,$Y = 1$;当 $A > B$ 时,$Z = 1$;所以,此电路为一位数值比较电路。

表B4.1

A	B	X	Y	Z
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

2.解 逻辑函数式为

$$Y_1 = (A \oplus B) \oplus C, Y_2 = (((A \oplus B)C + AB)')' = AB + AC + BC$$

真值表如表B4.2所示。

表 B4.2

A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
Y_2	0	0	0	1	0	1	1	1
Y_1	0	1	1	0	1	0	0	1

题2图所示的电路为三位加法器。如果将 C 作为由低位的进位，则可看作是全加器，其中 Y_2 为向高位的进位，Y_1 为本位的和。

3.解　逻辑函数式为

$$Y=((A+(A+B)')'+(B+(A+B)')')'=(A+(A+B)')(B+(A+B)')=A'B'+AB$$

真值表如表 B4.3 所示。

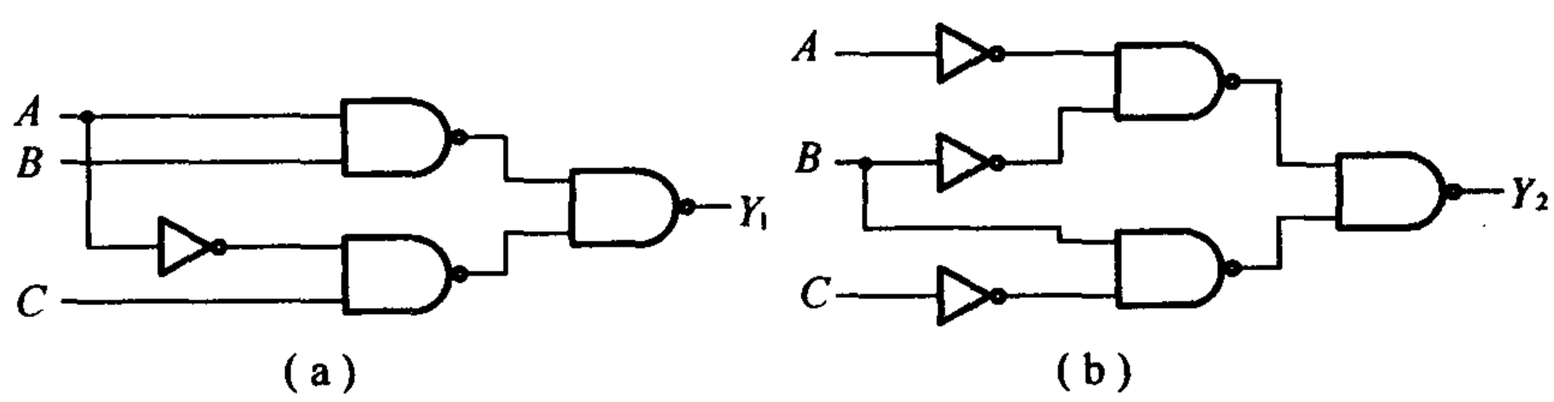
若 A,B 中有偶数个"1"时，输出 $Y=1$；若 A,B 中有奇数个"1"时，输出 $Y=0$，所以该电路为奇偶校验电路。

表 B4.3

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

4.解　(1) $Y_1=AB+A'C=((AB)'\cdot(A'C)')'$，逻辑图如题4(a)解图所示。

(2) $Y_2=A'B'+(A'+B)C'=A'B'+A'C'+BC'=A'B'+BC'=((A'B')'\cdot(BC')')'$，逻辑图如题4.4(b)解图所示。



题4解图

5.解　用 $A=A_3A_2A_1A_0$ 表示四位8421码，用 $B=B_3B_2B_1B_0$ 表示四位余3码，可得逻辑真值表如表 B4.5

所示。

表 B4.5

A_3	A_2	A_1	A_0	B_3	B_2	B_1	B_0
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

由逻辑真值表可得 B_3, B_2, B_1, B_0 的卡诺图如题 5(a)解图所示，由卡诺图可得逻辑函数式为

$$B_3 = A_3 + A_2A_1 + A_2A_0 = (A_3' \cdot (A_2A_1)' \cdot (A_2A_0)')'$$

$$B_2 = A_2'A_0 + A_2'A_1 + A_2A_1'A_0' = ((A_2'A_0)' \cdot (A_2'A_1)' \cdot (A_2A_1'A_0')')'$$

$$B_1 = A_1'A_0' + A_1A_0 = ((A_1'A_0')' \cdot (A_1A_0)')'$$

$$B_0 = A_0'$$

逻辑电路如题 5 解图(b)所示。

6.解　设输入四位二进制数为 $D_3D_2D_1D_0$，输出变量为 Y，由题意可得逻辑真值表，如表 B4.6 所示。

表 B4.6

D_3	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
D_2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
D_1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
D_0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
Y	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1

由卡诺图(略)可得 Y 的逻辑函数式为 $Y = D_3D_2 + D_3D_1$，化成与非形式为 $Y = ((D_3D_2)' + (D_3D_1)')'$，逻辑电路如题 6 解图所示。

A_3A_2 \ A_1A_0	00	01	11	10
00	0	0	0	0
01	0	1	1	1
11	×	×	×	×
10	1	1	×	×

(b_3)

A_3A_2 \ A_1A_0	00	01	11	10
00	0	1	1	1
01	1	0	0	0
11	×	×	×	×
10	0	1	×	×

(b_2)

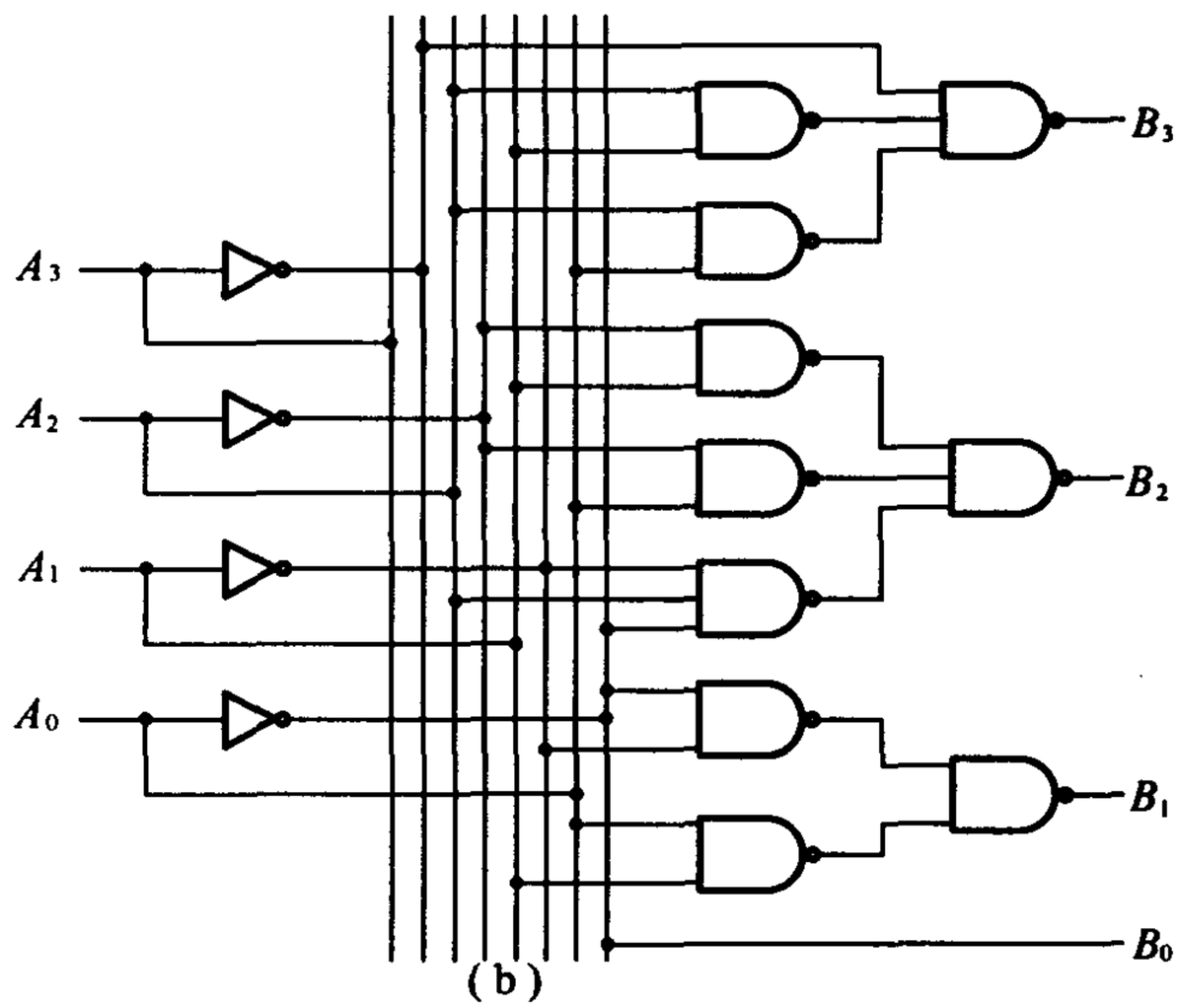
A_3A_2 \ A_1A_0	00	01	11	10
00	1	0	1	0
01	1	0	1	0
11	×	×	×	×
10	1	0	×	×

(b_1)

A_3A_2 \ A_1A_0	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	×	×	×	×
10	1	0	×	×

(b_0)

(a)



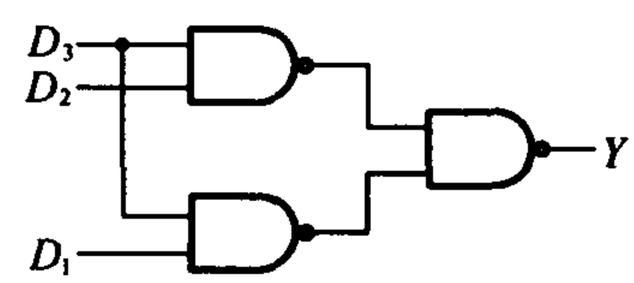
(b)

题5解图

7.解

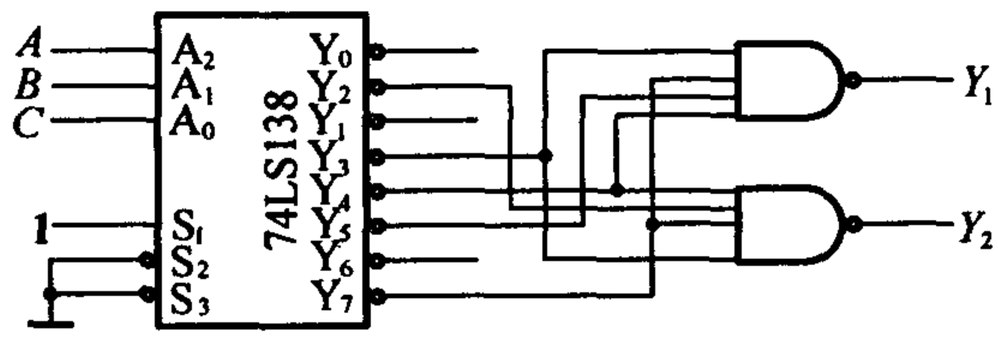
$$\begin{cases} Y_1 = AB' + BC = \sum m(3,4,5,7) = (m_3' m_4' m_5' m_7')' \\ Y_2 = A'C + BC + AB'C' = \sum M(1,3,4,7) = (m_1' m_3' m_4' m_7')' \end{cases}$$

电路如题7解图所示。



题6解图

8.解　设 A_i 为被加数，B_i 为加数，C_{i-1} 为低位进位，S_i 为本位和，C_i 为进位输出，则全加器的真值表如表 B4.8 所示。



题 7 解图

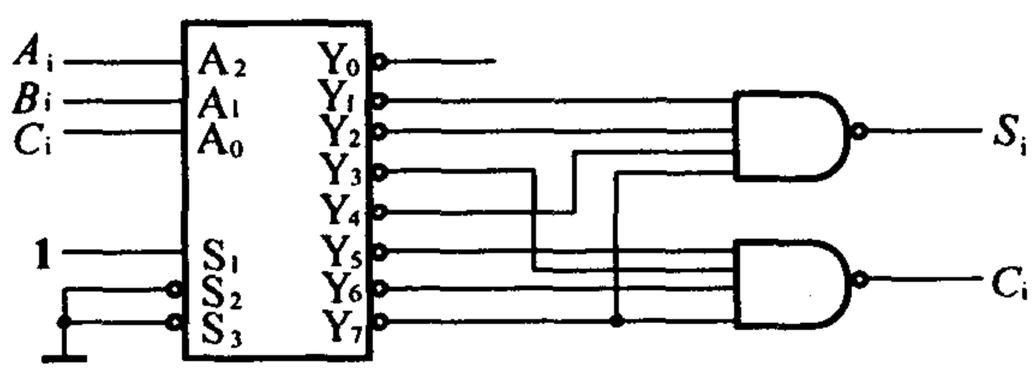
表 B4.8

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

由全加器的真值表可写出 S_i 及 C_i 的最小项表达式分别为

$$\begin{cases} S_i = A_i'B_i'C_{i-1} + A_i'B_iC_{i-1}' + A_iB_i'C_{i-1}' + A_iB_iC_{i-1} = \sum m(1,2,4,7) = (Y_1'Y_2'Y_4'Y_7')' \\ C_i = A_i'B_iC_{i-1} + A_iB_i'C_{i-1} + A_iB_iC_{i-1}' + A_iB_iC_{i-1} = \sum m(3,5,6,7) = (Y_3'Y_5'Y_6'Y_7')' \end{cases}$$

令 $A_2A_1A_0 = A_iB_iC_{i-1}$，则电路如题 8 解图所示。



题 8 解图

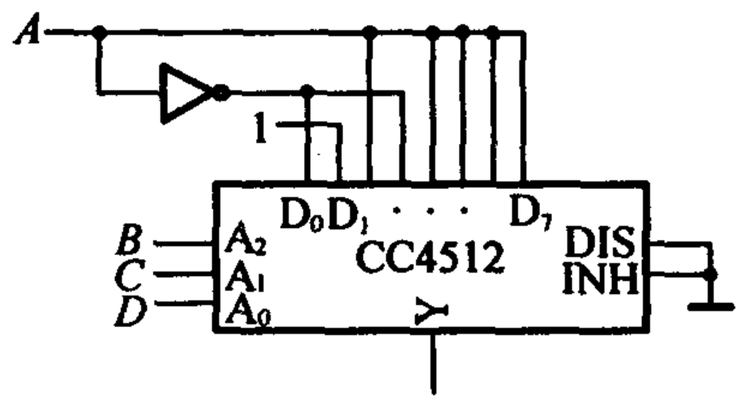
9.解　由电路可知，$D_1 = D_4 = D_5 = 1$，$D_0 = D_2 = D_3 = D_6 = D_7 = 0$，因此

$$Z = 0\cdot C'B'A' + 1\cdot C'B'A + 0\cdot C'BA' + 0\cdot C'BA + 1\cdot CB'A' + 1\cdot CB'A + 0\cdot CBA' + 0\cdot CBA$$
$$= C'B'A + CB'A' + CB'A$$

10.解

$$Y = ABC' + A'B'C' + AB'C'D + A'B'D + ABC + AB'CD'$$
$$= A'B'C'D' + 1\cdot B'C'D + AB'CD' + A'B'CD$$
$$+ ABC'D' + ABC'D + ABCD' + ABCD$$

用8选1数据选择器CC4512构成的电路如题10解图所示。



题10解图

11.解 一位二进制半减器的真值表如表B4.11(a)所示。

由真值表可写出输出变量 D 和 V 的逻辑式为

$$D = A'B + AB' = A \oplus B,\ V = A'B$$

表B4.11(a)

被减数 A	减数 B	差 D	向高位的借位 V
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

可得半减器的逻辑电路如题11解图(a)所示。

一位二进制全减器的真值表如表B4.11(b)所示。

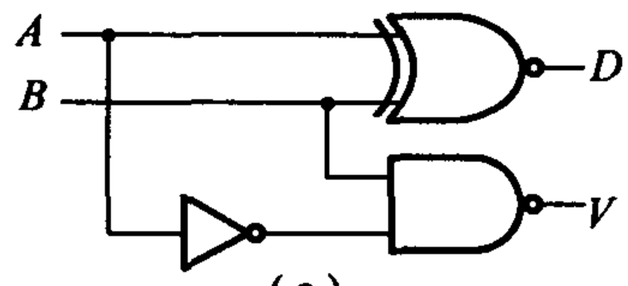
表A4.11(b)

被减数 A	减数 B	来自低位的借位 V_i	差 D	向高位的借位 V
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

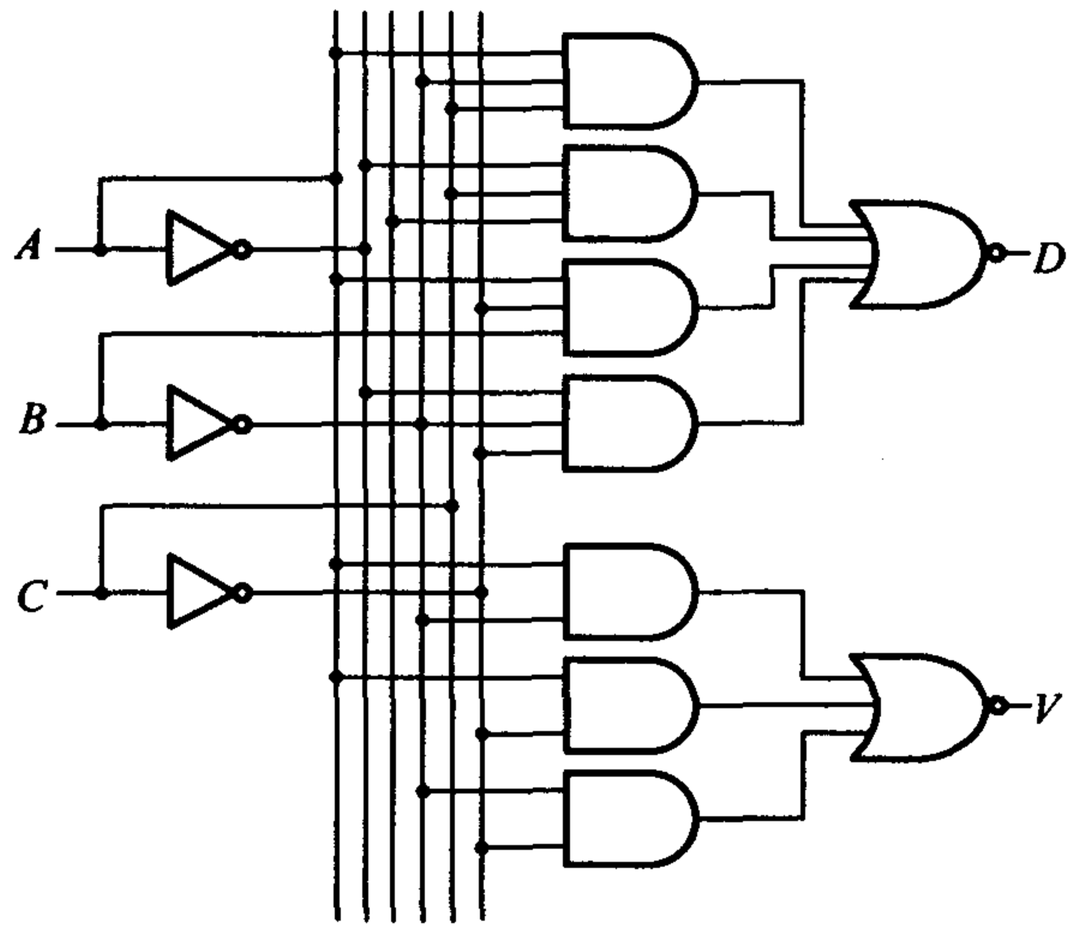
由真值表可写出输出变量 D 和 V 的与或非形式的逻辑式为

$$D = (A'B'V_i' + A'BV_i + AB'V_i + ABV_i')',\ V = (AB' + AV_i' + B'V_i')'$$

可得全减器的逻辑电路如题11解图(b)所示。



(a)



(b)

题 11 解图

第5章 触 发 器

知 识 要 点

5.1 触发器的电路结构与动作特点

能够储存一位二值信号在某一时刻状态的基本单元电路统称为触发器。从电路结构形式上可以把触发器分为 *SR* 锁存器、电平触发的触发器、脉冲触发的触发器、边沿触发的触发器等不同类型。由于电路结构型不同,具有不同的动作特点。

1. *SR* 锁存器

输入信号直接加在输出门上,输入信号在全部作用时间里都能直接改变输出端 Q 和 Q' 的状态。

2. 电平触发的触发器

$CP=1$的全部时间里 S 和 R 的变化都将引起触发器状态的变化;$CP=0$时输出端 Q 和 Q' 的状态保持不变。

3. 脉冲触发的触发器

(1)触发器的翻转分两步动作。第一步,在 $CP=1$期间主触发器接收输入端的信号,被置成相应的状态,而从触发器不动;第二步,CP 下降沿到来时从触发器按照主触发器的状态翻转,所以 Q 和 Q' 端状态的改变发生在 CP 的下降沿。

(2)在 $CP=1$的全部时间里输入信号都将对主触发器起控制作用。

4. 边沿触发的触发器

触发器的次态仅取决于 CP 信号的上升沿或下降沿到达时输入的逻辑状态,而在这以前或以后,输入信号的变化对触发器的输出状态没有影响。

5.2 触发器的逻辑功能与描述方法

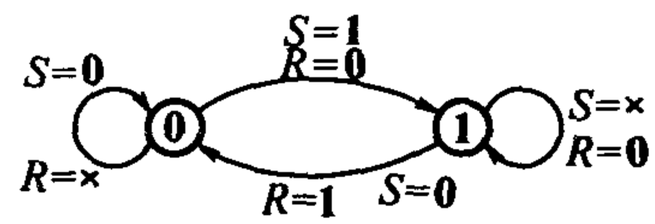
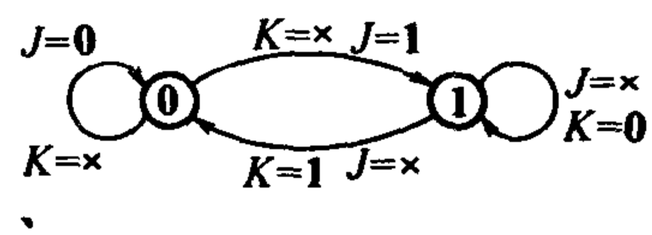
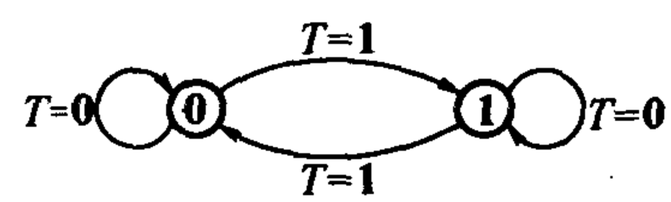
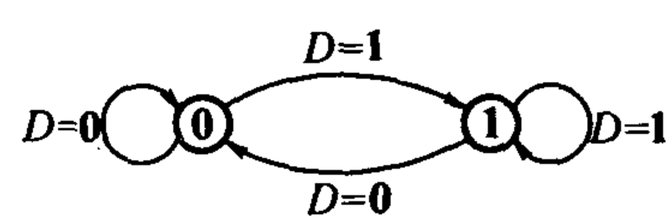
1. 逻辑功能

由于触发器电路的信号输入方式不同,触发器的状态随输入信号翻转的规律不同,所以它们的逻辑功能也不同。按照逻辑功能的不同特点,将受时钟控制的触发器分为 *RS* 触发器、*JK* 触发器、*T* 触发器和 *D* 触发器等四种类型。

2.描述方法

触发器的逻辑功能可以用特性方程、特性表和状态转换图描述，如表 5－1 所示。

表 5－1 触发器的逻辑功能及其描述方法

名称	特性方程	特性表				状态转换图
RS 触发器	$\begin{cases} Q^* = S + R'Q \\ SR = 0(\text{约束条件}) \end{cases}$	S	R	Q	Q'	
		0	0	0	0	
		0	0	1	1	
		0	1	0	0	
		0	1	1	0	
		1	0	0	1	
		1	0	1	1	
		1	1	0	不定	
		1	1	1	不定	
JK 触发器	$Q^* = JQ' + K'Q$	J	K	Q	Q'	
		0	0	0	0	
		0	0	1	1	
		0	1	0	0	
		0	1	1	0	
		1	0	0	1	
		1	0	1	1	
		1	1	0	1	
		1	1	1	0	
T 触发器	$Q^* = TQ' + T'Q$	T	Q	Q'		
		0	0	0		
		0	1	1		
		1	0	1		
		1	1	0		
D 触发器	$Q^* = D$	D	Q	Q'		
		0	0	0		
		0	1	0		
		1	0	1		
		1	1	1		

5.3 本章重点

1.各种触发器的工作原理及其动作特点。
2.触发器的逻辑功能及其描述方法。
3.画触发器的输出波形图。

书后复习思考题解答

R5.2.1 为什么 *SR* 锁存器的输入信号需要遵守 $SR=0$的约束条件?

答 若 $SR\neq0$,则 $SR=1$,这意味着 $S=R=1$。在这种情况下,*SR* 锁存器的次态将是非法的,若 *S* 和 *R* 上的触发信号同时消失,更新的次态将无法确定。

R5.3.1 为什么电平触发 *SR* 触发器也应当遵守 $SR=0$的约束条件? 在什么情况下会发生触发器的次态无法确知的问题?

答 对于电平触发的 *SR* 触发器,在 $CP=1$ 期间,就是一个 *SR* 锁存器,所以也应遵守 $SR=0$ 的约束条件。在 $CP=1$期间,若开始时出现 $S=R=1$,然后输入信号又变为 $S=R=0$(同时改变),就会出现触发器次态无法确定的问题。

R5.4.1 脉冲触发方式有哪些动作特点? 它和电平触发方式有何不同?

答 (1)触发器状态的改变分两步进行。第一步,在 $CLK=1$期间,主触发器接收输入信号,被置为相应状态,而从触发器保持不变;第二步,当 *CLK* 下降沿到来时,从触发器按照主触发器的状态翻转,而主触发器的状态保持不变。

(2)由于主触发器本身是一个电平触发 *SR* 触发器,所以在 $CLK=1$的全部时间内,输入信号都将对主触发器起控制作用。与电平触发方式的不同之处在于分两步改变状态。

R5.4.2 主从 *JK* 触发器和主从 *SR* 触发器在逻辑功能上有什么区别,用 *JK* 触发器代替 *SR* 触发器在逻辑功能上能否满足要求?

答 两种触发器逻辑功能的主要区别在于,主从 *SR* 触发器必须遵守 $SR=0$的约束条件,而主从 *JK* 触发器则无此限制。当 $J=K=1$时,$Q^*=(Q)'$。其余情况下,二者的功能完成一样。因此,可以用 *JK* 触发器替代 *SR* 触发器。

R5.4.3 为什么说主从 *SR* 触发器的主触发器在 $CLK=1$期间可能多次改变状态,而主从 *JR* 触发器的主触发器在 $CLK=1$期间只可能翻转一次?

答 主从 *SR* 触发器和主从 *JK* 触发器在 $CLK=1$期间,其主触发器都工作在 *SR* 锁存器方式下。但 *SR* 触发器的输入触发信号只有 *S*,*R*,所以当 *S*,*R* 改变时,主触发器就随之而改变。但 *JK* 触发器的主触发器在 $CLK=1$期间的输入信号为 *J*,*K* 以及 Q' 和 Q(均为从触发器的输出),它们之间分别相与后送给 *SR* 锁存器作为输入:JQ' 和 KQ。而 *Q* 和 Q' 的状态在整个 $CLK=1$期间不变,且互为相反。这就是主从 *JK* 触发器在 $CLK=1$期间,其主触发器仅改变一次的原因。具体细节请参看教材相关章节。

R.5.5.1 比较一下边沿触发方式、脉冲触发方式和电平触发方式在动作特点上有何不同?

答 (1)边沿触发方式的触发器的动作特点是触发器的次态仅取决于时钟信号上升沿或下降沿到达时刻

输入信号的状态，而与此前此后输入出信号的变化无任何关系。

(2)脉冲触发方式的触发器的动作特点请参见题 R5.4.1 的解答。

(3)电平触发方式的触发器的动作特点在于，在 $CP=0$ 期间保持状态不变，在 $CP=1$ 期间，输入信号可多次改变触发器的状态。

(4)由上述三种触发方式的特点可见其主要区别就在于边沿触发器的次态仅取决于 CLK 上升沿或下降沿到来时与输入信号的状态，脉冲触发器的状态改变是分两步进行的，其次态取决于 $CLK=1$期间主触发器最后的状态。

电平触发器的状态只能在 $CLK=1$期间被输入信号随时改变。

R5.6.1 为什么从满足逻辑功能的要求上可以用 *JK* 触发器代替 *SR* 触发器？而不能用 *SR* 触发器代替 *JK* 触发器？

答 由于 *JK* 触发器的逻辑功能包含了 *SR* 触发器的所有功能。而 *SR* 触发器对输入信号有限制，即 $SR=0$，不允许出现 $S=R=1$ 的情况，这样不能实现 *JK* 触发器在 $J=K=1$ 的功能，所以不能用 *SR* 触发器代替 *JK* 触发器。

R5.6.2 将 *JK* 触发器用作 *SR* 触发和 *T* 触发器时，应如何连接？

答

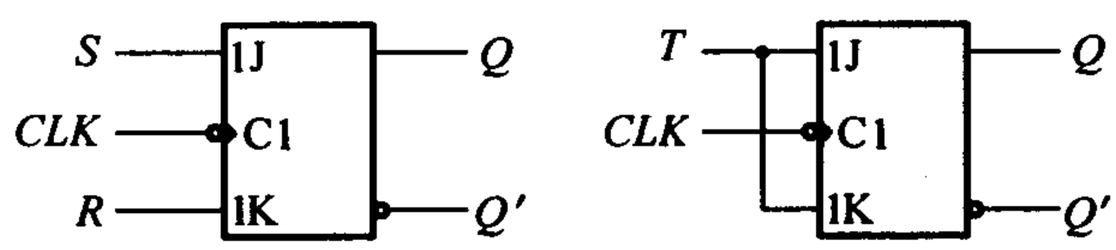


图 R5.6.2 将 *JK* 触发器用作 *SR*，*T* 触发器

(a)用作 *SR* 触发器；(b)用作 *T* 触发器

书后习题解析

[题 5.1] 画出题 5.1 图由与非门组成的 *SR* 锁存器输出端 Q，Q' 的电压波形，输入端 S'_D，R'_D 的电压波形如图中所示。

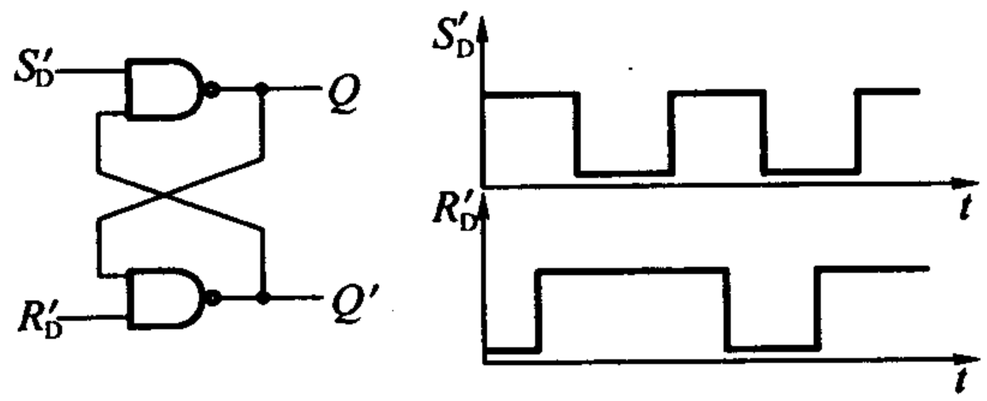
解 电压波形如题 5.1 解图所示。

[题 5.2] 画出题 5.2 图由或非门组成的 *SR* 锁存器输出端 Q，Q' 的电压波形，输入端 S_D，R_D 的电压波形如图中所示。

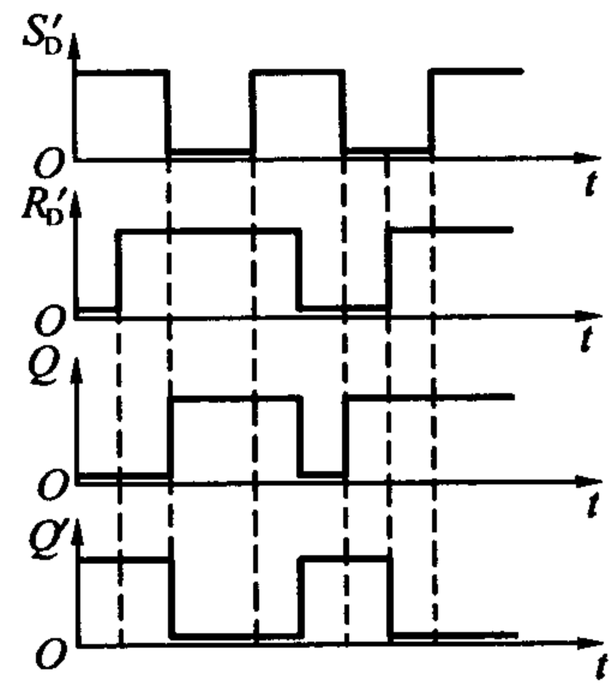
解 电压波形如题 5.2 解图所示。

[题 5.3] 试分析题 5.3 图所示电路的逻辑功能，列出真值表，写出逻辑函数式。

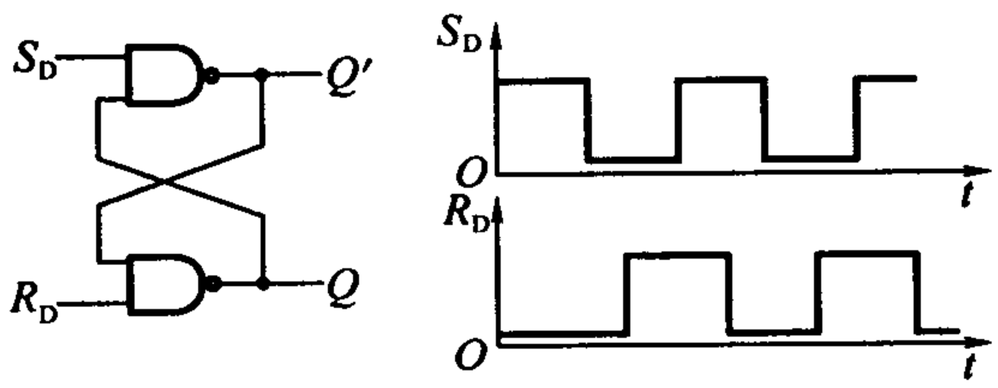
解 (1)当 $CLK=1$时，题 5.3 图电路的真值表如表 A5.3 所示。



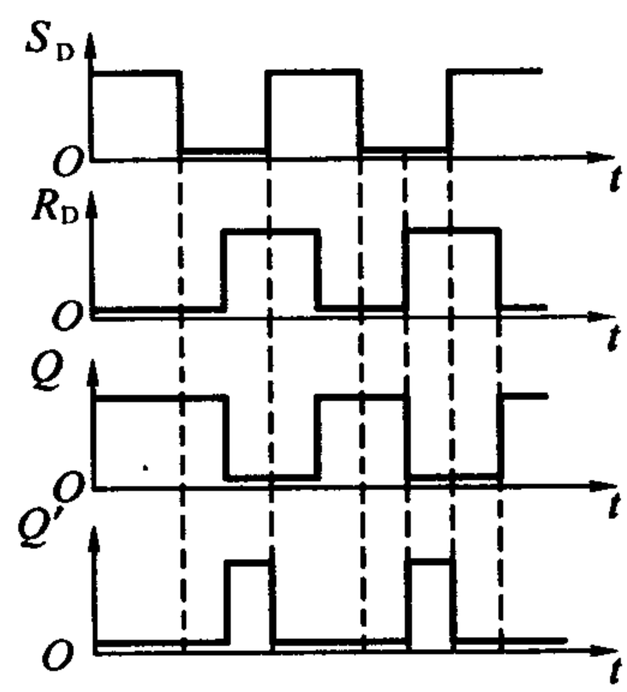
题5.1图



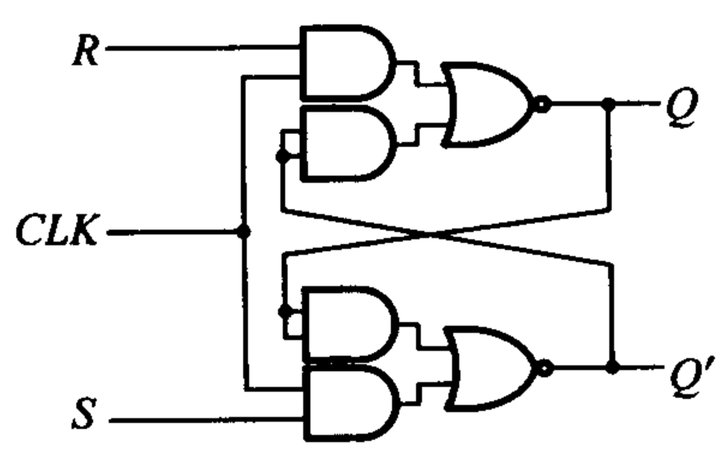
题5.1解图



题5.2图



题5.2解图



题5.3图

表 A5.3

S	R	Q	Q^*
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0①
1	1	1	0①

①S,R 的1状态同时消失后状态不定。

由真值表得到其逻辑式为

$$\begin{cases} Q^* = S'R'Q + SR' \\ SR = 0(\text{约束条件}) \end{cases}$$

化简后为

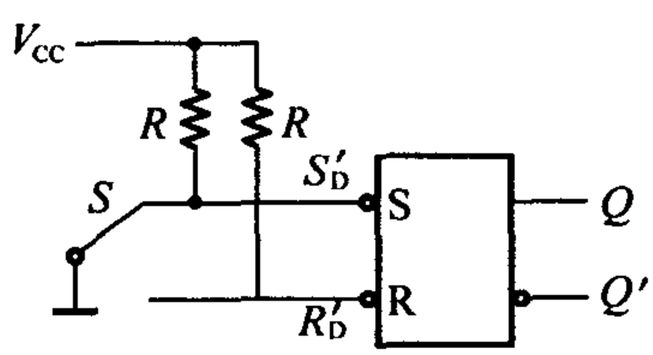
$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$$

此时为一个 SR 锁存器。

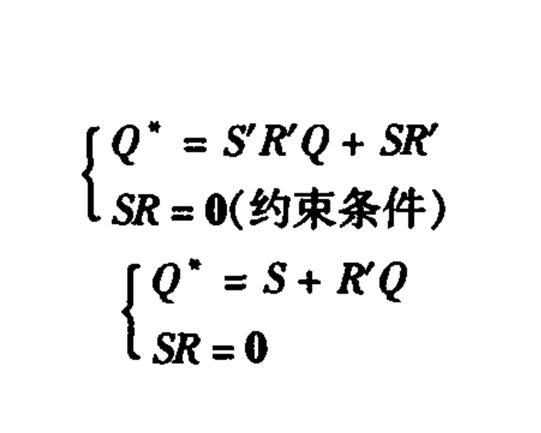
(2)当 $CLK=0$ 时,触发器的状态不变。

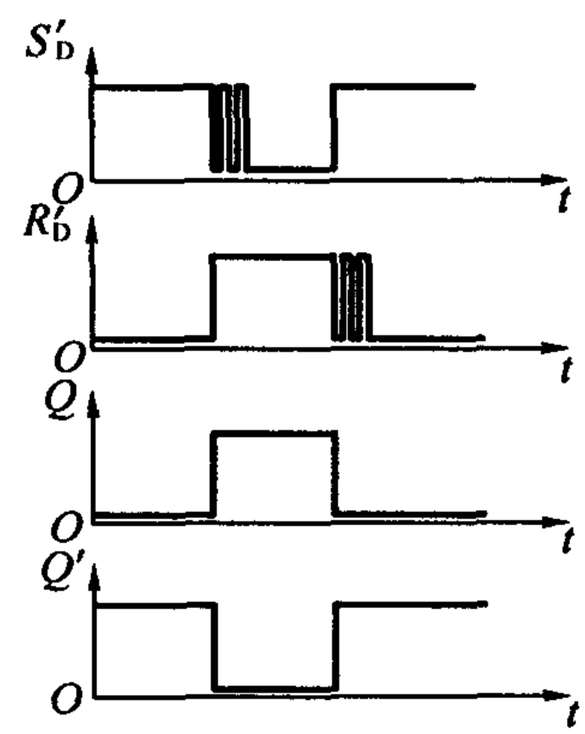
综合以上分析,该电路是一个电平触发的 SR 触发器。

[题 5.4] 题 5.4 图所示为一个防抖动输出的开关电路。当拨动开关 S 时,由于开关触点接通瞬间发生振颤,S'_D和 R'_D的电压波形如图中所示,试画出 Q,Q'端对应的电压波形。



题 5.4 图



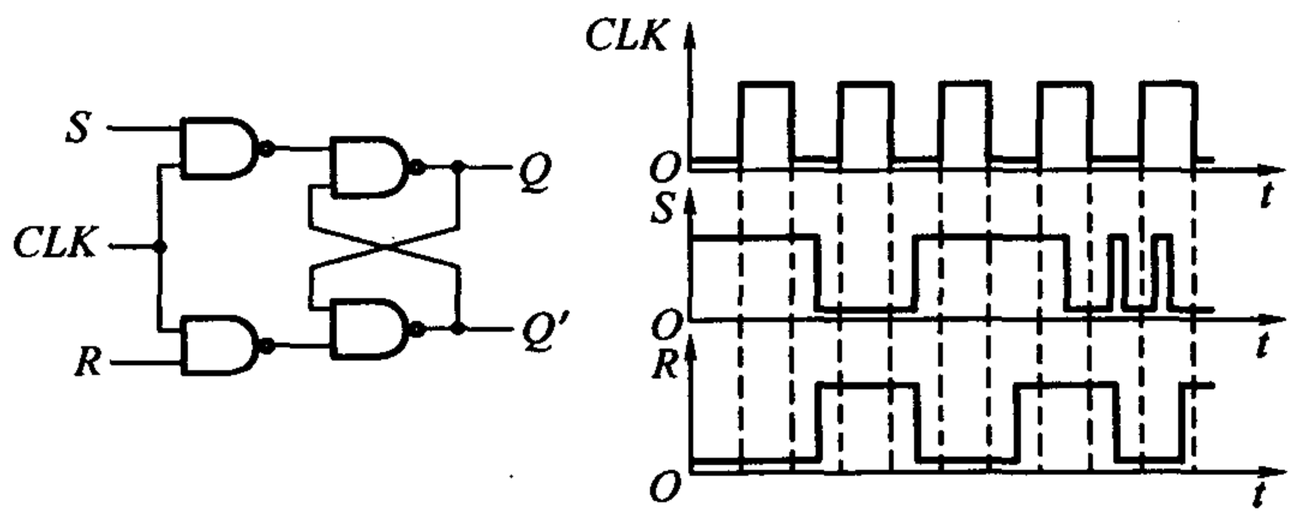


题 5.4 解图

解 电压波形如题 5.4 解图所示。

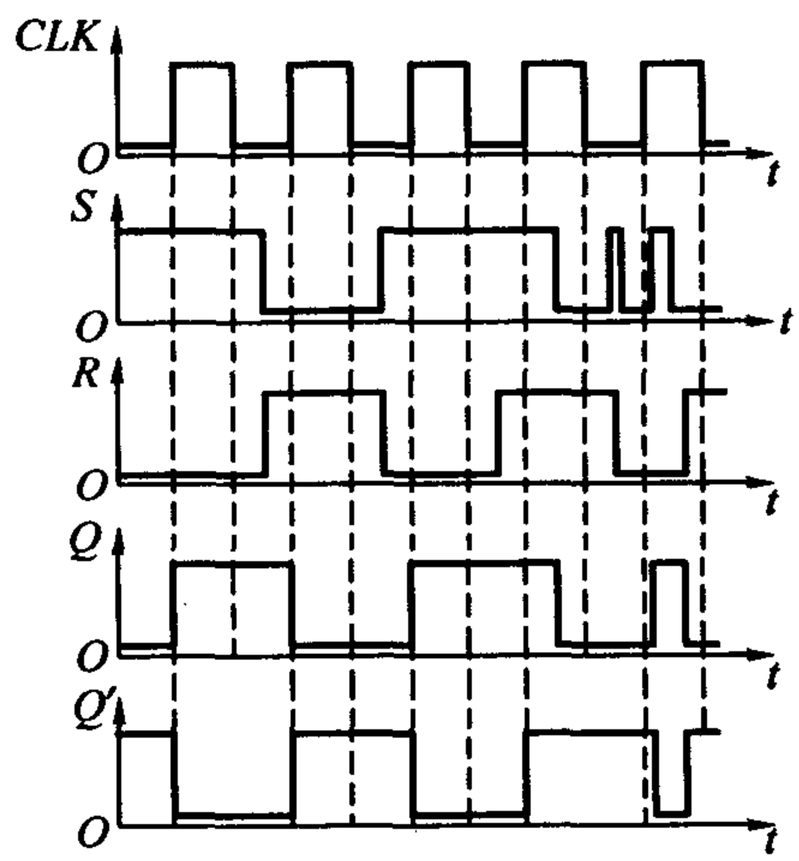
[题 5.5] 在题 5.5 图所示电路中,若 CLK,S,R 的电压波形如图中所示,试画出 Q 和 Q' 端与之对应的电

压波形。假定触发器的初始状态为 $Q=0$。



题5.5图

解 电压波形如题5.5解图所示。



题5.5解图

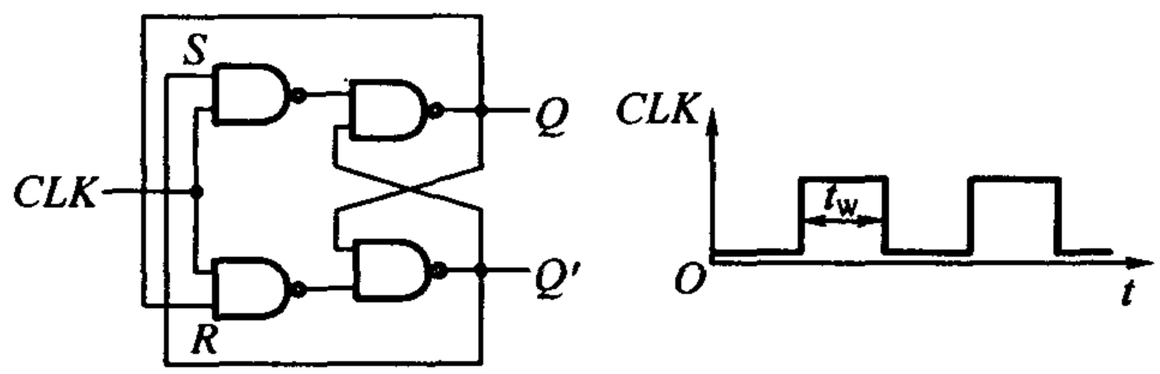
[题5.6] 若将电平触发 SR 触发器的 Q 与 R，Q' 与 S 相连，如题5.6图所示，试画出在 CLK 信号作用下 Q 和 Q' 端的电压波形。已知 CLK 信号的宽度 $t_W=4t_{pd}$。t_{pd} 为门电路的平均传输延迟时间，假定 $t_{pd}\approx t_{PHL}\approx t_{PLH}$。设触发器的初始状态为 $Q=0$。

解 输出端的电压波形如题5.6解图所示。

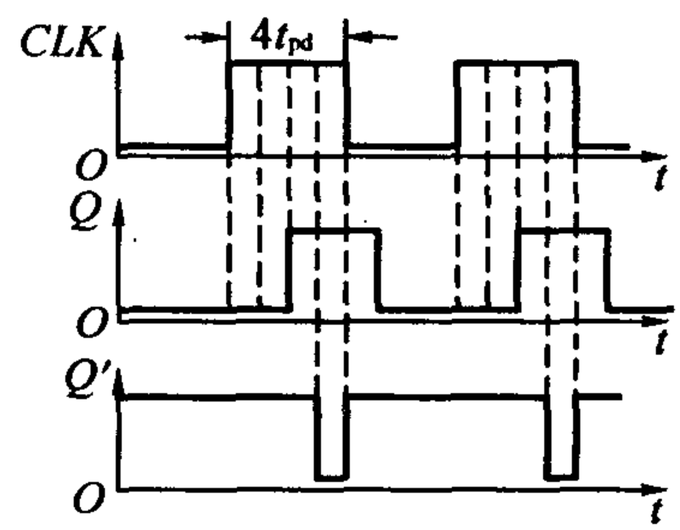
[题5.7] 若主从结构 SR 触发器各输入端的电压波形如题5.7图中所给出，试画出 Q，Q' 端对应的电压波形。设触发器的初始状态为 $Q=0$。

解 输出端电压波形如题5.7解图所示。

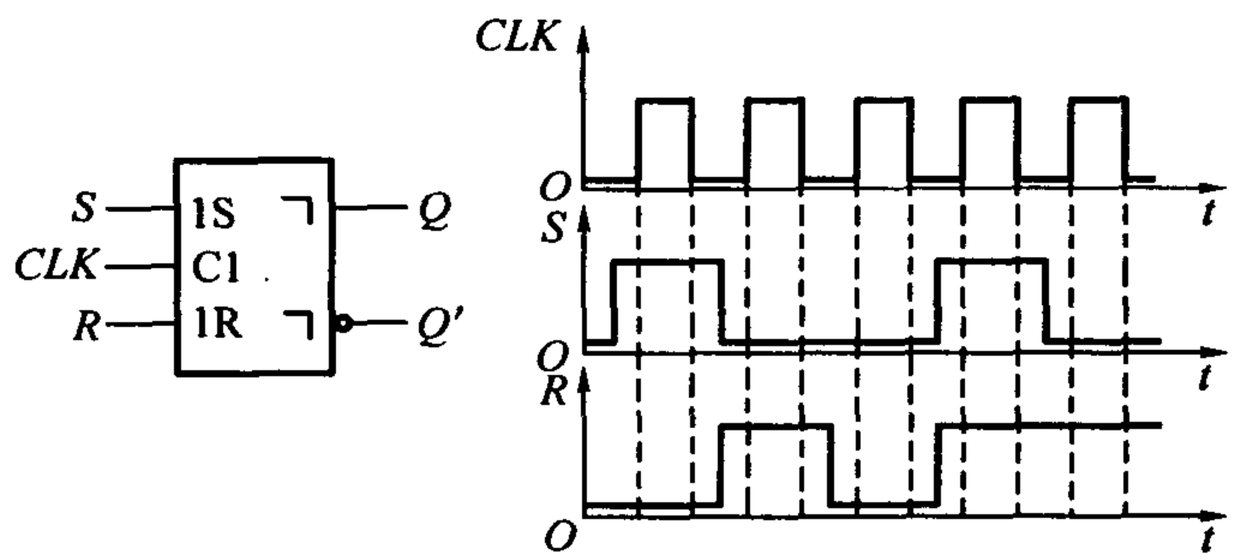
[题5.8] 在脉冲触发 SR 触发器电路中，若 S，R，CLK 端的电压波形如题5.8图所示，试画出 Q，Q' 端对应的电压波形。假定触发器的初始状态为 $Q=0$。



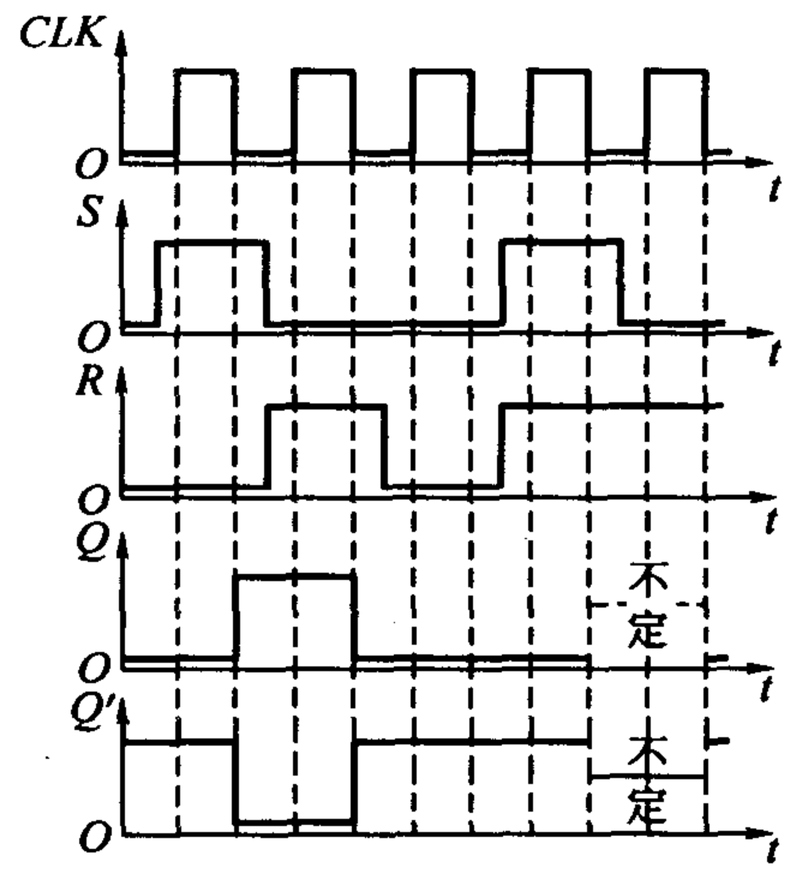
题 5.6 图



题 5.6 解图

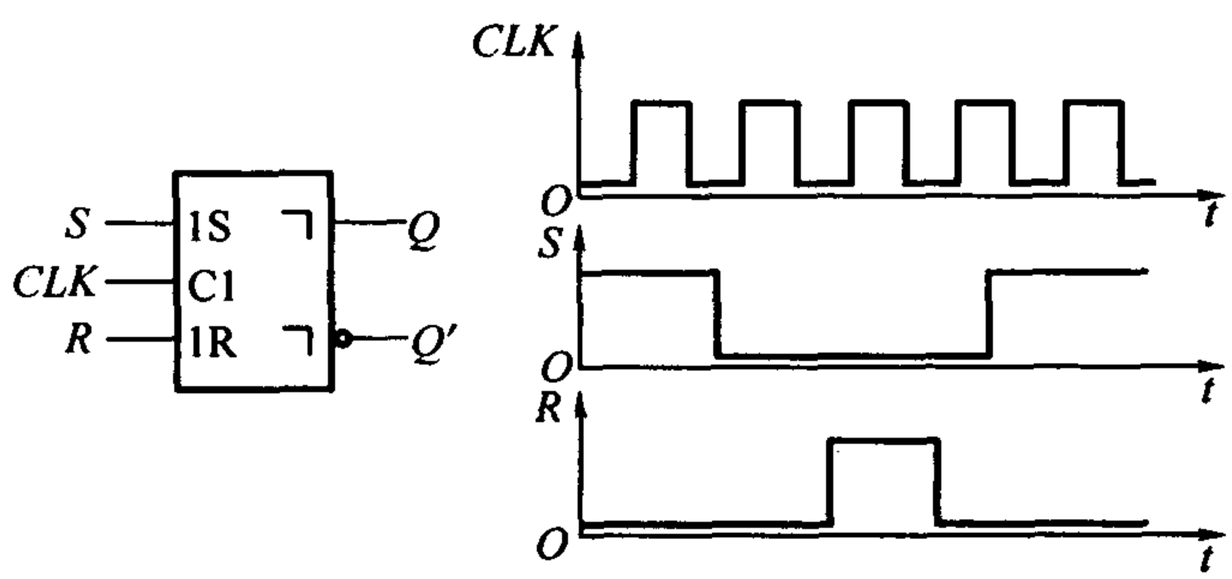


题 5.7 图

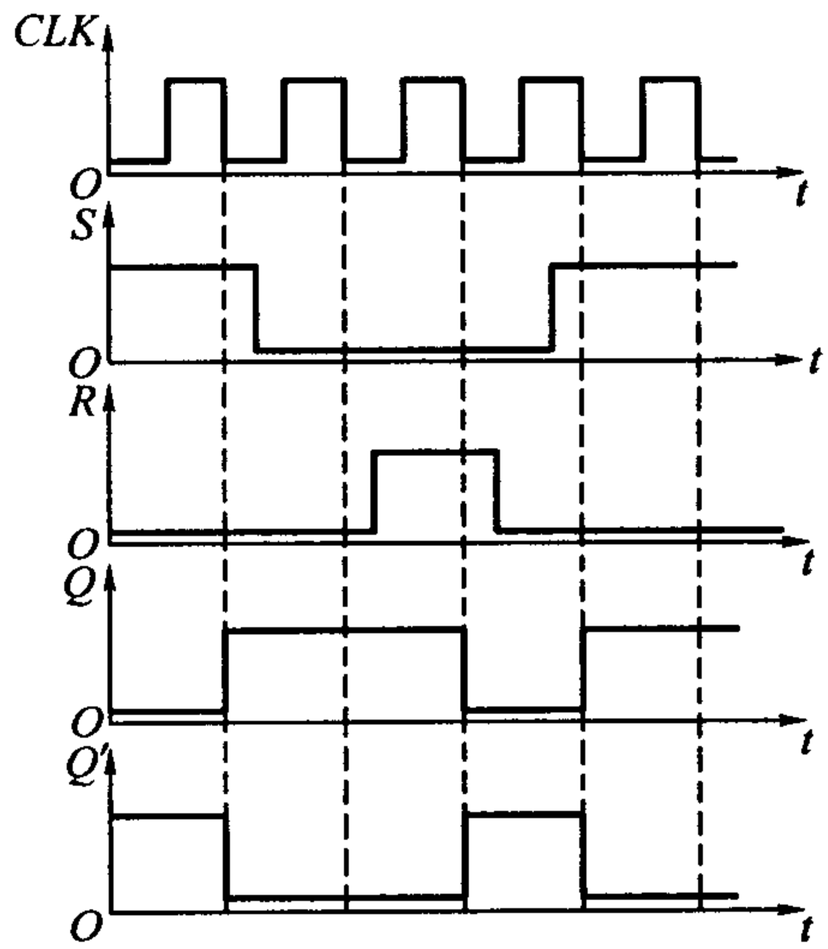


题 5.7 解图

解 输出端电压波形如题 5.8 解图所示。



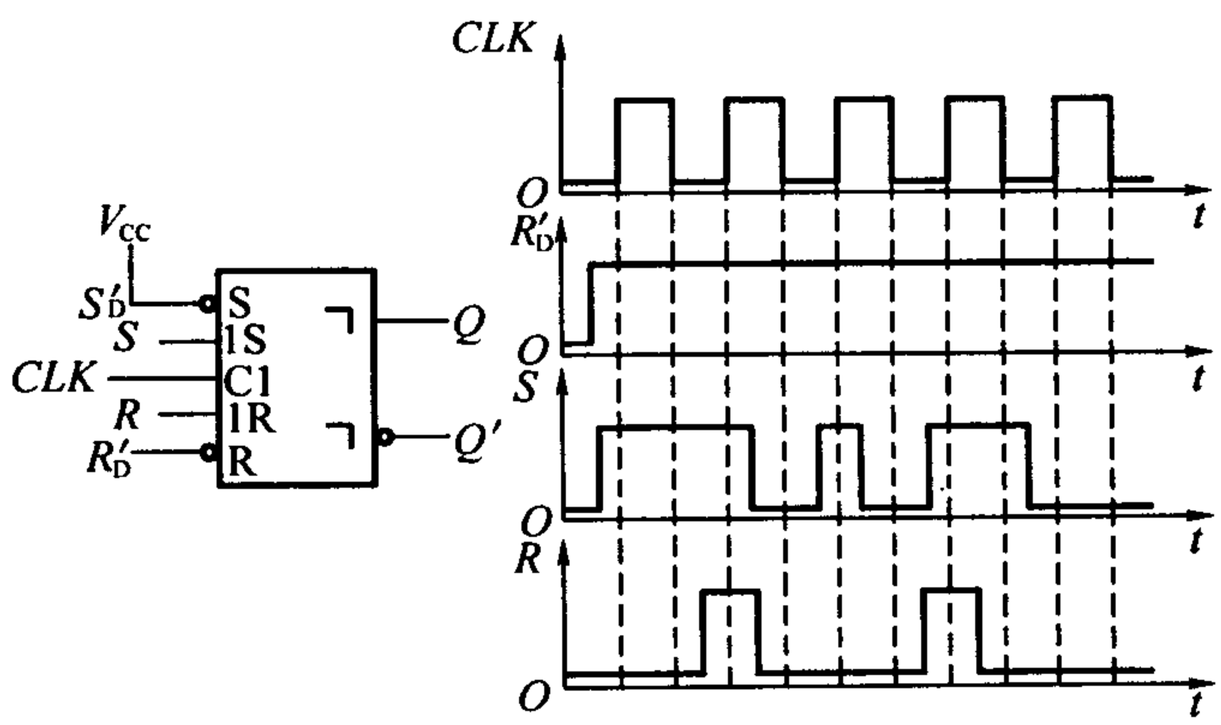
题 5.8 图



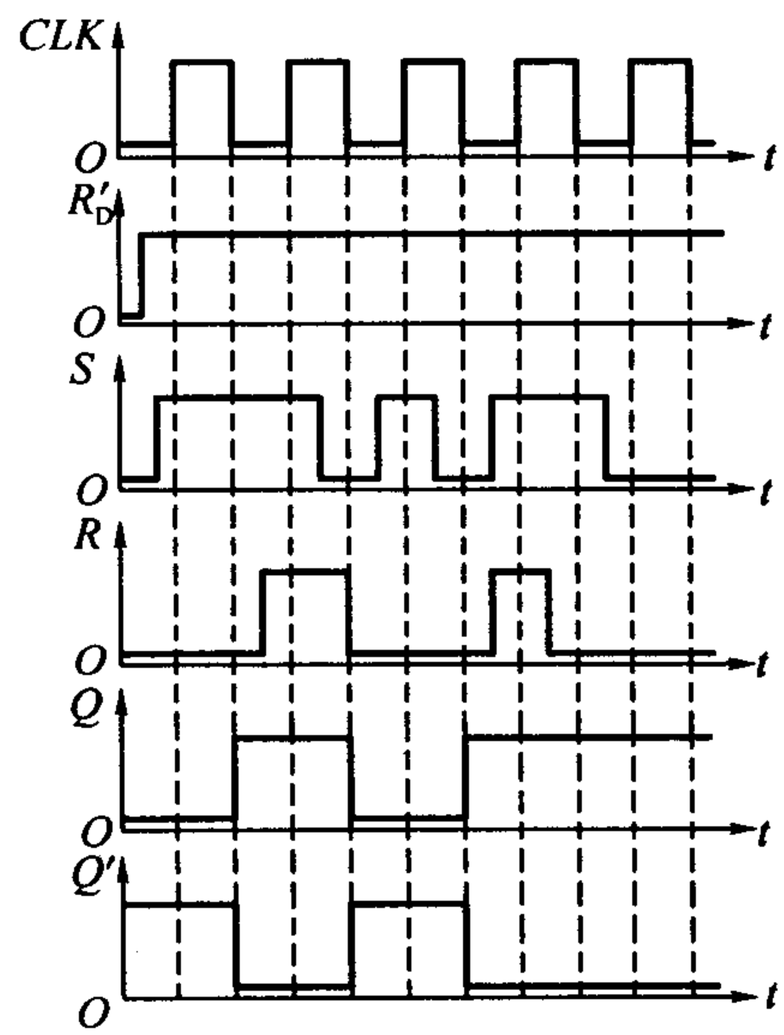
题5.8解图

[题5.9]　若主从结构 SR 触发器的 CLK, S, R, R'_D 各输入端的电压波形如题5.9图所示，$S'_D=1$，试画出 Q, Q' 端对应的电压波形。

解　输出电压波形如题5.9解图所示。

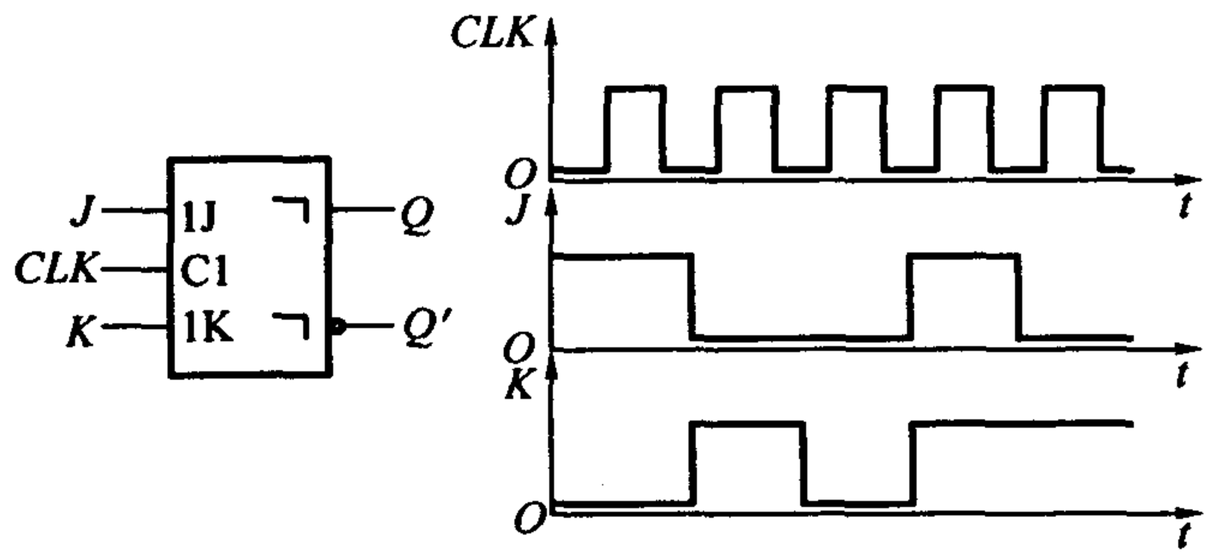


题5.9图

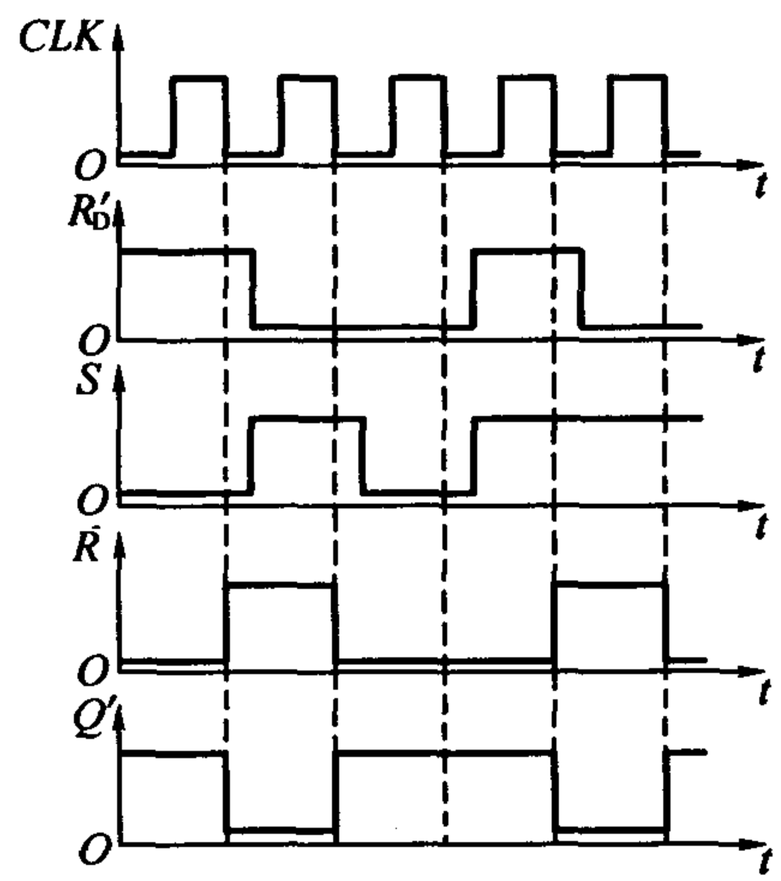


题5.9解图

[题 5.10] 在脉冲触发 JK 触发器中，已知 J，K，CLK 端的电压波形如题 5.10 图所示，试画出 Q，Q' 端对应的电压波形。设触发器的初始状态为 $Q=0$。



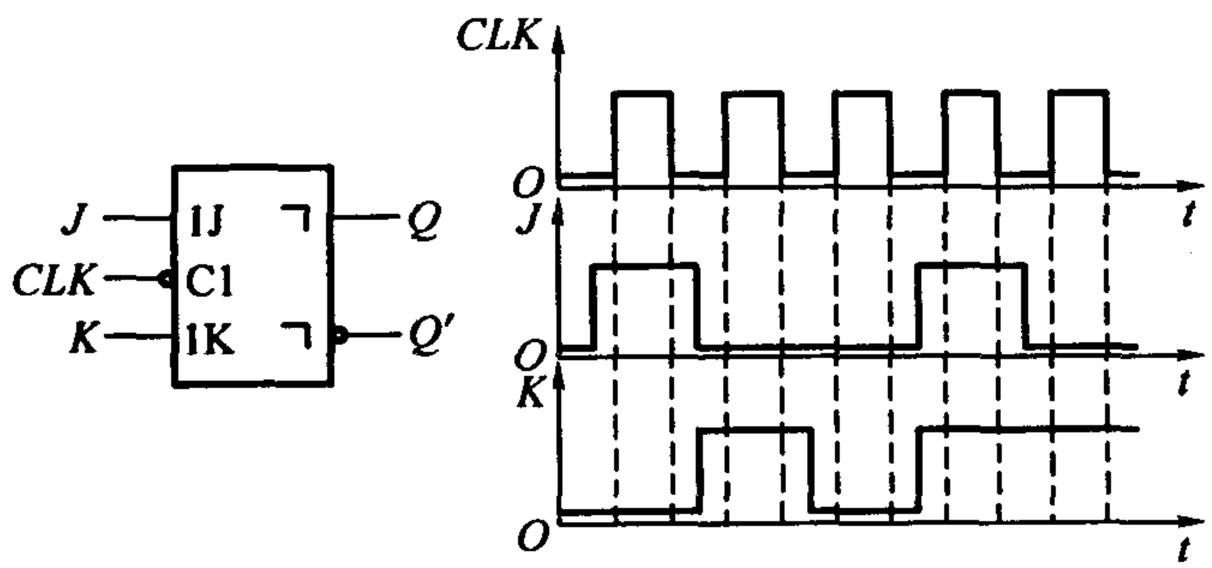
题 5.10 图



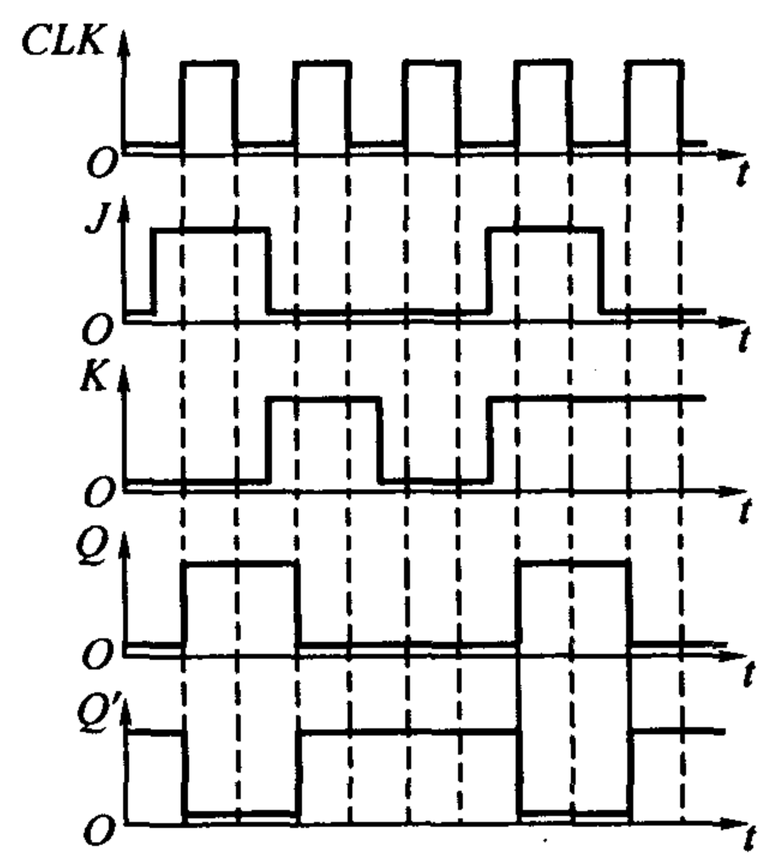
题 5.10 解图

解 输出端电压波形如题 5.10 解图所示。

[题 5.11] 已知脉冲触发 JK 触发器输入端 J，K 和 CLK 的电压波形如题 5.11 图所示，试画出 Q，Q' 端对应的电压波形。设触发器的初始状态为 $Q=0$。



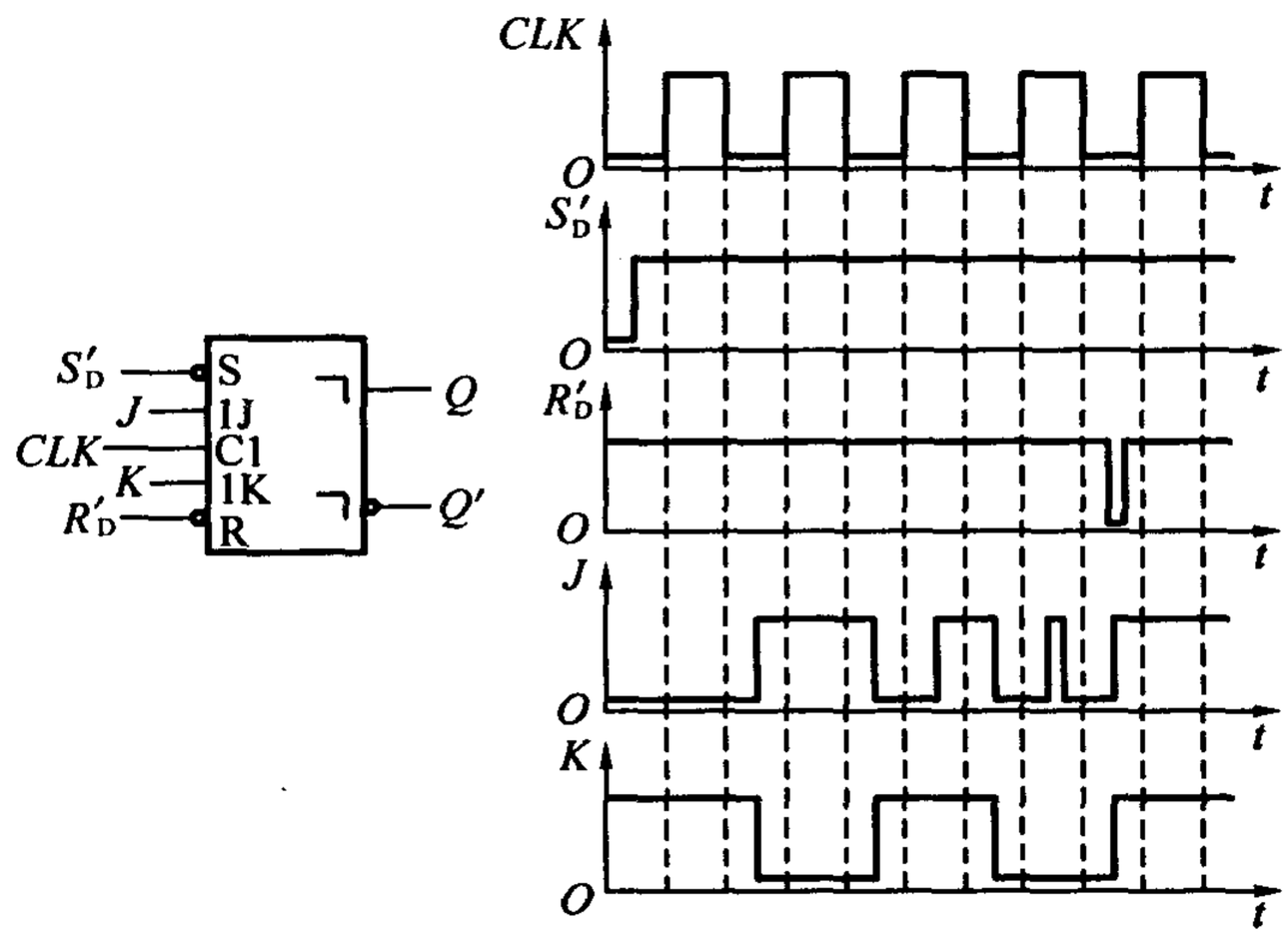
题 5.11 图



题 5.11 解图

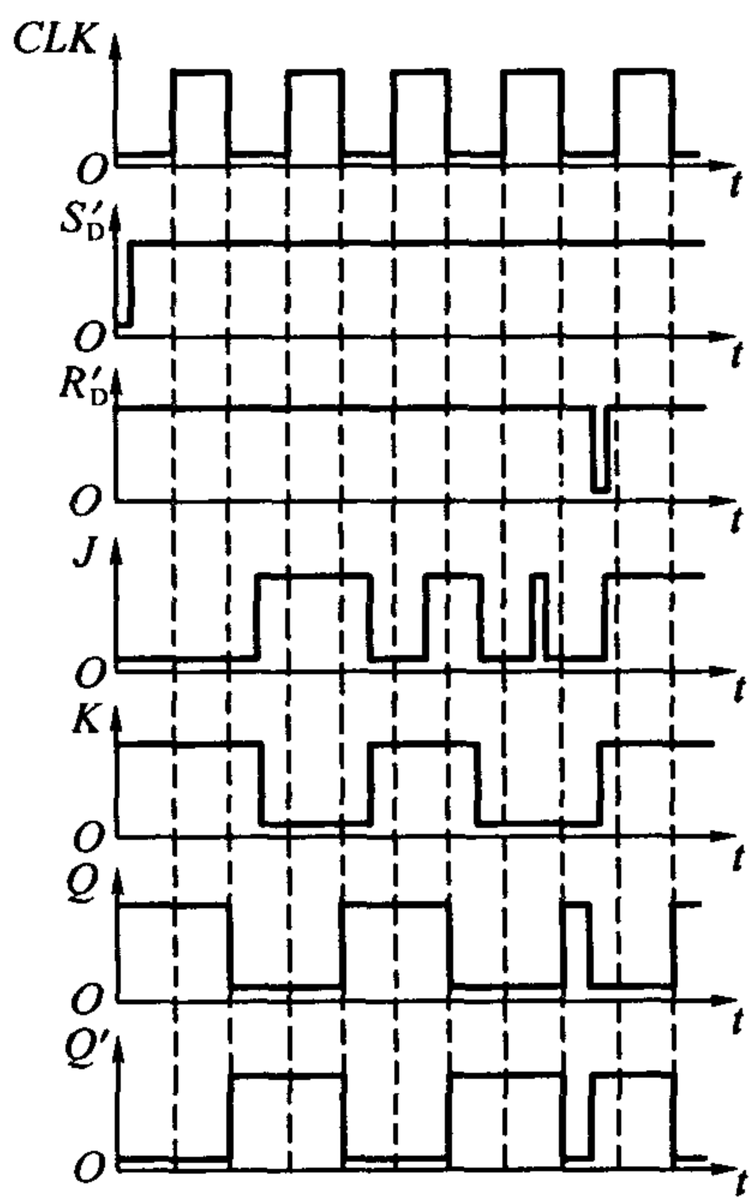
解 输出端电压波形如题 5.11 解图所示。

[题5.12] 若主从结构 JK 触发器 CLK, R'_D, S'_D, J, K 端的电压波形如题5.12图所示，试画出 Q, Q' 端对应的电压波形。



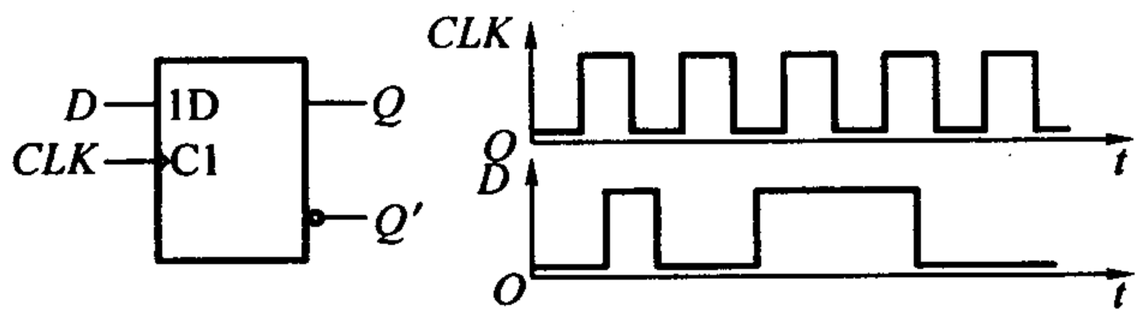
题5.12图

解 输出端电压波形如题5.12解图所示。



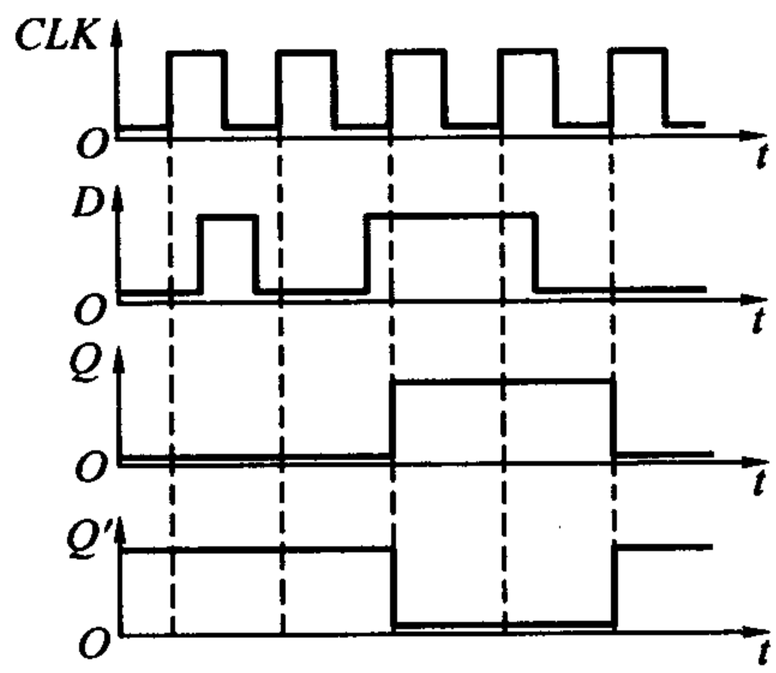
题5.12解图

[题 5.13] 已知 CMOS 边沿触发器输入端 D 和时钟信号 CLK 的电压波形如题 5.13 图所示，试画出 Q，Q' 端对应的电压波形。假定触发器的初始状态为 $Q=0$。



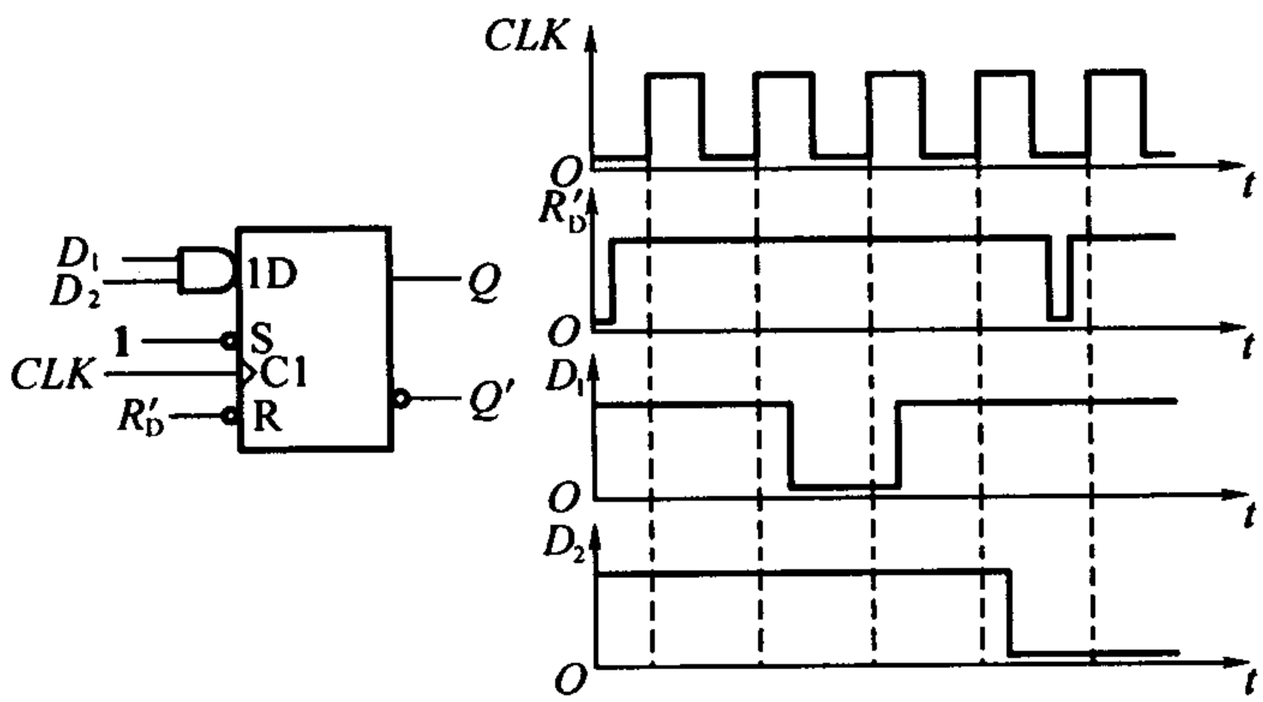
题 5.13 图

解 输出端电压波形如题 5.13 解图所示。



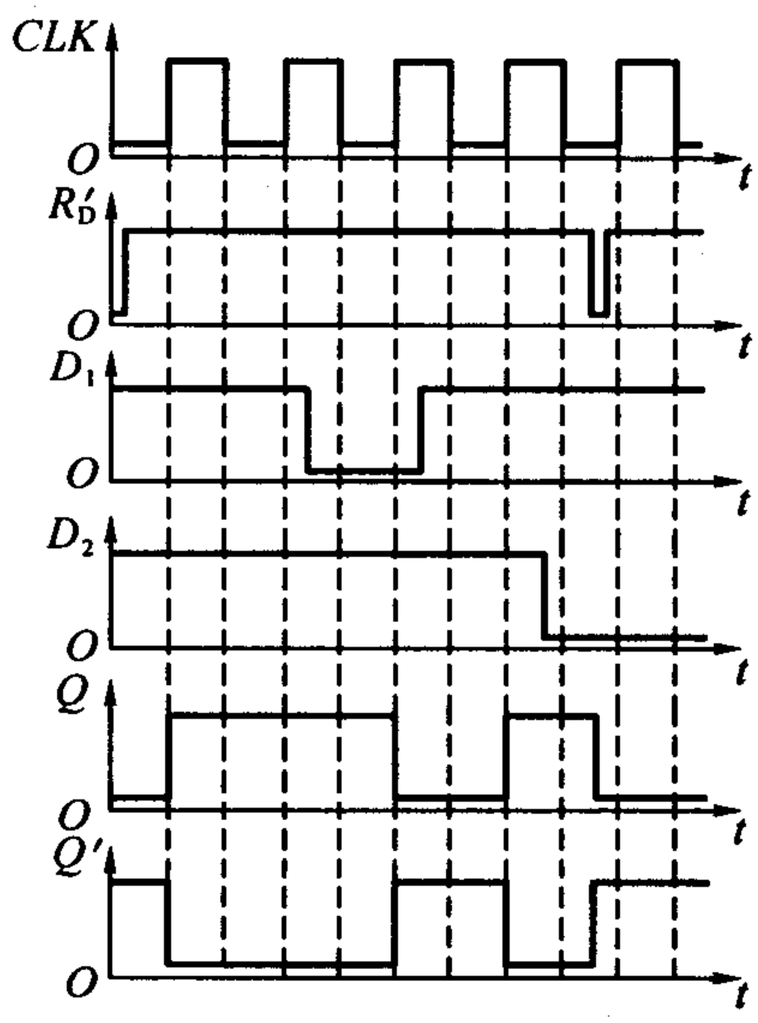
题 5.13 解图

[题 5.14] 已知维持阻塞结构 D 触发器各输入端的电压波形如题 5.14 图所示，试画出 Q、Q' 端对应的电压波形。



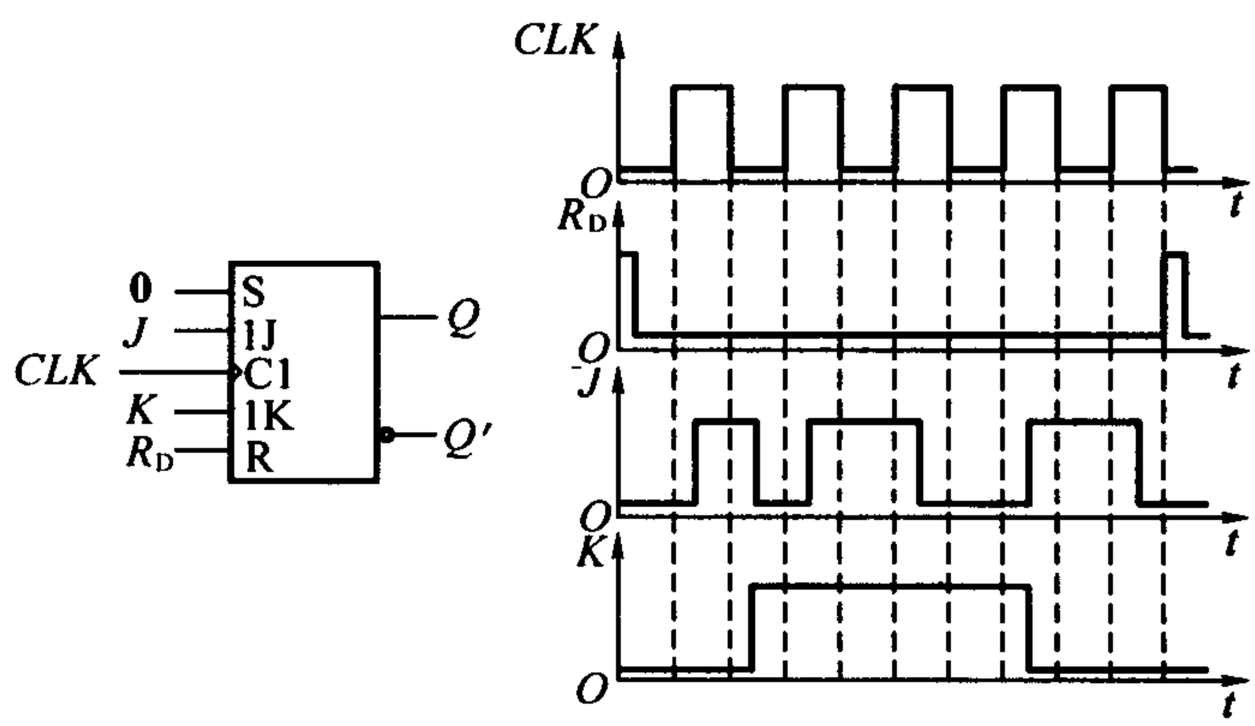
题 5.14 图

解 输出端电压波形如题5.14解图所示。



题5.14解图

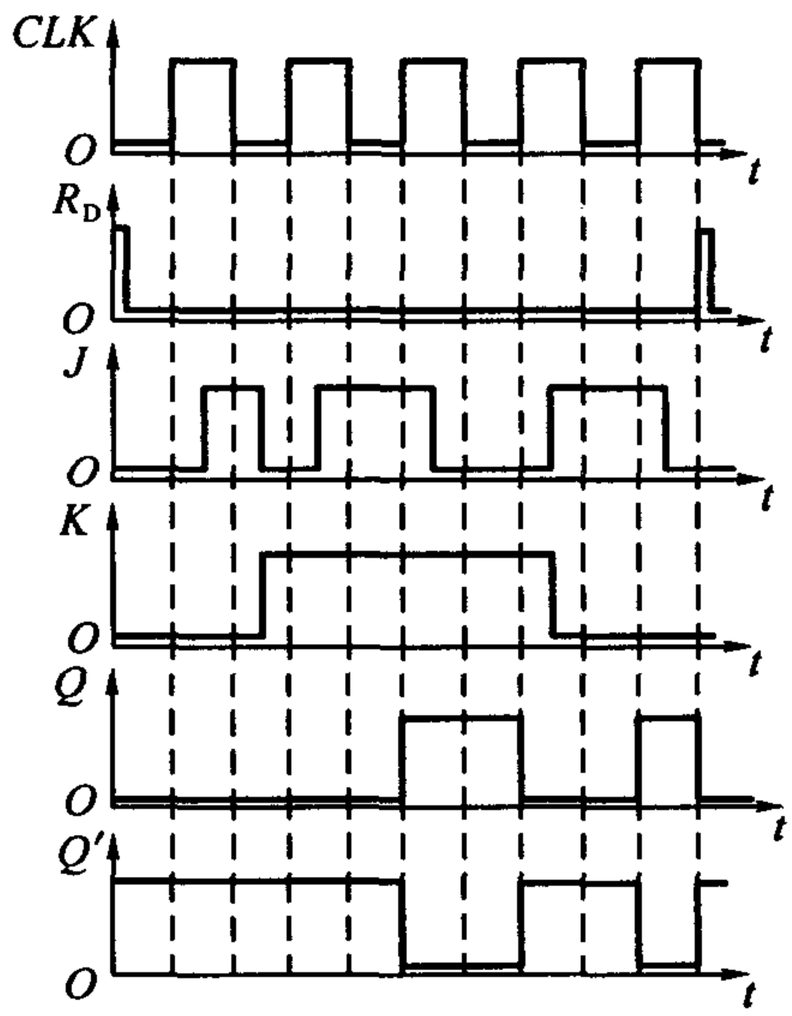
[题5.15] 已知CMOS边沿触发方式 JK 触发器各输入端的电压波形如题5.15图所示，试画出 Q，Q' 端对应的电压波形。



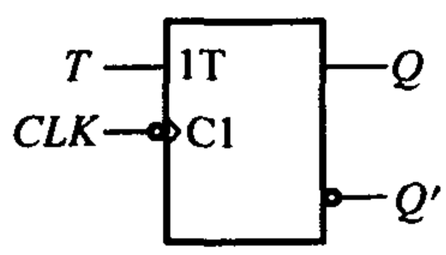
题5.15图

解 输出电压波形如题5.15解图所示。

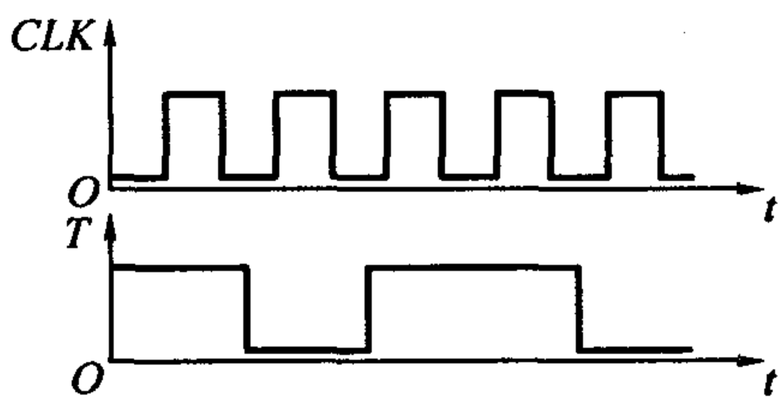
[题5.16] 在脉冲触发 T 触发器中，已知 T，CLK 端的电压波形如题5.16图所示，试画出 Q，Q' 端对应的电压波形。设触发器的初始状态为 $Q=0$。

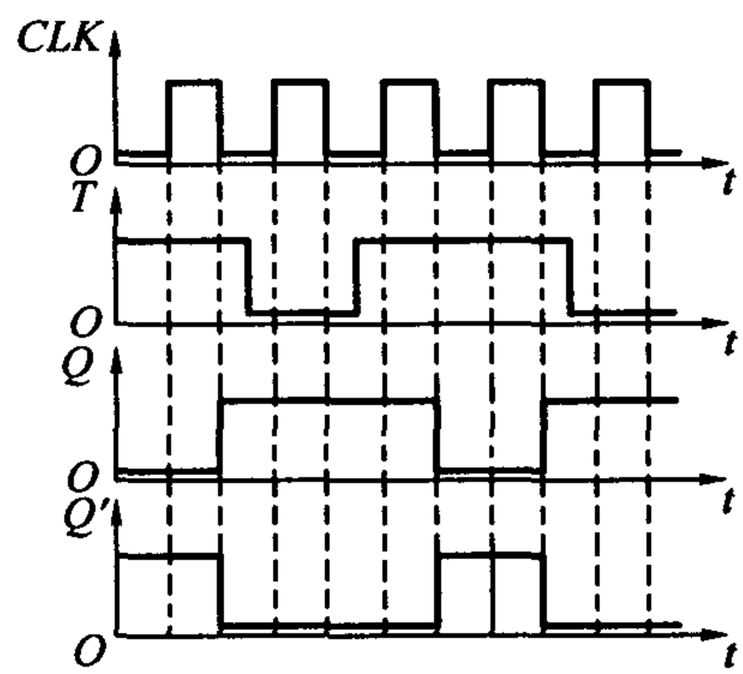


题 5.15 解图



题 5.16 图





题 5.16 解图

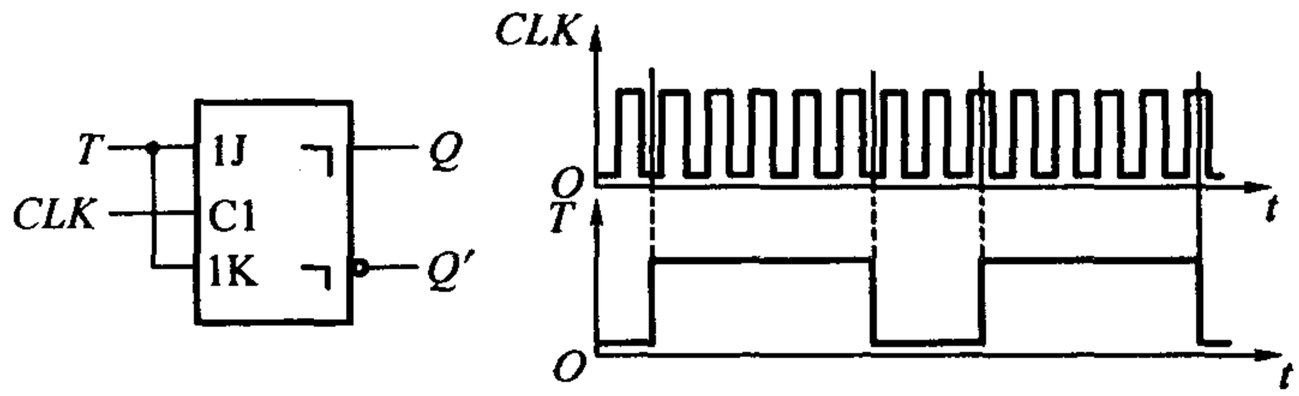
解 电压波形如题 5.16 解图所示。

[题 5.17] 在题 5.17 图所示的主从结构 *JK* 触发器电路中，已知 *CLK* 和输入信号 *T* 的电压波形如图所示，试画出触发器输出端 *Q* 和 *Q′* 的电压波形。设触发器的起始状态为 $Q=0$。

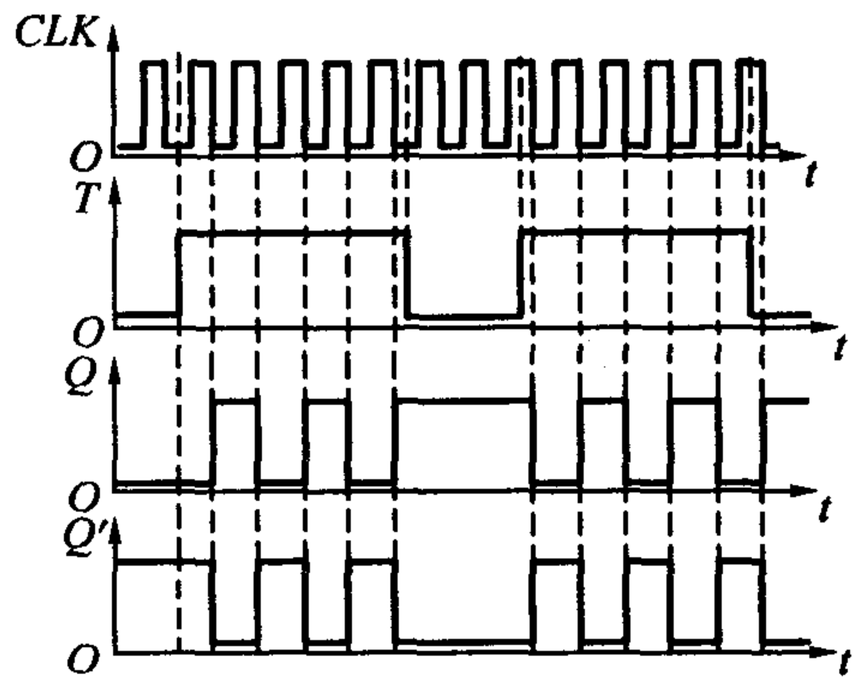
解 输出端电压波形如题 5.17 解图所示。

[题 5.18] 设题 5.18 图中各触发器的初始状态皆为 $Q=0$，试画出在 *CLK* 信号连续作用下各触发器输出端的电压波形。

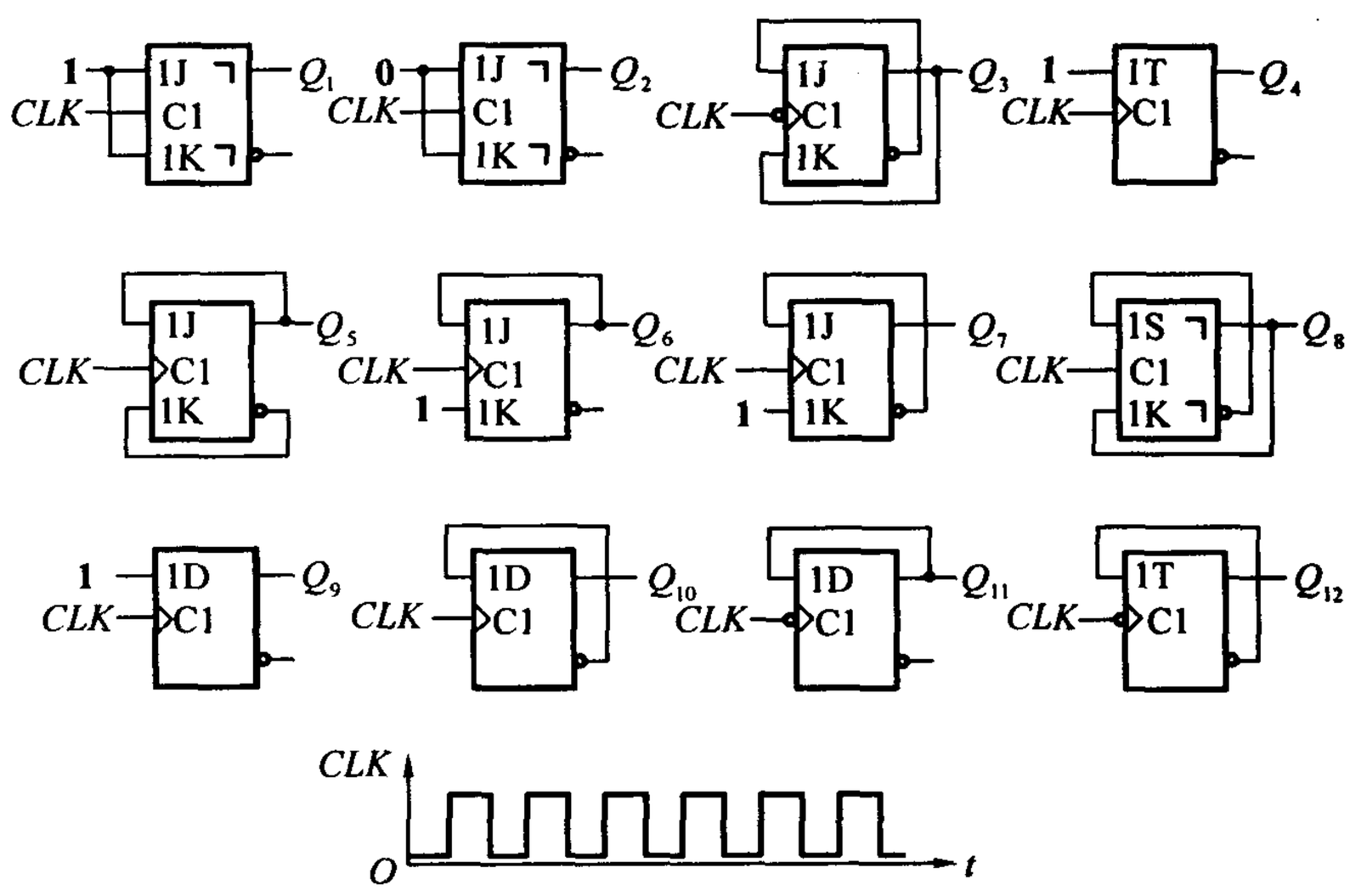
解 输出端波形如题 5.18 解图所示。



题5.17图

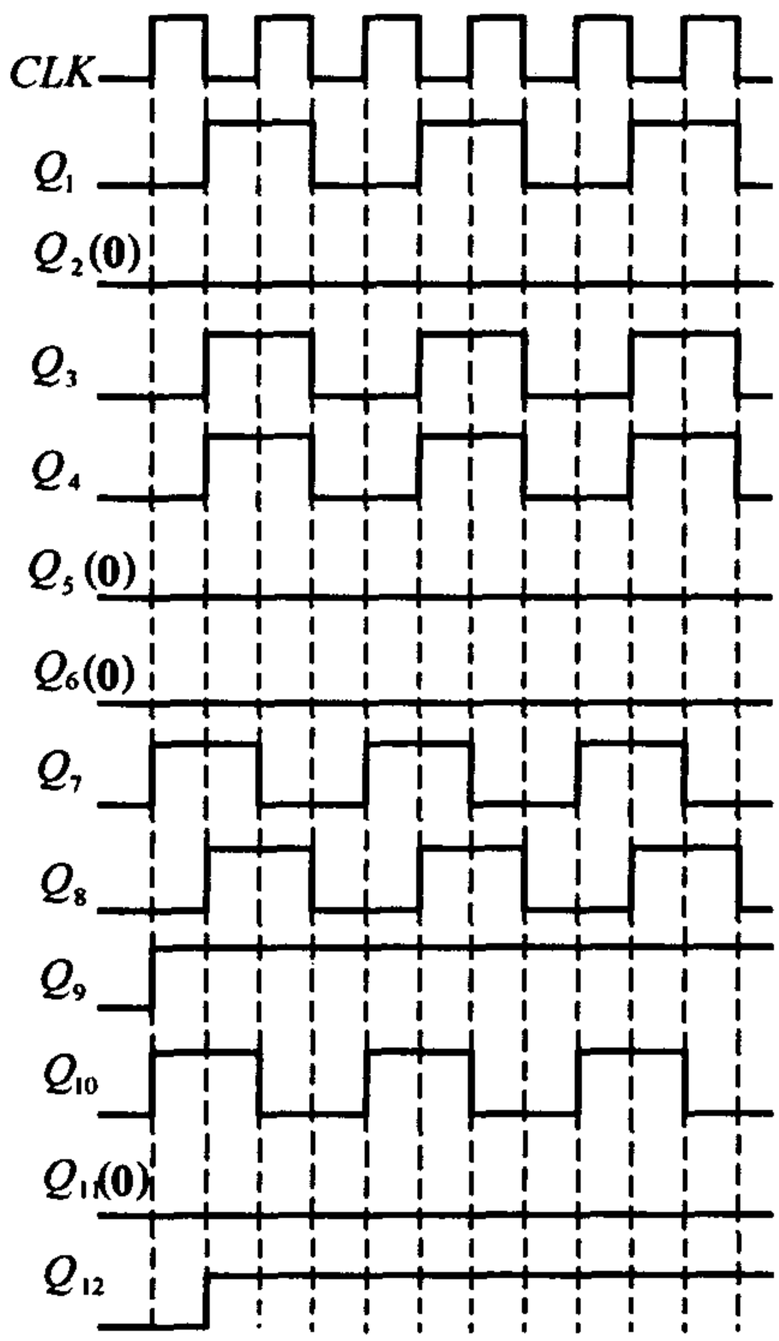


题5.17解图

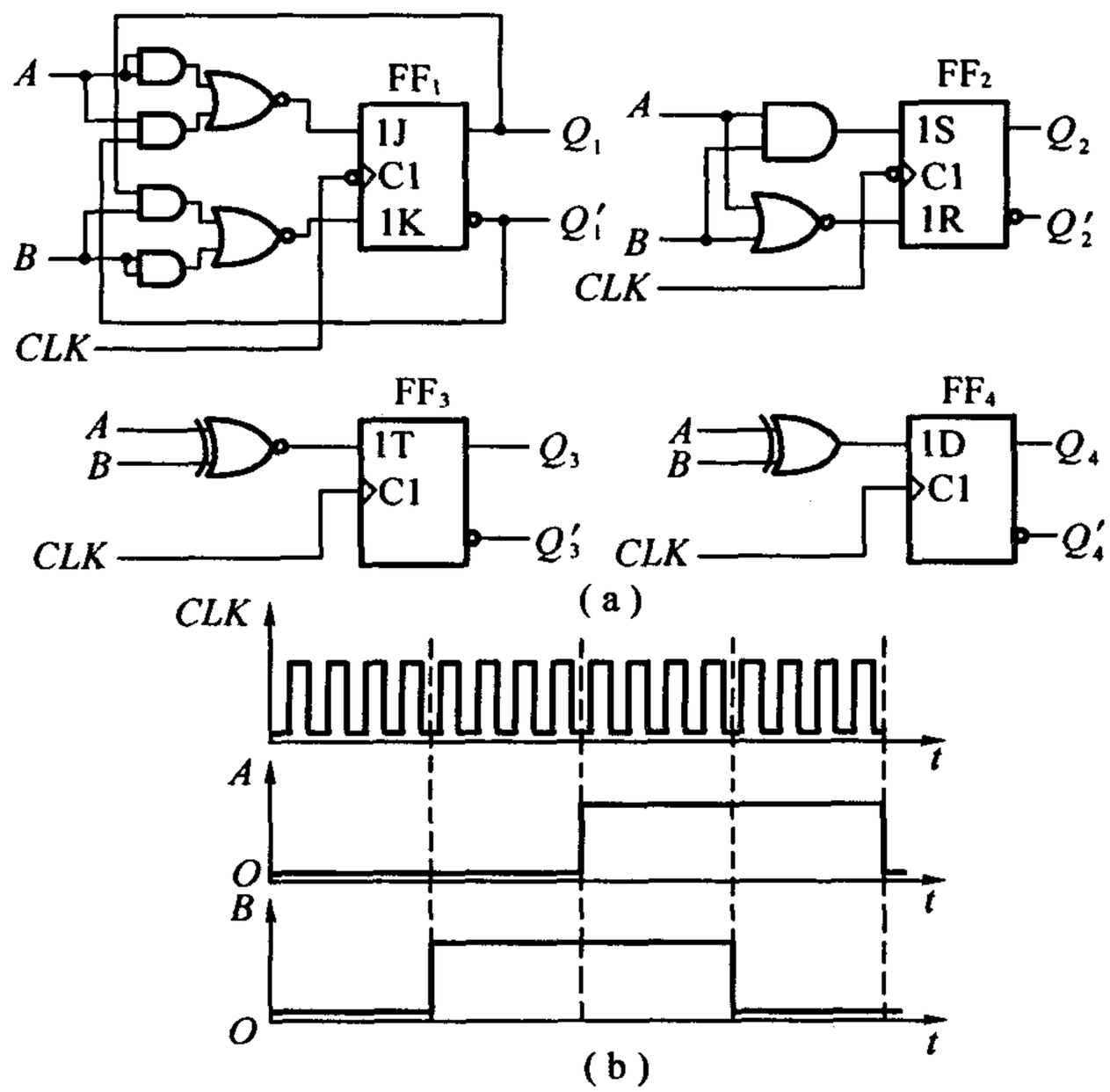


题5.18图

[题 5.19] 试写出题 5.19 图(a)中各电路的次态函数(即 Q_1^*，Q_2^*，Q_3^*，Q_4^* 与现态和输入变量之间的函数式)，并画出在题 5.19 图(b)给定信号的作用下 Q_1，Q_2，Q_3，Q_4 的电压波形。假定各触发器的初始状态均为 $Q=0$。



题 5.18 解图



题 5.19 图

解 (1)由 FF_1 的驱动方程

$$J_1 = A',\ K_1 = B'$$

得到 FF_1 的状态方程

$$Q_1^* = A'Q_1' + BQ_1$$

(2)由 FF_2 的驱动方程

$$S_2 = AB;\ R_2 = (A+B)'$$

得到 FF_2 状态方程

$$Q_2^* = AB + (A+B)Q_2$$

(3)由 FF_3 驱动方程

$$T_3 = A \odot B$$

得到 FF_3 的状态方程

$$Q_3^* = (A \odot B) \oplus Q_3$$

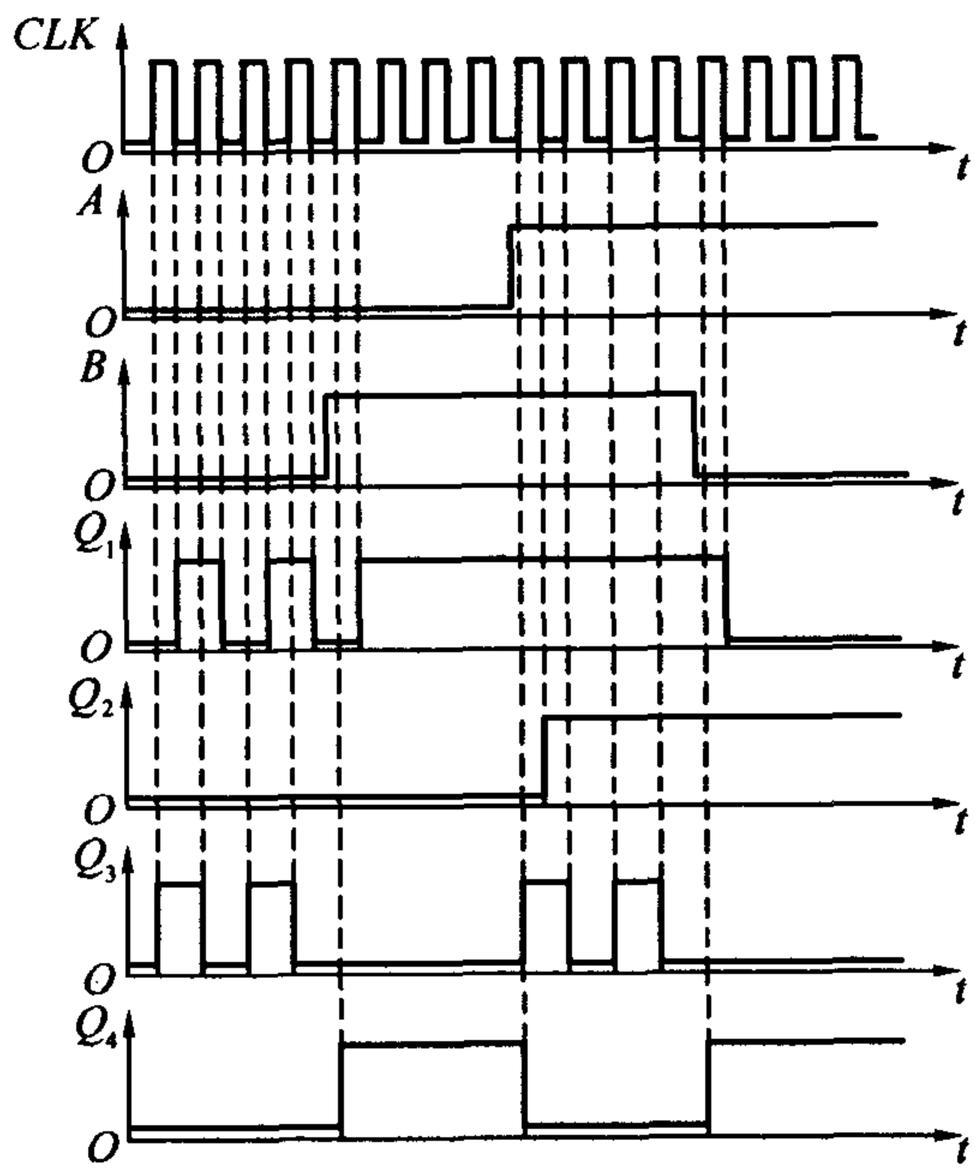
(4)由 FF_4 的驱动方程

$$D_4 = A \oplus B$$

得到 FF_3 的状态方程

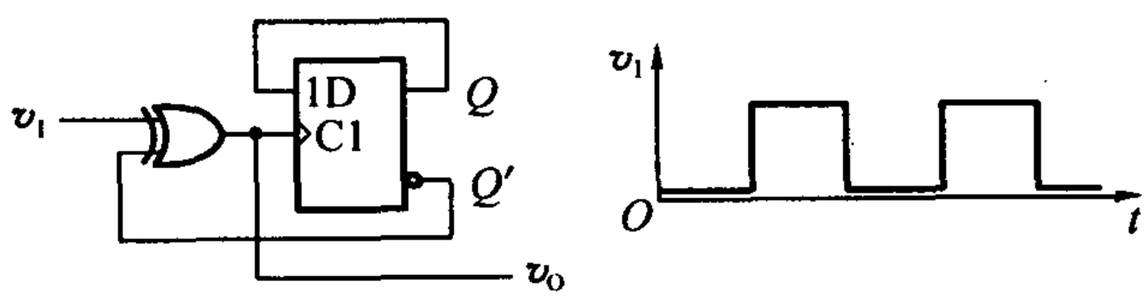
$$Q_4^* = A \oplus B$$

(5) Q_1, Q_2, Q_3, Q_4 的输出电压波形如题5.19解图所示。

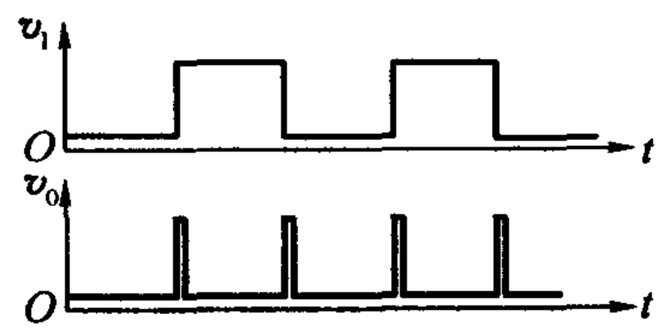


题5.19解图

[题5.20] 在题5.20图所示电路中已知输入信号 v_I 的电压波形如图所示,试画出与之对应的输出电压 v_O 的波形。触发器为维持阻塞结构,初始状态为 $Q=0$。(提示:应考虑触发器和异或门的传输延迟时间。)



题5.20图

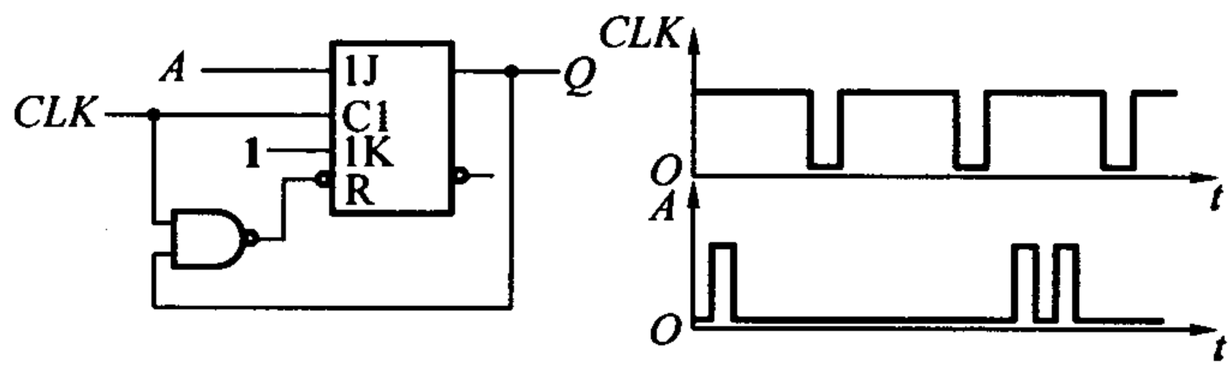


题5.20解图

解 输出电压 v_O 的波形如题5.20解图所示。

[题5.21] 在题5.21图所示的主从 JK 触发器电路中,CLK 和 A 的电压波形如图中所示,试画出 Q 端对

应的电压波形。设触发器的初始状态为 $Q=0$。



题 5.21 图

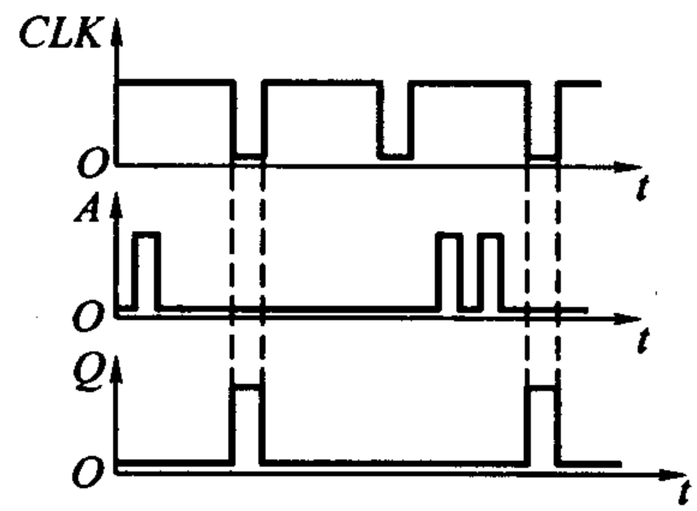
解 由逻辑图可得到 Q 的次态逻辑式为

$$Q^{*}=A\cdot Q'+1'Q=AQ'$$

同时可得到直接复位端的逻辑式为

$$R=(CLK\cdot Q)'$$

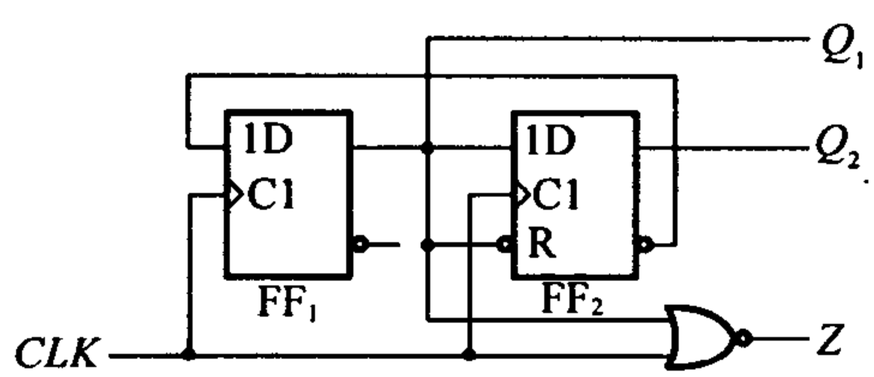
由此可以画出 Q 端的输出波形如题 5.21 解图所示。



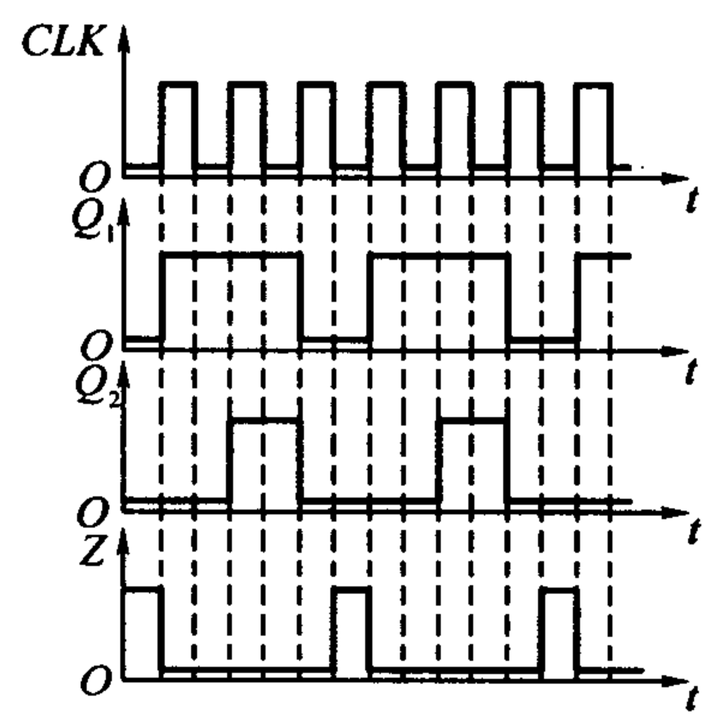
题 5.21 解图

需注意的是:(1) Q 的变化是分两步完成的;(2)在 $CLK=1$ 期间,J,K 状态发生变化时,主触发器状态只能变化一次。

[题 5.22] 题 5.22 图所示是用 CMOS 边沿触发器和或非门组成的脉冲分频电路。试画出在一系列 CLK 脉冲作用下 Q_1,Q_2 和 Z 端对应的输出电压波形。设触发器的初始状态皆为 $Q=0$。



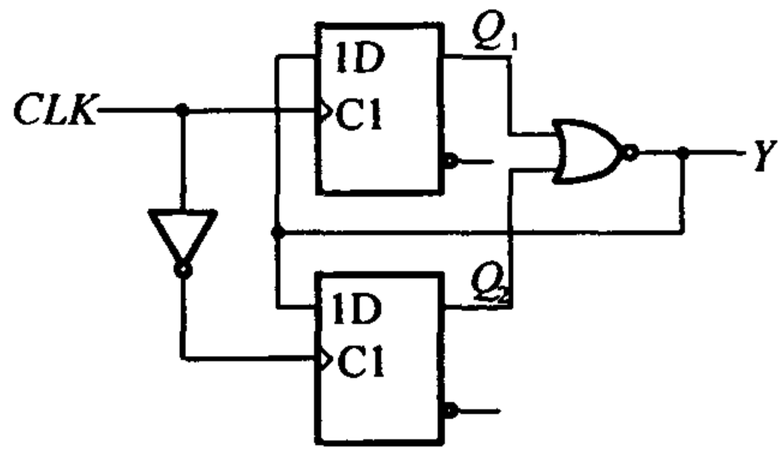
题 5.22 图



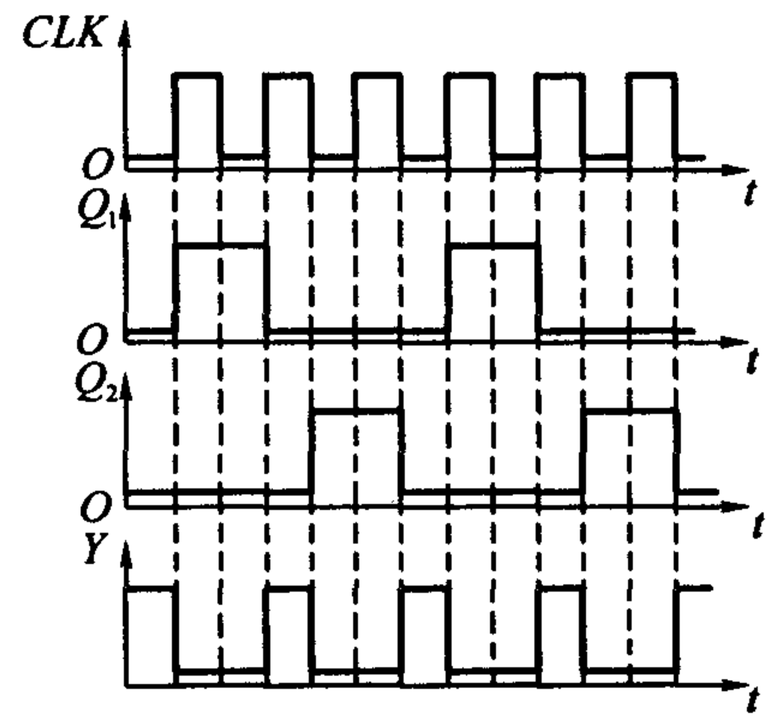
题 5.22 解图

解 Q_1,Q_2 和 Z 的输出电压波形如题 5.22 解图所示。

[题 5.23] 题 5.23 图所示是用维持阻塞结构 D 触发器组成的脉冲分频电路。试画出在一系列 CLK 脉冲作用下输出端 Y 对应的电压波形。设触发器的初始状态均为 $Q=0$。



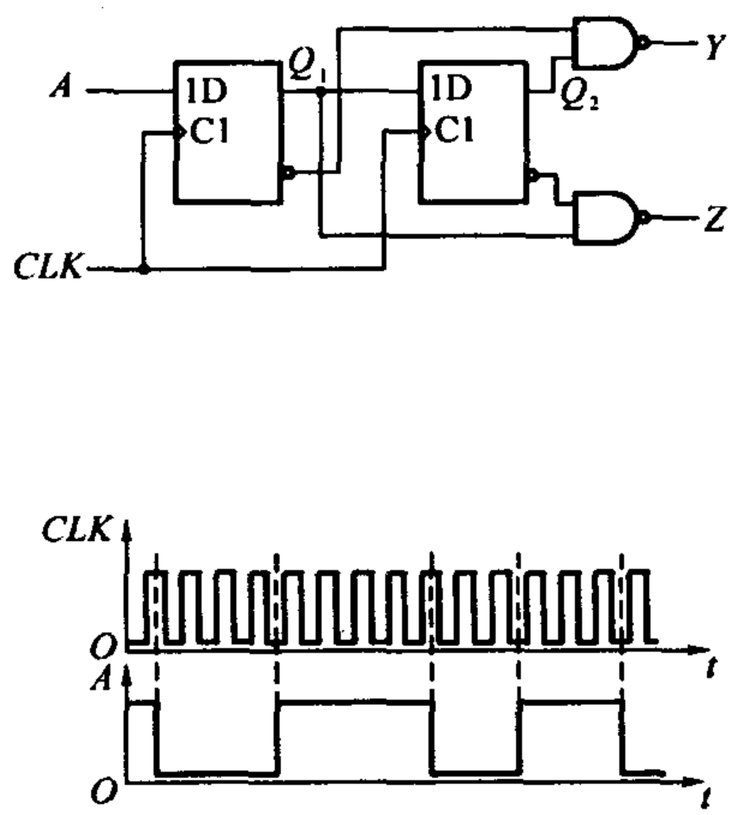
题5.23图



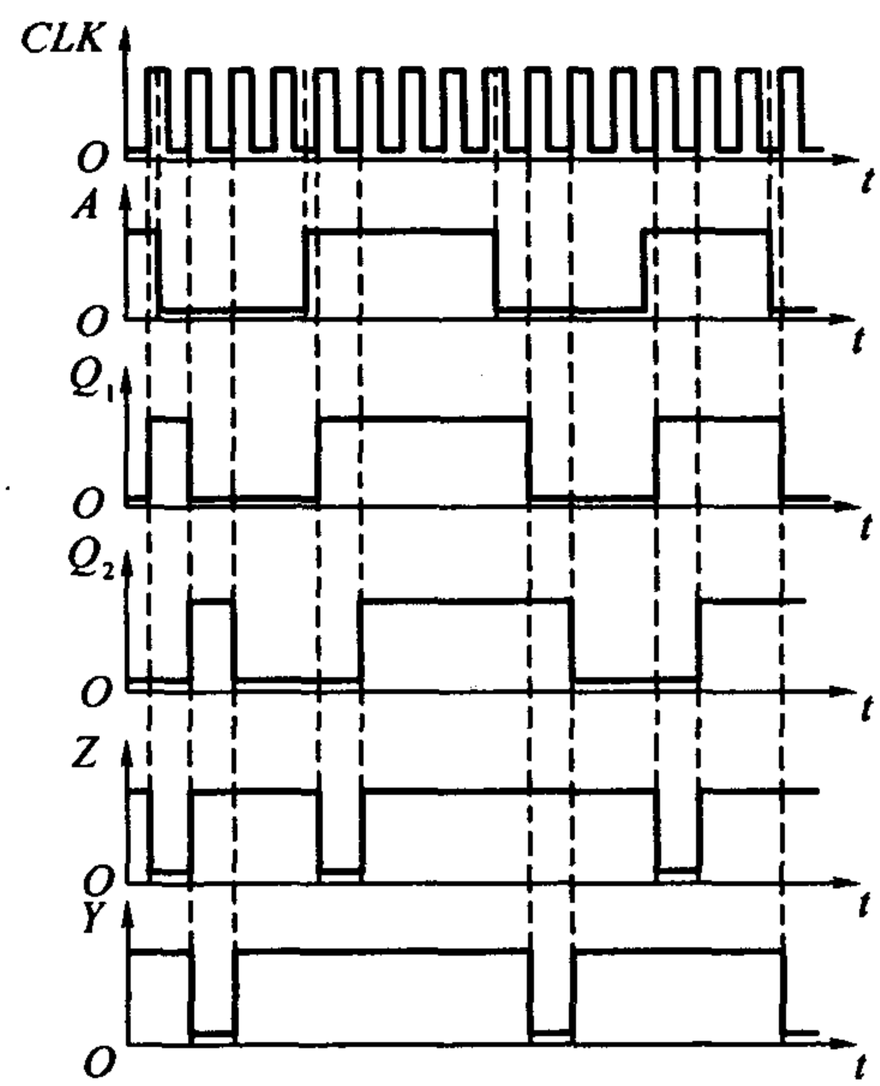
题5.23解图

解 对 CLK 的每个变化进行分析，同时确定 Q_1，Q_2 和 Y 的状态，$Y=(Q_1+Q_2)'$。电压波形如题5.23解图所示。

[题5.24] 试画出题5.24图所示电路输出端 Y，Z 的电压波形。输入信号 A 和 CLK 的电压波形如图中所示。设触发器的初始状态均为 $Q=0$。



题5.24图



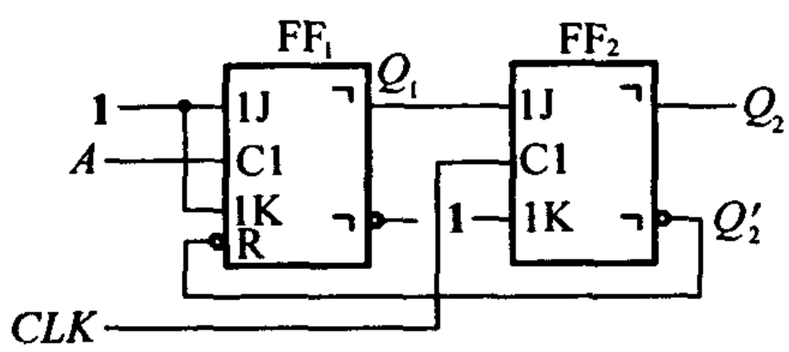
题5.24解图

解 由题5.24图中的电路图可知

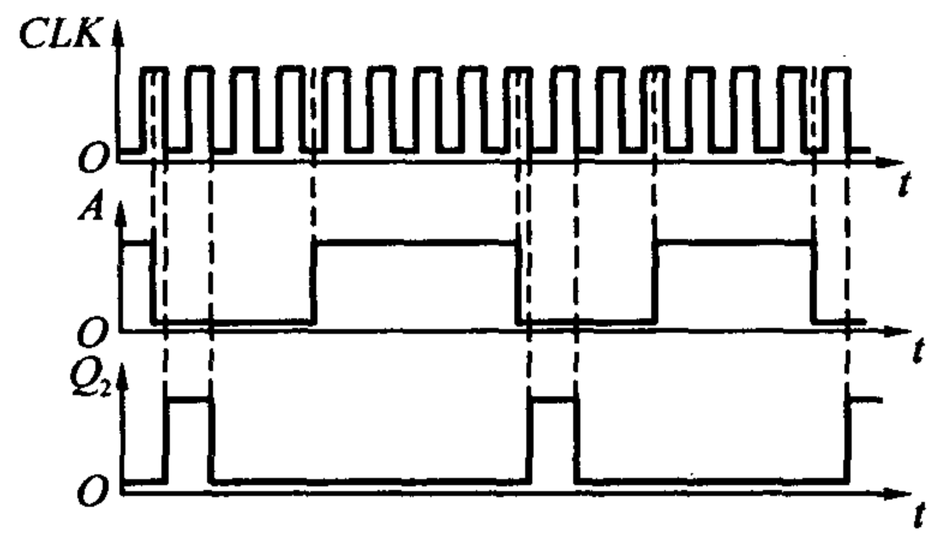
$$Q_1^* = D_1 = A; Q_2^* = D_2 = Q_1'$$
$$Y = (Q_1' Q_2)' = Q_1 + Q_2'$$
$$Z = (Q_1 Q_2')' = Q_1' + Q_2$$

由以上四个逻辑式可画出波形图如题 5.24 解图所示。

[题 5.25] 试画出题 5.25 图的电路输出端 Q_2 的电压波形。输入信号 A 和 CLK 的电压波形与上题相同。假定触发器为主从结构,初始状态均为 $Q=0$。



题 5.25 图



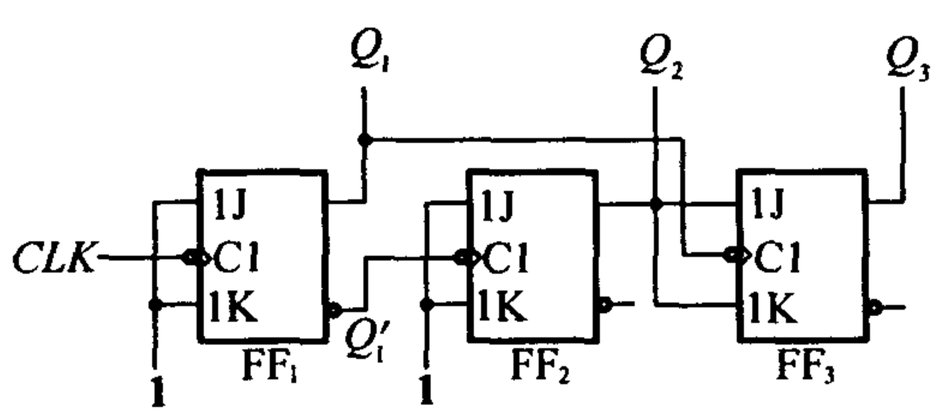
题 5.25 解图

解 由题 5.25 和 JK 触发器的特性方程可得

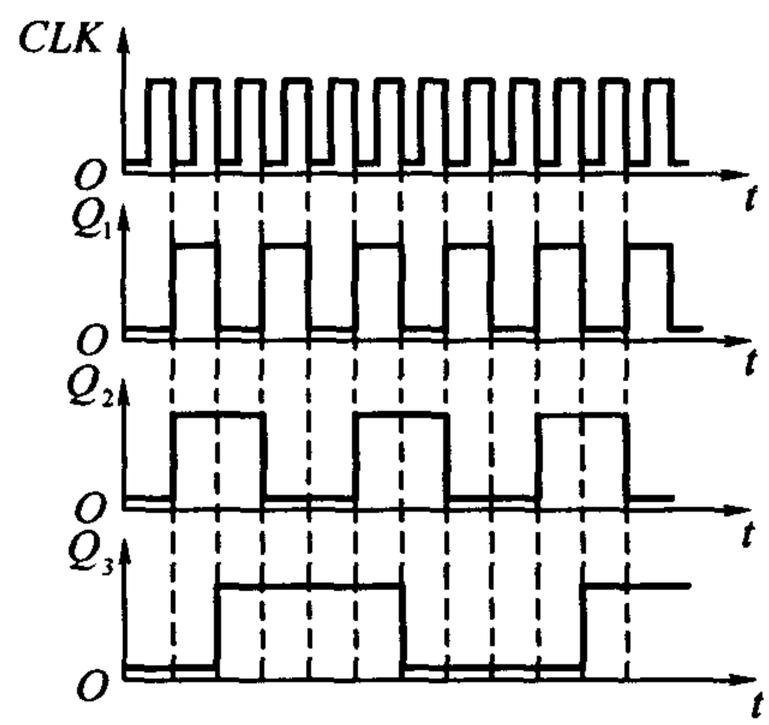
$$Q_1^* = J_1 Q_1' + K_1' Q_1 = Q_1'$$
$$Q_2^* = J_2 Q_2' + K_2' Q_1 = Q_2'$$
$$R_1 = Q_2'$$

先求出 Q_1 波形,再求 Q_2 的波形,如题 5.25 解图所示。

[题 5.26] 试画出题 5.26 图的电路在一系列 CLK 信号作用下 Q_1, Q_2, Q_3 端输出电压的波形。触发器均为边沿触发方式,初始状态为 $Q=0$。



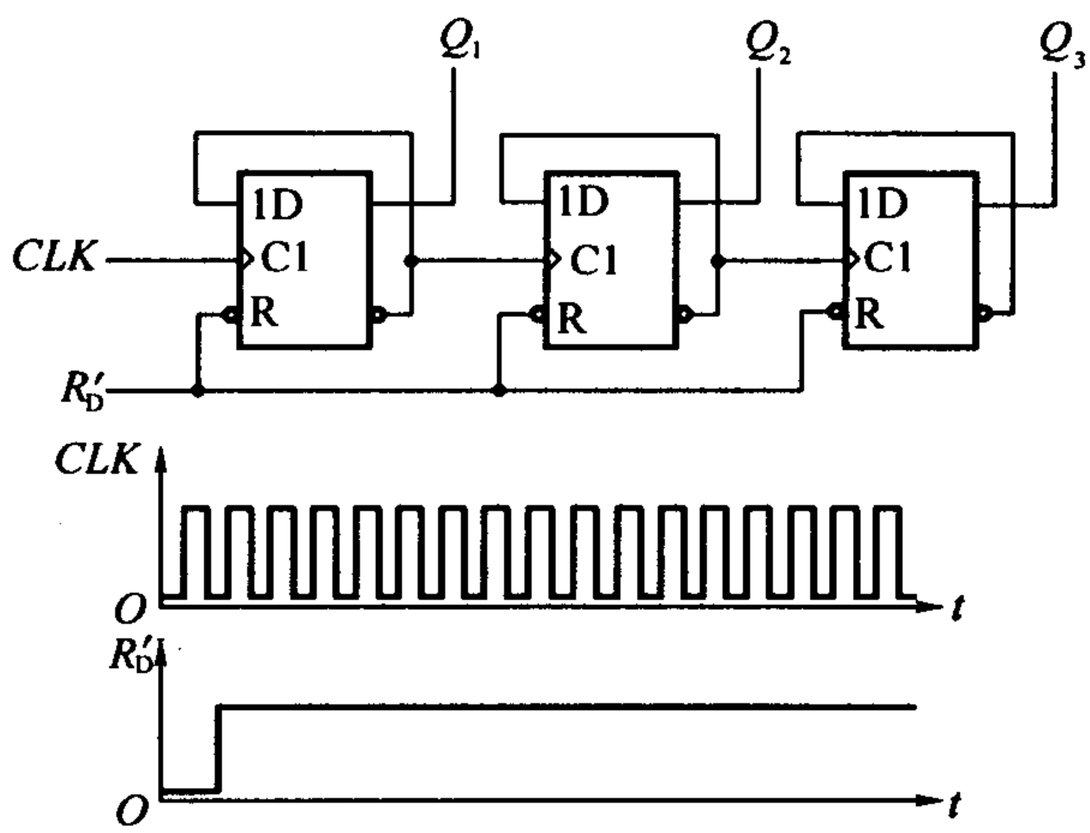
题 5.26 图



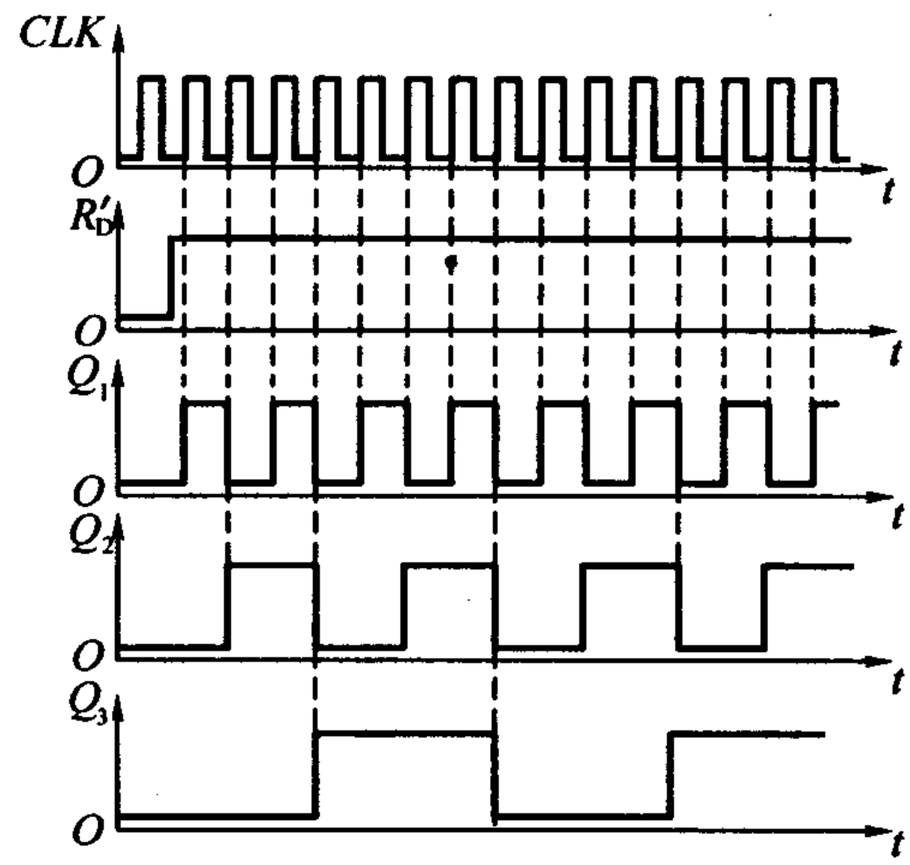
题 5.26 解图

解 Q_1, Q_2, Q_3 输出电压波形如题 5.26 解图所示。该电路为异电时序电路。

[题5.27] 试画出题5.27图电路在图中所示 CLK, R'_D信号作用下 Q_1, Q_2, Q_3 的输出电压波形,并说明 Q_1, Q_2, Q_3 输出信号的频率与 CLK 信号频率之间的关系。



题5.27图



题5.27解图

解 (1)三个上升沿触发的 D 触发器的输出端逻辑式为 $Q_i^* = Q'_i$, $i=1,2,3$,每来一次时钟,状态改变一次。

(2)前一触发器的输出是后面触发器的时钟输入信号。由此可得出波形如题5.27解图所示。由波形图可见,Q_1, Q_2, Q_3 输出信号频率为$\frac{1}{2}f_0$, $\frac{1}{4}f_0$, $\frac{1}{8}f_0$。

[题5.28] 设计一个四人抢答逻辑电路。具体要求如下:

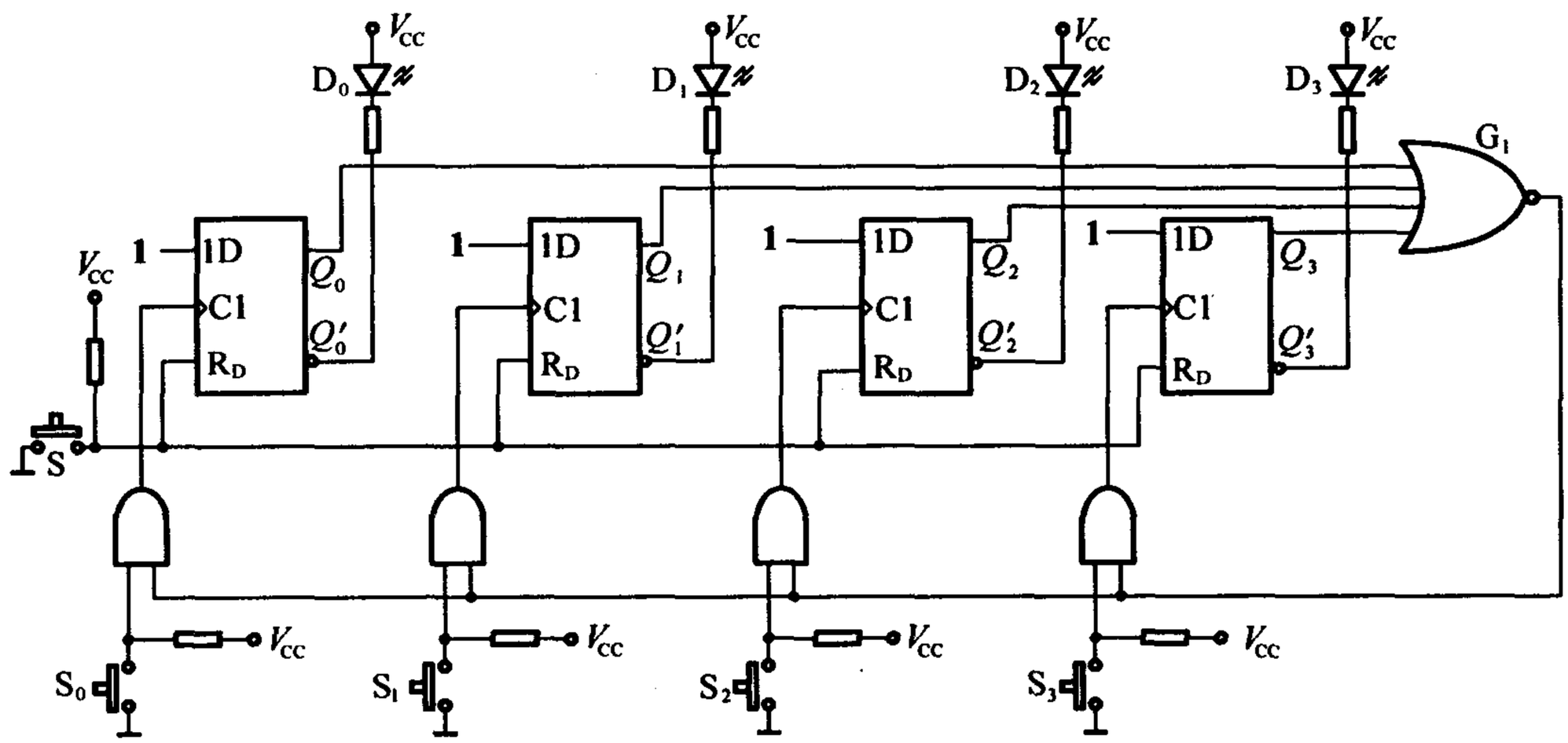
(1)每个参赛者控制一个按钮,按动按钮发出抢答信号。

(2)竞赛主持人另有一个按钮,用于将电路复位。

(3)竞赛开始后,先按动按钮者将对应的一个发光二极管点亮,此后其他三人再按动按钮对电路不起作用。

解 由 D 触发器构成电路如题5.28解图所示。

按钮 S 由主持人控制,用于将触发器全体清零。按钮 $S_0 \sim S_3$ 由四位参赛者控制,当有任何一个按下时,对应的触发器被置为1状态,Q'端变为低电平,点亮发光二极管。同时 G_1 输出低电平,封锁 $S_0 \sim S_3$ 向四个触发器输入时钟信号,其余触发器再也不能置1。

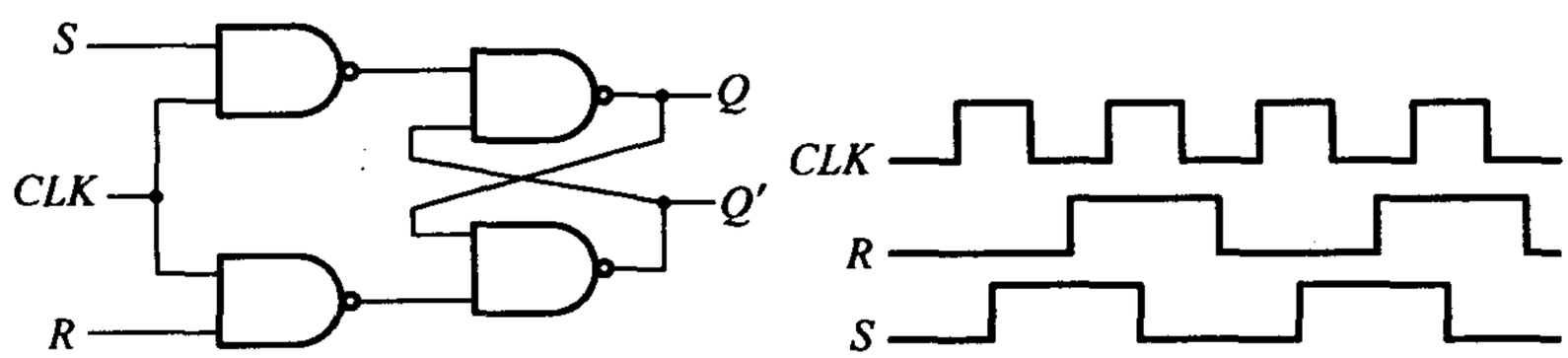


题 5.28 解图

同步训练题

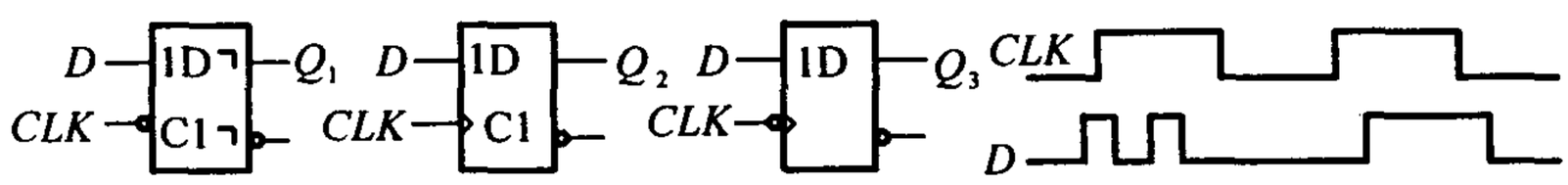
1.通常有哪几种触发器逻辑功能的描述方法?

2.电平触发的 *SR* 触发器及其时钟信号 *CLK* 和输入 *S*, *R* 的波形如图所示,试画出对应的输出 *Q* 的波形。



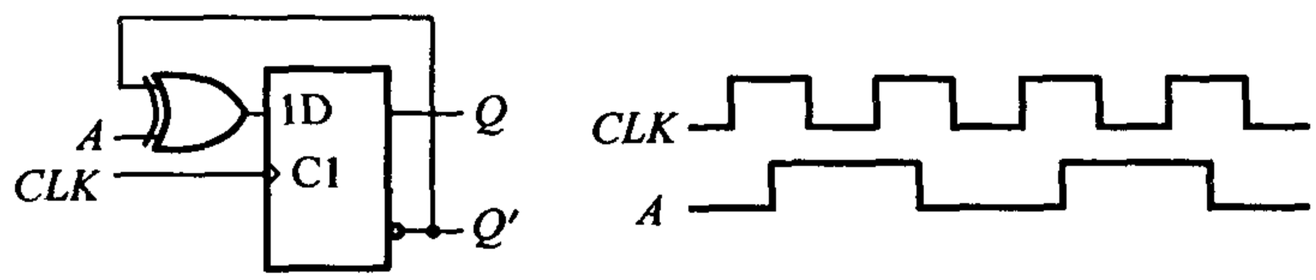
题 2 图

3.三种不同触发方式的 *D* 触发器及时钟脉冲信号 *CLK* 和输入信号 *D* 的波形如图所示,画出各触发器的输出波形。各触发器的初始状态均为0状态。



题 3 图

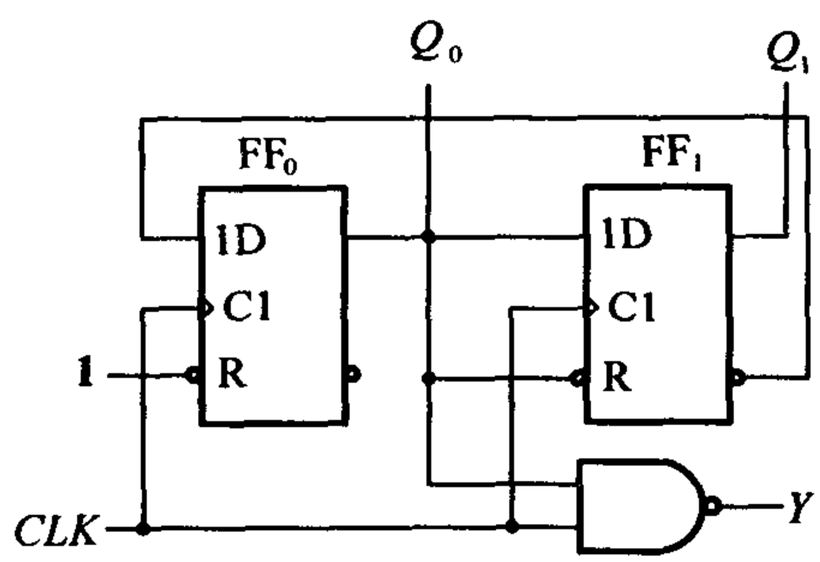
4.如图所示电路及 CLK 和 A 的波形,写出电路次态输出 Q^* 的逻辑表达式,画出 Q,Q' 的波形。触发器的初态 $Q=0$。



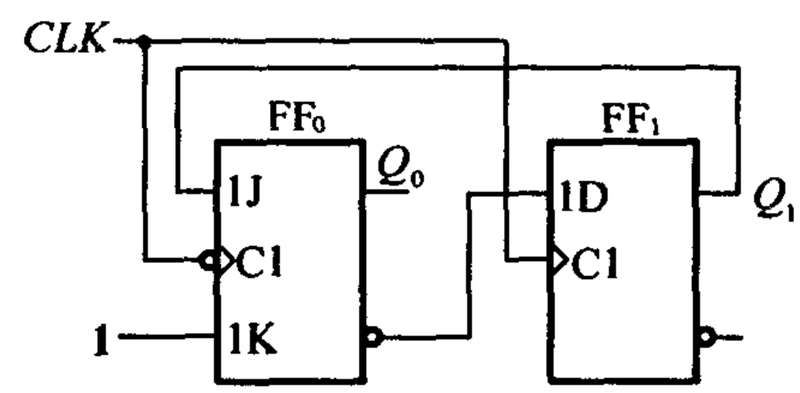
题4图

5.由 D 触发器构成的电路如图所示,设触发器的初态均为0。试画出在时钟信号 CLK 作用下 Q_0,Q_1 和 Y 的波形,并分析 Y 和 CLK 之间的关系。

6.如题6图所示电路,试画出在时钟脉冲 CLK 的作用下各触发器输出 Q_0 和 Q_1 的波形。各触发器的初态均为0。

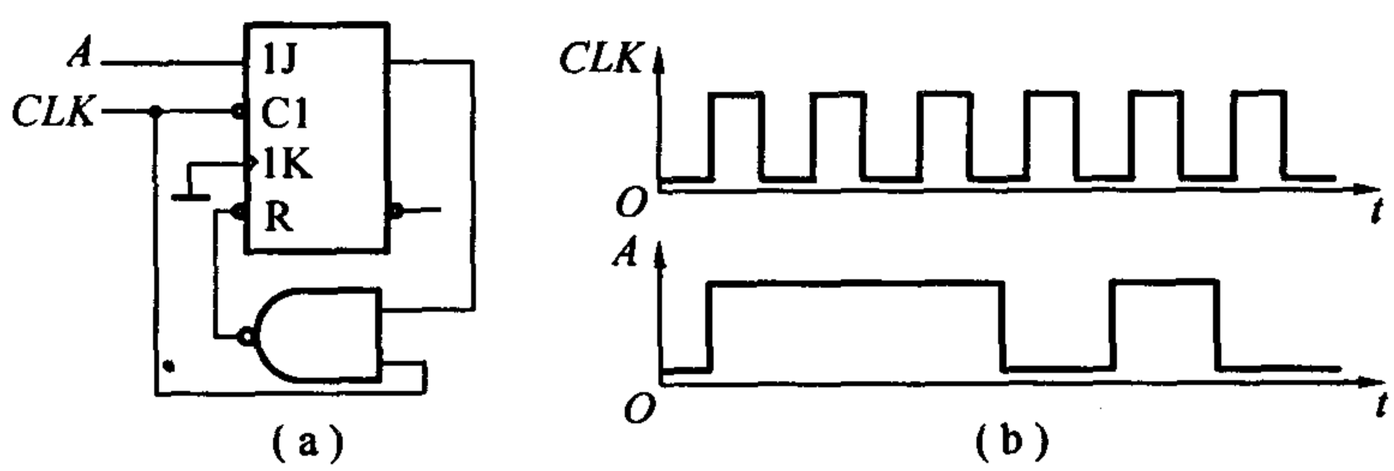


题5图



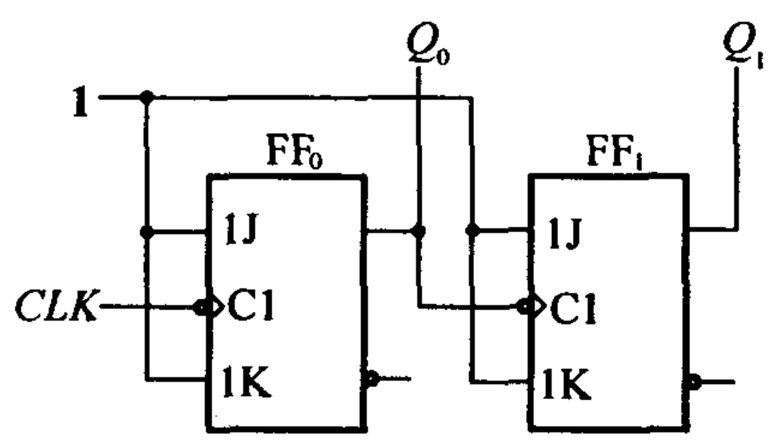
题6图

7.如题7图(a)所示电路中,CLK 和 A 的波形如题7图(b)所示,画出触发器输出波形。触发器的初态为0。



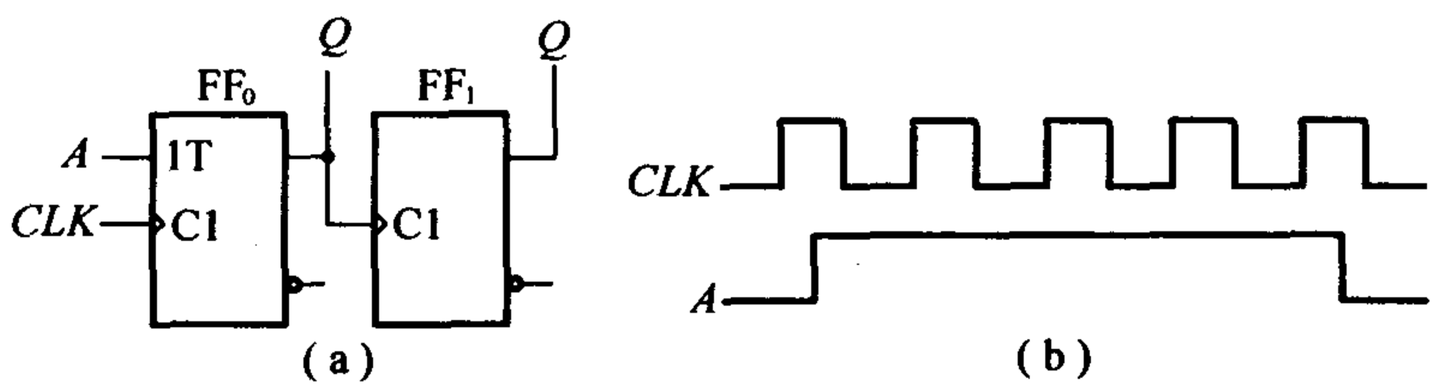
题7图

8.如题8图所示电路,试画出在时钟脉冲 CLK 作用下各触发器输出 Q_0 和 Q_1 的波形。如果 CLK 的频率是4 000 Hz,确定 Q_0 和 Q_1 的频率。各触发器的初态均为0。



题 8 图

9.如图题图 9(a)所示电路,其中 FF_0 为 T 触发器,FF_1 为 T' 触发器,他们的初始状态均为0。已知 CLK 和 A 的波形如题 9 图(b)所示,试画出 Q_0 和 Q_1 的波形。



题 9 图

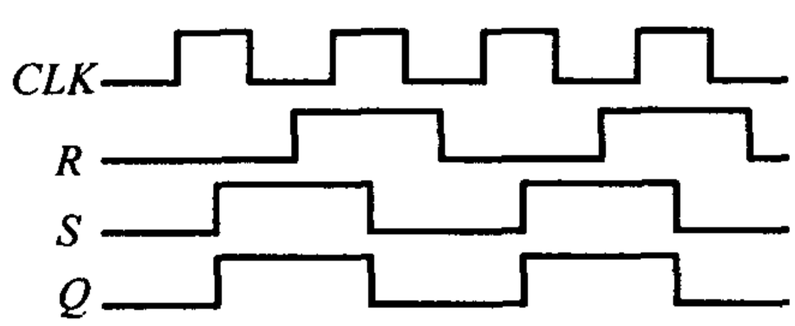
同步训练题答案

1.解　描述触发器逻辑功能通常有以下四种方法:

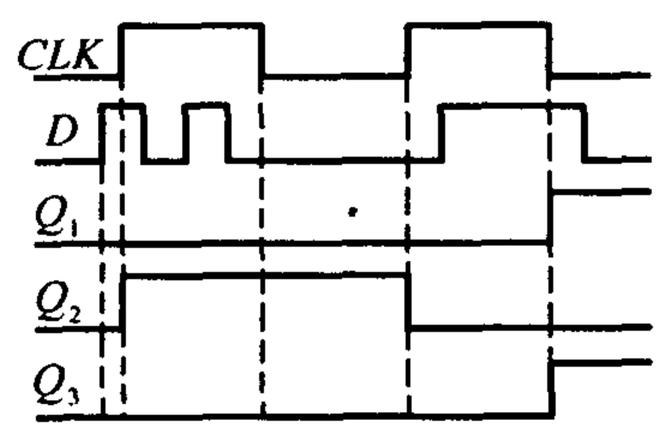
(1)特性表;(2)状态转换图;(3)特征方程;(4)时序图 。

2.解　$CLK=0$ 时,输出 Q 保持状态不变;$CLK=1$时,$Q^*=S+R'Q$,故输出信号 Q 的波形图,如题 2 解图所示。

3.解　各触发器的输出波形如题 3 解图所示,其中 Q_1 为脉冲触发,Q_2 为上升沿触发,Q_3 为下降沿触发。



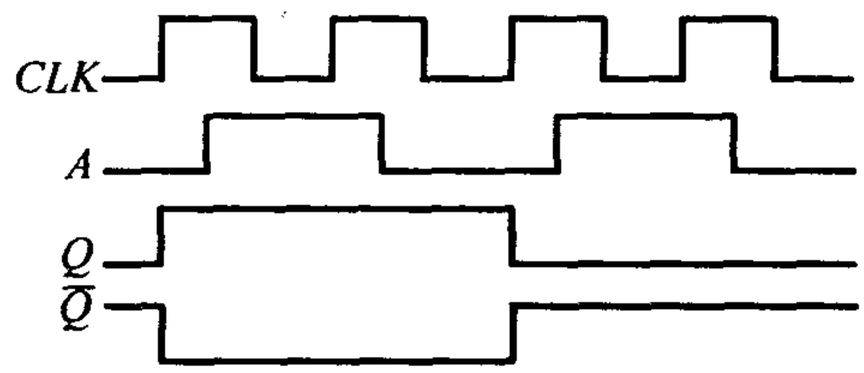
题 2 解图



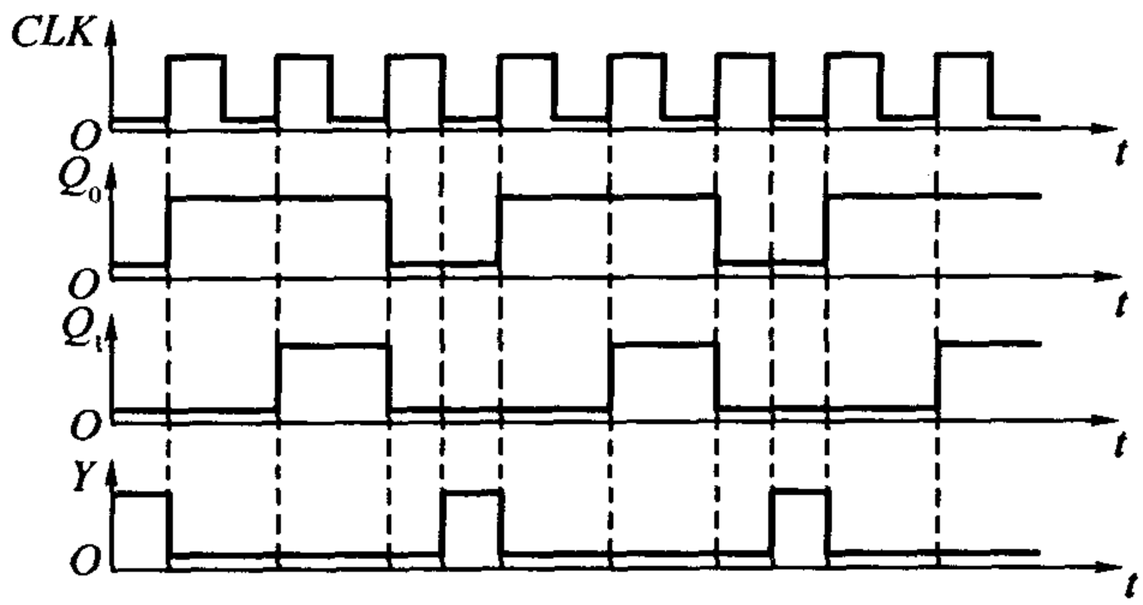
题 3 解图

4.解 由电路图和 D 触发器的特性方程 $Q^* = D$ 可以得到电路次态为 $Q^* = A \oplus Q'$，Q，Q' 的波形如题4解图所示。

5.解 由电路图和 D 触发器的特性方程可以得到 Q_0，Q_1 和 Y 的波形，如题5解图所示。由图可知输出 Y 是时钟脉冲 CLK 的三分频。



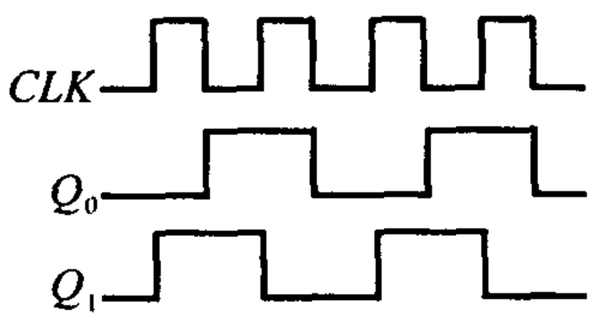
题4解图



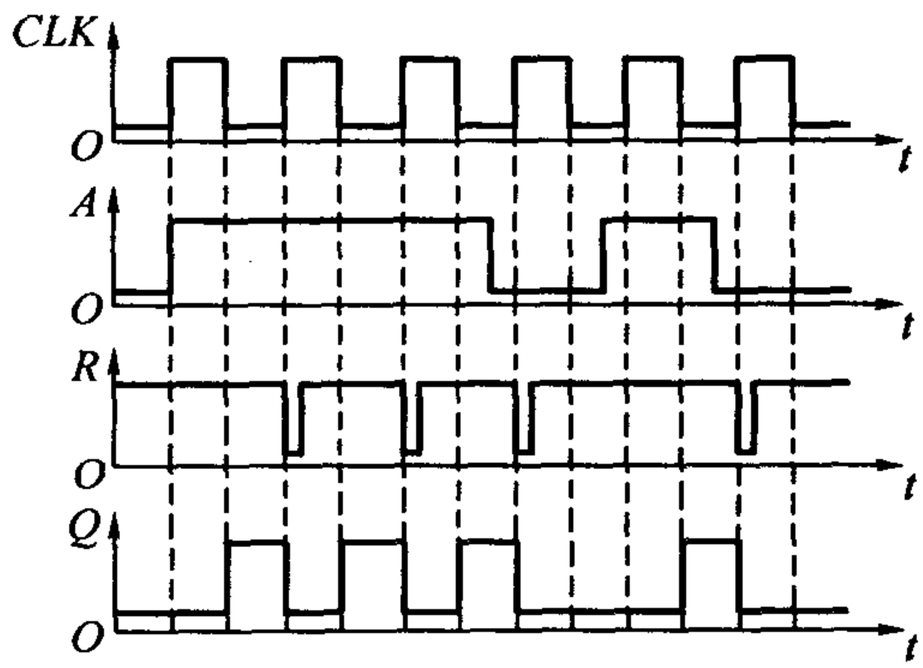
题5解图

6.解 JK 触发器和 D 触发器分别为 CLK 下降沿触发和上升沿触发，故输出 Q_0 和 Q_1 的波形如题6解图所示。

7.解 如果忽略与非门的传输延迟时间，只考虑 D 触发器的传输延迟时间，则触发器的输出波形如题7解图所示。



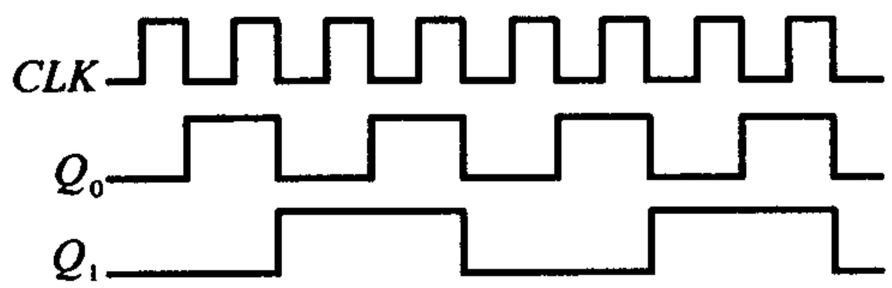
题6解图



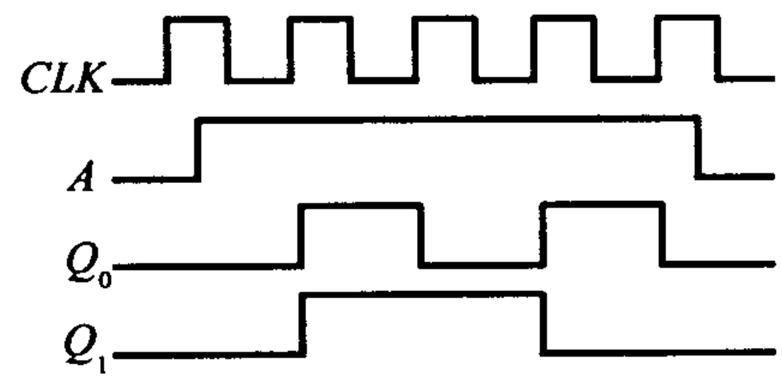
题7解图

8.解 电路中两个触发器均接成 T 触发器状态，故输出 Q_0 和 Q_1 的波形如题8解图所示。可见，Q_0 和 Q_1 的频率分别为 CLK 的 1/2 和 1/4，即 2 000 Hz 和 1 000 Hz。

9.解 Q_0 和 Q_1 的波形如题9解图所示。



题8解图



题9解图

第6章　时序逻辑电路

知 识 要 点

6.1　时序逻辑电路

任一时刻的输出信号不仅取决于当时的输入信号，而且还取决于电路原来的状态，或者说，还与以前的输入有关。时序电路通常包括组合电路和存储电路两部分，而存储电路是必不可少的。

时序电路逻辑功能的描述方法有方程组（由状态方程、驱动方程和输出方程组成）、状态转换表、状态转换图、状态流程图和时序图。

6.2　时序逻辑电路的分析

6.2.1　同步时序逻辑电路的分析

同步时序电路中所有触发器都是在同一时钟信号操作下工作的。其分析步骤如下：

1.从给定的逻辑图中写出每个触发器的驱动方程（即存储电路中每个触发器输入信号的逻辑函数式）；

2.把得到的驱动方程代入相应触发器的特征方程，得出每个触发器的状态方程，从而得到由这些状态方程组成的整个时序电路的状态方程组；根据逻辑图写出电路的输出方程；

3.列出电路的状态转换表，画出状态转换图；

4.由状态转换表和状态转换图分析得出电路的逻辑功能。

6.2.2　异步时序逻辑电路的分析

异步时序电路中各触发器不是在同一个时钟信号作用下工作的。电路状态转换时，各触发器状态的改变有先有后。在任意时刻，只有获得时钟信号的触发器才能用特征方程去计算次态，而没有时钟信号的触发器将保持原来的状态不变。因此，在分析异步时序逻辑电路时还需找出每次电路状态转换时，哪些触发器有时钟信号，哪些触发器没有时钟信号。所以分析异步时序逻辑电路要比分析同步时序电路复杂一些。

6.3 常用的时序逻辑电路

6.3.1 寄存器

寄存器是用来存放一组二值信号在某一时刻状态的逻辑器件,其功能是时钟脉冲作用下将一组输入信号的状态存入寄存器,或将存储的状态从寄存器中输出,分为串行输入输出寄存器和并行输入输出寄存器。

6.3.2 计数器

计数器是对时钟脉冲进行计数的逻辑器件。

1.按计数器中各触发器是否同时翻转分类,可分为同步计数器和异步计数器;

2.按计数器中的数字增减分类,可分为加法计数器、减法计数器和可逆计数器;

3.按计数器中数字的编码方式分类,可分为二进制计数器、二-十进制计数器、循环码计数器等;

4.按计数容量分类,可分为十进制计数器、十六进制计数器等。

6.4 时序逻辑电路的设计

6.4.1 设计原则

选用小规模集成电路设计时,要求使用的触发器和门电路的数目最少,而且触发器和门电路的输入端数目也最少。而当使用中大规模集成电路时,要求使用的集成电路数目最少,种类最少,而且互相间的连线也最少。

6.4.2 设计步骤

同步时序逻辑电路的设计过程如下。

1.逻辑抽象

求出电路的状态转换图或状态转换表,其中包括分析给定的逻辑问题,确定输入变量、输出变量以及电路的状态数;定义输入、输出逻辑状态和每个电路状态的含义,并将电路状态顺序编号;按照题意列出电路的状态转换表或状态转换图。

2.状态化简

将等价状态合并,以求得最简的状态转换图。

3.状态分配

又称状态编码,包括确定触发器的数目和给每个电路状态规定对应的触发器状态组合。

4.选定触发器的类型,求出电路的状态方程、驱动方程和输出方程。

5.根据得到的方程式画出逻辑图。

6.检查设计的电路能否自启动。

6.5 本章重点

1.同步时序逻辑电路的功能分析。

2.常用计数器的功能。

3.任意进制计数器的实现。

4.同步时序逻辑电路的设计。

难点是同步时序逻辑电路的设计。

书后复习思考题解答

R6.1.1 组合逻辑电路和时序逻辑电路在逻辑功能与电路结构上有何区别?

答 逻辑功能上的区别:组合逻辑电路任何时刻输出仅与该时刻的输入有关,与电路原来状态无关。而时序电路刚好相反,不仅与该时刻的输入有关,还与电路原来的状态有关。

电路结构上的区别:组合电路是由门电路构成的。时序电路是组合电路和存储电路构成的,而且存储电路是必不可少的。时序电路由门电路和触发器两种基本单元电路构成。

R6.1.2 同步时序电路和异步时序电路有何不同?

答 同步时序电路中各触发器是在同一个时钟信号作用下,同时发生状态改变的。而异步时序电路中各触发器没有公共的时钟,状态改变不是同时发生的。

R6.2.1 时序电路逻辑功能的描述方式有哪几种?你能将其中任何一种描述方法转换为其他各种描述方式吗?

答 时序电路逻辑功能的描述方法有三个方程(驱动方程、状态方程、输出方程)、状态转换表、状态转换图、状态机流程图、时序图。

在已知任一种描述方式的情况下,可以将其转换为其他形式。具体方法参看教材。

R6.3.1 用电平触发的触发器、脉冲触发的触发器是否也能组成原教材中图6.3.3形式的移位寄存器?

答 不可以。必须用边沿触发的触发器才能构成移位寄存器。

R6.3.2 在原教材中图6.3.8所示的加法运算电路中,为了保证得出正确的运算结果,对 M 和 N 的数值应作何限制?

答 $0\leqslant M\leqslant 14, 0\leqslant N\leqslant 14$,即 M, N 的取值在**0000~1110**内可以,但不能是**1111**。

R6.3.3 计数器的同步置零方式和异步置零方式有什么不同?同步预置数方式和异步预置数方式有何不同?

答 对于同步置零和同步预置数,必须在同步时钟信号作用下才能完成,并且同步置零或同步预置数控制信号必须有效。

对于异步置零和异步预置数,不受同步时钟信号的控制,只要异步清零信号或异步预置数控制信号有效,

将立即发生置零和预置数操作。

R6.3.4 若将原教材中图 6.3.33 是异步置零方式的十进制计数器改用同步置零方式的十进制计数器，电路应做何修改？

答 修改方法：用最后一个属于六进制计数器的状态0101译码来产生同步置零信号，将置数输入端置为0000。

R6.3.5 在用十六进制计数器 74LS161 接成小于十六进制的计数器时，什么情况下可以用 74LS161 上原有的进位输出端产生进位输出信号，什么情况下则不行？

答 当实现的计数进制的状态包括1111时，可以用 74LS161 上原有的进位输入端产生进位输出信号；如果不包含1111状态，则不行。

R6.4.1 在原教材中例 6.4.2 取两位触发器组成存储电路的情况下，有多少种可能的状态编码方案？

答 共有 $P_4^3 = 24$ 种编码方案。

R6.4.2 什么是时序电路的等价状态？

答 若电路的两个状态在相同的输入下有相同的输出，并且转换到相同的次态中去，则这两个状态为等价状态。

R6.4.3 在原教材中例 6.4.2 中，若电路转入新状态后输入不能同时也转换为下一个输入状态，这时可能发生了什么问题？

答 说明在两个时钟时期内，没有连续输入“1”。

R6.4.4 “自顶向下”和“自底向上”的设计方法有什么区别？

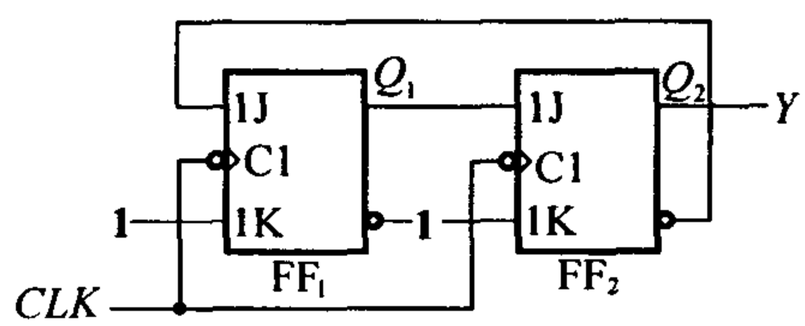
答 两种方法都属于层次化设计方法。主要区别在于“自顶向下”的设计方法中各个功能模块需要从头设计，这可以保证获得最佳电路性能；而“自底向上”设计充分考虑使用已有的集成电路和成熟的电路模块，可减小设计工作量，但不能保证电路性能最佳。

书后习题解析

[题 6.1] 分析题 6.1 图时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图和时序图。

解 电路的驱动方程为

$$\begin{cases} J_1 = Q_2' & K_1 = 1 \\ J_2 = Q_1 & K_2 = 1 \end{cases}$$



题 6.1 图

将驱动方程代入 JK 触发器的特性方程 $Q^* = JQ' + K'Q$，得到状态方程

$$\begin{cases} Q_1^* = Q_1' Q_2' \\ Q_2^* = Q_1 Q_2' \end{cases}$$

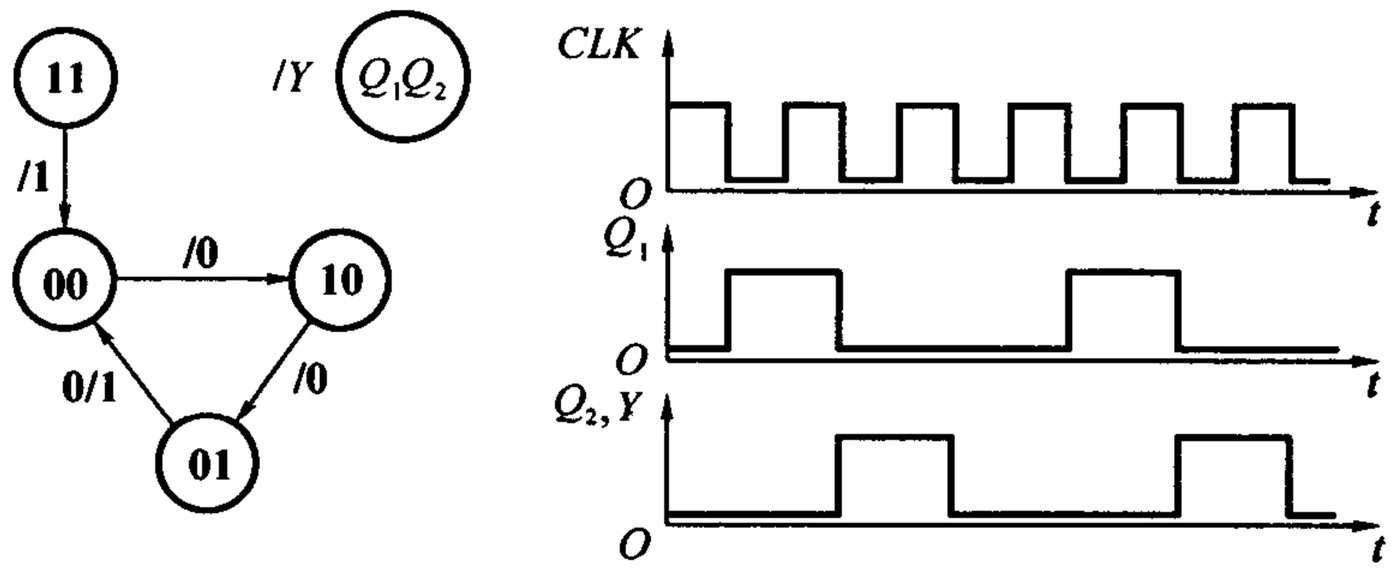
输出方程为

$$Y = Q_2$$

根据状态方程和输出方程得到状态转换图和时序图如题 6.1 解图所示。

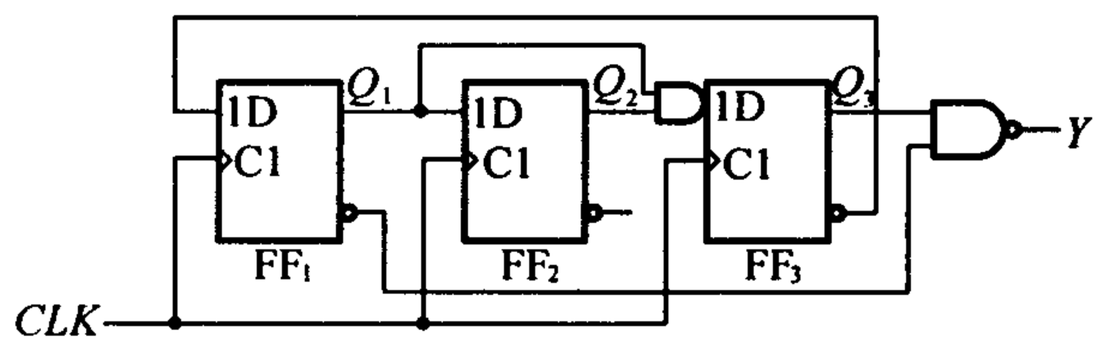
可见，该电路为三进制计数器。

[题 6.2] 分析题 6.2 图时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的



题6.1解图

状态转换图，并说明该电路能否自启动。



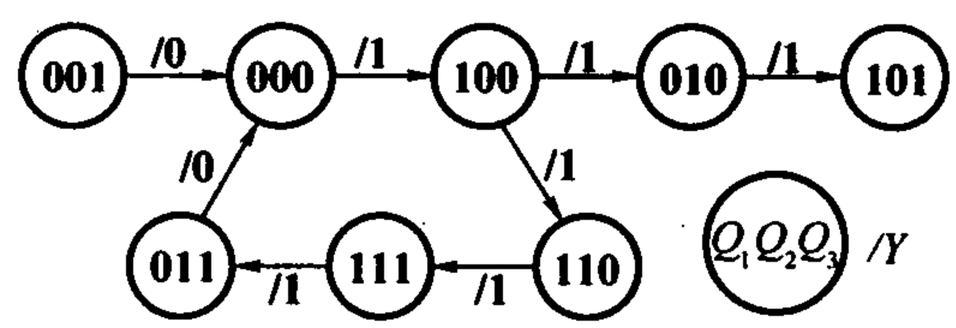
题6.2图

解　电路的驱动方程为

$$\begin{cases} D_1 = Q_3' \\ D_2 = Q_1 \\ D_3 = Q_1 Q_2 \end{cases}$$

将驱动方程代入 D 触发器的特性方程 $Q^* = D$，得到状态方程

$$\begin{cases} Q_1^* = Q_3' \\ Q_2^* = Q_1 \\ Q_3^* = Q_1 Q_2 \end{cases}$$



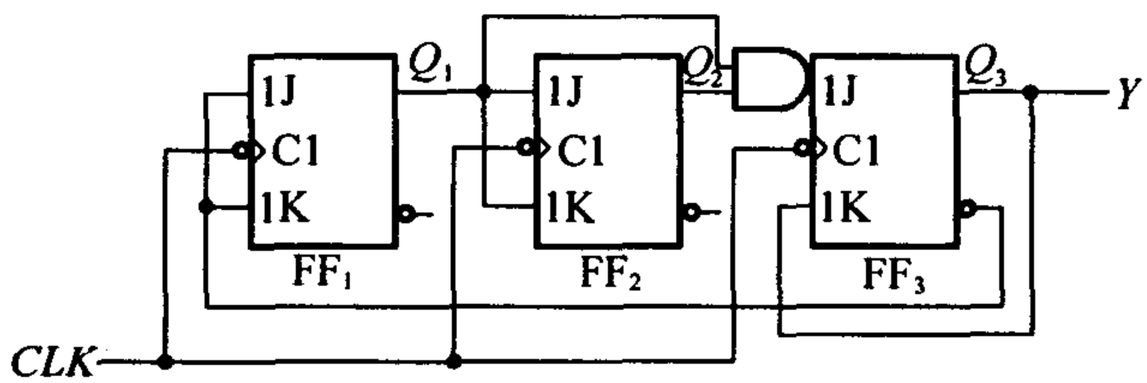
题6.2解图

电路的输出方程为

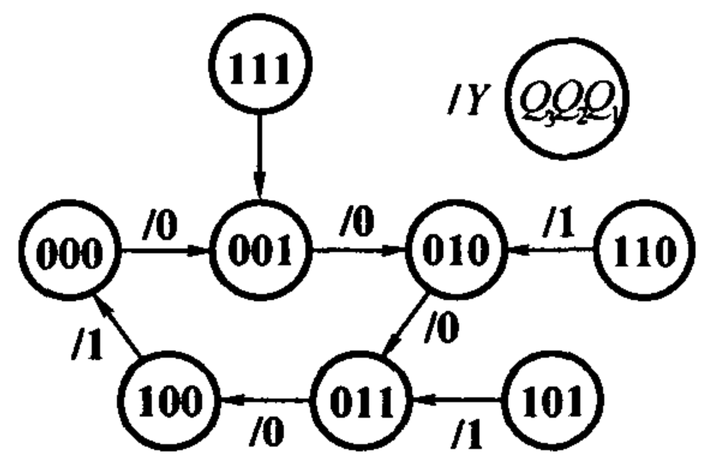
$$Y = (Q_1' Q_3)' = Q_1 + Q_3'$$

电路的状态转换如题6.2解图所示，该电路为五进制计数器，可以自启动。

[题6.3]　分析题6.3图所示的时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，说明电路能否自启动。



题 6.3 图



题 6.3 解图

解 电路的驱动方程为

$$\begin{cases} J_1 = K_1 = Q_3' \\ J_2 = K_2 = Q_1 \\ J_3 = Q_1 Q_2 ; K_3 = Q_3 \end{cases}$$

将驱动方程代入 *JK* 触发器的特性方程得到状态方程为

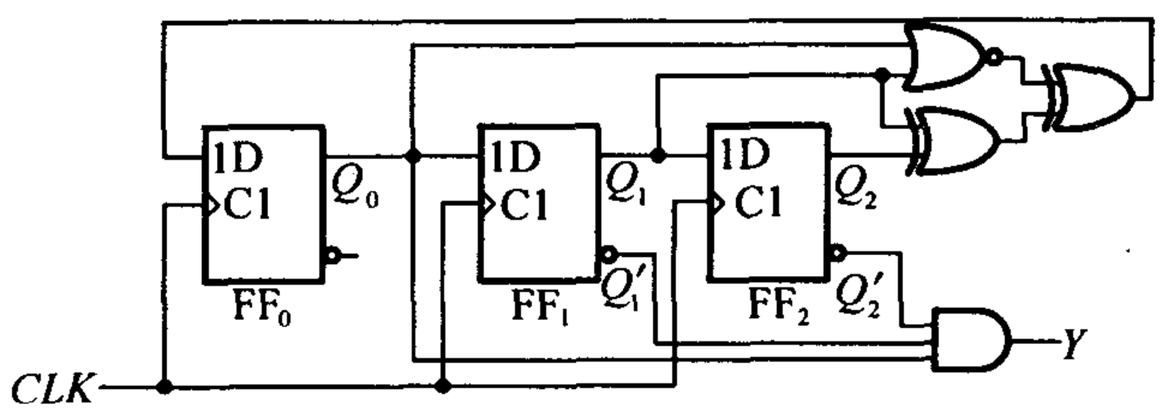
$$\begin{cases} Q_1^* = Q_3' Q_1' + Q_3 Q_1 = Q_3 \odot Q_1 \\ Q_2^* = Q_1 Q_2' + Q_1' Q_2 = Q_2 \oplus Q_1 \\ Q_3^* = Q_1 Q_2 Q_3' \end{cases}$$

电路的输出方程为

$$Y = Q_3$$

状态转换图如题 6.3 解图所示。该电路为五进制加法计数器，*Y* 的下降沿为进位信号，可自启动。

[题 6.4] 试分析题 6.4 图所示时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，检查电路能否自启动。



题 6.4 图

解 驱动方程

$$\begin{cases} D_0 = (Q_0 + Q_1)' \oplus (Q_1 \oplus Q_2) = Q_0' Q_2' + Q_0 Q_1' Q_2 + Q_1 Q_2' \\ D_1 = Q_0 \\ D_2 = Q_1 \end{cases}$$

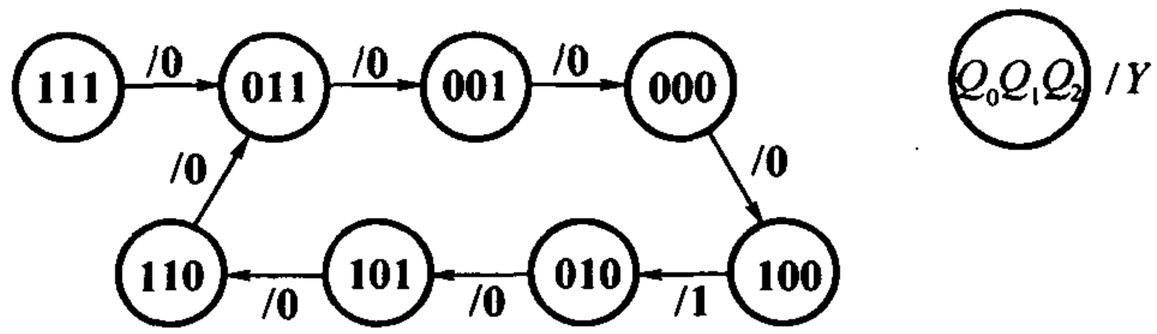
状态方程

$$\begin{cases} Q_0^* = Q_0' Q_2' + Q_0 Q_1' Q_2 + Q_1 Q_2' \\ Q_1^* = Q_0 \\ Q_2^* = Q_1 \end{cases}$$

输出方程

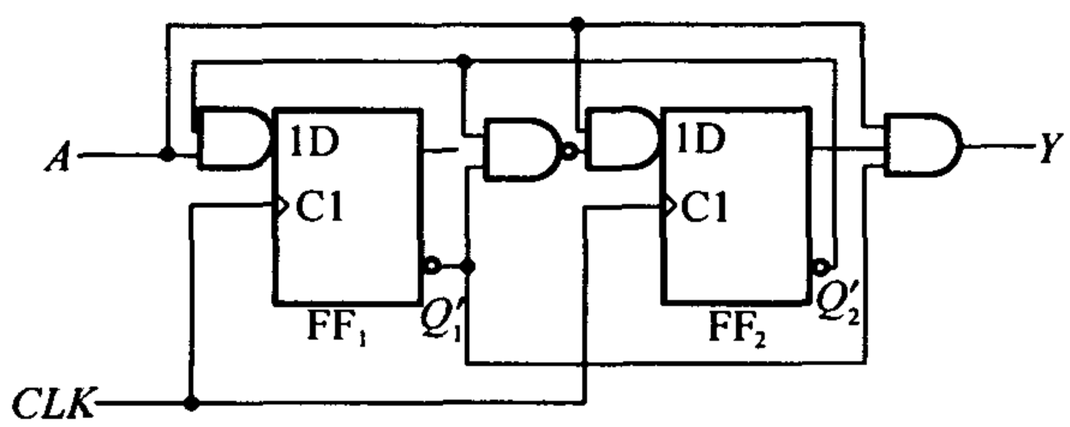
$$Y = Q_0 Q_1' Q_2'$$

状态转换图如题6.4解图所示，由图可见，该电路可以自启动。

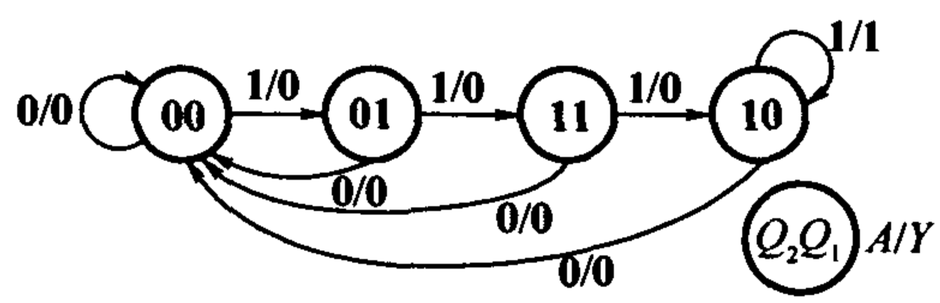


题6.4解图

[题6.5]　试分析题6.5图所示时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图。A 为输入逻辑变量。



题6.5图



题6.5解图

解　驱动方程

$$\begin{cases} D_1 = AQ_2' \\ D_2 = A(Q_1' Q_2')' = A(Q_1 + Q_2) \end{cases}$$

状态方程

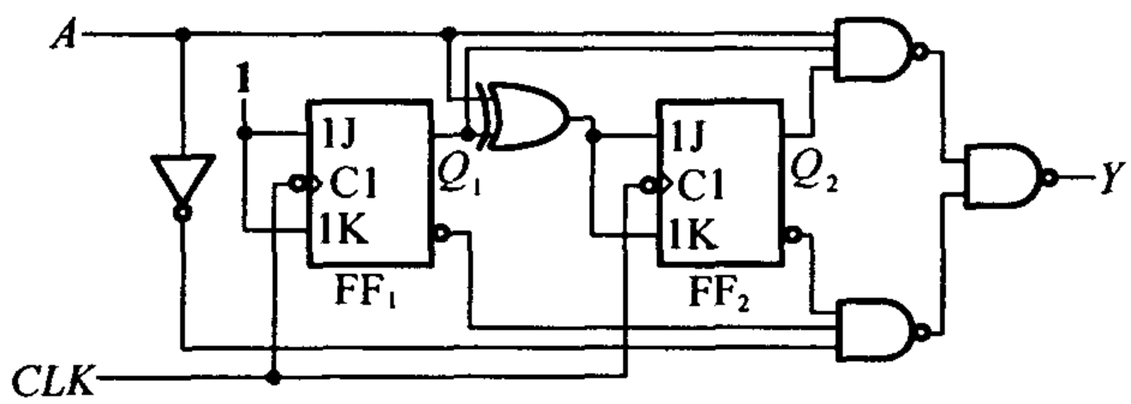
$$\begin{cases} Q_1^* = AQ_2' \\ Q_2^* = A(Q_1 + Q_2) \end{cases}$$

输出方程

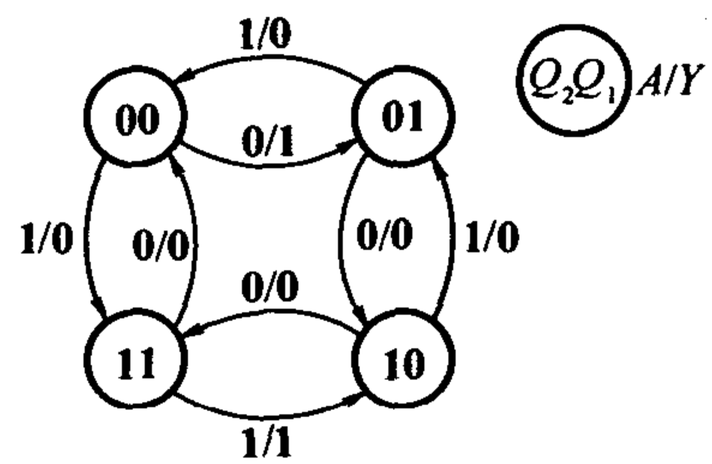
$$Y = AQ_1' Q_2$$

状态转换图如题6.5解图所示。

[题6.6]　分析题6.6图给出的时序电路，画出电路的状态转换图，检查电路能否自启动，说明电路实现的功能。A 为输入变量。



题 6.6 图



题 6.6 解图

解 驱动方程

$$J_1 = K_1 = 1$$

$$J_2 = K_2 = A \oplus Q_1$$

状态方程

$$Q_1^* = Q_1'$$

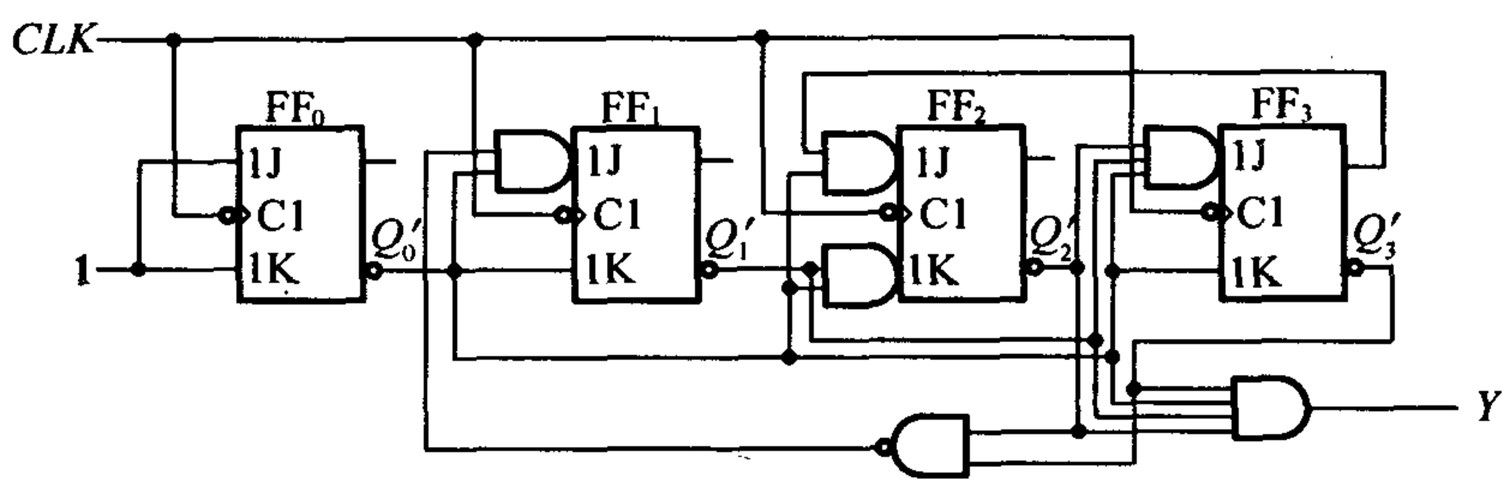
$$Q_2^* = A \oplus Q_1 \oplus Q_2$$

输出方程

$$Y = AQ_1 Q_2 + AQ_1' Q_2'$$

状态转换图如题 6.6 解图所示。该电路为 4 进制可逆计数器。$A = 0$,作加法计数,$A = 1$,作减法计数。电路能自启动。

[题 6.7] 分析题 6.7 图的时序逻辑电路,写出电路的驱动方程、状态方程和输出方程,画出电路的状态转换图,说明电路能否自启动。



题 6.7 图

解 驱动方程

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = Q_0'(Q_2' Q_3')'; K_1 = Q_0' \\ J_2 = Q_0' Q_3; \quad K_2 = Q_0' Q_1' \\ J_3 = Q_0' Q_1' Q_2'; \quad K_3 = Q_0' \end{cases}$$

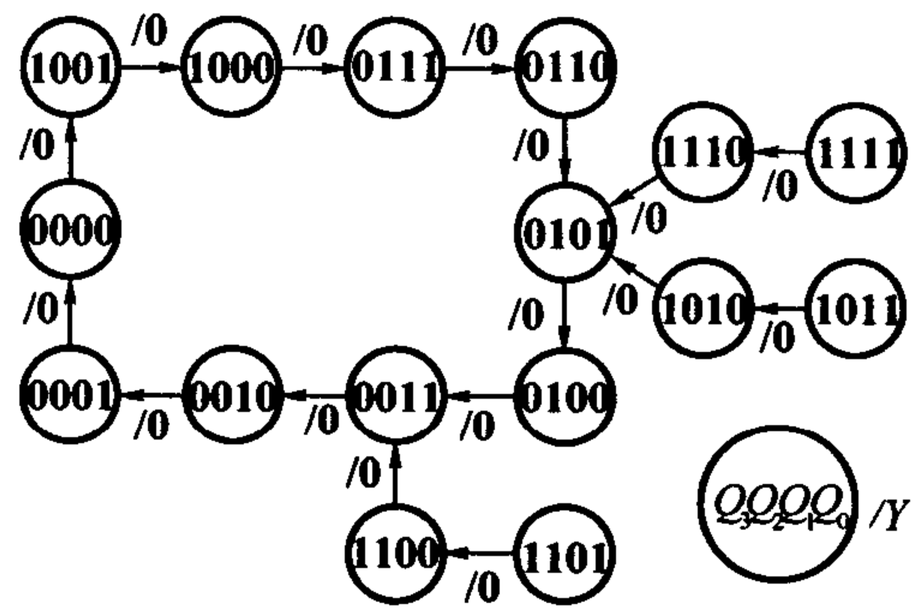
状态方程

$$\begin{cases} Q_0^* = Q_0' \\ Q_1^* = Q_0' Q_1' (Q_2 + Q_3) + Q_0 Q_1 \\ Q_2^* = Q_0' Q_2' Q_3 + (Q_0 + Q_1) Q_2 \\ Q_3^* = Q_0' Q_1' Q_2' Q_3' + Q_0 Q_3 \end{cases}$$

输出方程

$$Y = Q_0' Q_1' Q_2' Q_3'$$

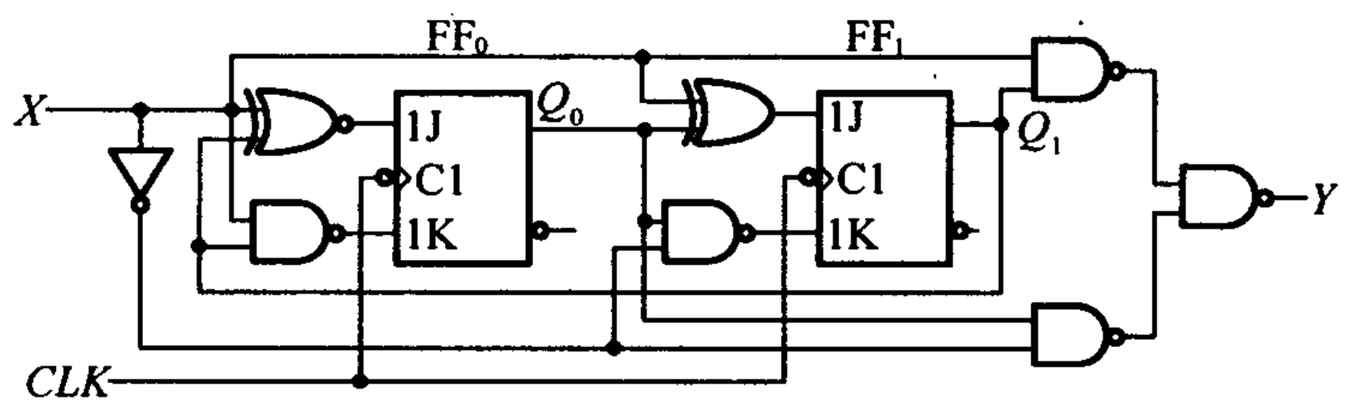
状态转换图如题6.7解图所示。



题6.7解图

可见，该电路为十进制减法计数器，以 Y 上的下跳沿为借位输出信号。该电路能自启动。

[题6.8]　分析题6.8图电路，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图。图中的 X，Y 分别表示输入逻辑变量和输出逻辑变量。



题6.8图

解　驱动方程

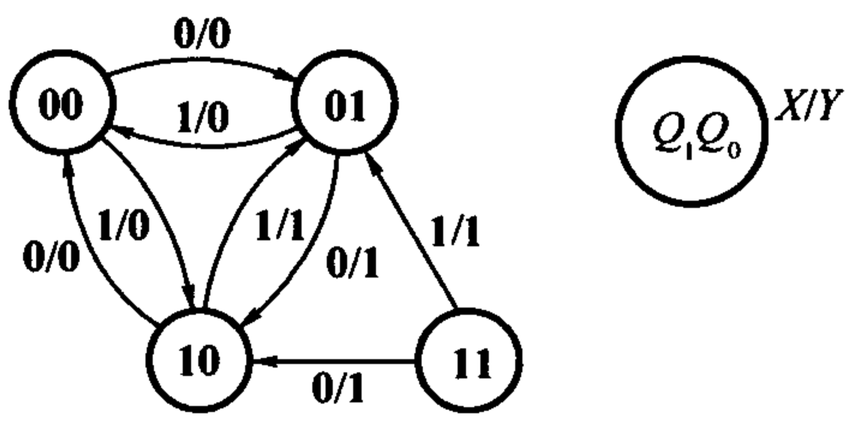
$$\begin{cases} J_0 = (X \oplus Q_1)'; K_0 = (XQ_1)' \\ J_1 = X \oplus Q_0; K_1 = (X'Q_0)' \end{cases}$$

状态方程

$$\begin{cases} Q_0^* = (X \oplus Q_1)' Q_0' + (XQ_1) Q_0 = X' Q_1' Q_0' + XQ_1 \\ Q_1^* = (X \oplus Q_0) Q_1' + (X'Q_0) Q_1 = XQ_1' Q_0' + X'Q_0 \end{cases}$$

输出方程

$$Y = XQ_1 + X'Q_0$$



题6.8解图

状态转换图如题6.8解图所示。

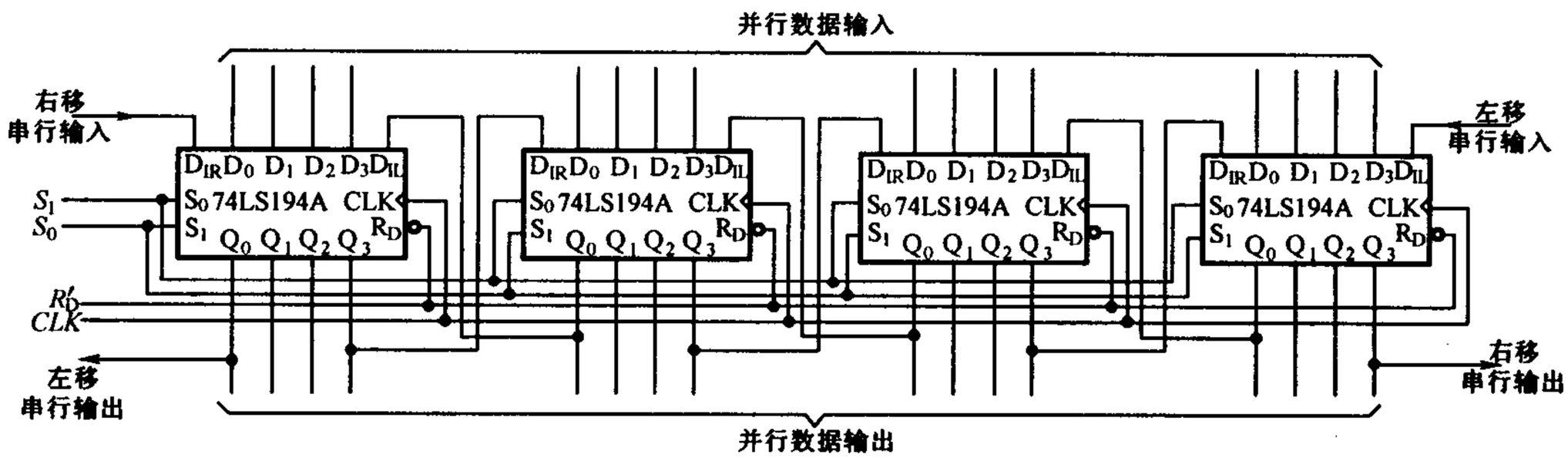
[题6.9]　试画出用4片74LS194A组成16位双向移位寄存器的逻辑图。74LS194A的功能表见原教材中表6.3.2。

解　电路如题6.9解图所示。

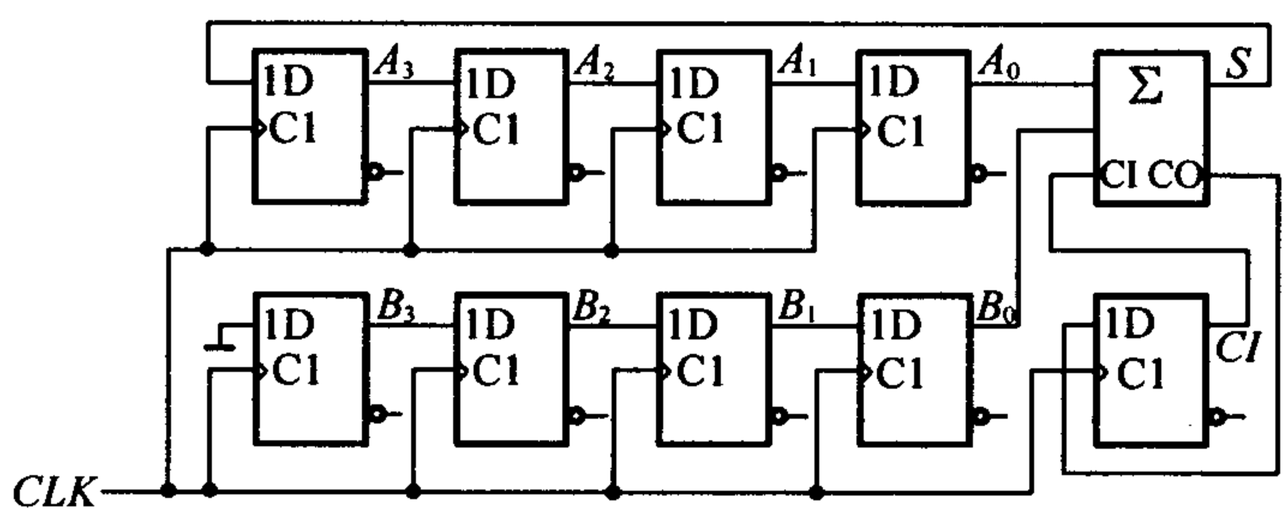
[题6.10]　在题6.10图所示电路中，若两个移位寄存器中的原始数据分别为 $A_3A_2A_1A_0 = 1001$，$B_3B_2B_1B_0 = 0011$，CI 的初始值为0，试问经过4个 CLK 信号作用以后两个寄存器中的数据如何？这个电路完成什么功能？

解　经4个时钟之后，两个寄存器中的数值为 $A_3A_2A_1A_0 = 1100$，$B_3B_2B_1B_0 = 0000$。该电路是一个4位串

行加法器。

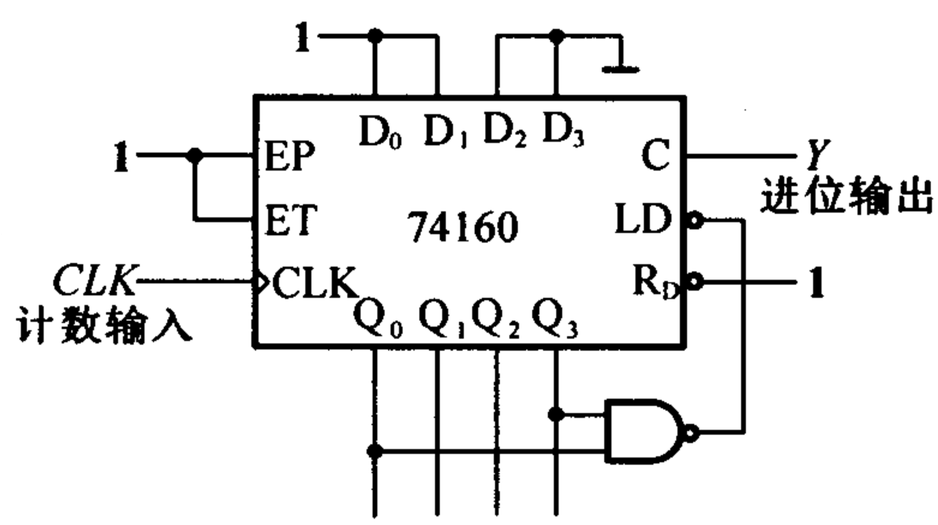


题 6.9 解图



题 6.10 图

[题 6.11] 分析题 6.11 图所示的计数器电路,说明这是多少进制的计数器。十进制计数器 74160 的功能表与原教材中表 6.3.4 相同。

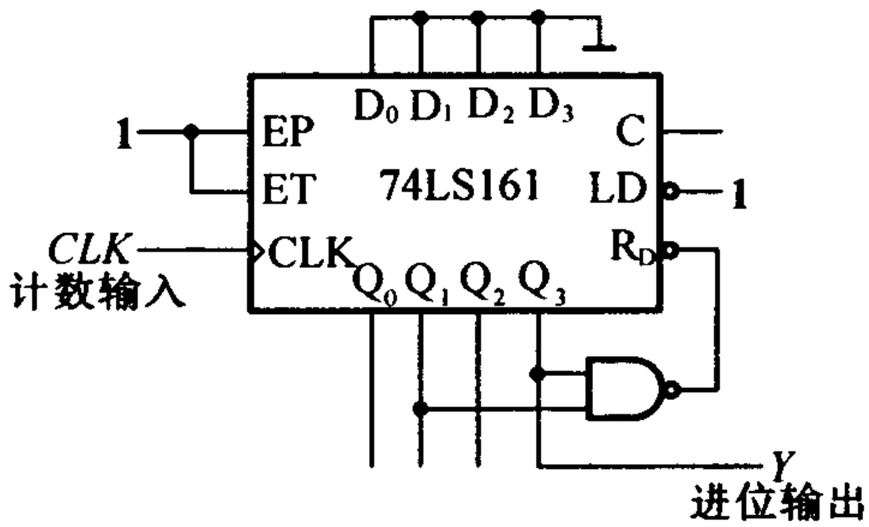


题 6.11 图

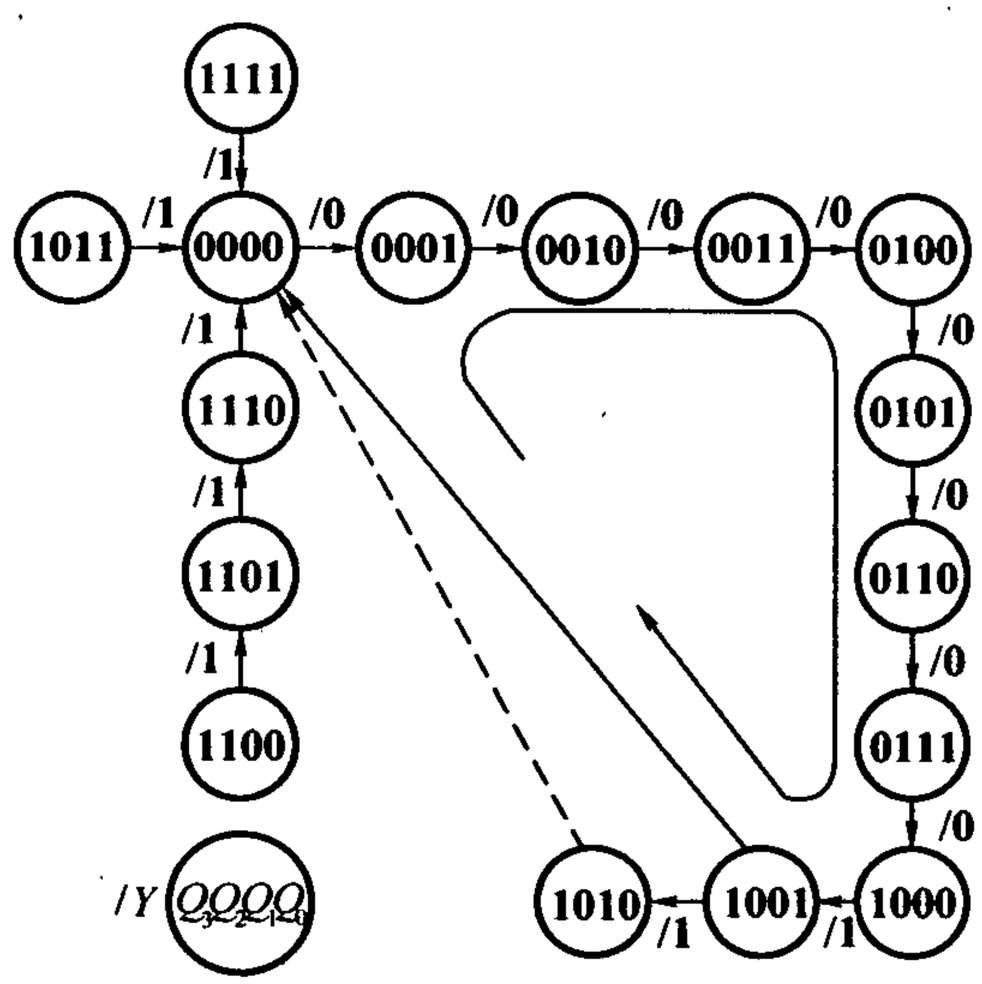
解 该电路用同步预置数法实现状态跳跃,产生同步预置数的状态为1001,这是最后一个属于 M 进制计数器的状态。因此,有效的计数循环为0011~1001,共七个状态,该电路为七进制计数器。

题 6.12 分析题 6.12 图的计数器电路,画出电路的状态转换图,说明这是多少进制的计数器。十六进制计数器 74LS161 的功能表如原教材中表 6.3.4 所示。

解　该电路采用异步置零法实现状态跳跃。产生置零信号的状态为1010，这是第一个不属于 M 进制计数器的状态，因此有效的计数循环为0000～1001，共有十个状态。因此，该电路为十进制计数器。状态转换图如题6.12解图。



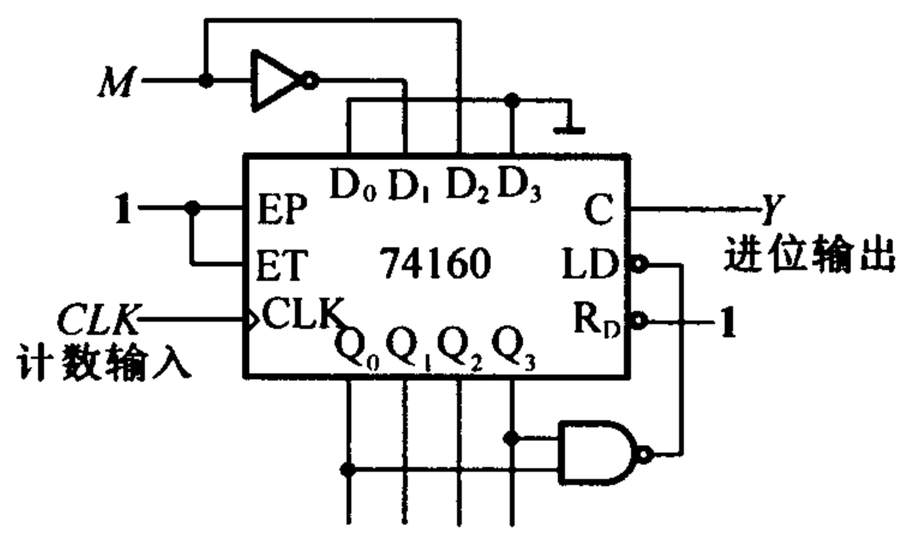
题6.12图



题6.12解图

[题6.13]　试分析题6.13图的计数器在 $M=1$ 和 $M=0$ 时各为几进制。74160的功能表与原教材中表6.3.4相同。

解　该电路采用同步预置数法实现状态跳跃。状态跳跃的状态为1001，这是 M 进制计数器的最后一个状态。当 $M=1$ 时，预置状态为0100，此时状态循环为0100～1001，因此是六进制计数器；当 $M=0$ 时，预置状态为0010，此时状态循环为0010～1001，是八进制计数器。



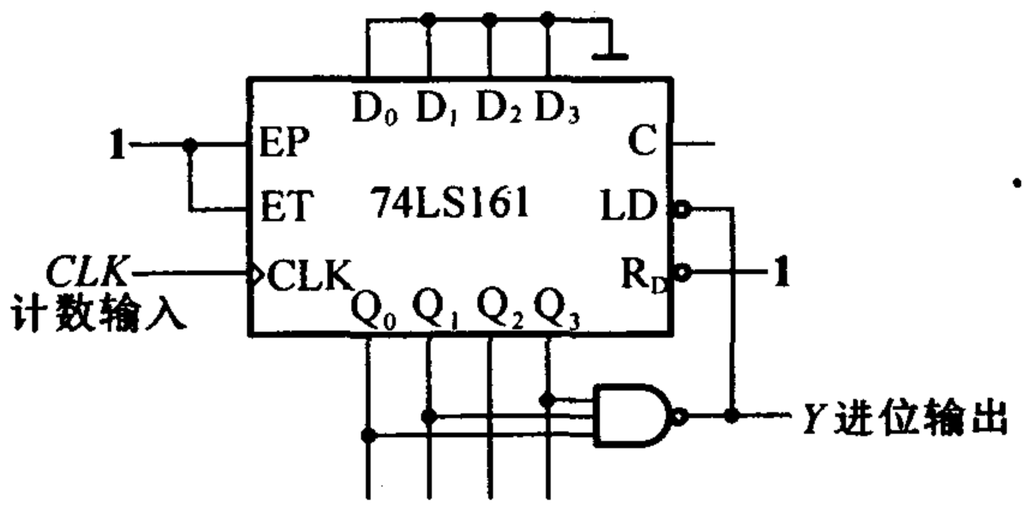
题6.13

[题6.14]　试用4位同步二进制计数器74LS161接成十二进制计数器，标出输入、输出端。可以附加必要的门电路。74LS161的功能表见原教材中表6.3.4。

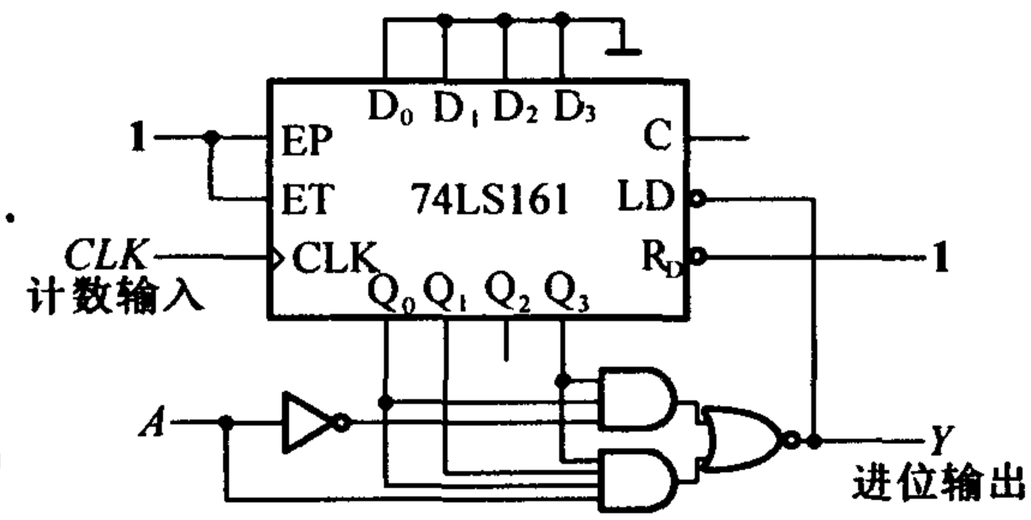
解　可采用同步预置数法实现状态跳跃，取十二进制计数器的有效计数循环为0000～1011。因此，应当用1011译码产生同步预置数信号，如题6.14解图所示。由于不进入1111状态，因此 C 上无进位输出，可用译码信号作为进位，上升沿有效。

[题6.15]　题6.15图电路是可变进制计数器。试分析当控制变量 A 为1和0时电路各为几进制计数器。74LS161的功能表见图所示表6.3.4。

解　该电路采用同步预置数法实现状态跳跃，跳跃后的状态为0000。A 取值不同时，决定了 M 进制计数器的最后一个状态的不同，该状态译码产生同步预置数信号。



题 6.14 解图



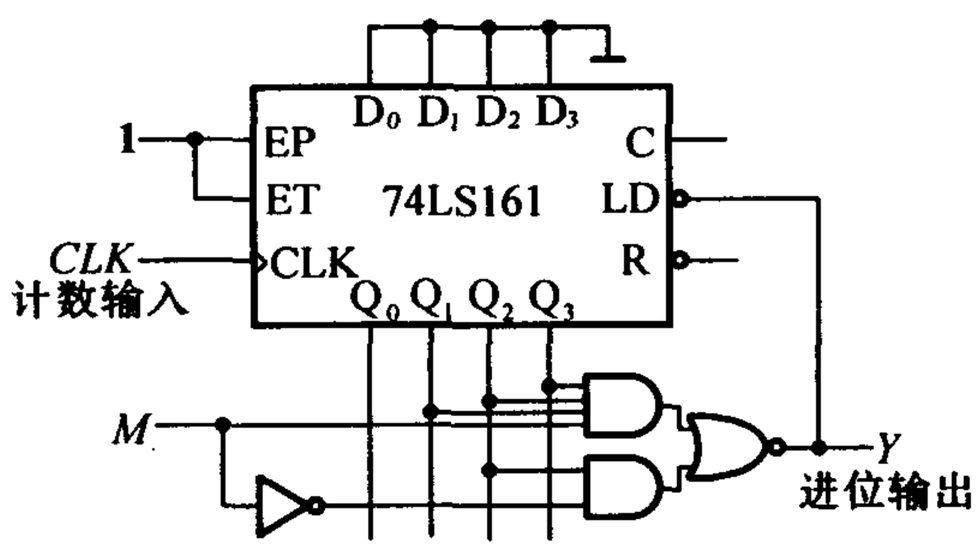
题 6.15 图

当 $A=0$ 时，在 1001 状态产生 LD 上的低电平，计数循环为 0000～1001，为十进制计数器。

当 $A=1$ 时，在 1011 状态产生 LD 上的低电平，计数循环为 0000～1011，为十二进制计数器。

[题 6.16] 设计一个可控进制的计数器，当输入控制变量 $M=0$ 时工作在五进制，$M=1$ 时工作在十五进制。请标出计数输入端和进位输出端。

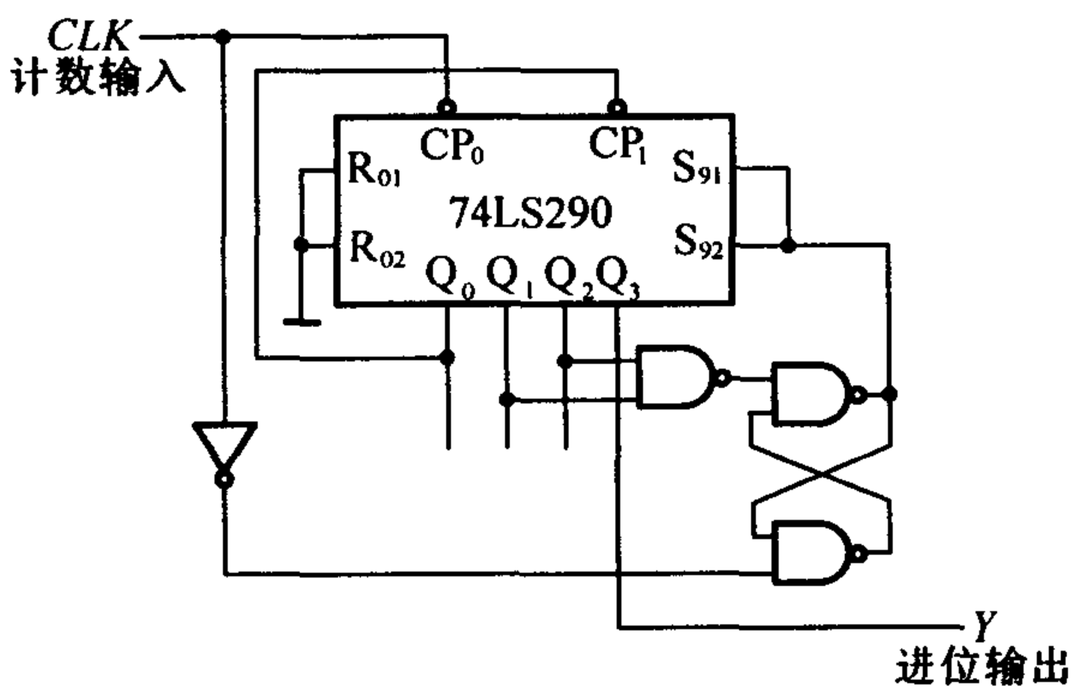
解 采用同步预置数对 74161 进行状态跳跃。思路参见题 6.15。电路如题 6.16 解图所示。



题 6.16 解图

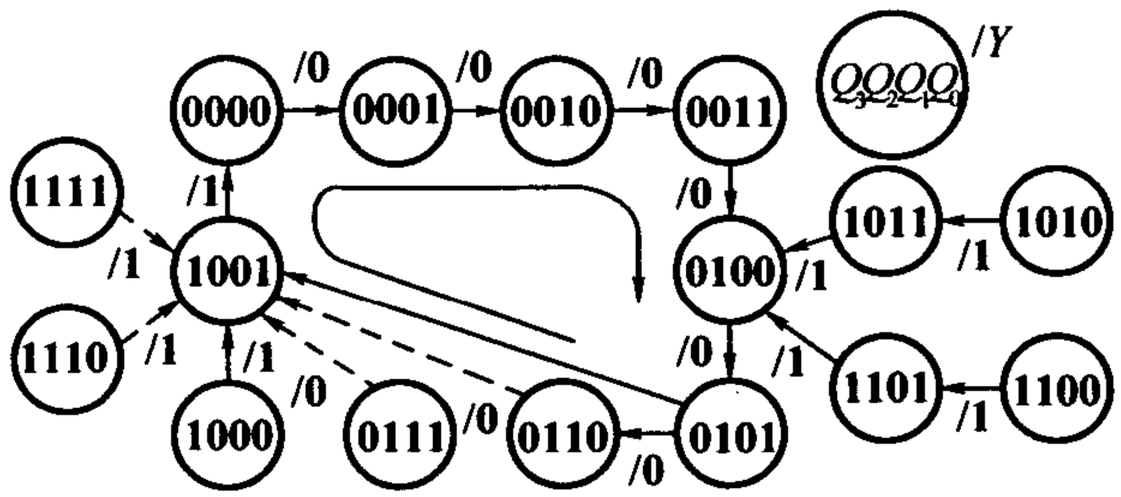
[题 6.17] 分析题 6.17 图给出的计数器电路，画出电路的状态转换图，说明这是几进制计数器。74LS290 的电路见原教材中图 6.3.31。

解 该电路中，74LS290 接成十进制计数器。采用异步置数(置成1001)法实现状态跳跃。产生



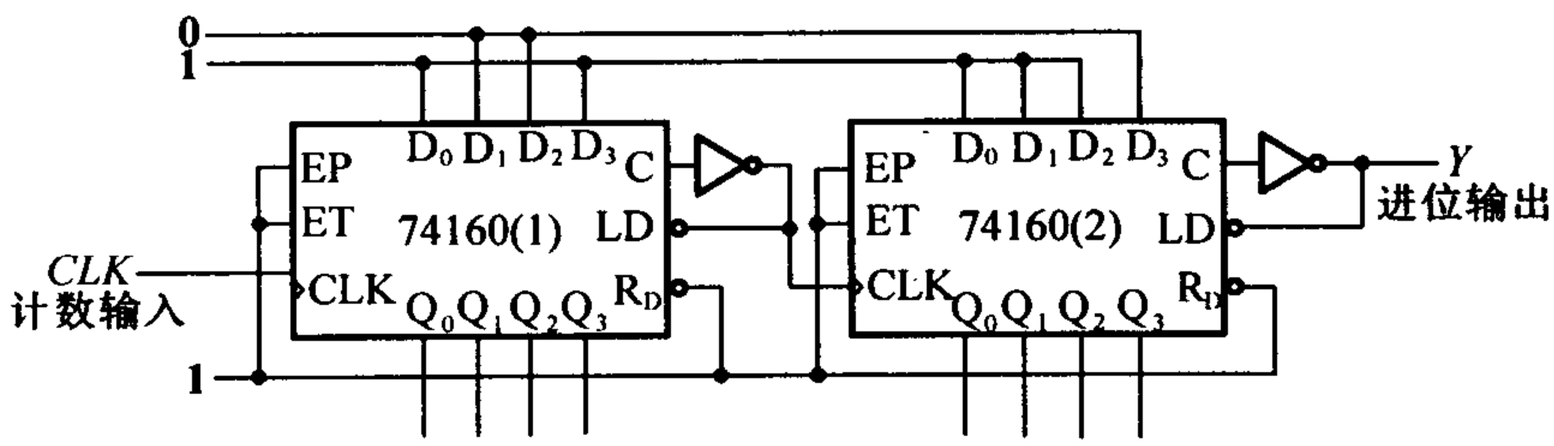
题 6.17 图

异步置数信号的状态是0110,这是第一个不属于 M 进制计数器的状态,有效的计数循环如题6.17解图所示,这是一个七进制计数器。



题6.17解图

[题6.18]　试分析题6.18图计数器电路的分频比(即 Y 与 CLK 的频率之比)。74LS161的功能表见原教材中表6.3.4。



题6.18图

解　第一片74LS161采用同步预置数方式,在1111状态时,$LD=0$,下一时钟到来时置为1001状态,计数循环为1001~1111,共七个状态,为七进制计数器。

第二片74LS161采用与第一片类似的工作方式,计数循环为0111~1111,为九进制计数器,共体计数进制为 $7\times9=63$。因此,计数时钟 CLK 与 Y 之间的分频比为63:1。

[题6.19]　题6.19图电路是由两片同步十进制计数器74160组成的计数器,试分析这是多少进制的计数器,两片之间是几进制。74160的功能表与原教材中表6.3.4相同。

解　第一片74160为十进制计数器。

第二片74160采用同步预置数方式。并在1001状态产生同步预置数,再输入九个 CLK 之后,$ET=EP=1$,输入第十个脉冲时,该片74160将发生置位操作,置为0111。所以,第2片74160的计数循环为0111~1001,是三进制计数器。两片之间采用并行进位连接方式,是十进制进位。电路总体上是 $3\times10=30$ 进制计数器。

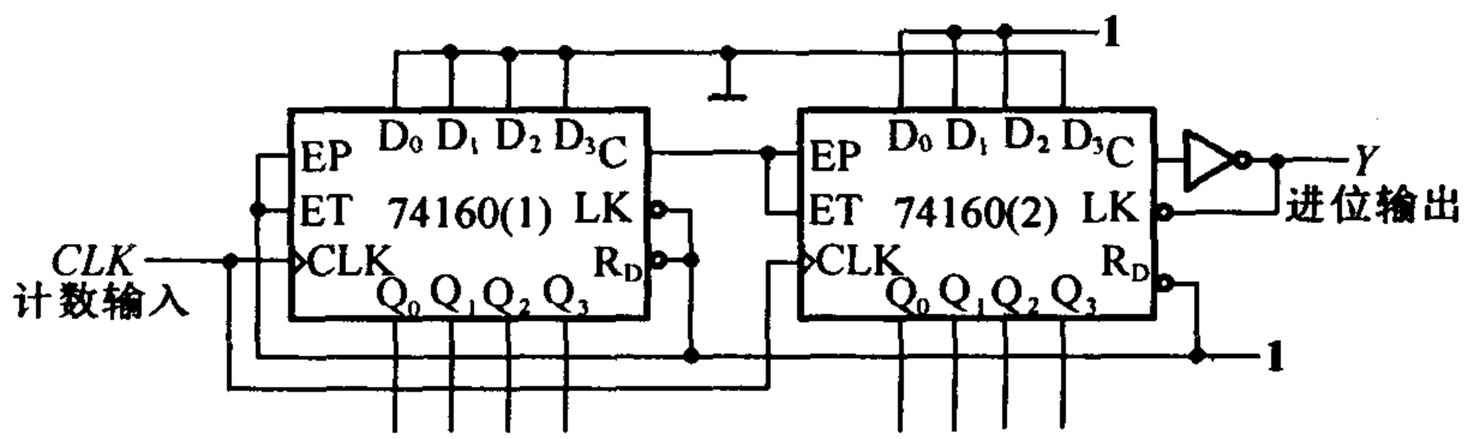
[题6.20]　分析题6.20图给出的电路,说明这是多少进制的计数器,两片之间是多少进制。74LS161的功能表见原教材中表6.3.4。

解　该计数器采用整体置数法。

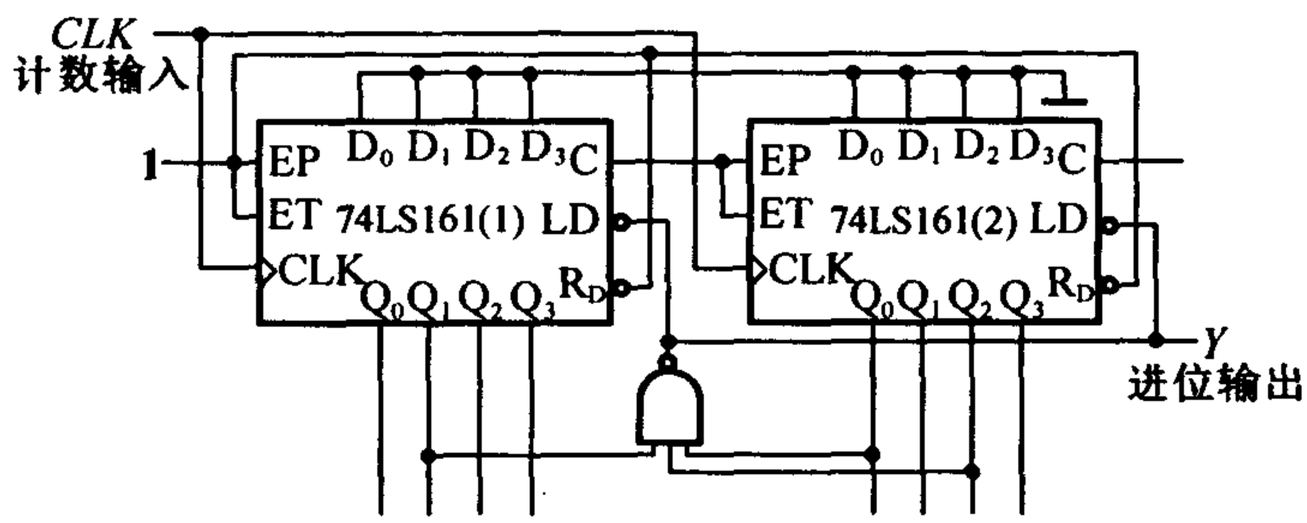
第一片74161为16进制计数器,该片每计16个脉冲,第二片计数1次。因此两片之间为16进制。

当两片计数到01010010时,产生全局预置数信号,这是 M 进制计数器的最后一个状态。下一时钟到来

时，两片 74LS161 同时发生预置数操作，置为 00000000，因此，该计数器的有效计数循环为00000000(00H) ~ 01010010(52H)。状态总数为 $5\times16+2+1=83$，即为 83 进制计数器。



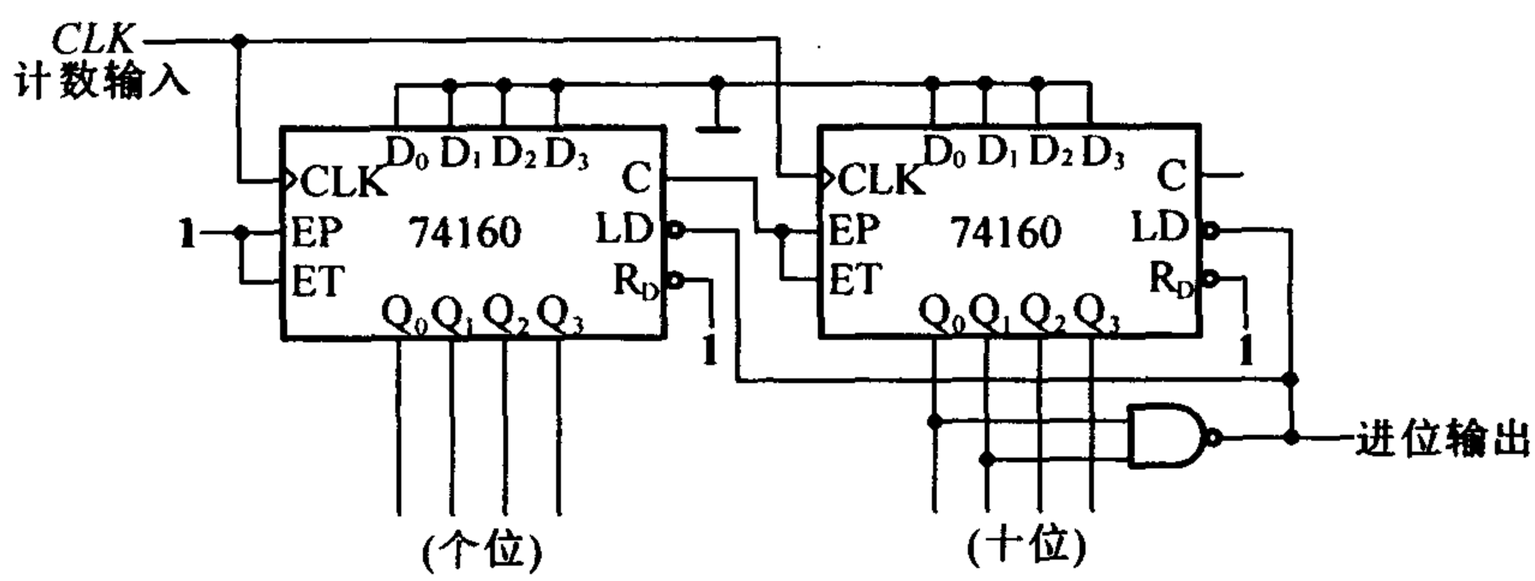
题 6.19 图



题 6.20 图

[题 6.21] 画出用两片同步十进制计数器 74160 接成同步三十一进制计数器的接线图。可以附加必要的门电路。74160 的逻辑图和功能表见原教材中图 6.3.21 和表 6.3.4。

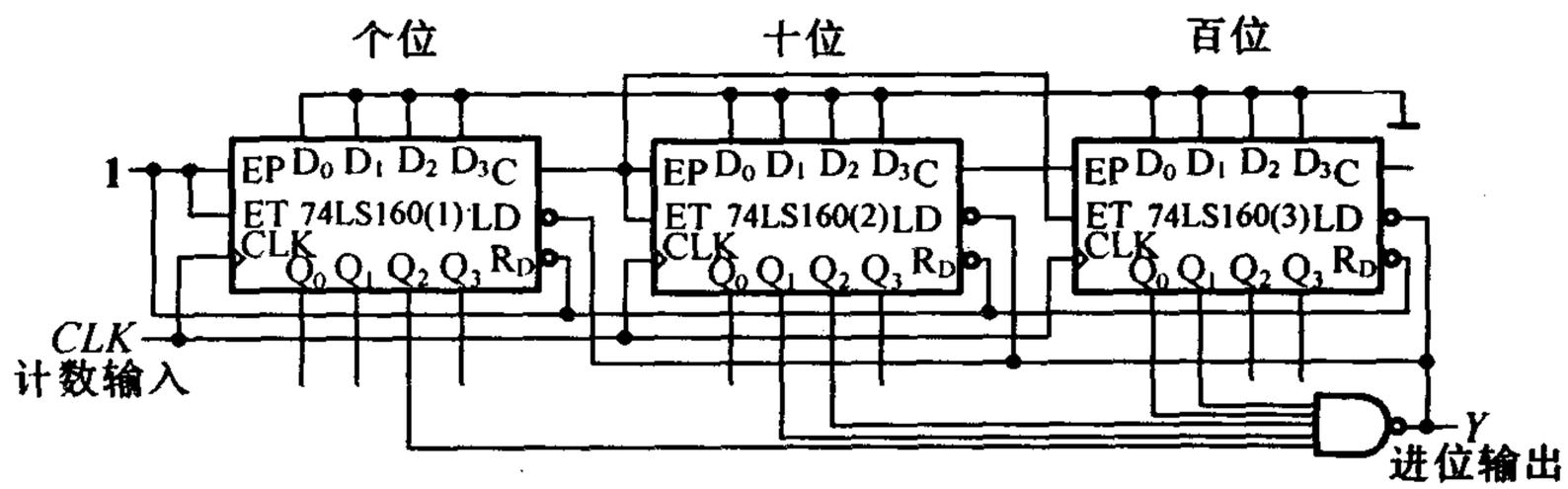
解 31 是一个素数。可采用整体置数法来实现。为此，先用两片 74160 构成 100 进制计数器，采用并行进位方式。再用 31 进制计数器的最后一个状态 00110000 译码，产生预置数信号，并将电路状态置为 000000000 即可。这样，电路的计数循环为 00000000 ~ 00110000，对应的十进制数为 00 ~ 30，共 31 个状态，实现了 31 进制计数。电路如题 6.21 解图所示。



题 6.21 解图

[题6.22]　用同步十进制计数器芯片74160设计一个三百六十五进制的计数器。要求各位间为十进制关系。允许附加必要的门电路。74160的功能表与原教材中表6.3.4相同。

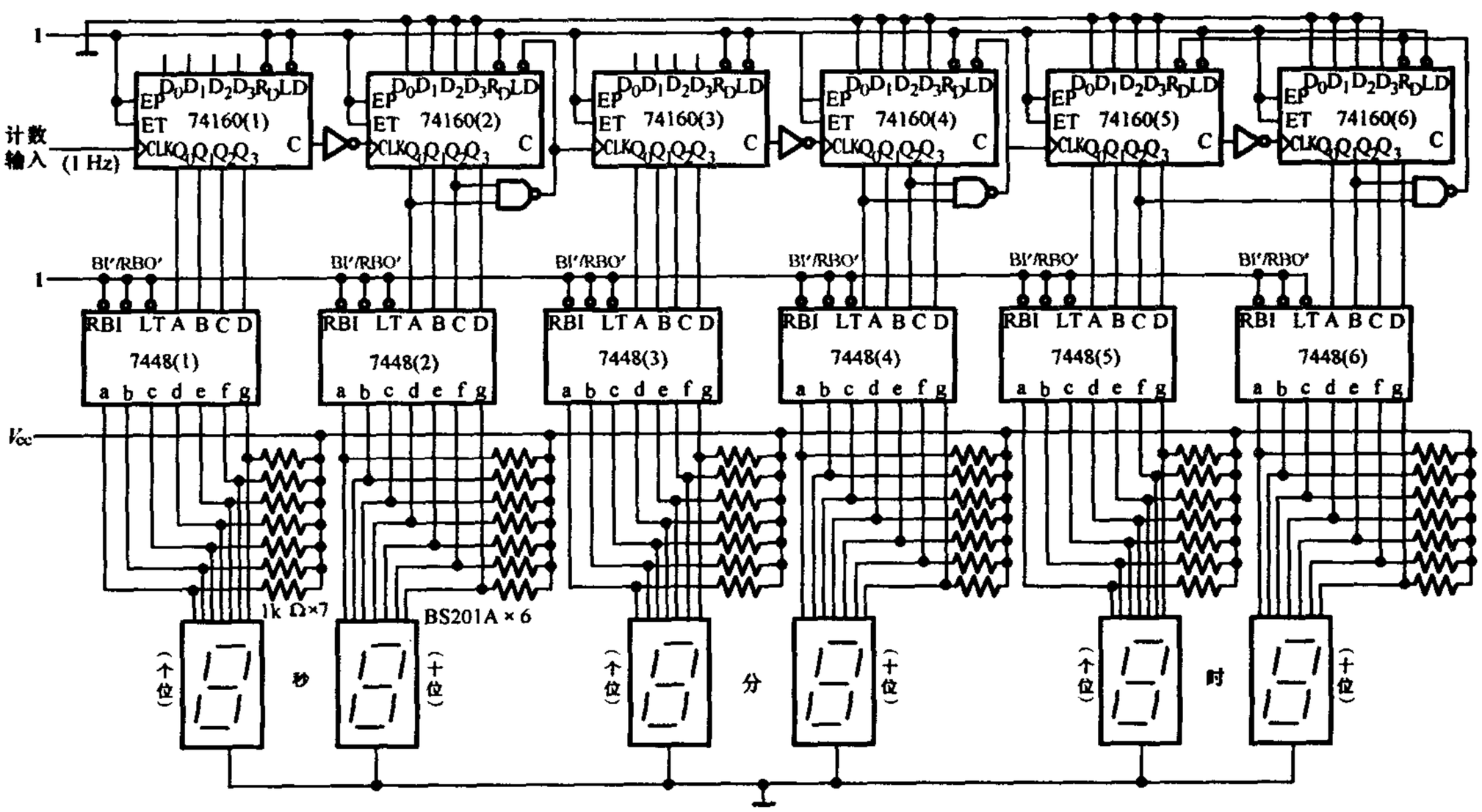
解　365进制计数器的各位之间是十进制关系。可以采用三片74160接成1000进制计数器，这可用并行进位法实现。然后，再用全局置数法，在十进制数364(001101100100)时译码产生预置数信号，在下一个脉冲到来时，置为000(000000000000)，这样就可实现365进制计数器了。具体电路见题6.22解图所示。



题6.22解图

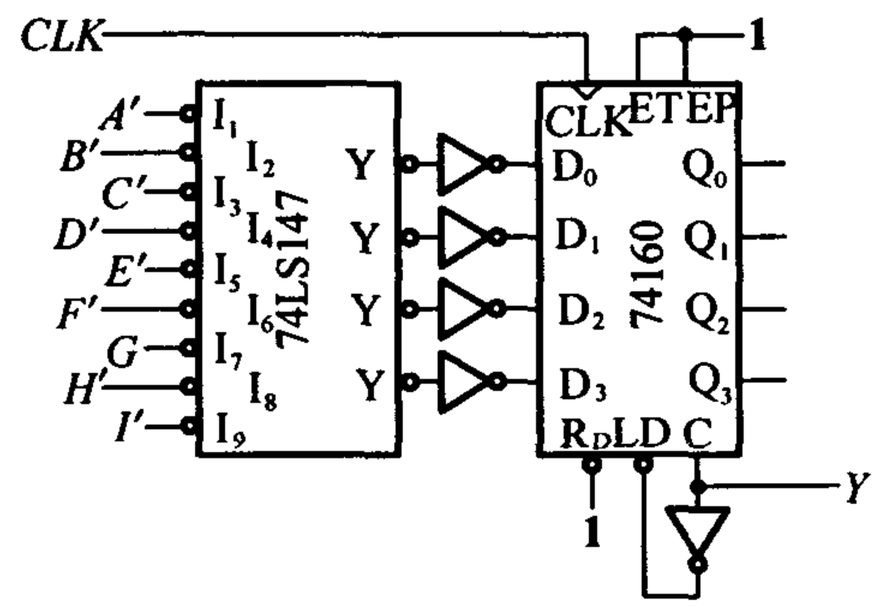
[题6.23]　设计一个数字钟电路，要求能用七段数码管显示从0时0分0秒到23时59分59秒之间的任一时刻。

解　电路如题6.23解图所示。该电路由一个秒计数器，一个分计数器和一个时计数器组成核心部分。第一、二片74160接收1 Hz的时钟信号，构成60进制的秒计数器；第三、四片74160构成60进制的分计数器；第五、六片74160构成24进制小时计数器，三个计数器之间采用串行进位方式。计数结果经六片7448显示译码器后，驱动LED字型显示器发光，显示字型。



题6.23解图

[题 6.24] 题 6.24 图所示电路是用二－十进制优先编码器 74LS147 和同步十进制计数器 74160 组成的可控分频器，试说明当输入控制信号 A'，B'，C'，D'，E'，F'，G'，H'，I' 分别为低电平时由 Y 端输出的脉冲频率各为多少。已知 CLK 端输入脉冲的频率为 10 kHz。74LS147 的功能表如原教材中表 4.3.3所示，74160 的功能表见原教材中表 6.3.4。



题 6.24 图

解 该电路中，74160 工作在同步预置数方式，$LD=0$ 时的译码状态为1001，而预置数的状态，则由 74LS147 根据输入信号 $A'\sim I'$ 决定。

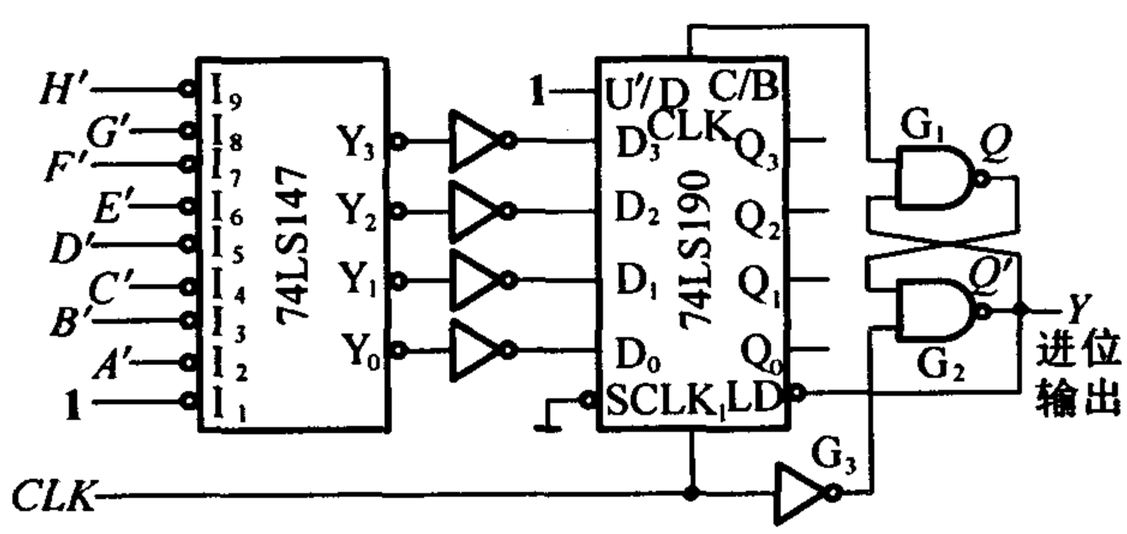
例如，当 $B'=0$时，74LS147 输出编码为1101，经反相器后送给 74160 的 $D_0\sim D_3$，即 74160 发生预置数时，将置为 0010。所以计数器的计数循环为 0010～1001，为八进制计数器，对 CLK 进行八分频。其余各输入端的分频情况如表 A6.24 所示。

表 A6.24

接低电平的输入端	A'	B'	C'	D'	E'	F'	G'	H'	I'
f_Y/f_{CP}	1/9	1/8	1/7	1/6	1/5	1/4	1/3	1/2	0
f_Y/(kHz)	1.11	1.25	1.43	1.67	2	2.5	3.33	5	0

[题 6.25] 试用同步十进制可逆计数器 74LS190 和二－十进制优先编码器 74LS147 设计一个工作在减法计数状态的可控分频器。要求在控制信号 A，B，C，D，F，G，H 分别为1时分频比对应的 1/2，1/3，1/4，1/5，1/6，1/7，1/8，1/9。74LS190 的逻辑图见原教材中图 6.3.24，它的功能表与表 6.3.5 相同。可以附加必要的门电路。

解 电路如题 6.25 解图所示。



题 6.25 解图

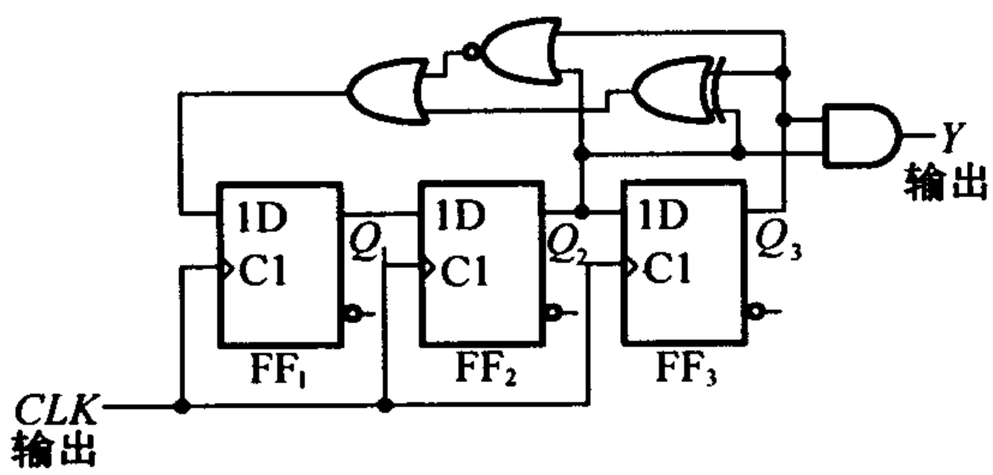
当 $\overline{U}/D=1$时，74LS190 工作在减法计数状态。当计数到 0000 时，$LD=0$，异步预置数立即将 74LS147 输出的反相信号存入计数器中，实现预置数。可见，当 $A'\sim H'$ 的状态不同时，预置数就不同，从而分频比就不同。

例如，当 $A'=0$ 时 74LS147 输出为 1101，反相后为 0010，计数器的计数状态为 0010～0000。实现三分频。同理，当 $A'\sim H'$ 分别输入低电平时，Y 与 CLK 的分频比分别为 1/2，1/3，1/4，1/5，1/6，1/7，1/8，1/9。

［题 6.26］　题 6.26 图是一个移位寄存器型计数器，试画出它的状态转换图，说明这是几进制计数器，能否自启动。

解　驱动方程为

$$\begin{cases} D_1 = Q_2Q_3' + Q_2'Q_3 + Q_2'Q_3' \\ D_2 = Q_1 \\ D_3 = Q_2 \end{cases}$$



题 6.26 图

表 A6.25

CP	Q_3	Q_2	Q_1	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	1	0
3	1	1	1	1
4	1	1	0	1
5	1	0	0	0
6	0	0	1	0
0	0	1	0	0
1	1	0	1	0
2	0	1	1	0

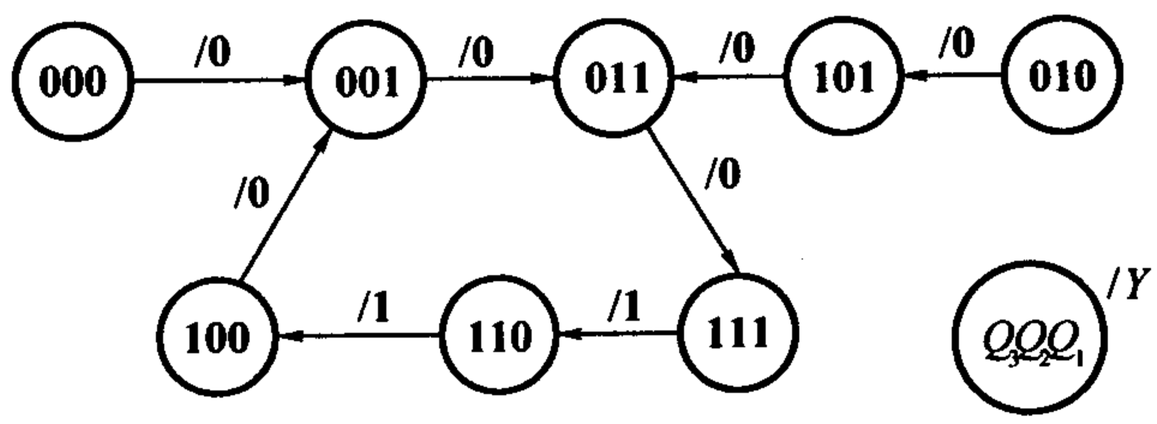
状态方程为

$$\begin{cases} Q_1^* = Q_2Q_3' + Q_2'Q_3 + Q_2'Q_3' = Q_2' + Q_3' \\ Q_2^* = Q_1 \\ Q_3^* = Q_2 \end{cases}$$

输出方程

$$Y = Q_2Q_3$$

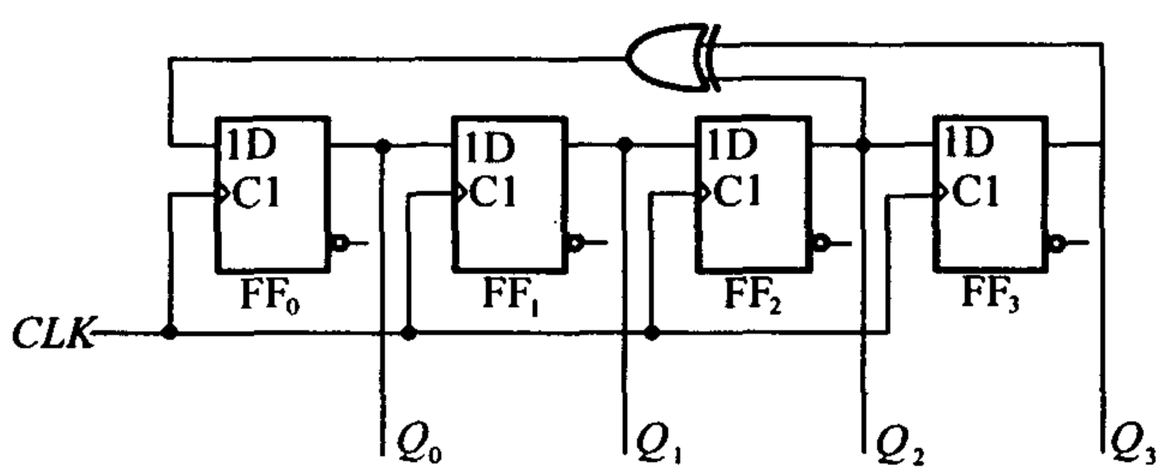
由上述方程组可得到状态转换表如图表 A6.26 所示，状态转换图如题 6.26 解图所示。



题 6.26 解图

可见，该电路为五进制计数器，能自启动。

[题 6.27] 题 6.27 图是一个移位寄存器型计数器。试画出电路的状态转换图，并说明这是几进制计数器，能否自启动。

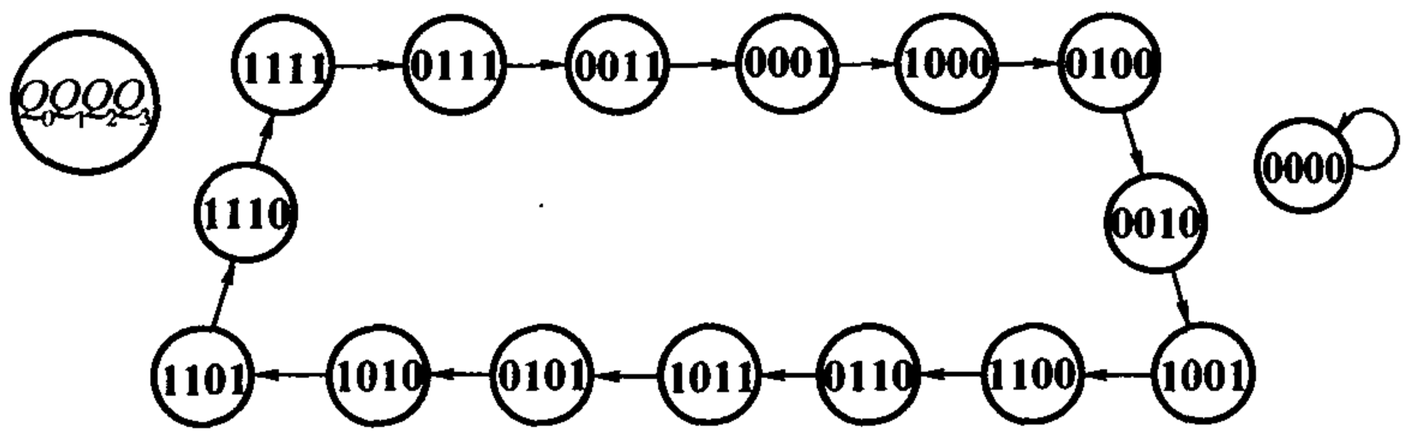


题 6.27 图

解 由电路逻辑图可写出驱动方程和状态方程

$$\begin{cases} Q_0^* = D_0 = Q_2 \oplus Q_3 \\ Q_1^* = D_1 = Q_0 \\ Q_2^* = D_2 = Q_1 \\ Q_3^* = D_3 = Q_2 \end{cases}$$

由状态方程可得到电路的状态转换图，如题 6.27 解图所示。



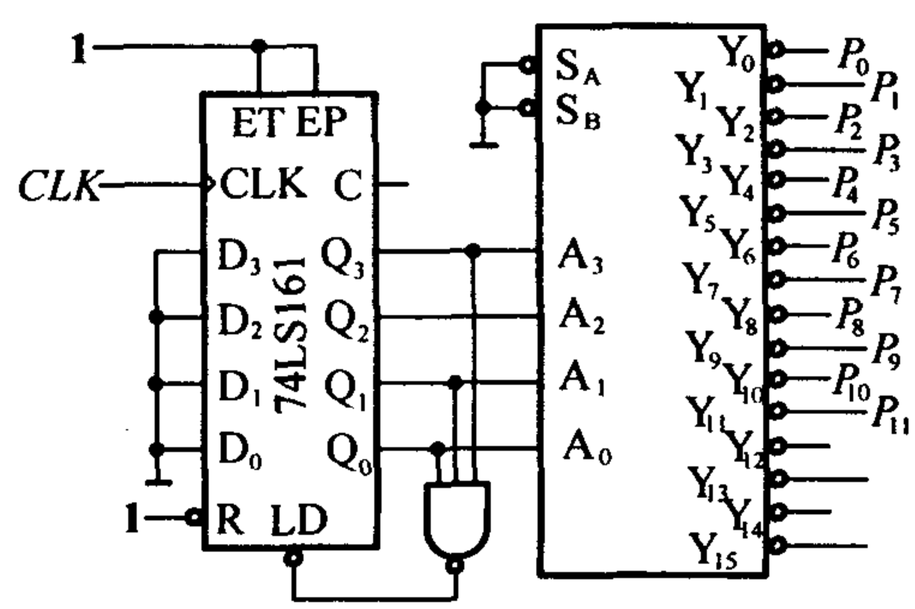
题 6.27 解图

可见，该电路是十五进制计数器，不能自启动。

[题 6.28] 试利用同步十六进制计数器 74LS161 和 4 线 - 16 线译码器 74LS154 设计节拍脉冲发生器，要求从 12 个输出端顺序、循环地输出等宽的负脉冲。74LS154 的逻辑框图及说明见题 4.11。74LS161 的功能表见原教材中表 6.3.4。

解 电路如题 6.28 解图所示。

图中，将 74LS161 用同步预置数法接成十二进制计数器，计数循环为 0000 ~ 1011。计数器的计数结果



题 6.28 解图

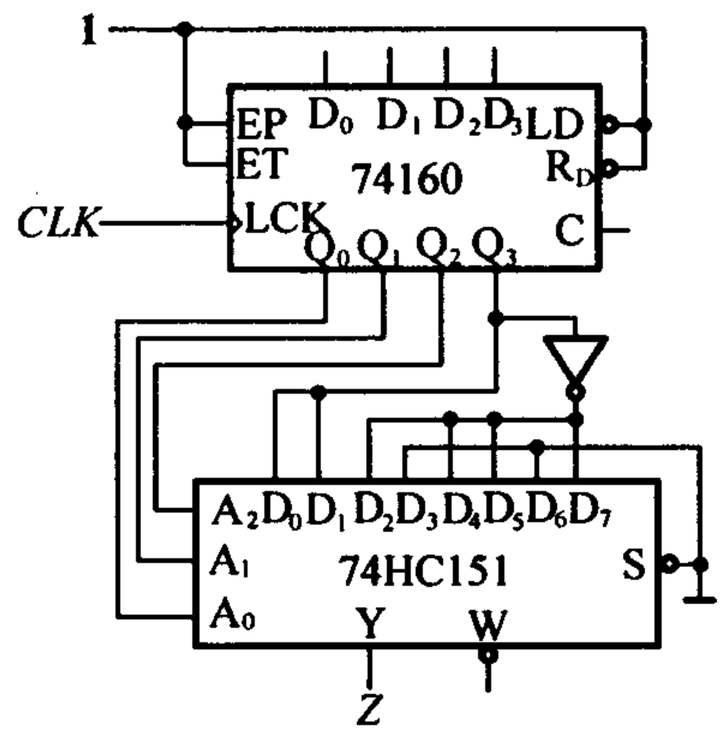
$Q_3 \sim Q_0$ 送给 74LS154 译码器，从而在其输出端 $Y_0 \sim Y_{11}$ 顺序产生低电平脉冲信号。

［题 6.29］ 设计一个序列信号发生器电路，使之在一系列 *CLK* 信号作用下能周期性地输出“0010110111”的序列信号。

解 本题可使用中规模数字电路来实现。对于序列信号发生器。可先用计数器产生时间序列。本题的序列信号中共有十个状态，因此对应 10 个时间序列，可用 74160 计数器来实现。74160 的计数结果应能产生“0010110111”这个序列信号。因此，这又是一个函数实现问题，该逻辑关系用真值表表达如表 A6.29 所示。

表 A6.29

CLK	Q_3	Q_2	Q_1	Q_0	Z
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1



题 6.29 解图

表中 Q_3, Q_2, Q_1, Q_0 为计数器 74160 在 *CLK* 连续输入情况下的计数结果，在该时间序列条件下应当产生的输出信号在表中 Z 的取值列中。这是一个四个输入变量、一个输出变量的组合逻辑设计问题，可用三个地址输入端的数据选择器 74LS151 实现。为此应进行逻辑式变换，由真值表得到逻辑式为

$$Z = Q_3(Q_2' Q_1' Q_0') + Q_3(Q_2' Q_1' Q_0) + Q_3'(Q_2' Q_1 Q_0') + 0(Q_2' Q_1 Q_0)$$
$$+ Q_3'(Q_2 Q_1' Q_0') + Q_3'(Q_2 Q_1' Q_0) + 0\cdot(Q_2 Q_1 Q_0') + Q_3'(Q_2 Q_1 Q_0)$$

与 74LS151 自身逻辑式相对照

$$Y = D_0(A_2' A_1' A_0') + D_1(A_2' A' A_0) + D_2(A_2' A_1 A_0') + D_3(A_2' A_1 A_0) + D_4(A_2 A_1' A_0') + D_5(A_2 A' A_0)$$
$$+ D_6(A_2 A_1 A_0') + D_7(A_2 A_1 A_0)$$

令 $A_0 = Q_0, A_1 = Q_1, A_2 = Q_2, D_0 = D_1 = Q_3, D_2 = D_4 = D_5 = D_7 = Q_3', D_3 = Q_6 = 0$即可。

具体电路如题 6.29 解图所示。

［题 6.30］ 设计一个灯光控制逻辑电路。要求红、绿、黄三种颜色的灯在时钟信号作用在按表 P6.30 规定的顺序转换状态。表中的1表示“亮”，0表示“灭”。要求电路能自启动，并尽可能采用中规模集成电路芯片。

解 输出为八个状态循环，可用 74LS161 的低三位作为八进制计数器。若以 R, Y, G 分别表示红、黄、绿三个输出，则可得计数器输出状态 $Q_2 Q_1 Q_0$ 与 R, Y, G 的关系，如表 A6.30 所示。

用两片双 4 选 1 数据选择器 74HC153 作为函数发生器，产生 R, Y, G。

表 P6.30

CLK 顺序	红	黄	绿
0	0	0	0
1	1	0	0
2	0	1	0
3	0	0	1
4	1	1	1
5	0	0	1
6	0	1	0
7	1	0	0
8	0	0	0

表 A6.30

Q_2	Q_1	Q_0	R	Y	G
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	0	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	1
1	1	0	0	1	0
1	1	1	1	0	0

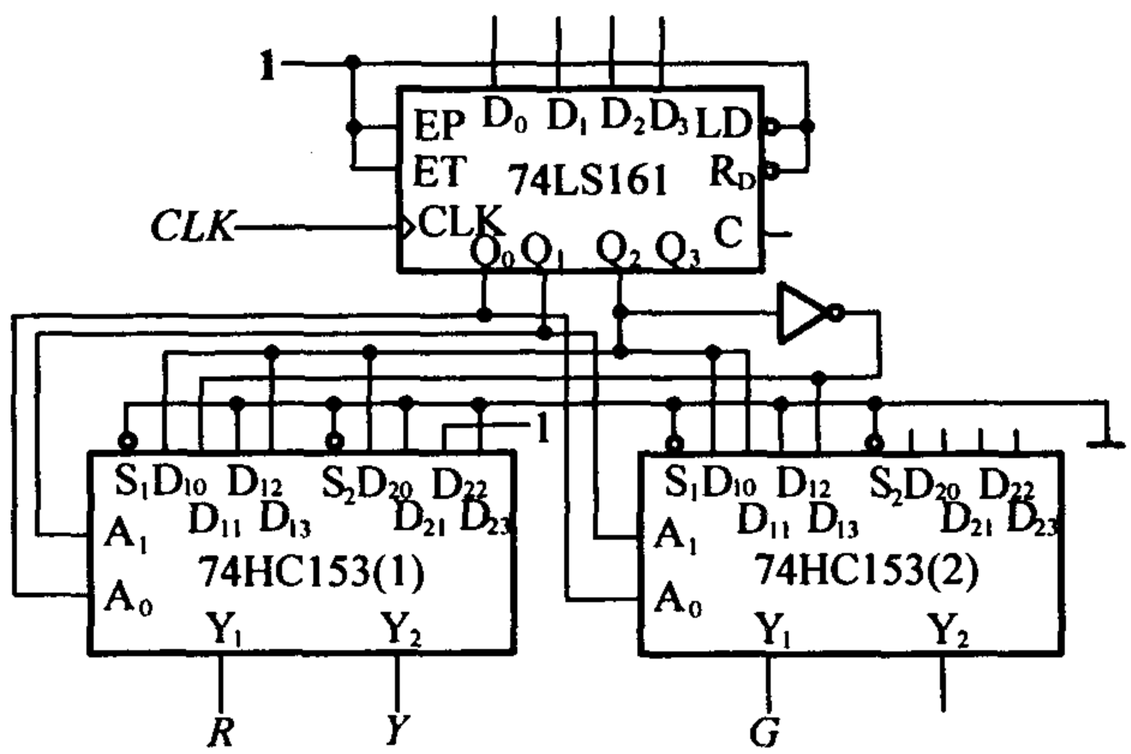
74HC153 在 $S'=0$ 的条件下输出的逻辑式为 $Y=D_0(A_1'A_0')+D_1(A_1'A_0)+D_2(A_1A_0')+D_3(A_1A_0)$，由真值表写出 R,Y,G 的逻辑式，并化成与数据选择器的输出逻辑式相对应的形式

$$R=Q_2(Q_1'Q_0')+Q_2'(Q_1'Q_0)+0\cdot(Q_1Q_0')+Q_2(Q_1Q_0)$$

$$Y=Q_2(Q_1'Q_0')+0\cdot(Q_1'Q_0)+1\cdot(Q_1Q_0')+0\cdot(Q_1Q_0)$$

$$G=Q_2(Q_1'Q_0')+Q_2(Q_1'Q_0)+0\cdot(Q_1Q_0')+Q_2'(Q_1Q_0)$$

电路如题 6.30 解图所示。

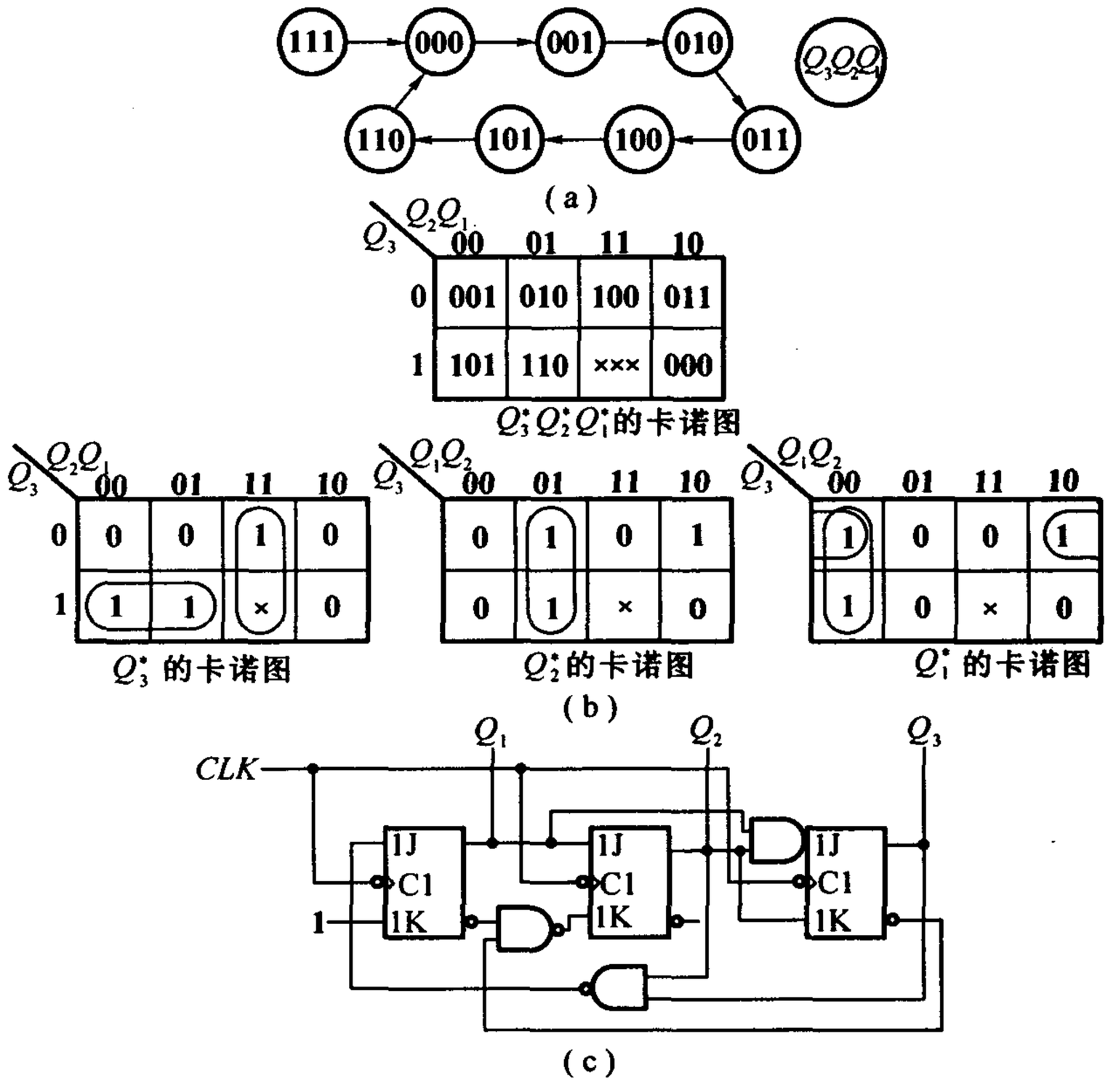


题 6.30 解图

[题 6.31] 试用 JK 触发器和门电路设计一个同步七进制计数器。

解 七进制计数器需要七个状态。取计数循环如题 6.31 解图(a)所示。由此可得次态 Q_3^*，Q_2^*，Q_1^* 的卡诺图如题 6.31 解图(b)所示。

分解并化简卡诺图，得到电路的状态方程如下



题 6.31 解图

$$\begin{cases} Q_3^* = Q_3 Q_2' + Q_2 Q_1 = (Q_2 Q_1) Q_3' + (Q_2') Q_3 \\ Q_2^* = Q_2' Q_1 + Q_3' Q_2 Q_1' = Q_1 Q_2' + Q_3' Q_1' Q_2 \\ Q_1^* = Q_2' Q_1' + Q_3' Q_1' = (Q_2 Q_3)' Q_1' + (1') Q_1 \end{cases}$$

将上式与 *JK* 触发器特性方程对照得到驱动方程为

$$\begin{cases} J_3 = Q_2 Q_1; & K_3 = Q_2 \\ J_2 = Q_1; & K_2 = (Q_3' Q_1')' \\ J_1 = (Q_3 Q_1)'; & K_1 = 1 \end{cases}$$

由驱动方程得到电路图如题 6.31 解图(c)所示。将 111 代入状态方程求得次态为 000，说明该电路能自启动。

[题 6.32]　用 *JK* 触发器和门电路设计一个 4 位格雷码计数器，它的状态转换表如表 P6.32 所示。

表 P6.32

计数顺序	电路状态 Q_3	Q_2	Q_1	Q_0	进位输出 C
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	1	0
3	0	0	1	0	0
4	0	1	1	0	0
5	0	1	1	1	0
6	0	1	0	1	0
7	0	1	0	0	0
8	1	1	0	0	0
9	1	1	0	1	0
10	1	1	1	1	0
11	1	1	1	0	0
12	1	0	1	0	0
13	1	0	1	1	0
14	1	0	0	1	0
15	1	0	0	0	1
16	0	0	0	0	0

解 由表 P6.32 可得到关于 $Q_3^* \sim Q_0^*$ 的卡诺图，如题 6.32 解图(a)所示。

分解卡诺图并化简，得到最简逻辑式，也就是状态方程

$$Q_3^* = Q_3Q_1 + Q_3Q_0 + Q_2Q_1'Q_0' = Q_3Q_1 + Q_3Q_0 + Q_2Q_1'Q_0'(Q_3 + Q_3')$$
$$= (Q_2Q_1'Q_0')Q_3' + (Q_2'Q_1'Q_0')'Q_3$$
$$Q_2^* = Q_2Q_1' + Q_2Q_0 + Q_3'Q_1Q_0' = Q_2Q_1' + Q_2Q_0 + Q_3'Q_1Q_0'(Q_2 + Q_2')$$
$$= (Q_3'Q_1Q_0')Q_2' + (Q_3Q_1Q_0')'Q_2$$
$$Q_1^* = Q_1Q_0' + Q_3'Q_2'Q_0 + Q_3Q_2Q_0 = Q_1Q_0' + (Q_3'Q_2'Q_0 + Q_3Q_2Q_0)(Q_1 + Q_1')$$
$$= ((Q_2 \oplus Q_3)'Q_0)Q_1' + (Q_0(Q_3 \oplus Q_3))'Q_1$$
$$Q_0^* = Q_3'Q_2'Q_1' + Q_3'Q_2Q_1 + Q_3Q_2Q_1' + Q_3Q_2'Q_1 = (Q_3 \oplus Q_2 \oplus Q_1)'$$
$$= (Q_3 \oplus Q_2 \oplus Q_1)'(Q_0 + Q_0')$$
$$= (Q_3 \oplus Q_2 \oplus Q_1)'Q_0' + (Q_3 \oplus Q_2 \oplus Q_1)'Q_0$$

对照 JK 触发器的驱动方程 $Q^* = JQ' + K'Q$ 得输出方程

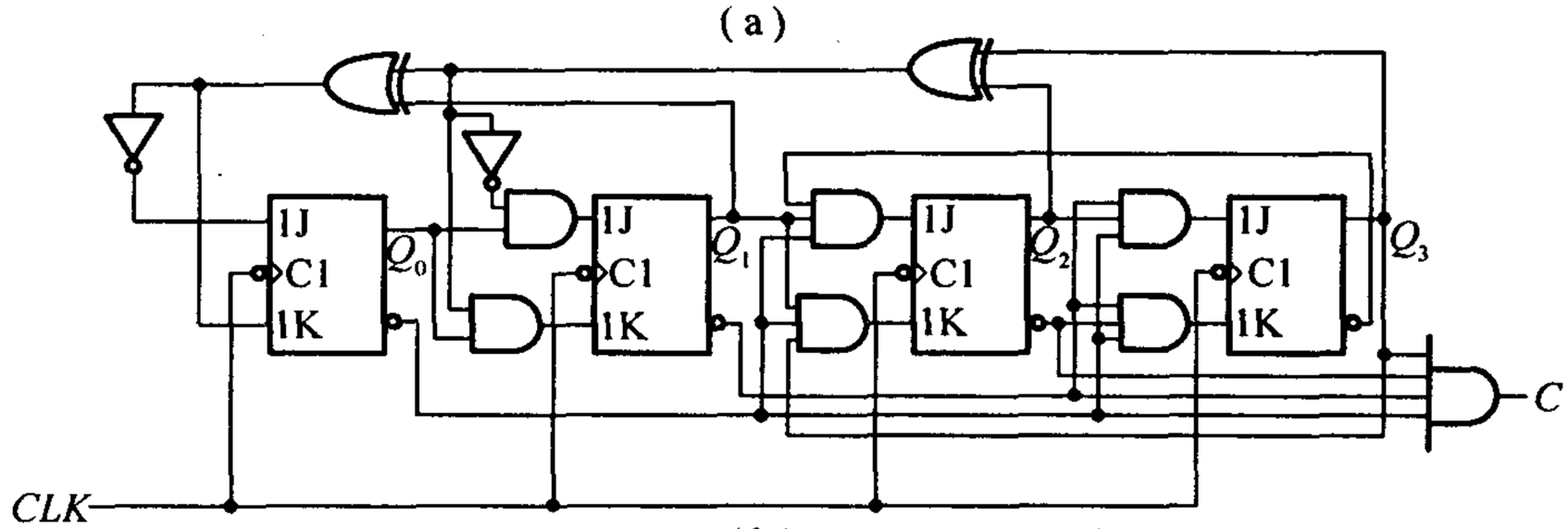
$$J_3 = Q_2Q_1'Q_0';\ K_3 = Q_2'Q_1'Q_0'$$
$$J_2 = Q_3'Q_1Q_0';\ K_2 = Q_3Q_1Q_0'$$
$$J_1 = (Q_3 \oplus Q_2)'Q_0;\ K_1 = (Q_3 \oplus Q_2)Q_0$$
$$J_0 = (Q_3 \oplus Q_2 \oplus Q_1)';\ K_0 = Q_3 \oplus Q_2 \oplus Q_1$$

进位输出信号为　　$C = Q_3 Q_2' Q_1' Q_0'$

逻辑图如题6.32解图(b)所示。

Q_3Q_2 \ Q_1Q_0	00	01	11	10
	$(Q_3^*Q_2^*Q_1^*Q_0^*)$			
00	0001	0011	0010	0110
01	1100	0100	0101	0111
11	1101	1111	1110	1010
10	0000	1000	1001	1011

(a)



(b)

题6.32解图

[题6.33]　用 D 触发器和门电路设计一个十一进制计数器,并检查设计的电路能否自启动。

解　十一进制计数器必须用四个触发器来产生其状态。定义计数循环如题6.33解图(a)所示。对该卡诺图分解并化简得到电路的状态方程为

$$\begin{cases} Q_3^* = Q_3 Q_1' + Q_2 Q_1 Q_0 = D_3 \\ Q_2^* = Q_2 Q_1' + Q_2 Q_0' + Q_2' Q_1 Q_0 = D_2 \\ Q_1^* = Q_1' Q_0 + Q_3' Q_1 Q_0' = D_1 \\ Q_0^* = Q_3' Q_0' + Q_1' Q_0' = D_0 \end{cases}$$

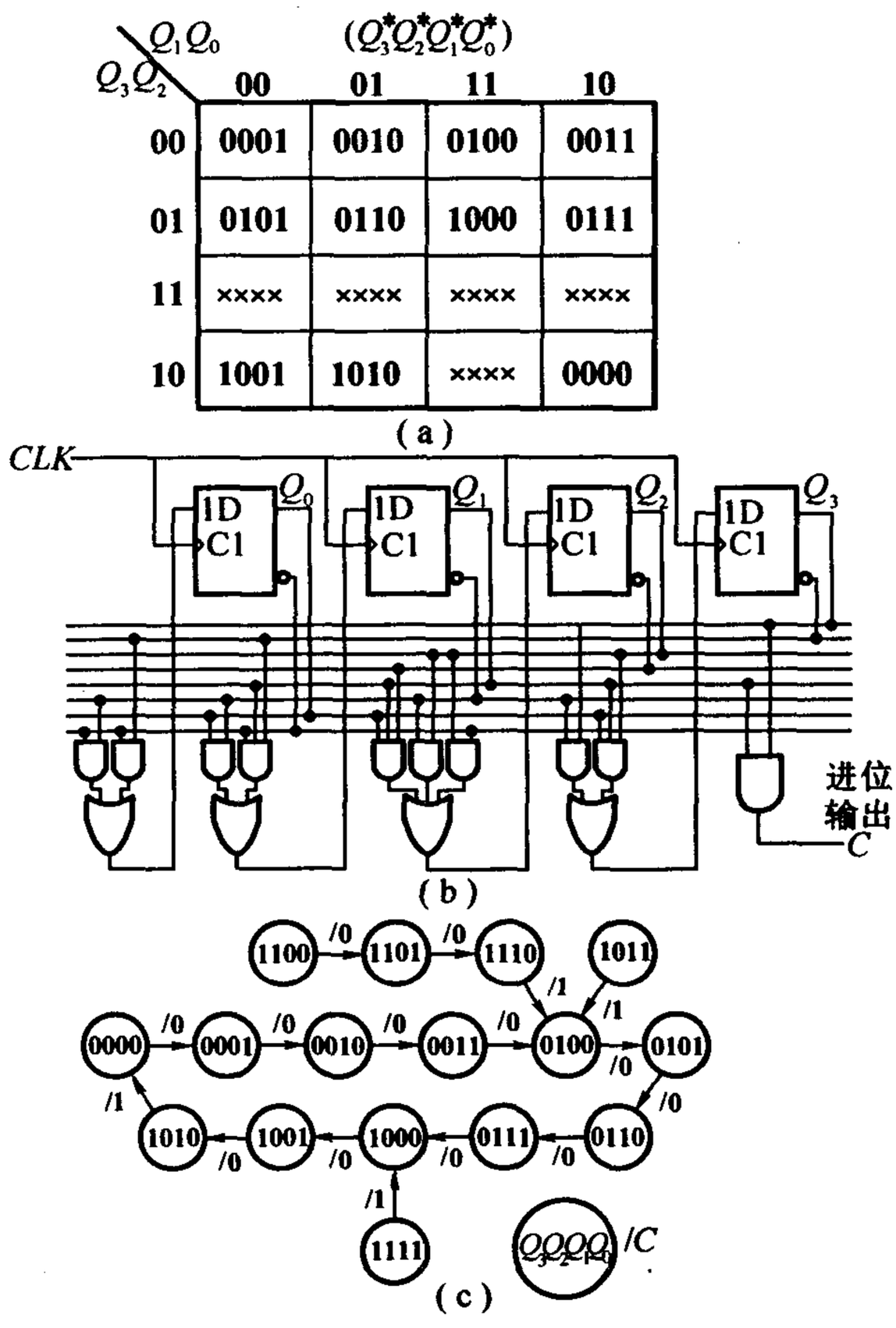
由于 D 触发器的特性方程为 $Q^* = D$,所以,上面的状态方程也同时就是驱动方程。

输出方程为　　$C = Q_1 Q_3$

由上述方程可画出电路的逻辑图如题6.33解图(b)所示。由状态方程和输出方程可得到电路的实际状态转换图(题6.33解图(c)),电路可以自启动。

[题6.34]　设计一个控制步进电动机三相六状态工作的逻辑电路。如果用1表示电机绕组导通,0表示电机绕组截止,则三个绕组 ABC 的状态转换图应如题6.34图所示。M 为输入控制变量,当 $M=1$时为正转,$M=0$时为反转。

解　用 M 表示输入控制变量,A,B,C 三个绕组的状态可用三个触发器的状态 Q_1,Q_2,Q_3 表示。根据题



题 6.33 解图

6.34 图可得到关于次态 Q_1^*，Q_2^*，Q_3^* 与初态 Q_1，Q_2，Q_3 及 M 之间关系的卡诺图，如题 6.34 解图(a)所示。

对卡诺图分解并化简，得到状态方程为

$$\begin{cases} Q_1^* = MQ_2' + M'Q_3' = D_1 \\ Q_2^* = MQ_3' + M'Q_1' = D_2 \\ Q_3^* = MQ_1' + M'Q_2' = D_3 \end{cases}$$

若采用 D 触发器，由于 $Q^* = D$，所以上述方程也是驱动方程。由此得到逻辑图如题 6.34 解图(b)所示。

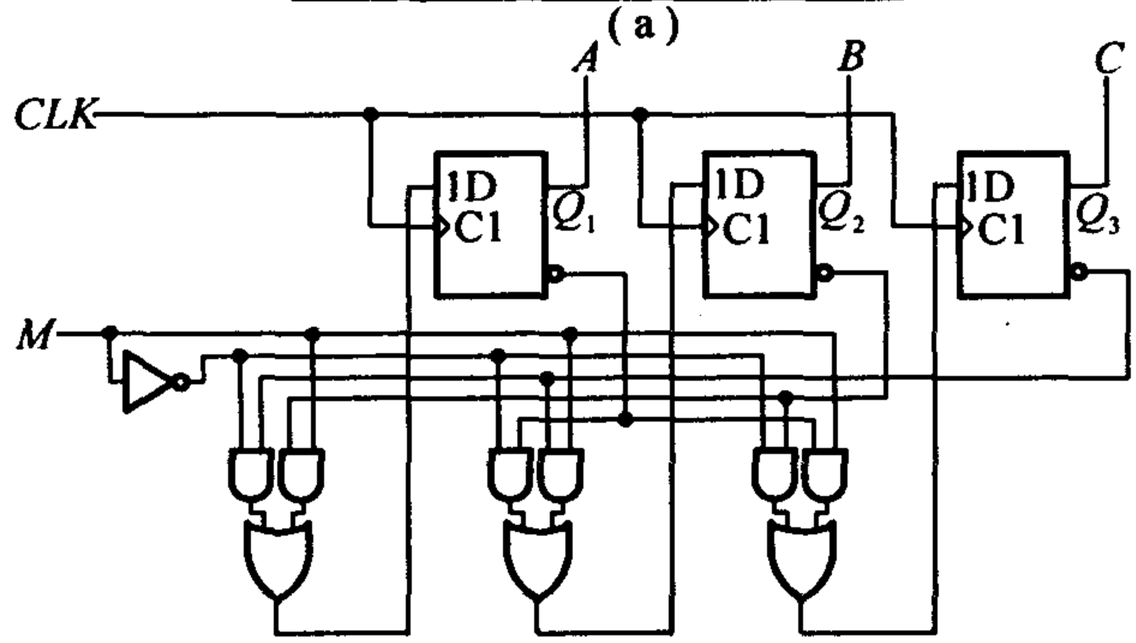
[题 6.35] 设计一个串行数据检测电路。当连续出现四个和四个以上的 1 时，检测输出信号为 1，其余情况下的输出信号为 0。

解 定义输入变量为 A，输出变量为 Y，定义四个状态。

S_0：A 上没有1输入的状态；

MQ_1 \ Q_2Q_3 ($Q_1^*Q_2^*Q_3^*$)	00	01	11	10
00	×××	011	010	110
01	101	001	×××	100
11	110	100	×××	010
10	×××	101	001	011

(a)



(b)

题6.34解图

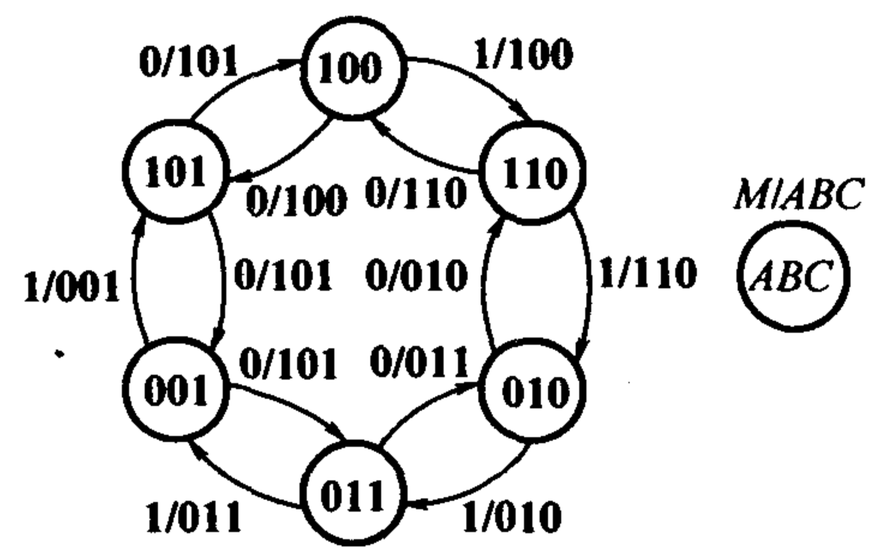
S_1:A 上输入一个1后的状态;

S_2:A 上连续输入二个1后的状态;

S_3:A 上连续输入三个1后的状态。

当 A 上的连续输入了四个以上的"1"后,电路将回到 S_0 状态,因此四个状态已足够。根据题意,可得到题6.35解图(a)所示的状态转换图。

四个工作状态需要两个触发器,用触发器状态组合 Q_1Q_0 表示四个状态,即用00,01,10,11分别表示 S_0,S_1,S_2,S_3,得到状态转换表如表A6.35所示。



题6.34图

表A6.35

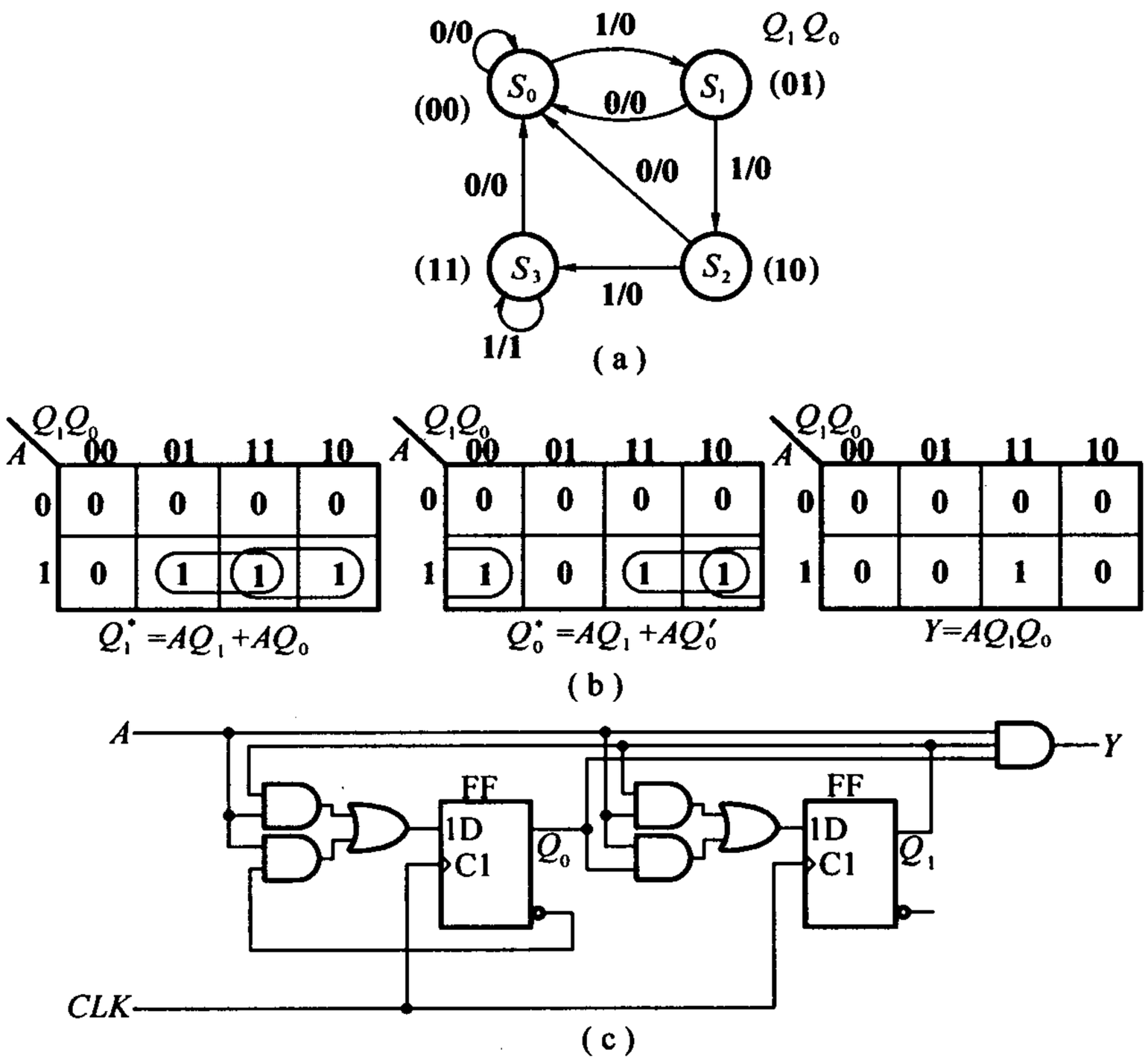
$Q_1^*Q_0^*/Y$ \ Q_1Q_0 \ A	00	01	11	10
0	00/0	00/0	00/0	00/0
1	01/0	10/0	11/1	11/0

表 A6.35 也是关于 Q_1^*，Q_0^*，Y 的卡诺图，对该图分解并化简得到状态方程和输出方程，化简过程见题 6.35解图(b)。

$$\begin{cases} Q_1^* = AQ_1 + AQ_0 \\ Q_0^* = AQ_1 + AQ_0' \end{cases}$$

$$Y = AQ_1 Q_0$$

采用 D 触发器，则状态方程也就是驱动方程，由三个方程可画出逻辑图，如题 6.35 解图(c)所示。



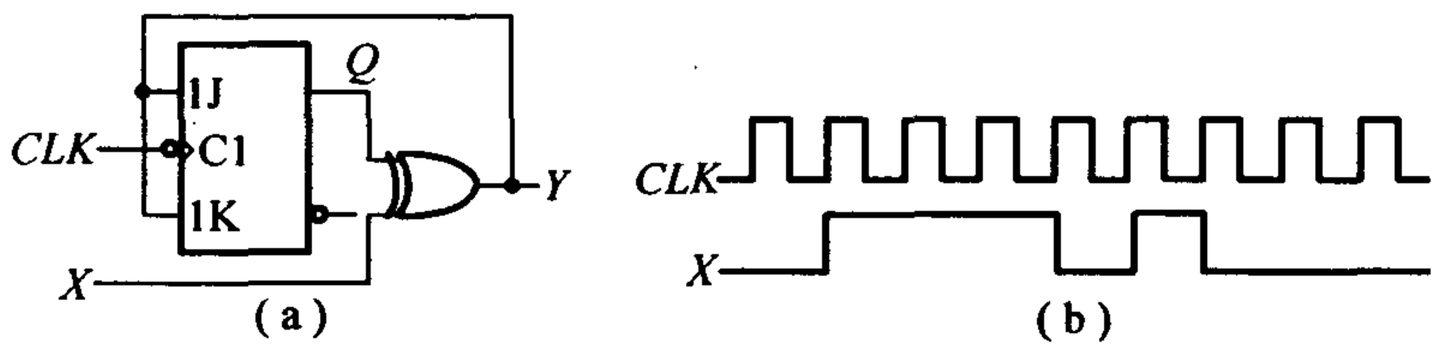
题 6.35 解图

同步训练题

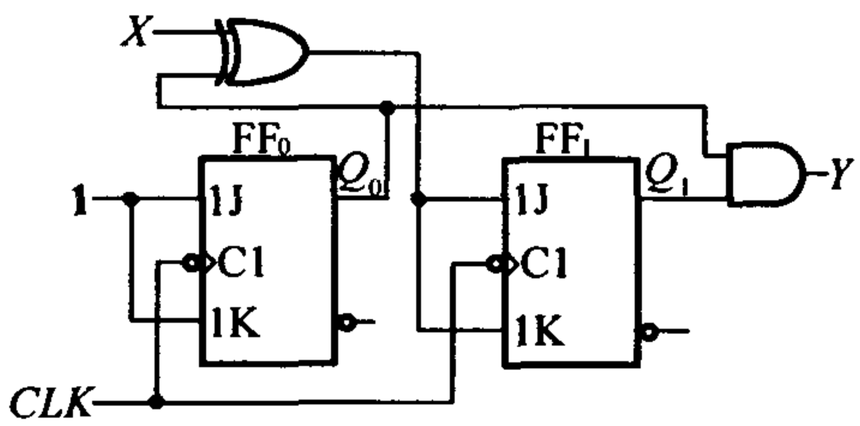
1.分析题 1 图(a)所示的时序电路，画出状态转换表和状态转换图，设电路初始状态为0。画出在题 1 图(b)所示的 X 和 CLK 作用下 Q 和 Y 的波形图。

2.分析题 2 图所示电路的逻辑功能，写出电路的方程，画出电路的状态转换表和状态转换图。

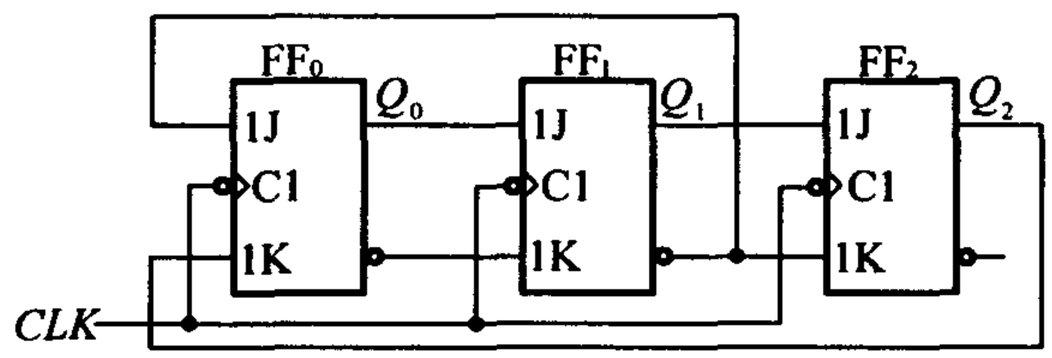
3.分析图题 3 图时序电路的逻辑功能，写出电路的方程，画出电路的状态转换表和状态转换图。



题1图



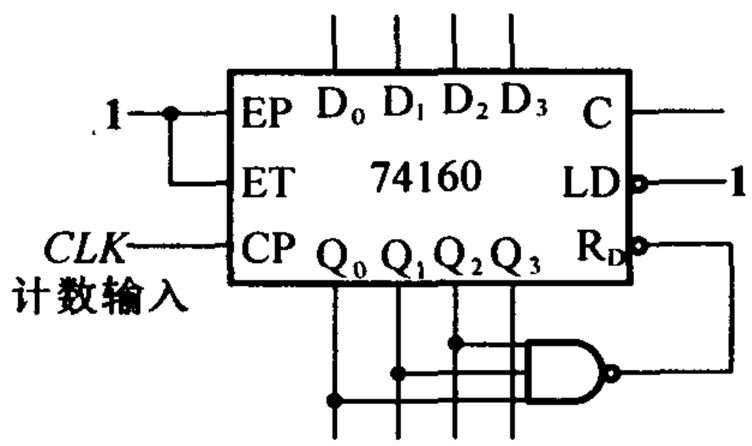
题2图



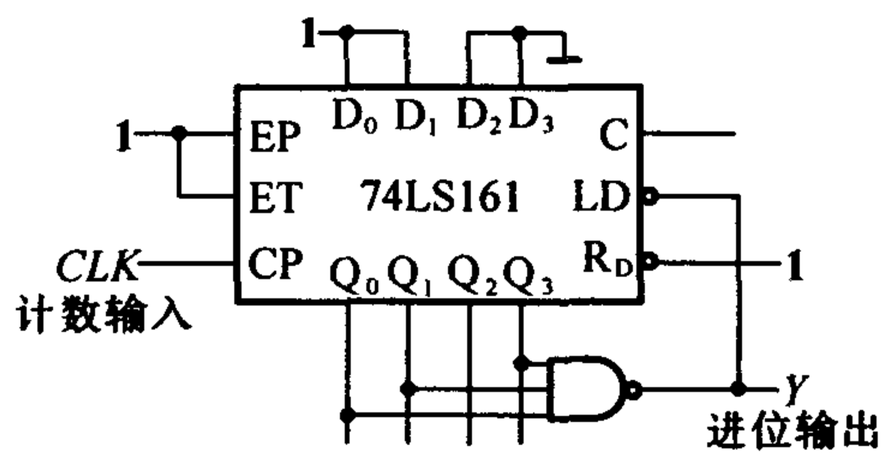
题3图

4.分析题4图所示电路,说明这是多少进制的计数器。

5.分析题5图的计数器电路,说明这是多少进制的计数器。



题4图



题5图

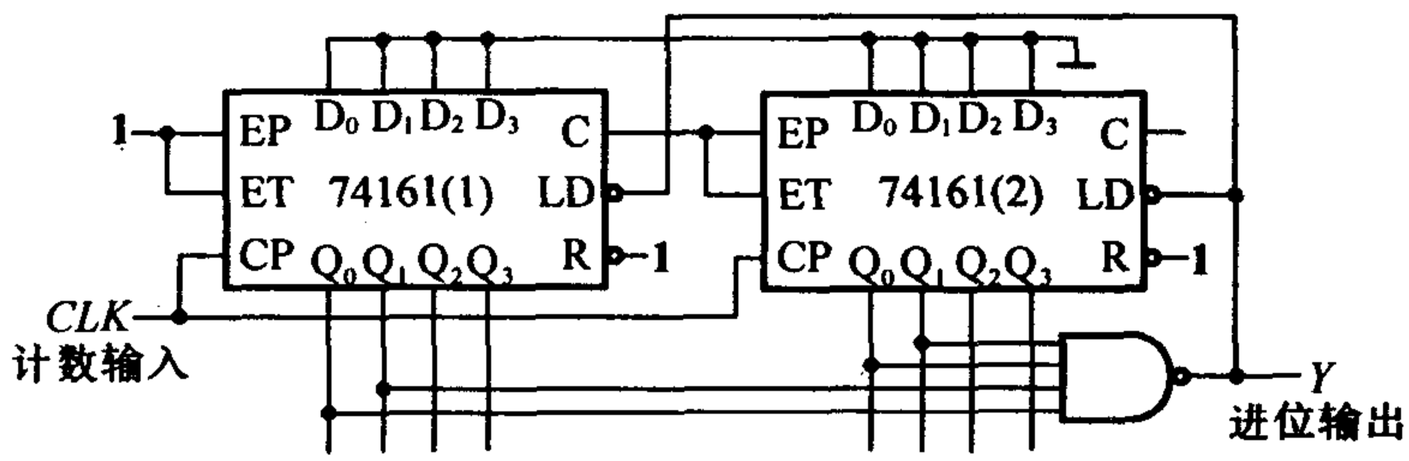
6.分析题6图的计数器电路,说明这是多少进制的计数器。如果两个计数器都是74160,该电路又是多少进制的计数器。

7.试用同步十进制计数器74LS160设计一个计数器,其计数状态循环为自然二进制0010~0111。

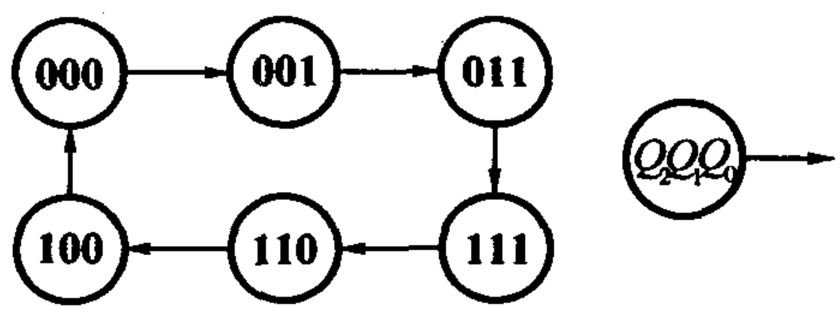
8.画出用两片同步十进制计数器74LS160接成同步四十七进制计数器的接线图。可以附加必要的门电路。

9.试用*JK*触发器设计一个同步时序电路,它的状态转换图如题9图所示。

10.试用*JK*触发器设计一个序列脉冲检测器,当连续输入信号110时,该电路输出为1,否则输出为0。



题 6 图



题 9 图

同步训练题答案

1.解　输出方程为

$$Y = X \oplus Q$$

驱动方程为

$$J = K = Y = X \oplus Q$$

代入 JK 触发器特性方程 $Q^* = JQ' + K'Q$，可得电路状态方程为

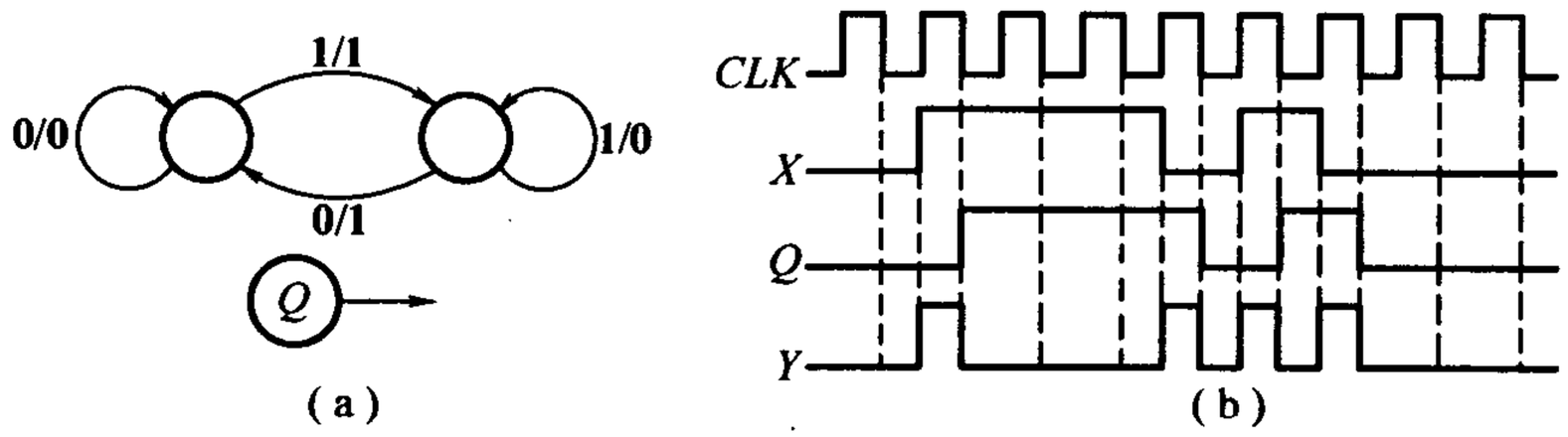
$$Q^* = YQ' + Y'Q = (X \oplus Q)Q' + [(X \oplus Q)']Q = XQ' + XQ = X$$

状态转换表如表 B6.1 所示，状态转换图和波形图如题 1 解图(a)，(b)所示。

表 B6.1

X	Q	Q^*	Y
0	0	0	0
0	1	0	1
1	0	1	1
1	1	1	0

2.解　驱动方程为



题1解图

$$\begin{cases} J_0 = 1, K_0 = 1 \\ J_1 = X \oplus Q_0, K_1 = X \oplus Q_0 \end{cases}$$

代入 JK 触发器特性方程 $Q^* = JQ' + K'Q$，可得电路状态方程为

$$\begin{cases} Q_0^* = 1 \cdot Q_0' + 1' \cdot Q_0 = Q_0' \\ Q_1^* = (X \oplus Q_0) \cdot Q_1' + (X \oplus Q_0)' \cdot Q_1 = (X \oplus Q_0) \oplus Q_1 \end{cases}$$

输出方程为 $Y = Q_0 Q_1$。状态转换表如表 B6.2 所示。

表 B6.2

X	Q_1	Q_0	Q_1^*	Q_0^*	Y
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	0	0	0
1	1	0	0	1	0
1	1	1	1	0	1

状态转换图如题2解图所示，可知电路的逻辑功能为四进制可逆计数器，当 $X = 0$ 时进行加法计数，$X = 1$ 时进行减法计数。

3.解　驱动方程为

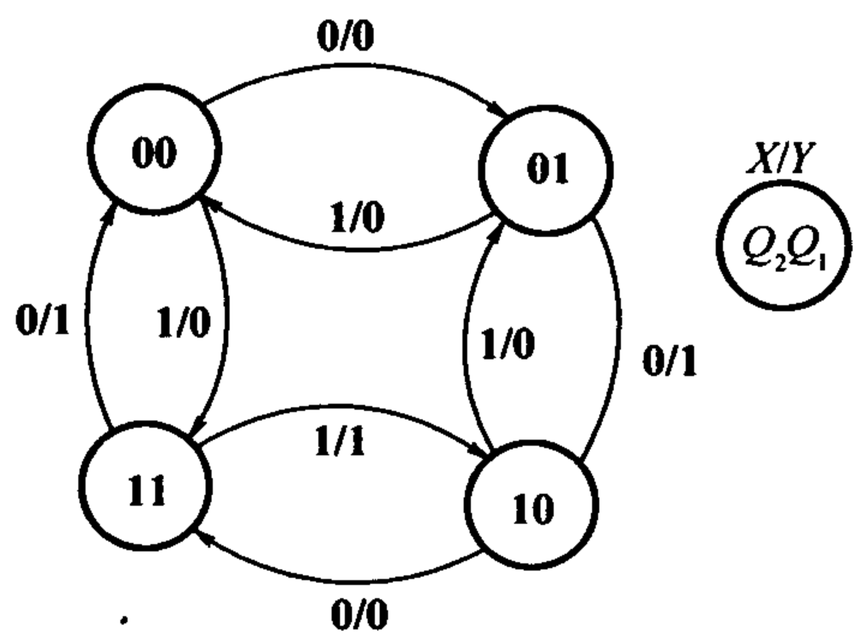
$$\begin{cases} J_0 = Q_1' & K_0 = Q_2 \\ J_1 = Q_0 & K_1 = Q_0' \\ J_2 = Q_1 & K_2 = Q_1' \end{cases}$$

代入 JK 触发器特性方程 $Q^* = JQ' + K'Q$，可得电路状态方程为

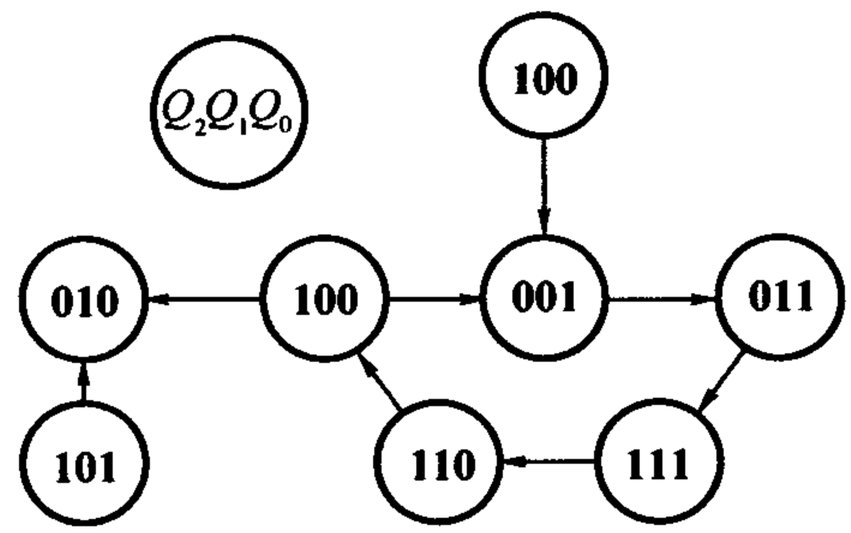
$$\begin{cases} Q_0^* = Q_1' \cdot Q_0' + Q_2' \cdot Q_0 \\ Q_1^* = Q_0 Q_1' + Q_0 Q_1 = Q_0 \\ Q_2^* = Q_1 Q_2' + Q_1 Q_2 = Q_1 \end{cases}$$

状态转换表如表 B6.3 所示。

状态转换图如题 3 解图所示，可知电路的逻辑功能为五进制计数器，并具有自启动能力。



题 2 解图



题 3 解图

表 B6.3

Q_2	Q_1	Q_0	Q_2^*	Q_1^*	Q_0^*
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	1	1	1
1	1	1	1	1	0
1	1	0	1	0	0
1	0	0	0	0	1
0	1	0	1	0	0
1	0	1	0	1	0

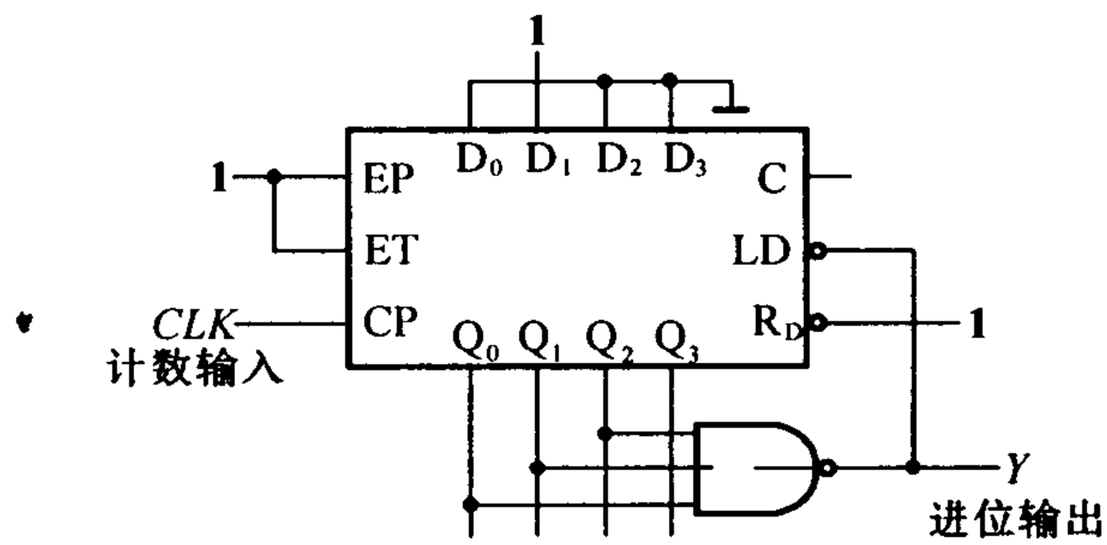
4.解　在同步十进制计数器 74160 计数过程中，当计到 $Q_3Q_2Q_1Q_0 = 0111$ 时，异步清零端 R_D' 为低电平，计数器状态立即置为 $Q_3Q_2Q_1Q_0 = 0000$，并开始下一循环的计数。在完整计数循环中包含0000～0110共七个状态(因0111状态只在极短的瞬间出现，稳定的状态循环中不包括这个状态)，所以电路是七进制计数器。

5.解　在十六进制计数器 74LS161 计数过程中，当 $Q_3Q_2Q_1Q_0 = 1011$ 时，同步置数端 LD' 置为0，下一个时钟脉冲 CLK 到达时，计数器状态置入 $Q_3Q_2Q_1Q_0 = 0011$状态开始下一循环的计数。在完整计数循环中包含0011～1011共九个状态，所以电路是九进制计数器。

6.解　两片 74161 组成八位的计数器，采用整体置数法，当两个计数器的状态为 $Q_3Q_2Q_1Q_{0(2)}$

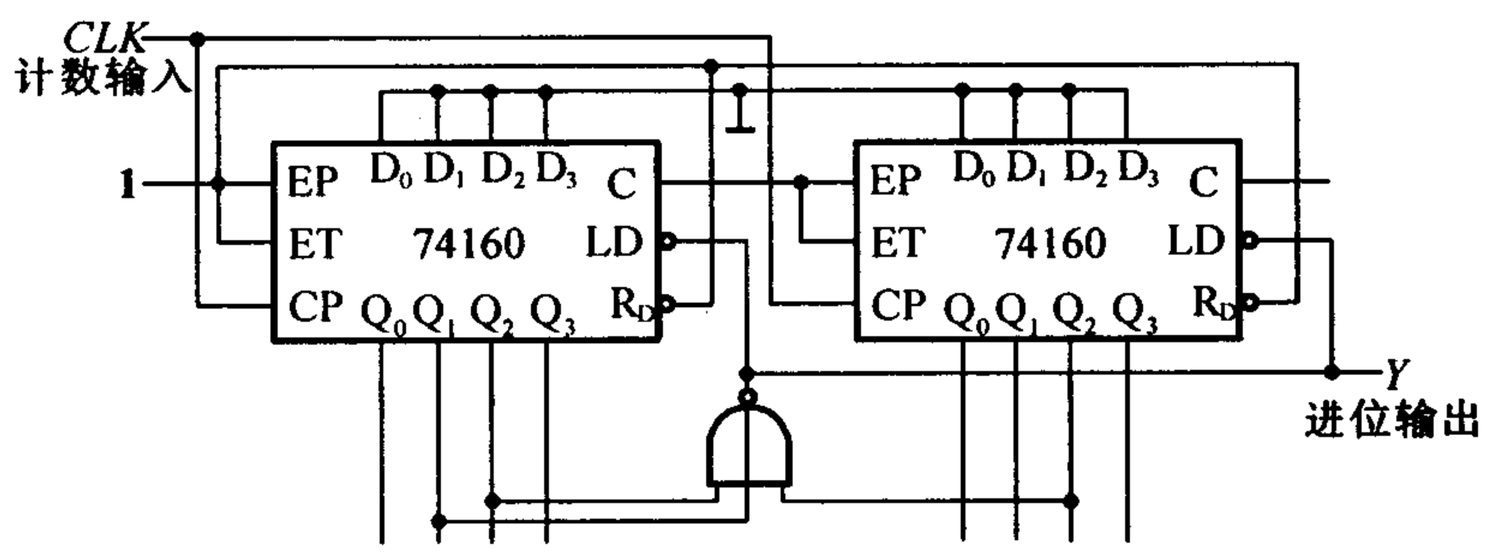
$Q_3Q_2Q_1Q_{0(1)}$"00110011"时，两片74161的LD'置为0，在下一个CLK到来时，置入"00000000"。所以电路共有00000000～00110011个状态，是52(00110100)进制计数器。如果两个计数器都是同步十进制计数器74160，则该电路是34进制的计数器。

7.解　用74LS160接成的计数器如题7解图所示。



题7解图

8.解　用两片74160接成的同步四十七进制计数器如题8解图所示。



题8解图

9.解　计数器具有六个状态，需三位二进制数，即需要三个触发器，其状态分别设为Q_0和Q_1和Q_2，八种组合中的另两个状态010、101为无效状态。由状态转换图得到状态转换卡诺图如题9解图(1)所示。

Q_2 \ Q_1Q_0	00	01	11	10
0	001	011	111	×××
1	000	×××	110	100

题9解图(1)

由状态转换卡诺图得到电路的状态方程为

$$\begin{cases} Q_0^* = Q_2' \\ Q_1^* = Q_0 \\ Q_2^* = Q_1 \end{cases}$$

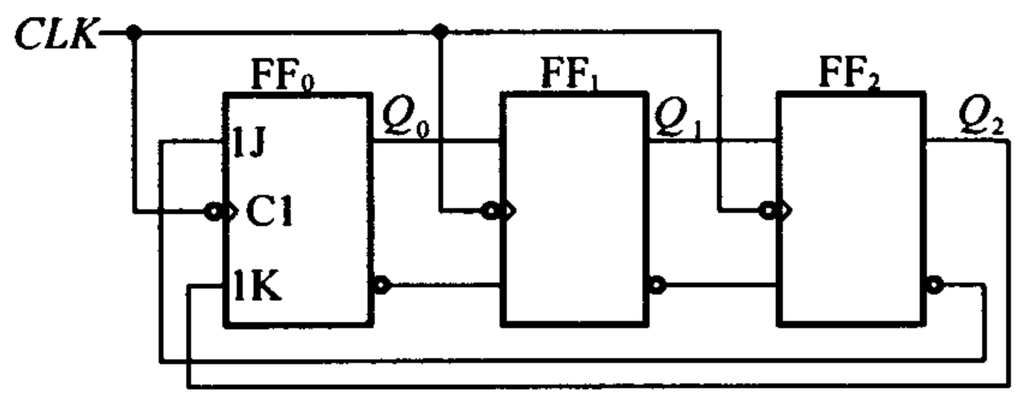
与JK触发器的特性方程$Q^* = JQ' + K'Q$比较，将状态方程变换为

$$\begin{cases} Q_0^* = Q_2' \cdot Q_0' + Q_2' Q_0 \\ Q_1^* = Q_0 Q_1' + Q_0 Q_1 \\ Q_2^* = Q_1 Q_2' + Q_1 Q_2 \end{cases}$$

可得电路的驱动方程为

$$\begin{cases} J_0 = Q_2', \quad K_0 = Q_2 \\ J_1 = Q_0, \quad K_1 = Q_0' \\ J_2 = Q_1, \quad K_2 = Q_1' \end{cases}$$

可得用 JK 触发器设计的计数器如题 9 解图(2)所示。



题 9 解图(2)

以两个无效状态 010,101 作为触发器现态,代入状态方程计算次态,可知这两个状态相互转换,电路不能自启动,故在计数前应通过直接复位端将触发器全部复位,使其进入有效状态循环。

10.解　以 X 表示输入信号,以 Y 表示输出信号。用状态 S_0, S_1, S_2, S_3 分别表示输入为 0、输入有一个1、连续输入两个1和连续输入110时的电路状态。可得电路的状态转换图如图题 10 解图(a)所示。由题 10 解图(a)可知,其中的 S_0 和 S_3 是等价状态,可以合并,得到简化的状态转换图如题 10 解图(b)所示。该电路有三个状态,可以用两位二进制代码组合中的任意三个代码表示,这里取 00,01,11 分别表示 S_0, S_1, S_2,得到编码形式的状态转换图如图题 10 解图(c)所示。

由状态转换图可画出状态转换卡诺图($Q_1^* Q_0^* / Y$),如题 10 解图(d)所示。

由状态转换卡诺图得到电路的状态方程为

$$\begin{cases} Q_0^* = X \\ Q_1^* = XQ_0 \end{cases}$$

与 JK 触发器的特性方程 $Q^* = JQ' + K'Q$ 比较,将状态方程变换为

$$\begin{cases} Q_0^* = XQ_0' + XQ_0 \\ Q_1^* = XQ_0 Q_1' + XQ_0 Q_1 = XQ_0 Q_1' + XQ_0 Q_1 + XQ_0' Q_1 = XQ_0 Q_1' + XQ_1 \end{cases}$$

驱动方程为

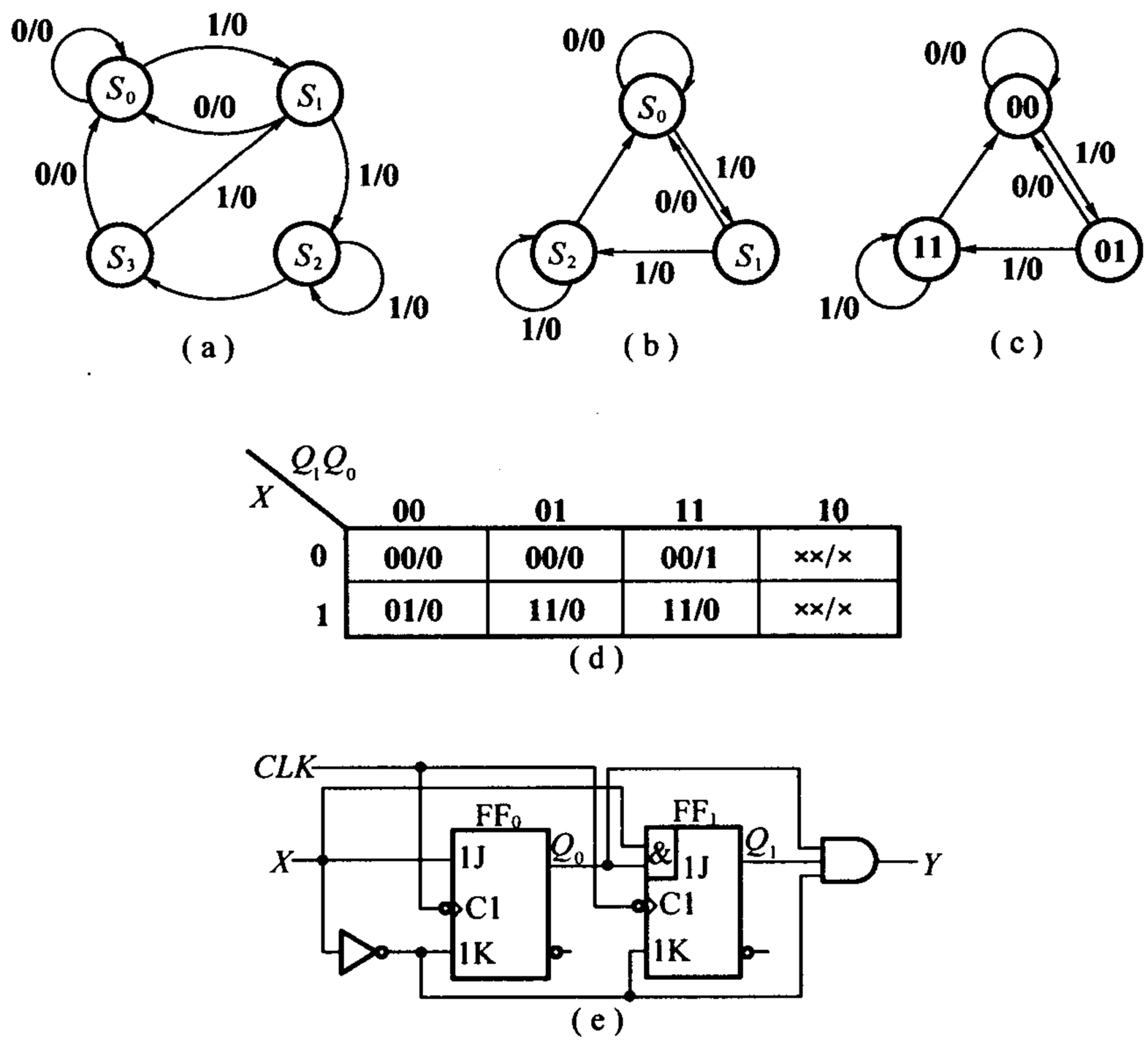
$$\begin{cases} J_0 = X, K_1 = X' \\ J_1 = XQ_0, K_1 = X' \end{cases}$$

输出方程为

$$Y = X' Q_1$$

以无效状态 10 作为触发器现态,代入状态方程,若 $X=0$,则次态为 00;若 $X=1$,则次态为 11,可知电路能

自启动。但从输出来看，若电路在无效状态10，当 $X=0$ 时，输出 $Y=1$，这不符合题意的要求。为了消除这个错误，可将输出 Y 包含的无关项不包含在表达式中，则输出方程变为 $=X'Q_1Q_0$，可得用 JK 触发器设计的计数器如题6.10解图(e)所示。



题10解图

第7章　半导体存储器

知 识 要 点

7.1　半导体存储器的类型

半导体存储器可分为以下几类：

1.按存取功能分为只读存储器 ROM（掩模 ROM、PROM、RPROM、E^2PROM、FLASH MEMORY）和随机存储器 RAM（SRAM、DRAM）；

2.按制作工艺分双极型和 MOS 型。

7.2　只读存储器 ROM

7.2.1　ROM 的组成

1.从存储角度看，ROM 由地址译码器、存储矩阵和输出缓冲器三部分组成；

2.从组合逻辑结构看，ROM 是由与阵列和或阵列组成的组合逻辑电路。

7.2.2　ROM 的存储容量

对于有 n 位地址输入、m 位数据输出的 ROM，其存储容量为 $2^n \times m$。

ROM 存储容量的扩展：有位扩展和字扩展两种方式，分别通过增加位数和字数来实现。

7.2.3　ROM 的用途

ROM 主要用于存储信息，也可用以实现组合逻辑函数，其做法是将逻辑函数的输入变量作为 ROM 的地址输入，将输入变量每种组合对应的函数值写入 ROM 的存储单元，则按地址读出的数据便是相应的函数值。

7.3 随机存储器 RAM

7.3.1 RAM 的结构和工作原理

RAM 的结构与 ROM 相似，增加了读/写控制电路，且输入、输出端采用双向数据总线。

1.存储矩阵 结构与 ROM 相似，但交叉点上的元件是具有记忆功能的触发器或具有存储电荷功能的 MOS 管栅极电容，每个交叉点上都有存储元件。

2.地址译码器 与 ROM 一样，也是 n 选 1 译码器。

3.读/写控制电路 存储器的读和写操作只能是分时的，因此用读/写控制信号 R/W' 来控制双向数据总线(I/O)。当 $R/W'=1$时，执行读操作，存储器通过双向数据总线输出数据；当 $R/W'=0$时，执行写操作，外部数据通过同一条总线存入 RAM。

4.片选控制 只对 $CS'=0$的 RAM 进行读写操作，而 $CS'=1$的 RAM 的数据总线处于高阻状态。

7.3.2 RAM 的存储容量扩展方法

1.字扩展：增加地址线，利用 CS'，并用译码器来进行存储器的选择。

2.位扩展：将地址线 R/W'，CS'并联使用。

7.3.3 RAM 的用途

用于存放用户自行编写的或外部存储媒体提供的工作程序、数据。

7.4 本章重点

1.半导体存储器的容量扩展方法。

2.用 ROM 实现组合逻辑电路。

书后复习思考题解答

R7.2.1 既然快闪存储器能够擦除后改写(重新编程)，为什么还把它归类到只读存储器当中呢？

答 虽然快闪存储器擦除速度快，但其编程写入的速度要慢得多，不能满足随时进行快速写入的要求。通常情况下，仍然作为只读存储器使用。

R7.3.1 静态随机存储器和动态随机存储器的根本区别是什么？它们各有何优、缺点？各适用于什么场合？

答 (1)二者的根本区别在于 SRAM 的存储单为锁存器结构，而 DRAM 的存储单元为 MOS 管的栅极电

容。

(2)二者的优缺点:SRAM 的优点在于数据读出为非破坏性读出,读写简单,缺点是电路结构复杂,不利于大容量集成;DRAM 的主要优点在于电路结构简单,易于大容量集成。缺点在于对数据的读出是破坏性读出,必须对数据进行刷新,操作复杂。

R7.3.2 RAM 和 ROM 的主要区别是什么?它们各适用于哪些场合?

答 RAM 和 ROM 的主要区别在于 RAM 可以随时、快速地进行读和写两种操作。但断电后存储的数据会消失,不能长期保存。RAM 适用于数据要经常修改,但不要求长期保存的场合。ROM 可以随时、快速地读出存储的数据,但不能快速、方便地写入数据。断电后存储的数据能够长期保存。ROM 适用于要求数据长期保存,但不要求修改的场合。

R7.4.1 在原教材中图 7.4.2 的例子中,可否改用 A_1A_0 译出 $Y_0' \sim Y_3'$ 信号,而将 $A_2 \sim A_9$ 接到各片 RAM 的 $A_0 \sim A_7$ 输入端?

答 如果按 R7.4.1 所述的接法,各 RAM 的地址如下。

第一片:$\overbrace{00\cdots00}^{8}0 \sim \overbrace{11\cdots11}^{8}00$,000H ~ 3FCH

第二片:$\overbrace{00\cdots00}^{8}1 \sim \overbrace{11\cdots11}^{8}01$,001H ~ 3FDH

第三片:$\overbrace{00\cdots00}^{8}10 \sim \overbrace{11\cdots11}^{8}10$,002H ~ 3FEH

第四片:$\overbrace{00\cdots00}^{8}11 \sim \overbrace{11\cdots11}^{8}11$,003H ~ 3FFH

这样,每个 RAM 中 256 个 8 位存储单元的地址将是不连续的,地址相差 4。而四片 RAM 中相同位置的四个 8 位存储单元(来自于四片 RAM)的地址将是连续的。

换言之,当 $A_9 \sim A_0$ 的输入地址为 000H 时,将对第一片的第一组 8 位存储单元进行读写;

当 $A_9 \sim A_0$ 的输入地址为 001H 时,将对第二片的第一组 8 位存储单元进行读写;

当 $A_9 \sim A_0$ 的输入地址为 002H 时,将对第三片的第一组 8 位存储单元进行读写;

当 $A_9 \sim A_0$ 的输入地址为 003H 时,将对第四片的第一组 8 位存储单元进行读写;

当 $A_9 \sim A_0$ 的输入地址为 004H 时,将对第一片的第二组 8 位存储单元进行读写;

当 $A_9 \sim A_0$ 的输入地址为 005H 时,将对第二片的第二组 8 位存储单元进行读写;

当 $A_9 \sim A_0$ 的输入地址为 006H 时,将对第三片的第二组 8 位存储单元进行读写;

当 $A_9 \sim A_0$ 的输入地址为 007H 时,将对第四片的第二组 8 位存储单元进行读写。

以此类推,可寻址到四片的全部存储单元。可见,该方法也是可行的。

R7.5.1 在用 ROM 产生一组多输出组合逻辑函数时,如果 ROM 的地址输入端数目大于输入逻辑变量数,ROM 的数据输出端数目大于函数输出端数,则应如何处理这些多余的地址输入端和数据输出端?

答 将多余的地址输入端统一接至高电平或低电平即可。此时考虑这些多余地址输入端的状态,在相应地址的单元中存入数据。

对于有多余的输出端的情况,可在相应多余输出端对应的位的存储单元中固定置入"0"或"1"均可。

R7.5.2 在用 ROM 产生一组多输出逻辑函数时,如果输入变量的数目大于 ROM 地址输入端的数目,或者函数输出端的数目大于 ROM 数据输出端的数目,应当怎么办?

答 (1)如果函数输入变量数大于 ROM 的地址输入端数,应当进行 ROM 的字扩展,使 ROM 的地址输入

端数目大于或等于函数的输入变量数，然后再设计。

(2)如果函数输出变量数大于 ROM 的输出端数，应当对 ROM 进行位扩展，使 ROM 的输出端数目大于或等于函数的输出变量数，然后再设计。

(3)如果上述两种情况同时存在，则应对 ROM 同时进行字和位的扩展，然后再设计。

书后习题解析

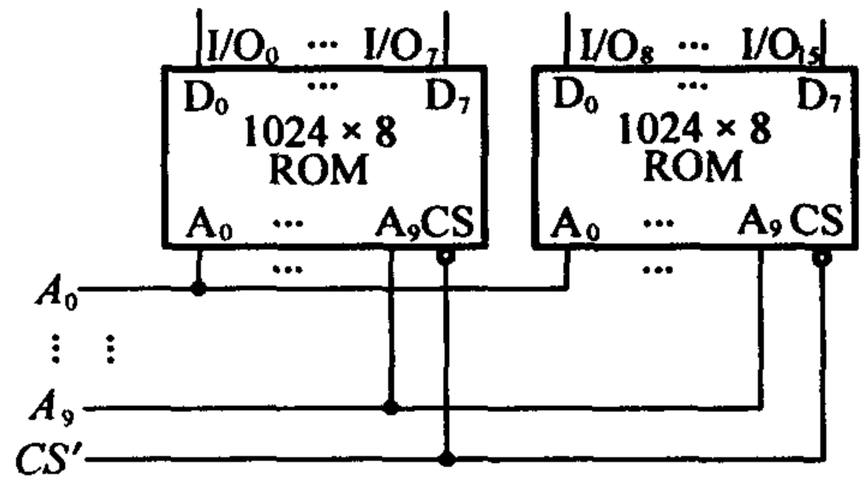
[题 7.1]　若存储器的容量为 512 K×8 位，则地址代码应取几位？

解　512 K = 512 × 1 024 = $2^9 \times 2^{10} = 2^{19}$，故地址代码应为 19 位。

[题 7.2]　某台计算机的内存储器设置有 32 位的地址线，16 位并行数据输入/输出端，试计算它的最大存储量是多少？

解　最大存储量为 2^{32} × 16 位 = 68.7 × 10^9 位 = 68.7 G 位。

[题 7.3]　试用两片 1 024 × 8 位的 ROM 组成 1 024 × 16 位的存储器。

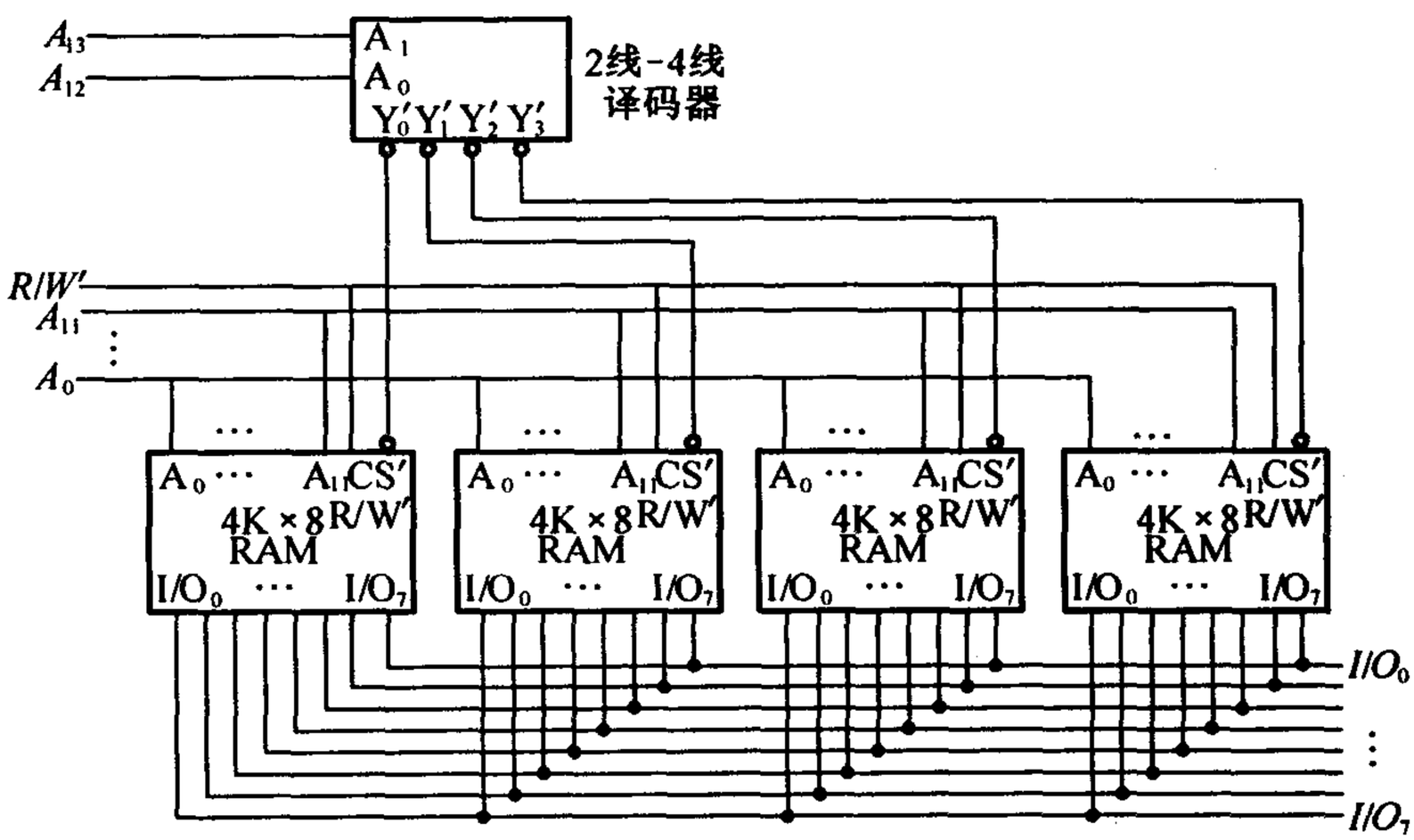


题 7.3 解图

解　电路如题 7.3 解图所示。该电路为电位扩展方式。

[题 7.4]　试用四片 4 K×8 位的 RAM 接成 16 K×8 位的存储器。

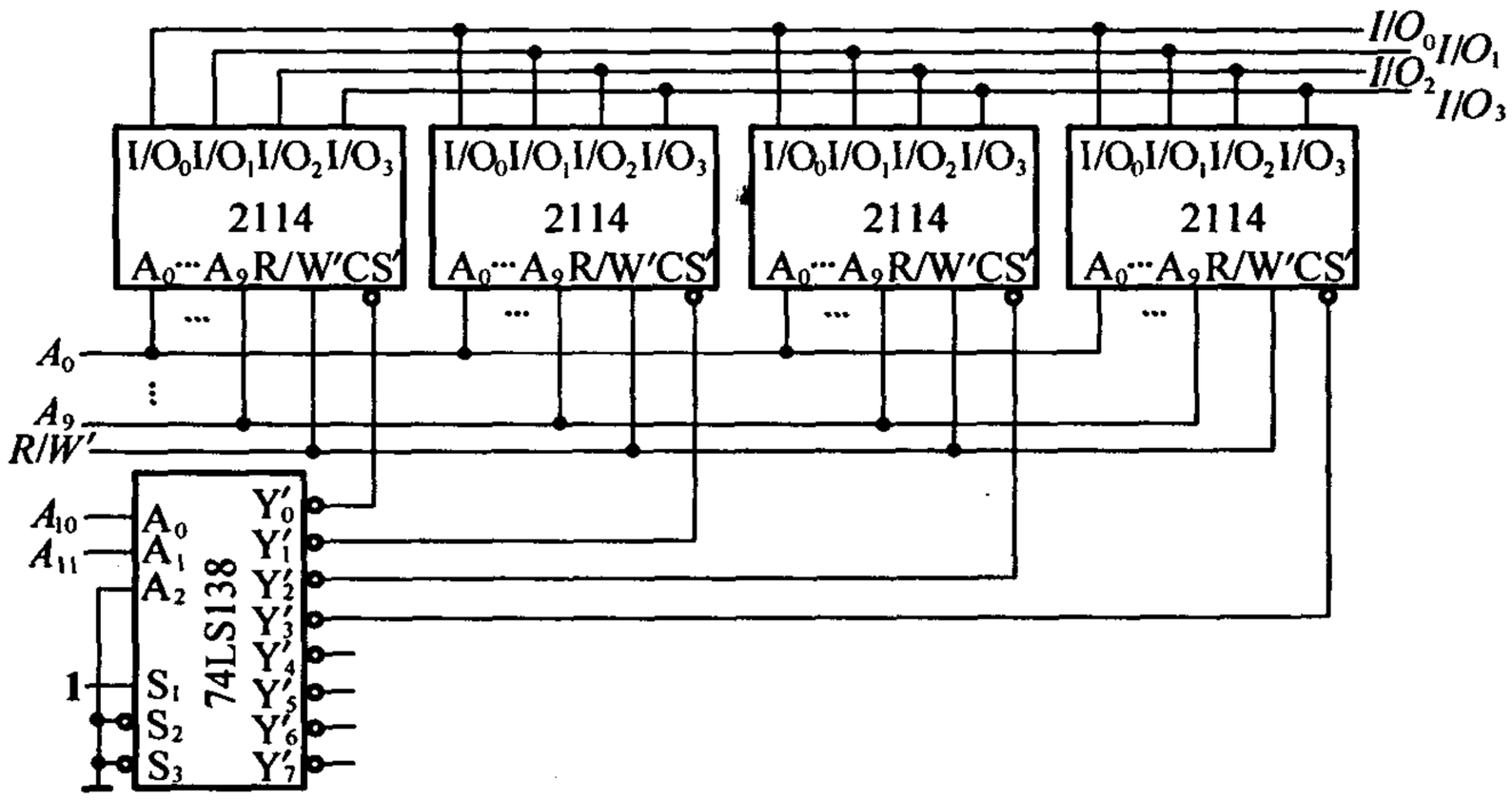
解　电路如题 7.4 解图所示。该电路为字扩展方式。



题 7.4 解图

[题 7.5]　试用四片 2114(1 024 × 4 位的 RAM)和 3 线 – 8 线译码器 74HC138(见原教材中图 4.3.8)组成 4 096 × 4 位的 RAM。

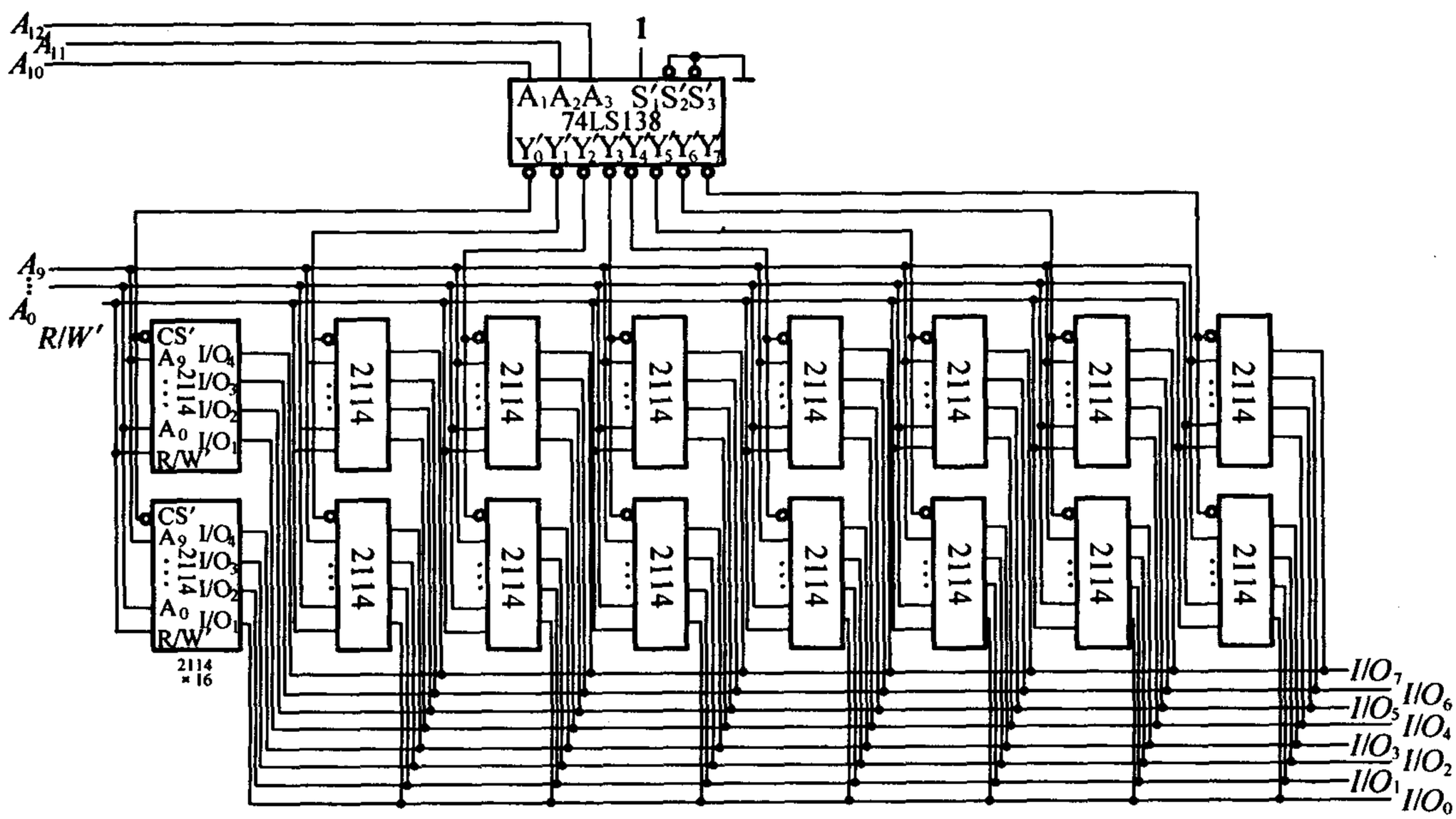
解 电路如题 7.5 解图所示。该电路为字扩展方式。



题 7.5 解图

[题 7.6] 试用 16 片 2 114(1 024×4 位的 RAM)和 3 线－8 线译码器 74HC138(见原教材中图 4.3.8)接成一个 8 K×8 位的 RAM。

解 先按位扩展方法将每两片 2114 接成 1 K×8 位的存储器,再按字扩展方式将八个 1 K×8 位的存储器接成 8 K×8 位的存储器。电路如题 7.6 解图所示。



题 7.6 解图

[题7.7] 已知ROM的数据表如表P7.7所示，若将地址输入 A_3, A_2, A_1, A_0 作为4个输入逻辑变量，将数据输出 D_3, D_2, D_1, D_0 作为函数输出，试写出输出与输入间的逻辑函数式，并化为最简与或形式。

表 P7.7

地址输入				数据输出			
A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	0
0	0	1	1	0	1	0	0
0	1	0	0	0	0	1	0
0	1	0	1	0	1	0	0
0	1	1	0	0	1	0	0
0	1	1	1	1	0	0	0
1	0	0	0	0	0	1	0
1	0	0	1	0	1	0	0
1	0	1	0	0	1	0	0
1	0	1	1	1	0	0	0
1	1	0	0	0	1	0	0
1	1	0	1	1	0	0	0
1	1	1	0	1	0	0	0
1	1	1	1	0	0	0	1

解 由真值表写逻辑函数式并用卡诺图化简，得

$$D_3 = A_3' A_2 A_1 A_0 + A_3 A_2' A_1 A_0 + A_3 A_2 A_1' A_0 + A_3 A_2 A_1 A_0'$$

$$D_2 = A_3' A_2' A_1 A_0 + A_3' A_2 A_1' A_0 + A_3' A_2 A_1 A_0' + A_3 A_2' A_1' A_0 + A_3 A_2' A_1 A_0' + A_3 A_2 A_1' A_0'$$

$$D_1 = A_3' A_2' A_1' A_0 + A_3' A_2' A_1 A_0' + A_3' A_2 A_1' A_0' + A_3 A_2' A_1' A_0'$$

$$D_4 = A_3' A_2' A_1' A_0' + A_3 A_2 A_1 A_0$$

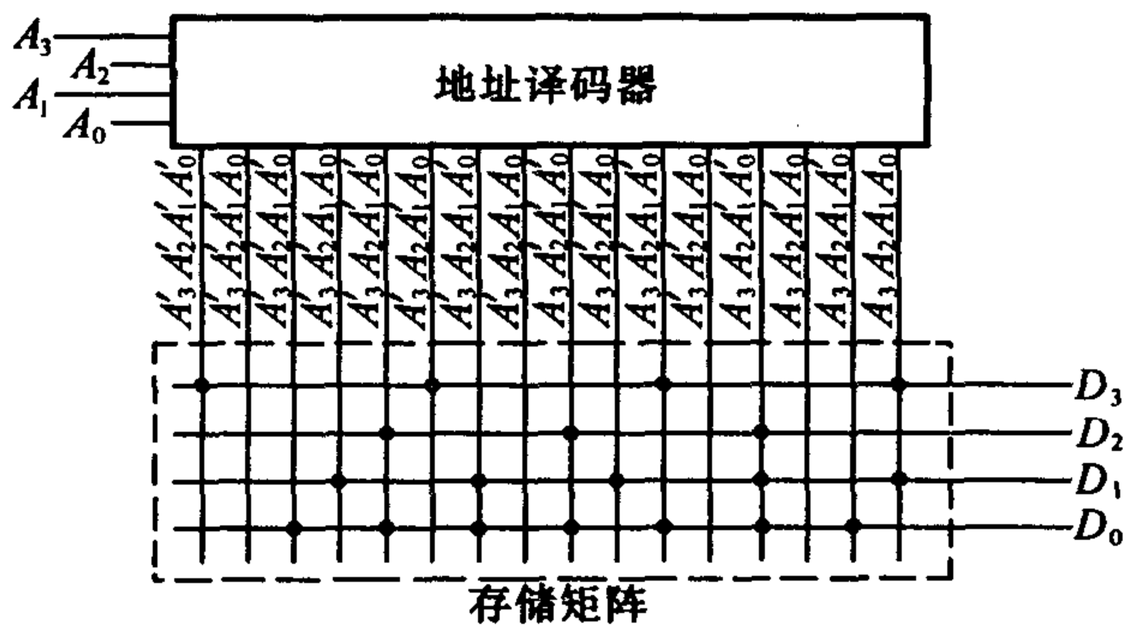
[题7.8] 题7.8图是一个16×4位的ROM，$A_3 A_2 A_1 A_0$ 为地址输入，$D_3 D_2 D_1 D_0$ 是数据输出。若将 D_3，D_2, D_1, D_0 视为 A_3, A_2, A_1, A_0 的逻辑函数，试写出 D_3, D_2, D_1, D_0 的逻辑函数式。

解 由题7.8图可得

$$D_3 = A_3' A_2' A_1' A_0' + A_3' A_2' A_1' A_0 + A_3 A_2' A_1 A_0' + A_3 A_2 A_1 A_0$$

$$D_2 = A_3' A_2 A_1' A_0' + A_3 A_2' A_1' A_0' + A_3 A_2 A_1' A_0'$$

$$D_1 = A_3' A_2' A_1 A_0 + A_3' A_2 A_1 A_0' + A_3 A_2' A_1' A_0 + A_3 A_2 A_1' A_0' + A_3 A_2 A_1 A_0$$



题 7.8 图

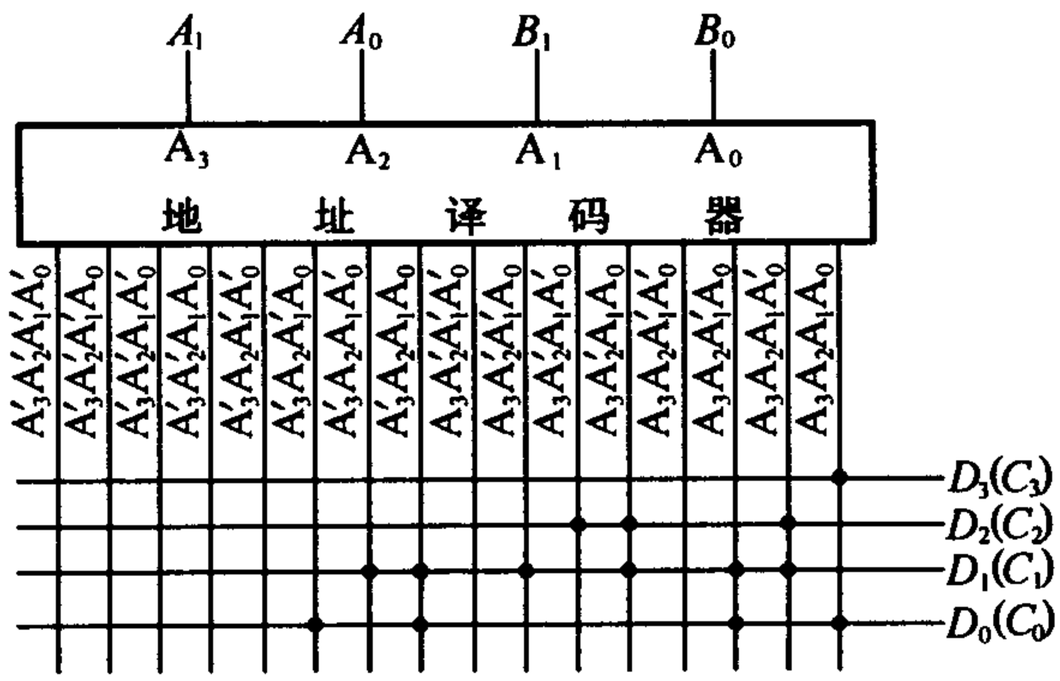
$$D_0 = A_3'A_2'A_1A_0' + A_3'A_2A_1'A_0' + A_3'A_2A_1A_0' + A_3A_2'A_1'A_0' + A_3A_2'A_1A_0' + A_3A_2A_1'A_0' + A_3A_2A_1A_0'$$

[题 7.9] 用 16×4 位的 ROM 设计一个将两个 2 位二进制数相乘的乘法器电路，列出 ROM 的数据表，画出存储矩阵的点阵图。

解 设两个相乘的数为 A_1A_0 和 B_1B_0，乘积为 $C_3C_2C_1C_0$，可得到如表 A7.9 所示的真值表。将 $A_1A_0B_1B_0$ 加到 ROM 的地址输入端 $A_3A_2A_1A_0$，按题 7.9 解图的点阵编程，则 D_3, D_2, D_1, D_0 即为乘积的四位输出端 C_3, C_2, C_1, C_0。

表 A7.9

乘数				乘积			
A_1	A_0	B_1	B_0	C_3	C_2	C_1	C_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1
A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0



题7.9解图

[题7.10] 用ROM产生下列一组逻辑函数,写出ROM中应存入的数据表

$$\begin{cases} Y_3 = A'B'CD' + AB'CD \\ Y_2 = ABD' + A'CD + AB'C'D' \\ Y_1 = AB'CD' + BC'D \\ Y_0 = A'D' \end{cases}$$

解 将函数式化为最小项之和的形式

$$\begin{cases} Y_3 = A'B'CD' + AB'CD \\ Y_2 = A'B'CD + A'BCD + AB'C'D' + ABC'D' + ABCD' \\ Y_1 = A'BC'D + AB'CD' + ABC'D \\ Y_0 = A'B'C'D' + A'B'CD' + A'BC'D' + A'BCD' \end{cases}$$

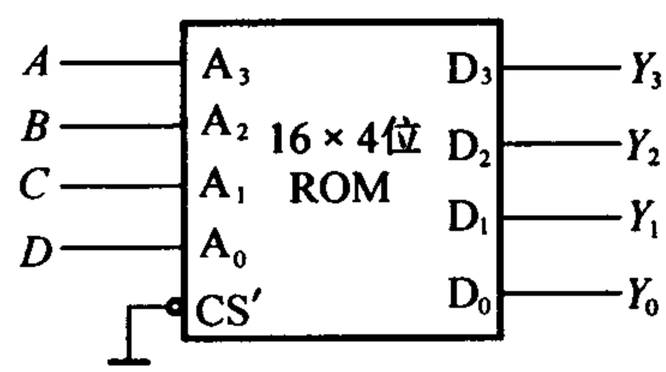
根据最小项之和形式的逻辑式可写出ROM中应存入的数据,如表A7.10所示。

表A7.10

A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0
0	0	1	0	1	0	0	1
0	0	1	1	0	1	0	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	1	0
0	1	1	0	0	0	0	1
0	1	1	1	0	1	0	0

表 A7.10(续)

A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
1	0	0	0	0	1	0	0
1	0	0	1	0	0	0	0
1	0	1	0	0	0	1	0
1	0	1	1	1	0	0	0
1	1	0	0	0	1	0	0
1	1	0	1	0	0	1	0
1	1	1	0	0	1	0	0
1	1	1	1	0	0	0	0



题 7.10 解图

只需将 A,B,C,D 分别输入给 ROM 的地址输入端 $A_3 \sim A_0$,则在 ROM 的数据输出端 D_3,D_2,D_1,D_0 将分别得到逻辑变量 Y_3,Y_2,Y_1,Y_0。电路如题 7.10 解图所示。

[题 7.11] 用 ROM 设计一个组合逻辑电路,用来产生下列一组逻辑函数

$$\begin{cases} Y_1 = A'B'C'D' + A'BC'D + AB'CD' + ABCD \\ Y_2 = A'B'CD' + A'BCD + AB'C'D' + ABC'D \\ Y_3 = A'BD + B'CD' \\ Y_4 = BD + B'D' \end{cases}$$

列出 ROM 应有的数据表,画出存储矩阵的点阵图。

解 将函数化成最小项之和的形式为

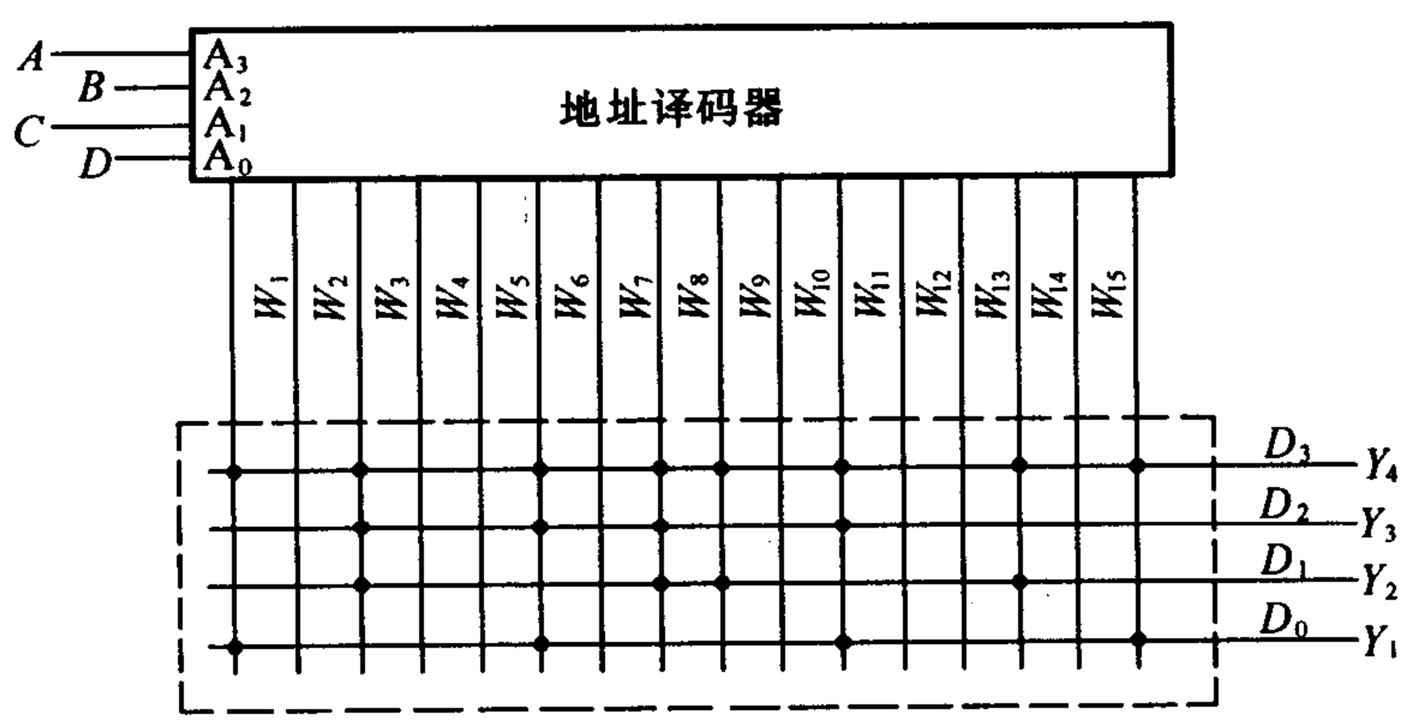
$$\begin{cases} Y_1 = \sum m(0,5,10,15) \\ y_2 = \sum m(2,7,8,13) \\ y_3 = \sum m(2,5,7,10) \\ y_4 = \sum m(0,2,5,7,8,10,13,15) \end{cases}$$

则可得 ROM 应有的数据表如表 A7.11 所示,ROM 存储矩阵的点阵图如题 7.11 解图所示。

只需将 A,B,C,D 分别输入给 ROM 地址输入端 $A_3 \sim A_0$,则在 ROM 的数据输出端 $D_3 \sim D_0$ 将分别得到逻辑函数的输出变量 $Y_4 \sim Y_1$。

表 A7.11

地　　址				数　　据			
A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	1	0	0	1
0	0	0	1	0	0	0	0
0	0	1	0	1	1	1	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	1	1	0	1
0	1	1	0	0	0	0	0
0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	0
1	0	0	1	0	0	0	0
1	0	1	0	1	1	0	1
1	0	1	1	0	0	0	0
1	1	0	0	0	0	0	0
1	1	0	1	1	0	1	0
1	1	1	0	0	0	0	0
1	1	1	1	1	0	0	1



题 7.11 解图

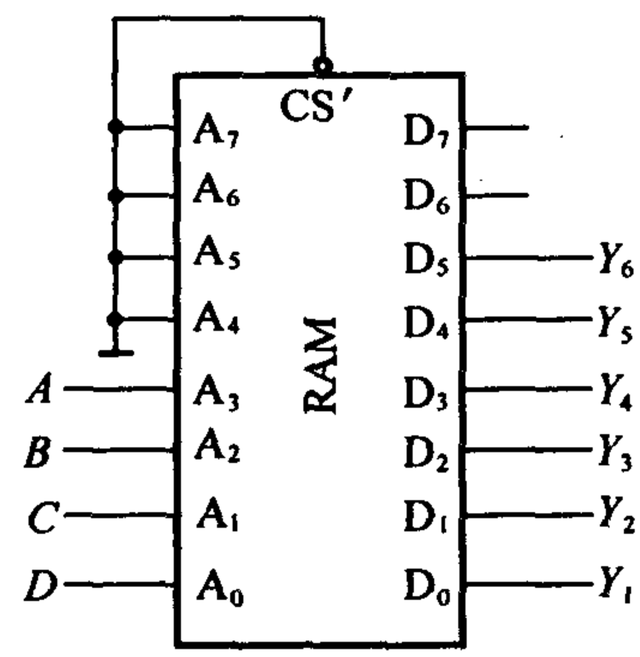
[题 7.12]　用一片 256×8 位的 ROM 产生如下一组组合逻辑函数

$$\begin{cases} Y_1 = AB + BC + CD + DA \\ Y_2 = A'B' + B'C' + C'D' + D'A' \\ Y_3 = ABC + BCD + ABD + ACD \\ Y_4 = A'B'C' + B'C'D' + A'B'D' + A'C'D' \\ Y_5 = ABCD \\ Y_6 = A'B'C'D' \end{cases}$$

列出 ROM 的数据表，画出电路的连接图，标明各输入变量与输出函数的接线端。

解 将函数化成最小项之和的形式为

$$\begin{cases} Y_1 = \sum m(3,6,7,9,11,12,13,14,15) \\ Y_2 = \sum m(0,1,2,3,4,6,8,9,12) \\ Y_3 = \sum m(7,11,13,14,15) \\ Y_4 = \sum m(0,1,2,4,8) \\ Y_5 = m_{15} \\ Y_6 = m_0 \end{cases}$$



题 7.12 解图

将 RAM 地址的高 4 位接 0，将 A, B, C, D 接至低 4 位地址输入端，取 $D_0 \sim D_5$ 作为 $Y_1 \sim Y_6$ 输出。RAM 数据表如表 A7.12 所示，电路连接图如题 7.12 解图所示。

表 A7.12

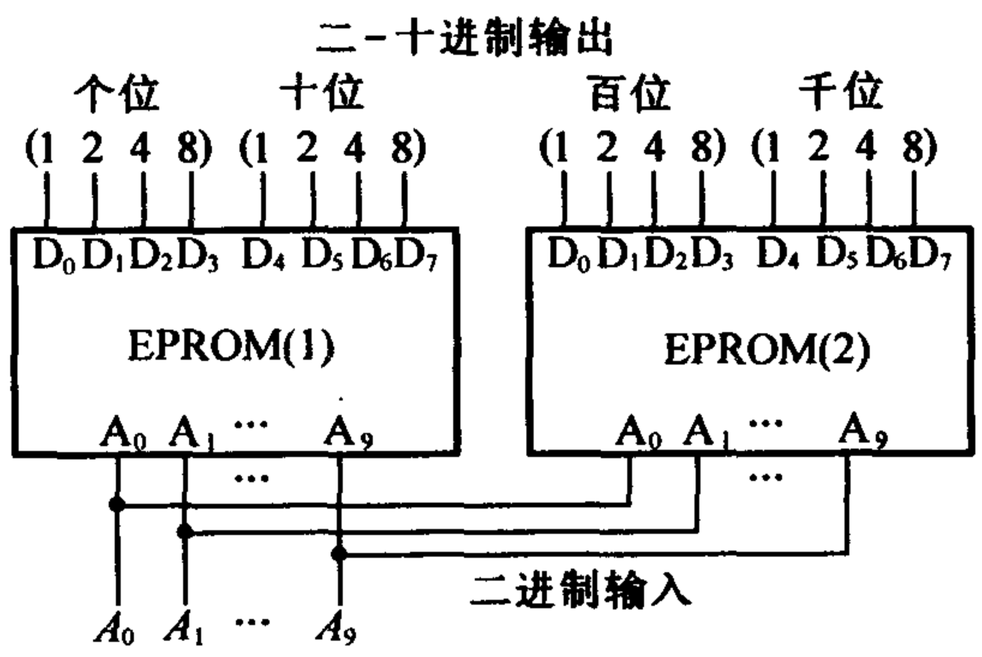
地址				数据					
A_3	A_2	A_1	A_0	D_5	D_4	D_3	D_2	D_1	D_0
0	0	0	0	1	0	1	0	1	0
0	0	0	1	0	0	1	0	1	0
0	0	1	0	0	0	1	0	1	0
0	0	1	1	0	0	0	0	1	1
0	1	0	0	0	0	1	0	1	0
0	1	0	1	0	0	0	0	0	0
0	1	1	0	0	0	0	0	1	1
0	1	1	1	0	0	0	1	0	1
1	0	0	0	0	0	1	0	1	0
1	0	0	1	0	0	0	0	1	1
1	0	1	0	0	0	0	0	0	0
1	0	1	1	0	0	0	1	1	0
1	1	0	0	0	0	0	0	1	1
1	1	0	1	0	0	0	1	0	1
1	1	1	0	0	0	0	1	0	1
1	1	1	1	0	1	0	1	0	1

[题7.13] 用两片1 024×8位的EPROM接成一个数码转换器，将10位二进制数转换成等值的4位二-十进制数。

(1)试画出电路接线图，标明输入和输出。

(2)当地址输入 $A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0$ 分别为0000000000，1000000000，1111111111时，两片EPROM中对应地址中的数据各为何值？

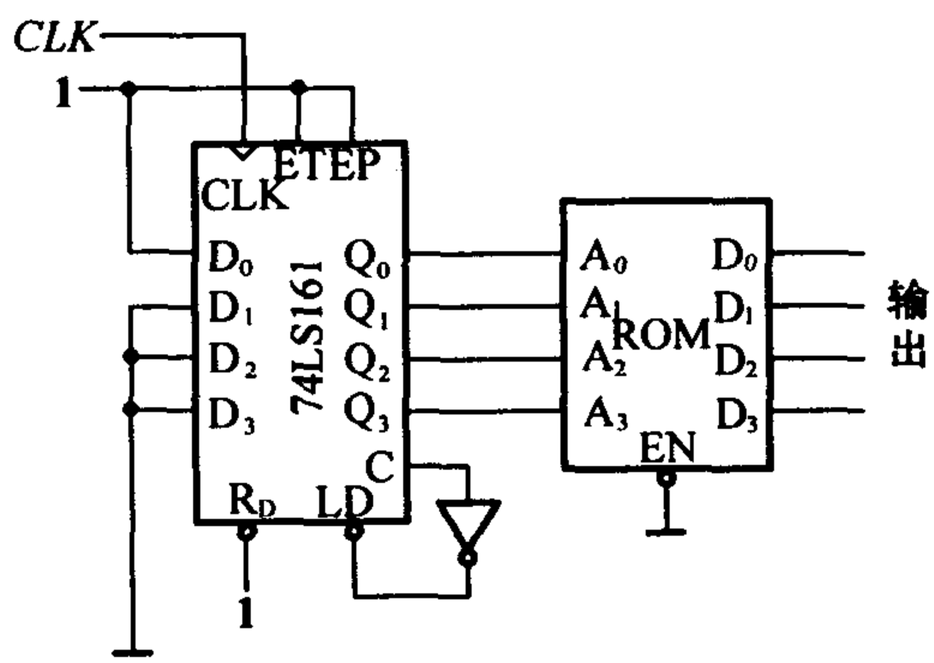
解 (1)电路接线如题7.13解图所示。



题7.13解图

(2)当地址输入 $A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0$ 分别为0000000000，1000000000，1111111111时，EPROM(2)和(1)中对应地址中的数据为00000000 00000000(0)，00000101 00010010(512)，00010000 00100011(1 023)。

[题7.14] 题7.14图是用16×4位ROM和同步十六进制加法计数器74LS161组成的脉冲分频电路，ROM的数据表如表P7.14所示。试画出在CLK信号连续作用下 D_3，D_2，D_1 和 D_0 输出的电压波形，并说明它们与 *CLK* 信号频率之比。

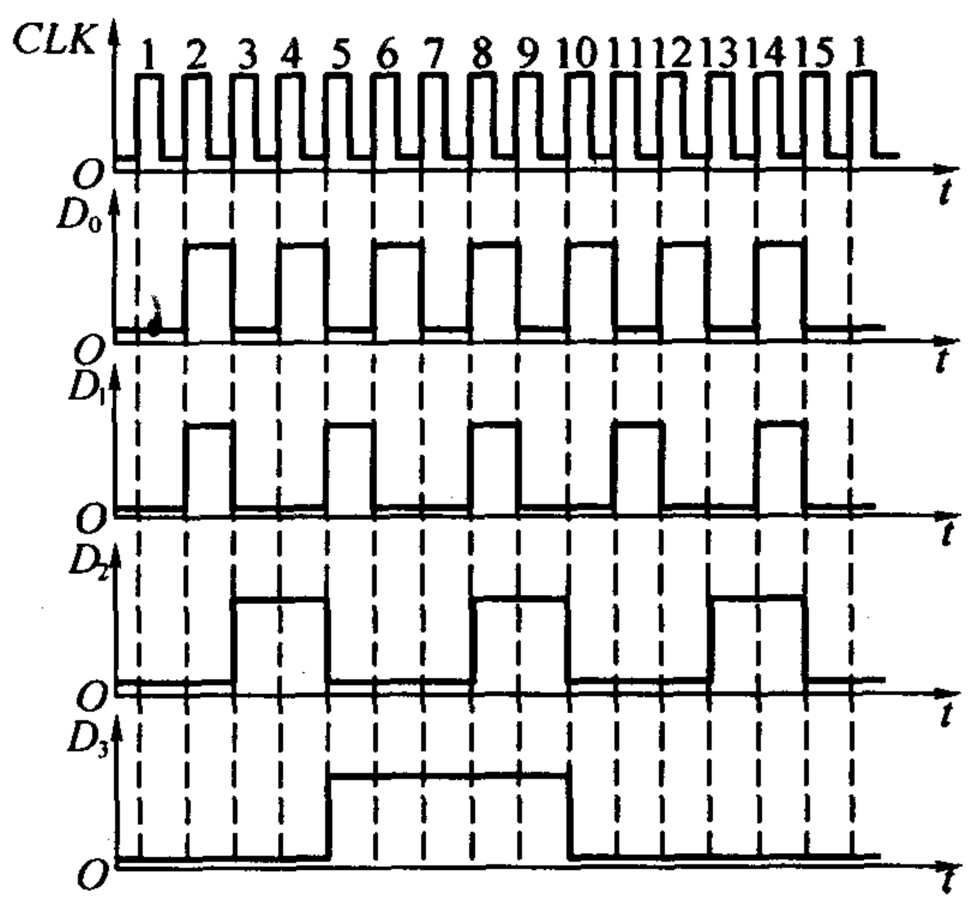


题7.14图

表 P7.14

地址输入				数据输出			
A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	1	1	1	1
0	0	0	1	0	0	0	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	1	0	1	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	0	0
1	0	0	0	1	1	1	1
1	0	0	1	1	1	0	0
1	0	1	0	0	0	0	1
1	0	1	1	0	0	1	0
1	1	0	0	0	0	0	1
1	1	0	1	0	1	0	0
1	1	1	0	0	1	1	1
1	1	1	1	0	0	0	0

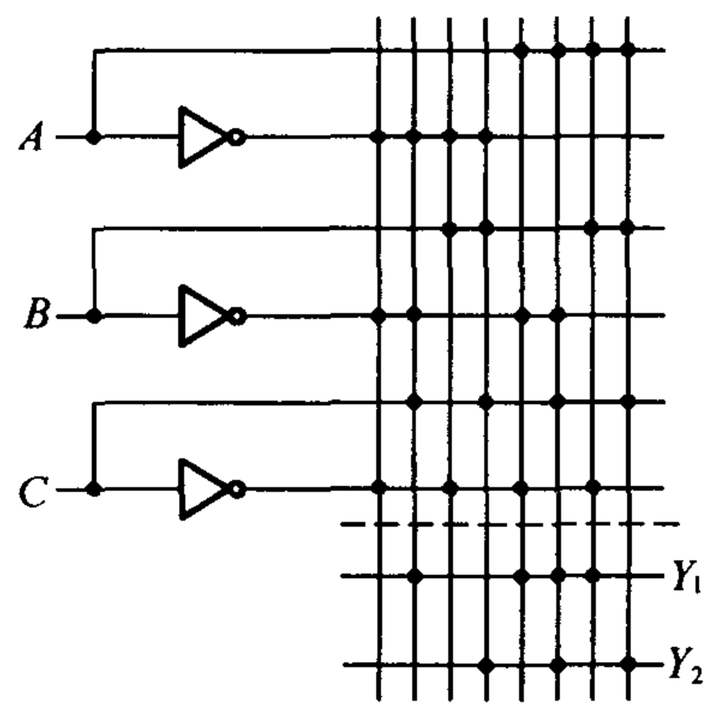
解 计数器 74LS161 以同步置数形式连接，其输出 $Q_3Q_2Q_1Q_0$（即 ROM 的地址输入 $A_3A_2A_1A_0$）在 0001～1111 共 15 个状态之间顺序循环。根据 ROM 的数据表，可得 D_3，D_2，D_1 和 D_0 输出的电压波形如题 7.14 解图所示，可得它们和 CP 信号频率之比分别为 1/15，1/5，1/3，7/15。



题 7.14 解图

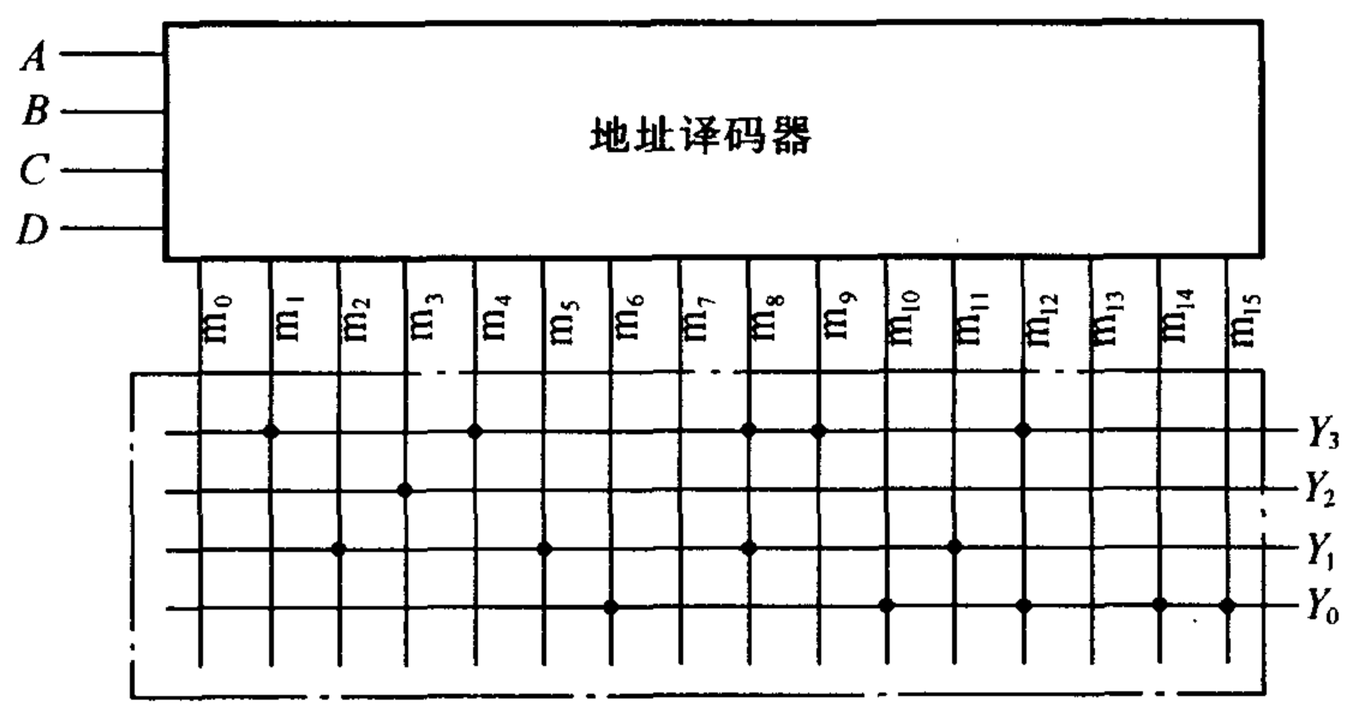
同步训练题

1.题1图为用ROM实现的组合逻辑电路,试写出输出 Y_1,Y_2 的逻辑函数式。



题1图

2.题2图是一个16×4位的ROM,*ABCD* 接ROM的地址输入 A_3,A_2,A_1,A_0,Y_3,Y_2,Y_1,Y_0 接ROM的数据输出 D_3,D_2,D_1,D_0。若将 D_3,D_2,D_1,D_0 视为 A_3,A_2,A_1,A_0 的逻辑函数,试写出 Y_3,Y_2,Y_1,Y_0 的逻辑函数式,并化为最简与或形式。



题2图

3.试用ROM设计一个比较器,用来比较两个2位二进制数 A_1A_0 和 B_1B_0。当 $A_1A_0 < B_1B_0$ 时,$Y_1(A<B)=1$;当 $A_1A_0 = B_1B_0$ 时,$Y_2(A=B)=1$;当 $A_1A_0 > B_1B_0$ 时,$Y_3(A>B)=1$。

4.用ROM设计一个代码转换电路,输入为4位二进制代码,输出为4位循环码。

5.用一片256×8位的RAM产生如下一组组合逻辑函数

$$\begin{cases} Y_1 = M'N'P'Q + N(PQ)' + NPQ \\ Y_2 = N'PQ' + NP'Q + MQ' \\ Y_3 = N'PQ + NPQ' + MQ \end{cases}$$

同步训练题答案

1.解 根据 ROM 的结构特点，由题 1 图所示电路可知，输出 Y_1，Y_2 的逻辑函数式可写为

$$Y_1 = A'B'C + A'B'C' + AB'C + ABC'$$

$$Y_2 = A'BC + AB'C + ABC$$

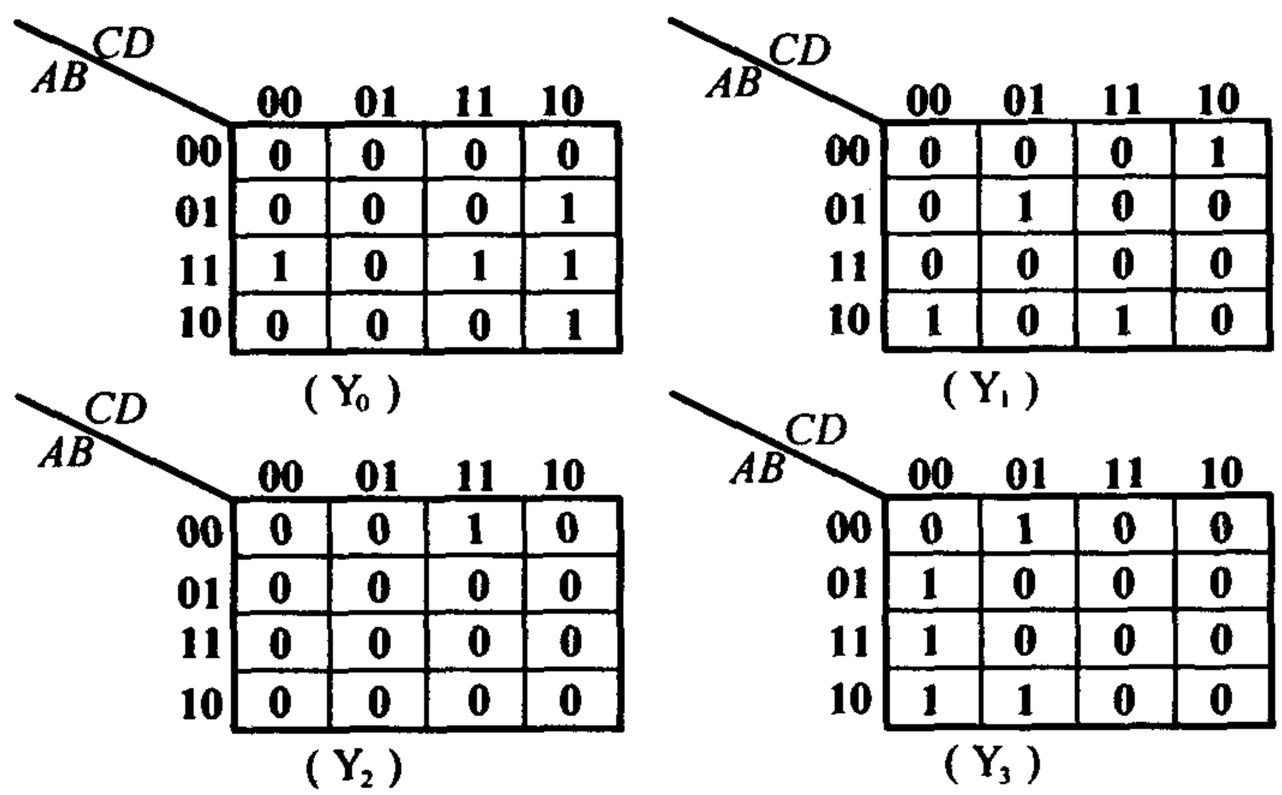
2.解 根据题 2 图所示存储矩阵的点阵图可得输出的卡诺图如题 2 解图所示，可得输出的最简与或形式为

$$Y_0 = BCD' + ACD' + ABD' + ABC$$

$$Y_1 = A'B'CD' + A'BC'D + AC'D' + AB'CD$$

$$Y_2 = A'B'CD$$

$$Y_3 = B'C'D + BC'D' + AB'C'$$

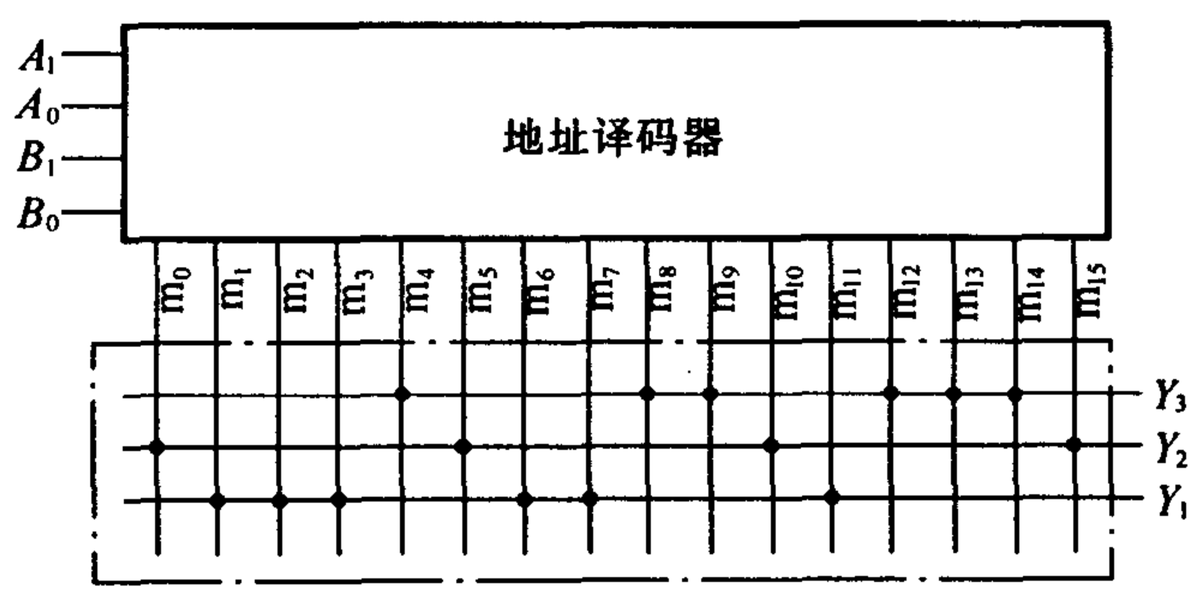


题 2 解图

3.解 根据题意，将输入信号 A_1，A_0，B_1，B_0 分别接 ROM 的 A_3，A_2，A_1，A_0，输出信号 Y_3，Y_2，Y_1 分别接 D_2，D_1，D_0，列出电路的真值表(即 ROM 的数据表)如表 B7.3 所示，则可得用 ROM 设计的比较器如题 3 解图所示。

表 B7.3

地　　址				数　　据		
$A_3(A_1)$	$A_2(A_0)$	$A_1(B_1)$	$A_0(B_0)$	$D_2(Y_3)$	$D_1(Y_2)$	$D_0(Y_1)$
0	0	0	0	0	1	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	1	0	0
0	1	0	1	0	1	0
0	1	1	0	0	0	1
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	1	0



题3解图

4.解　(1)设输入变量为 A,B,C,D,输出变量为 Y_3,Y_2,Y_1,Y_0,根据题意得到真值表如表 B7.4 所示。

表 B7.4

A	B	C	D	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

(2)由真值表可写出输出逻辑函数式的最小项之和形式为

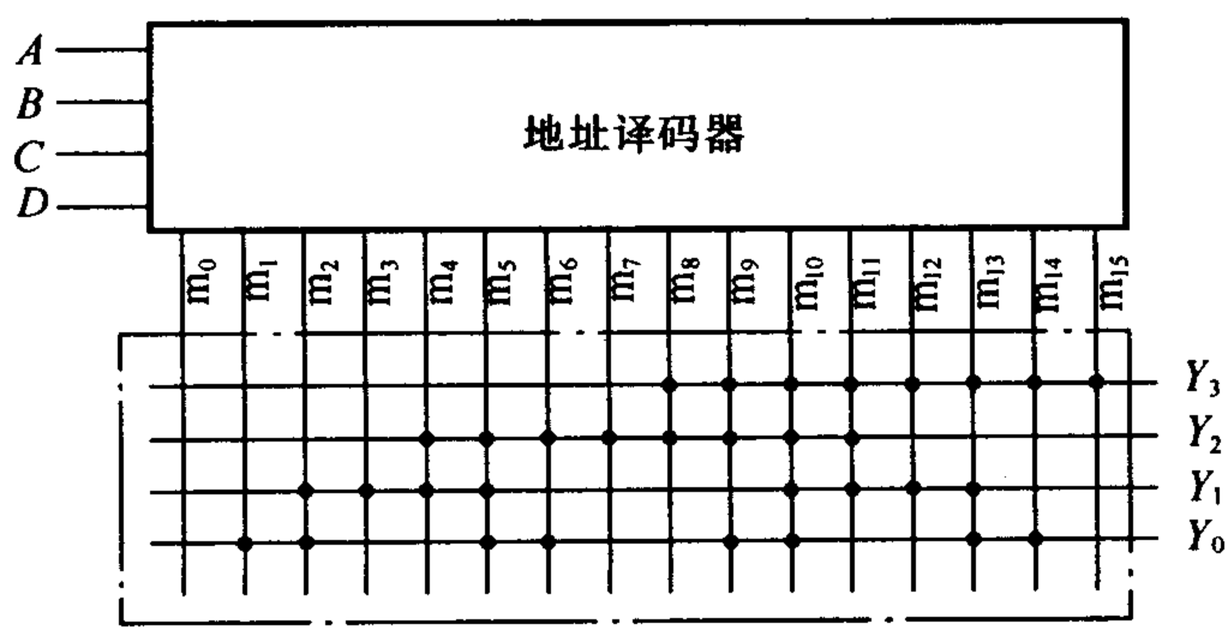
$$Y_3 = \sum m(8,9,10,11,12,13,14,15)$$

$$Y_2 = \sum m(4,5,6,7,8,9,10,11)$$

$$Y_1 = \sum m(2,3,4,5,10,11,12,13)$$

$$Y_0 = \sum m(1,2,5,6,9,10,13,14)$$

(3)由逻辑函数式画出如题 4 解图所示的逻辑电路图。

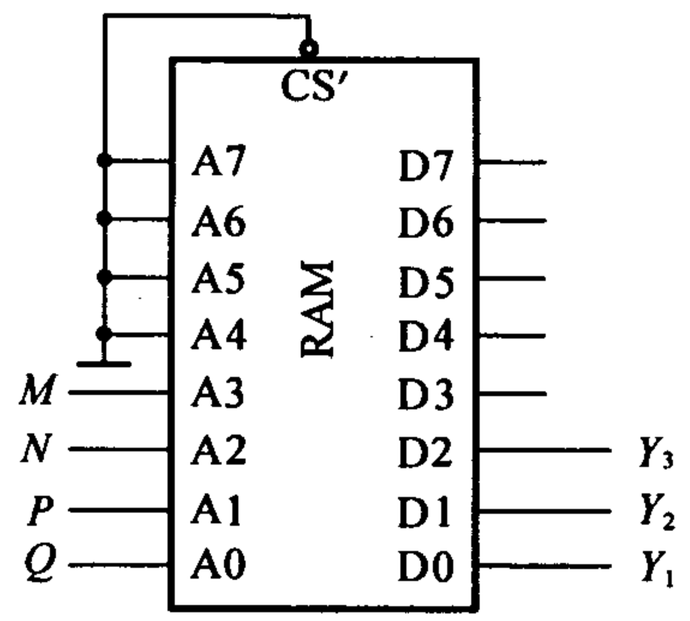


题 4 解图

5.解　将逻辑函数式化为最小项之和形式

$$\begin{cases} Y_1 = \sum m(1,4,7,12,15) \\ Y_2 = \sum m(2,5,8,9,10,11,13) \\ Y_3 = \sum m(3,6,9,11,13,14,15) \end{cases}$$

将 RAM 的地址高 4 位接低电平，将 M、N、P、Q 接至 RAM 的低 4 位地址输入端，取 RAM 的 $D_0 \sim D_2$ 作为输出 $Y_1 \sim Y_3$。RAM 数据如表 B7.5 所示，电路如题 5 解图所示。



题 5 解图

表 B7.5

地　址				数　据		
A_3	A_2	A_1	A_0	D_2	D_1	D_0
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	0	1	1	1	0	0
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	1	0	0
0	1	1	1	0	0	1
1	0	0	0	0	1	0
1	0	0	1	1	1	0
1	0	1	0	0	1	0
1	0	1	1	1	1	0
1	1	0	0	0	0	1
1	1	0	1	1	1	0
1	1	1	0	1	0	0
1	1	1	1	1	0	1

第 8 章　可编程逻辑器件

知 识 要 点

8.1　可编程逻辑器件的类型及特点

可编程逻辑器件(PLD)按照集成密度和结构特点可分为以下几类：

- 可编程逻辑器件(PLD)
  - 低密度 PLD
    - FPLA
    - PAL
    - GAL
  - 高密度 PLD
    - EPLD
    - CPLD
    - FPGA
    - ispPLD

8.1.1　FPLA 和 PAL

FPLA 和 PAL 都是早期的 PLD 产品，多采用双极型、熔丝工艺或 UVCMOS 工艺制作，电路的基本结构是与或逻辑阵列，只能一次性编程。由于集成度低、只能完成中小规模逻辑设计，但价格便宜，适用于小规模产品生产。

8.1.2　GAL

GAL 由与或门阵列、输出逻辑宏单元(OLMC)、输入输出缓冲器等几部分组成，通过编程可将 OLMC 设置成不同的输出方式，具有更好的通用性。电擦除功能使之能方便地进行多次编程。

8.1.3　EPLD

EPLD 是采用 UVCMOS 工艺制作的高密度 PLD，集成度可达到数千门。其电路结构类似于 GAL，由若干个与或阵列模块和一些 OLMC 组成。用 EPLD 可以组成较大的数字系统，信号传输时间短，可以预知。

8.1.4　CPLD

CPLD 和 FPGA 属于高密度 PLD，用来实现大规模的复杂逻辑设计。

CPLD 内部结构包括可编程输入输出模块 IOC、可编程逻辑模块 GLB、可编程连线阵列。每个 GLB 相当于一个 GAL 功能，相互连线比 EPLD 灵活，传输延迟时间可预知。有加密功能，不需要外部存储器。

8.1.5 FPGA

FPGA 采用 CMOS - SRAM 工艺，由可编程输入输出模块 IOB、可编程逻辑模块 CLB、互联资源 IR 构成，内部含有大量的触发器，更适合于设计时序电路。FPGA 中的每个单元都是可编程的，其工作状态由内部随机数据存储器中的编程数据设定，掉电以后 FPGA 中的编程数据将丢失，所以每次上电要重新加载数据。FPGA 各单元之间的连线是最灵活的一种 PLD。一般来说，FPGA 的集成度高于 CPLD，但速度低于 CPLD。

8.1.6 ispPLD

ispPLD 最突出的特点体现在系统编程能力。编程时不需要将 ispPLD 从电路板上取下，不需要编程器，可以很方便地修改逻辑设计。

8.2 可编程逻辑器件的编程原理

PLD 是由可编程的与阵列和可编程的或阵列组成，其电路符号如图 8 - 1 所示，其中图 8 - 1(a)表示与阵列，图 8 - 1(b)表示或阵列，图 8 - 1(c)、图 8 - 1(d)表示缓冲器。图中“•”表示固定连接点，出厂时已接好，不可更改；“×”表示用户定义编程点，出厂时是接通的，用户可将其断开，即擦去，也可保留接通，仍用“×”表示；既无“•”又无“×”表示不接通或被用户擦去的，表示该变量不是输入量。

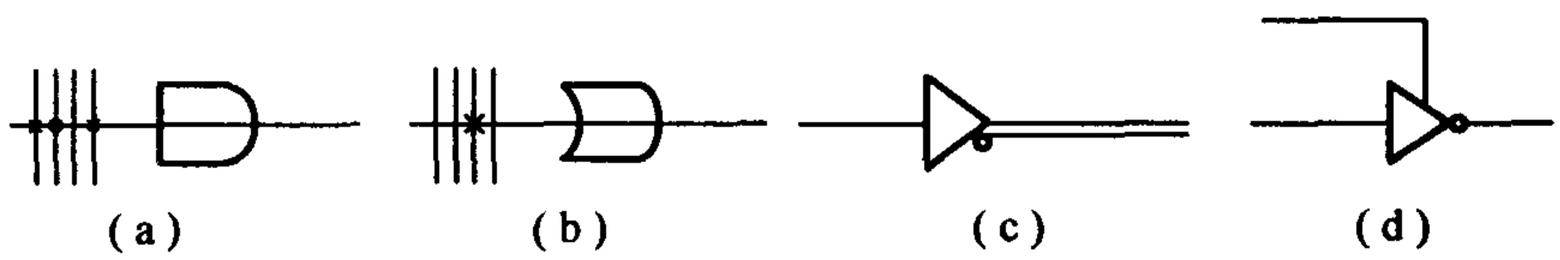


图 8 - 1

8.3 本章重点

1. 各种可编程逻辑器件的结构和性能特点。
2. 用可编程逻辑器件设计数字电路。

难点在于各种可编程逻辑器件的结构和工作原理。

书后复习思考题解答

R8.1.1 各种 PLD 的共同特征是什么？它们和标准化的数字集成电路器件有何不同？

答 各种 PLD 的共同特征是其逻辑功能可通过对器件编程来设定。

标准化的数字集成电路属于通用型数字集成电路，其逻辑功能是固定不变的。而 PLD 的逻辑功能可以由设计人员根据自己的需要而设定。

R8.2.1 在输入端和输出端数目相同的条件下，能否用 PROM 代替 FPLA 而得到逻辑功能相同的组合电路？

答 可以。

R8.3.1 PAL 和 FPLA 在电路结构上有哪些不同之处？

答 (1)FPLA 中的与阵列和或阵列都是可以编程的，而 PAL 中的与阵列可编程，或阵列是固定的。

(2)FPLA 中的输入和输出基本属于固定的。而 PAL 的输出电路结构形式多样，输出具有反馈。

(3)FPLA 内部需要设置比 PAL 更多的熔丝，占用了更大的面积。

R8.4.1 GAL 和 PAL 有哪些不同之处？

答 (1)PAL 器件的逻辑功能只能一次编程，不能再修改，而 GAL 采用 E^2CMOS 工艺，可电擦除编程内容，可多次重复修改功能，低功耗，速度快。

(2)PAL 的输出电路结构的形式多样，不具有统一性，这给使用带来不便，而 GAL 采用了统一结构的输出宏单元结构，通用性强，可灵活配置成多种工作模式。

(3)GAL 内部具有一些可编程单元，具有加密功能和电子标签功能，而 PAL 则没有上述功能。

R8.4.2 根据 PAL 和 GAL 各自的特点，你认为它们各适用于哪些使用场合？

答 PAL:适用于小批量电子产品的生产。

GAL:适用于小批量产品生产和研究开发过程。

R8.7.1 FPGA 和 CPLD 在电路结构和工作特性上有何不同？

答 (1)FPGA 的集成度高于 CPLD。FPGA 提供了丰富的 I/O 端口和触发器，适合于设计触发器较多的时序逻辑电路，而 CPLD 则适合于触发器有限而乘积项较多的组合逻辑设计。

(2)CPLD 通过修改具有固定内部连线电路的逻辑功能来编程，FPGA 是通过改变内部电路布线来编程，所以 FPGA 器件结构更灵活，但传输延迟时间是不能准确预测的，而 CPLD 则可以预测传输延迟时间。

(3)CPLD 采用 E^2PROM 或 FLASH 技术实现编程，不需要外部存储器。而 FPGA 采用 SRAM 技术实现编程，需外部配置存储器存放编程数据，断电后 FPGA 中的编程数据会丢失，这给使用带来一定的不便。

(4)CPLD 的功耗比 FPGA 大。CPLD 具有加密功能，而 FPGA 没有。

R8.7.2 为什么用 FPGA 设计的逻辑电路一般还要配上一个 EPROM？

答 由于 FPGA 采用 SRAM 技术编程，掉电后编程数据消失，因此，当系统上电时要加载编程数据。为实现上电自动加载，可将编程数据存储于 EPROM 中，在 FPGA 内部时序作用下，自动从 EPROM 中读取。

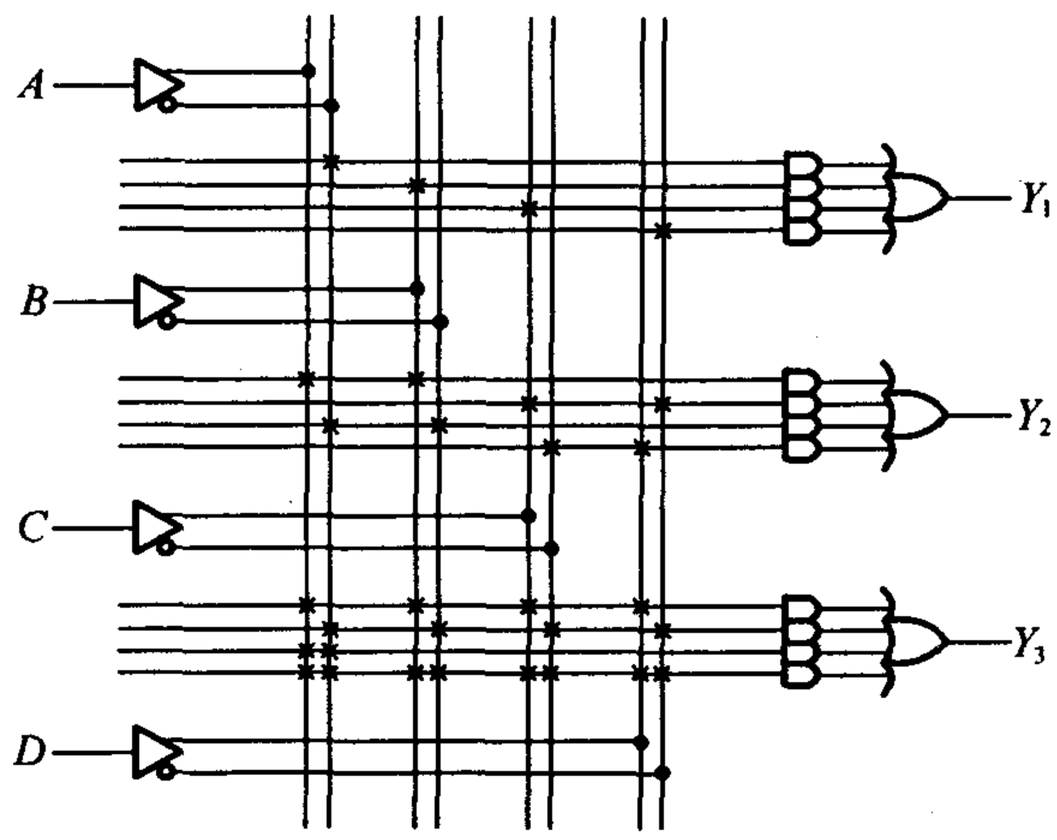
R8.8.1 ispGDS 具有什么特别的功能？它有什么用处？

答 ispGDS 的特别之处在于其在系统编程能力。不必将 ispGDS 器件从电路板上取下，也不必断电，可随时方便、快速地改变器件的逻辑功能。

对于经常需要改变逻辑功能的电路设计特别有用。

书后习题解析

[题8.1]　试分析题8.1图的与－或逻辑阵列，写出 Y_1, Y_2, Y_3 与 A, B, C, D 之间的逻辑函数式。



题8.1图

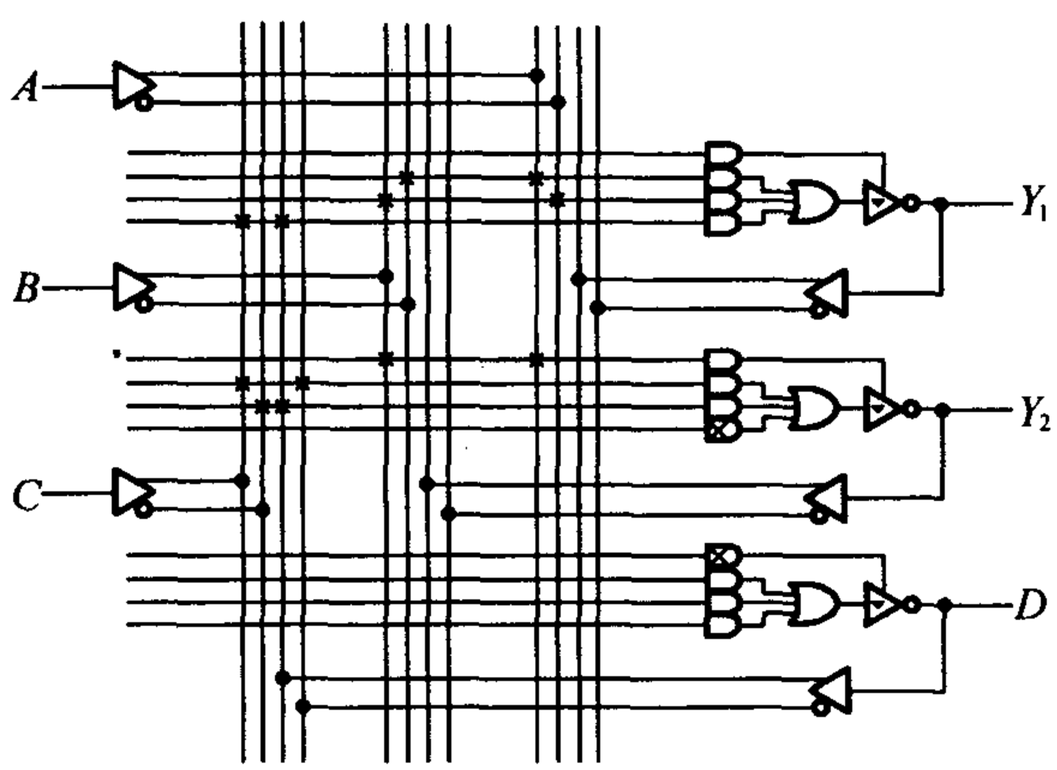
解　由题8.1图可得逻辑式

$$Y_1 = A' + B + C + D'$$

$$Y_2 = AB + A'B' + CD' + C'D$$

$$Y_3 = ABCD + A'B'C'D'$$

[题8.2]　试分析题8.2图的与－或逻辑阵列，写出 Y_1, Y_2 与 A, B, C, D 之间的逻辑关系式。



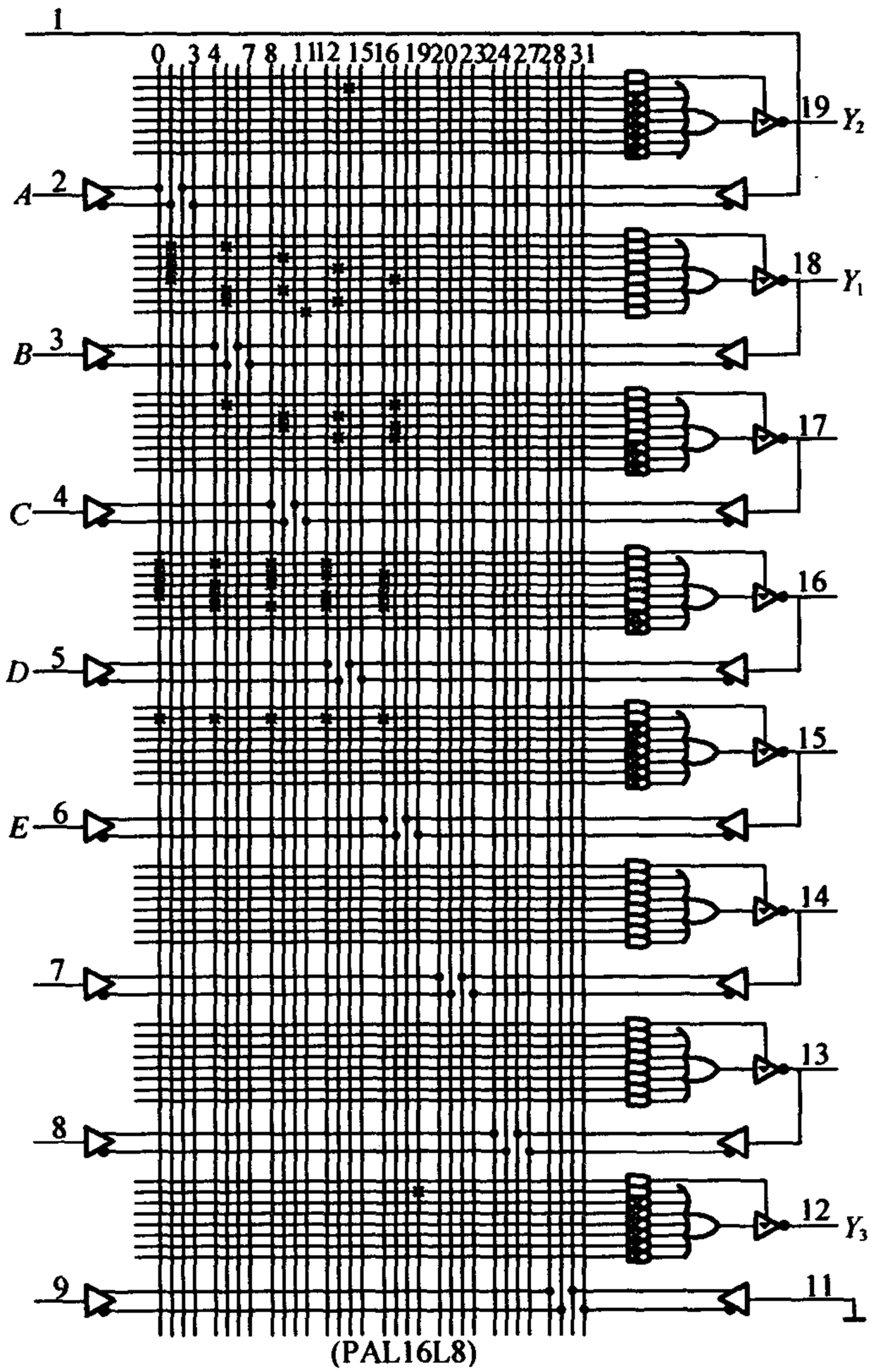
题8.2图

解 由题8.2图可得逻辑式

$$Y_1 = (AB' + A'B + CD)'$$

$$Y_2 = \begin{cases} (CD' + C'D)' & (\text{当 } AB = 1 \text{ 时}) \\ \text{高阻} & (\text{当 } AB = 0 \text{ 时}) \end{cases}$$

[题8.3] 试分析题8.3图中由PAL16L8构成的逻辑电路,写出 Y_1, Y_2, Y_3 与 A, B, C, D, E 之间的逻辑关系式。



题8.3图

解　由题8.3图可得逻辑式

$$Y_1 = (A'B' + A'C' + A'D' + A'E' + B'C' + B'D' + B'E' + C'D' + C'E' + D'E')'$$

$$Y_2 = ABCD + ACDE + ABCE + ABDE + BCDE$$

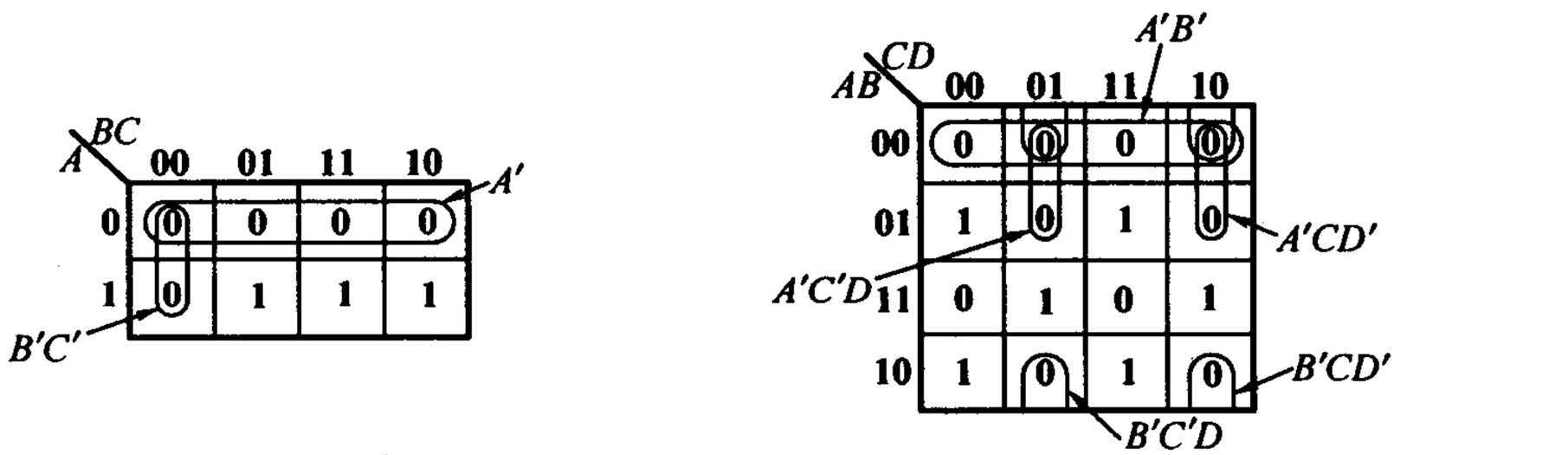
$$Y_3 = ABCDE$$

[题8.4]　用PAL16L8产生如下一组组合逻辑函数

$$\begin{cases} Y_1 = (A'B'C'D' + A'B'CD + A'BC'D + A'BCD' + ABC'D' + ABCD + AB'C'D + AB'CD')' \\ Y_2 = A'BC'D' + A'BCD + ABC'D + ABCD' + AB'C'D' + AB'CD \\ Y_3 = (A'B'C'D' + ABCD)' \\ Y_4 = AB + AC \end{cases}$$

画出与－或逻辑阵列编程后的电路图。PAL16L8的电路图见题8.3图。

解　由题8.3图可知，PAL16L8的输出端有三态输出的反相器，最适合用来产生与或非形式的逻辑函数。因此，需要将 Y_2 和 Y_4 化成与或非函数式，并画出卡诺图，如题8.4解图(a)所示。合并卡诺图中的0，然后求反，就得到了 Y_2、Y_4 的与或非式。而 Y_1 和 Y_3 本身就是与或非形式逻辑式，不必变换。

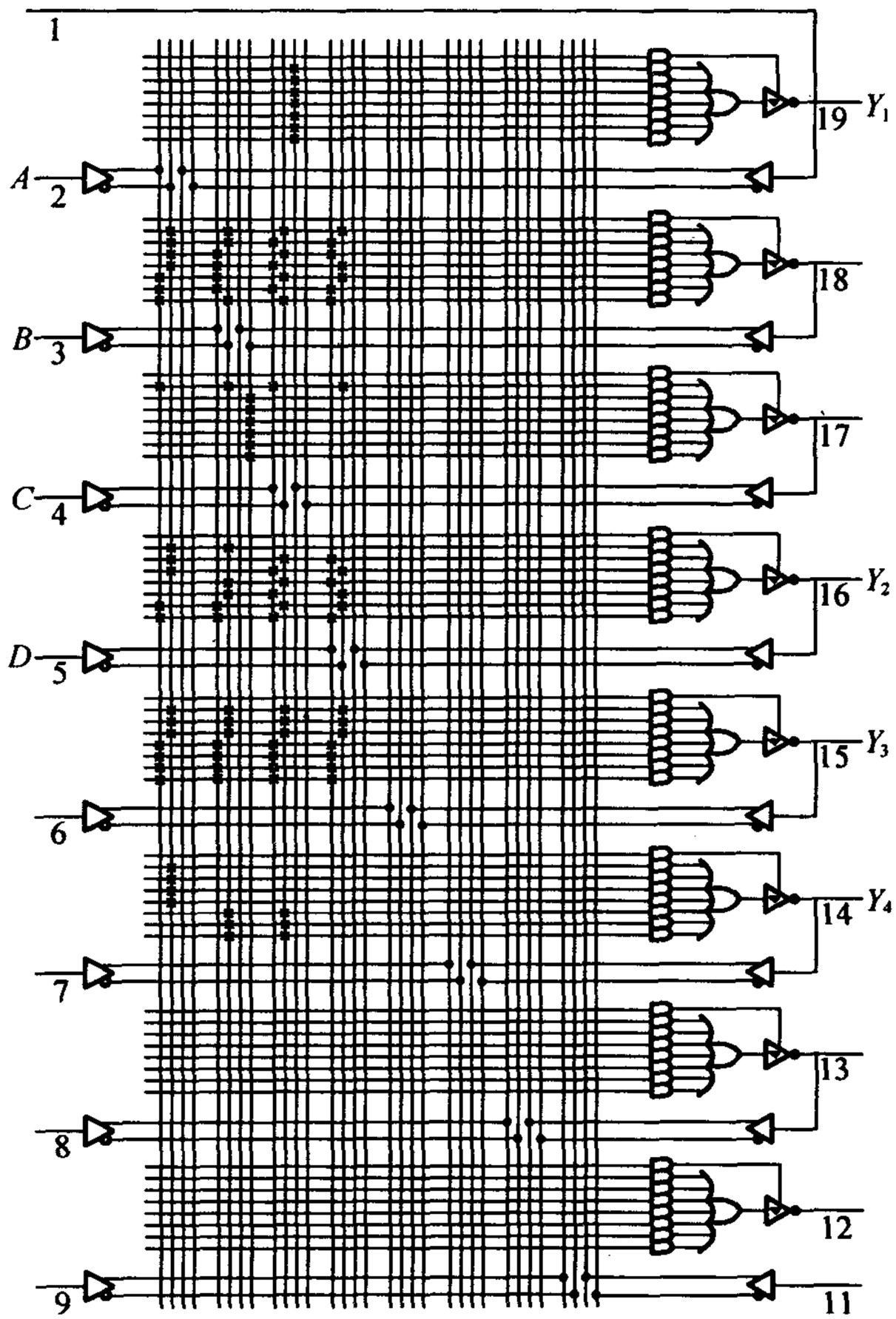


$Y_4 = (A' + B'C')'$　　$Y_2 = (A'B' + A'CD' + A'C'D + B'C'D + ABC'D' + ABCD)'$

题8.4解图(a)

$$\begin{cases} Y_1 = (A'B'C'D' + A'B'CD + A'BC'D + A'BCD' + ABC'D' + AB'C'D + ABCD + AB'CD')' \\ Y_2 = (A'B' + A'C'D + A'CD' + B'C'D + B'CD' + ABC'D' + ABCD)' \\ Y_3 = (A'B'C'D' + ABCD)' \\ Y_4 = (A' + B'C')' \end{cases}$$

编程后的逻辑阵列如题8.4解图(b)所示。



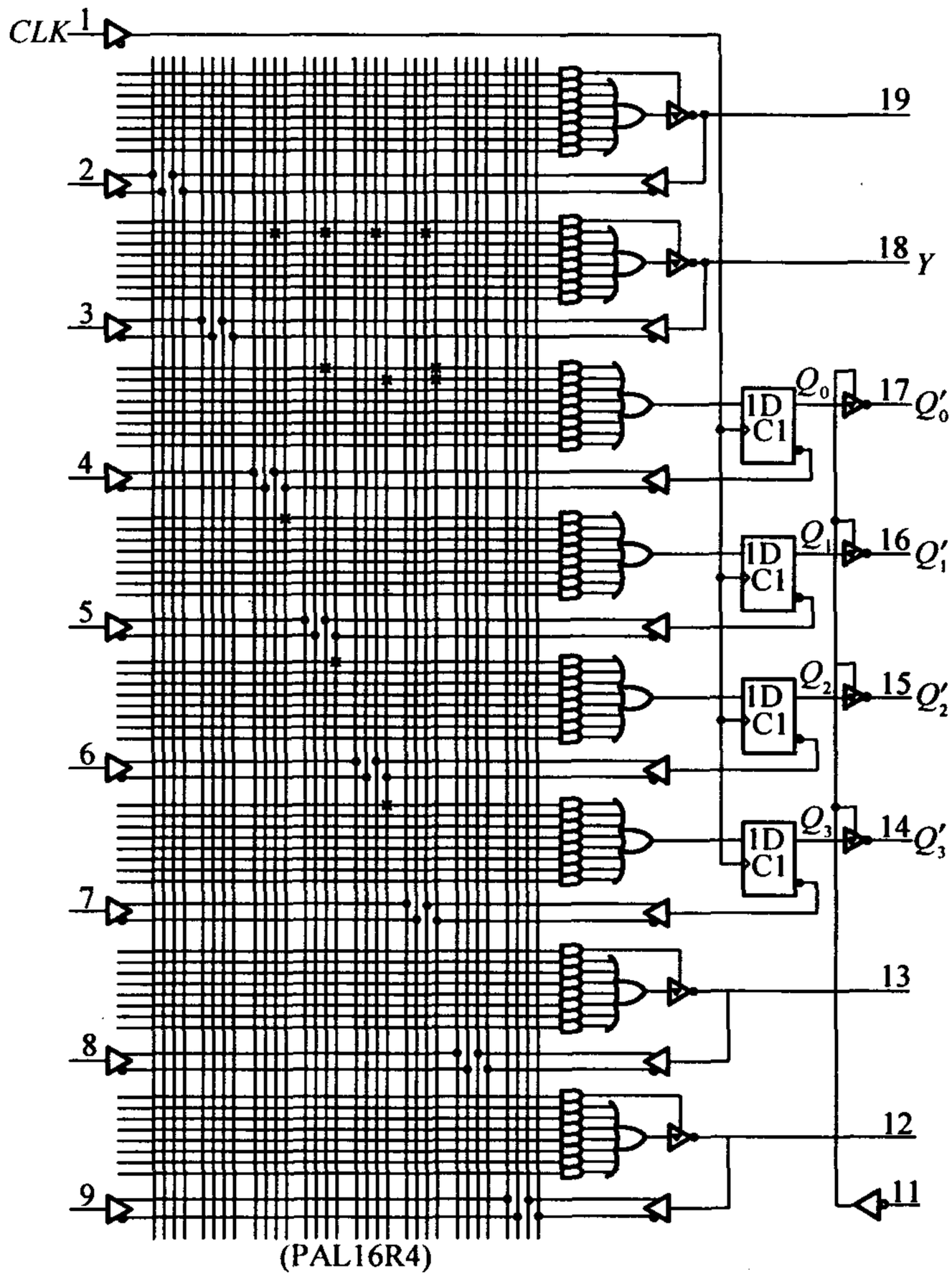
题 8.4 解图(b)

[题 8.5] 试分析题 8.5 图给出的用 PAL16R4 构成的时序逻辑电路,写出电路的驱动方程、状态方程、输出方程,画出电路的状态转换图。工作时,11 脚接低电平。

解 由题 8.5 图电路可得到电路的驱动方程

$$\begin{cases} D_0 = Q_1' Q_3 + Q_2 Q_3 \\ D_1 = Q_0 \\ D_2 = Q_1 \\ D_3 = Q_2 \end{cases}$$

状态方程



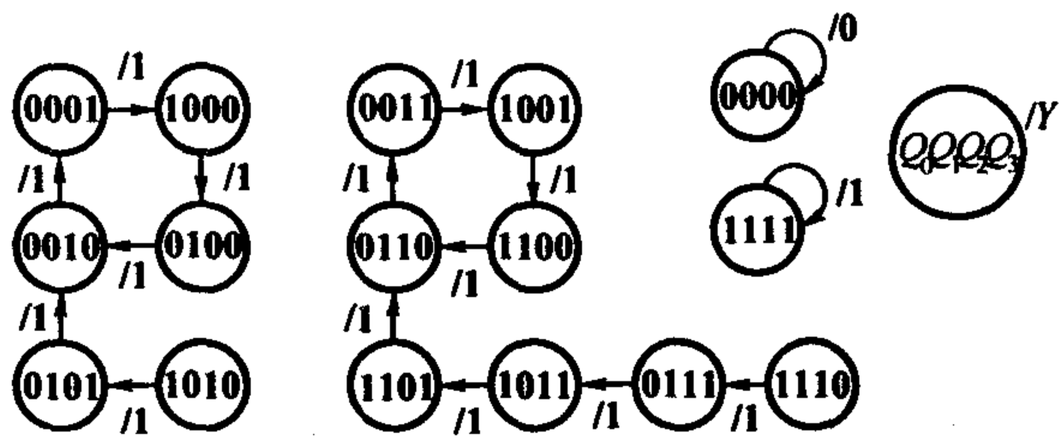
题 8.5 图

$$\begin{cases} Q_0^* = Q_1' Q_3 + Q_2 Q_3 \\ Q_1^* = Q_0 \\ Q_2^* = Q_1 \\ Q_3^* = Q_2 \end{cases}$$

输出方程

$$Y = (Q_0' Q_1' Q_2' Q_3')' = Q_0 + Q_1 + Q_2 + Q_3$$

电路的状态转换图如题 8.5 解图所示。



题 8.5 解图

[题 8.6] 用 PAL16R4 设计一个 4 位二进制可控计数器。要求在控制信号 $M_1M_0=11$ 时作加法计数；在 $M_1M_0=10$ 时为预置数状态(时钟信号到达时将输入数据 $D_3D_2D_1D_0$ 并行置入 4 个触发器中)；$M_1M_0=01$ 时为保持状态(时钟信号到达时所有的触发器保持状态不变)；$M_1M_0=00$ 时为复位状态(时钟信号到达时所有的触发器同时被置 1)。此外，还应给出进位输出信号。PAL16R4 的电路图见题 8.5 图。

解 由于 PAL16R4 输出端是反相缓冲器，所以当 $M_1M_0=11$，输出 $Y_3Y_2Y_1Y_0$ 为二进制加法计数状态时，PAL16R4 内部 D 触发器状态 $Q_3Q_2Q_1Q_0$ 的状态应为二进制减法计数状态，状态转换表如表 A8.6 所示。

表 A8.6

CP	Q_3	Q_2	Q_1	Q_0	C
0	1	1	1	1	0
1	1	1	1	0	0
2	1	1	0	1	0
3	1	1	0	0	0
4	1	0	1	1	0
5	1	0	1	0	0
6	1	0	0	1	0
7	1	0	0	0	0
8	0	1	1	1	0
9	0	1	1	0	0
10	0	1	0	1	0
11	0	1	0	0	0
12	0	0	1	1	0
13	0	0	1	0	0
14	0	0	0	1	0
15	0	0	0	0	1

由状态转换表可得到 $Q_3^* \sim Q_0^*$ 及 C 的卡诺图，如题 8.6 解图(a)所示。

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	1111/1	0000/0	0010/0	001/0
01	0011/0	0100/0	0110/0	0101/0
11	1011/0	1100/0	1110/0	1101/0
10	0111/0	1000/0	1010/0	1001/0

题8.6解图(a)

分解卡诺图并化简，得到最简逻辑式为

$$\begin{cases} Q_3^* = Q_3'Q_2'Q_1'Q_0' + Q_3Q_2 + Q_3Q_1 + Q_3Q_0 \\ Q_2^* = Q_2'Q_1'Q_0' + Q_2Q_1 + Q_2Q_0 \\ Q_1^* = Q_1'Q_0' + Q_1Q_0 \\ Q_0^* = Q_0' \end{cases}$$

考虑到计数、预置数、保持、复位的四种工作状态，应将状态方程补充修改为

$$\begin{cases} Q_3^* = (Q_3'Q_2'Q_1'Q_0' + Q_3Q_2 + Q_3Q_1 + Q_3Q_1 + Q_3Q_0)M_1M_0 + d_3M_1M_0' + Q_3M_1'M_0 + M_1'M_0' \\ Q_2^* = (Q_2'Q_1'Q_0' + Q_2Q_1 + Q_2Q_0)M_1M_0 + d_2M_1M_0' + Q_2M_1'M_0 + M_1'M_0' \\ Q_1^* = (Q_1'Q_0' + Q_1Q_0)M_1M_0 + d_1M_1M_0' + Q_1M_1'M_0 + M_1'M_0' \\ Q_0^* = Q_0'M_1M_0 + d_0M_1M_0' + Q_0M_1'M_0 + M_1'M_0' \end{cases}$$

D 触发器的特性方程为 $Q^* = D$，所以驱动方程为

$$D_3 = Q_3^*, D_2 = Q_2^*, D_1 = Q_1^*, D_0 = Q_0^*$$

$D_3D_2D_1D_0$ 为预置的 $Y_3'Y_2'Y_1'Y_0'$ 状态。输出方程为

$$C_0 = Q_3'Q_2'Q_1'Q_0' = (Q_3 + Q_2 + Q_1 + Q_0)'$$

电路图如题8.6解图(b)所示。

[题8.7]　试说明在下列应用场合下选用哪种类型的PLD最为合适。

1.小批量定型产品中的中规模逻辑电路。

2.产品研制过程中需要不断修改的中、小规模逻辑电路。

3.少量的定型产品中需要的规模较大的逻辑电路。

4.需要经常改变其逻辑功能的规模较大的逻辑电路。

5.要求能以遥控方式改变其逻辑功能的逻辑电路。

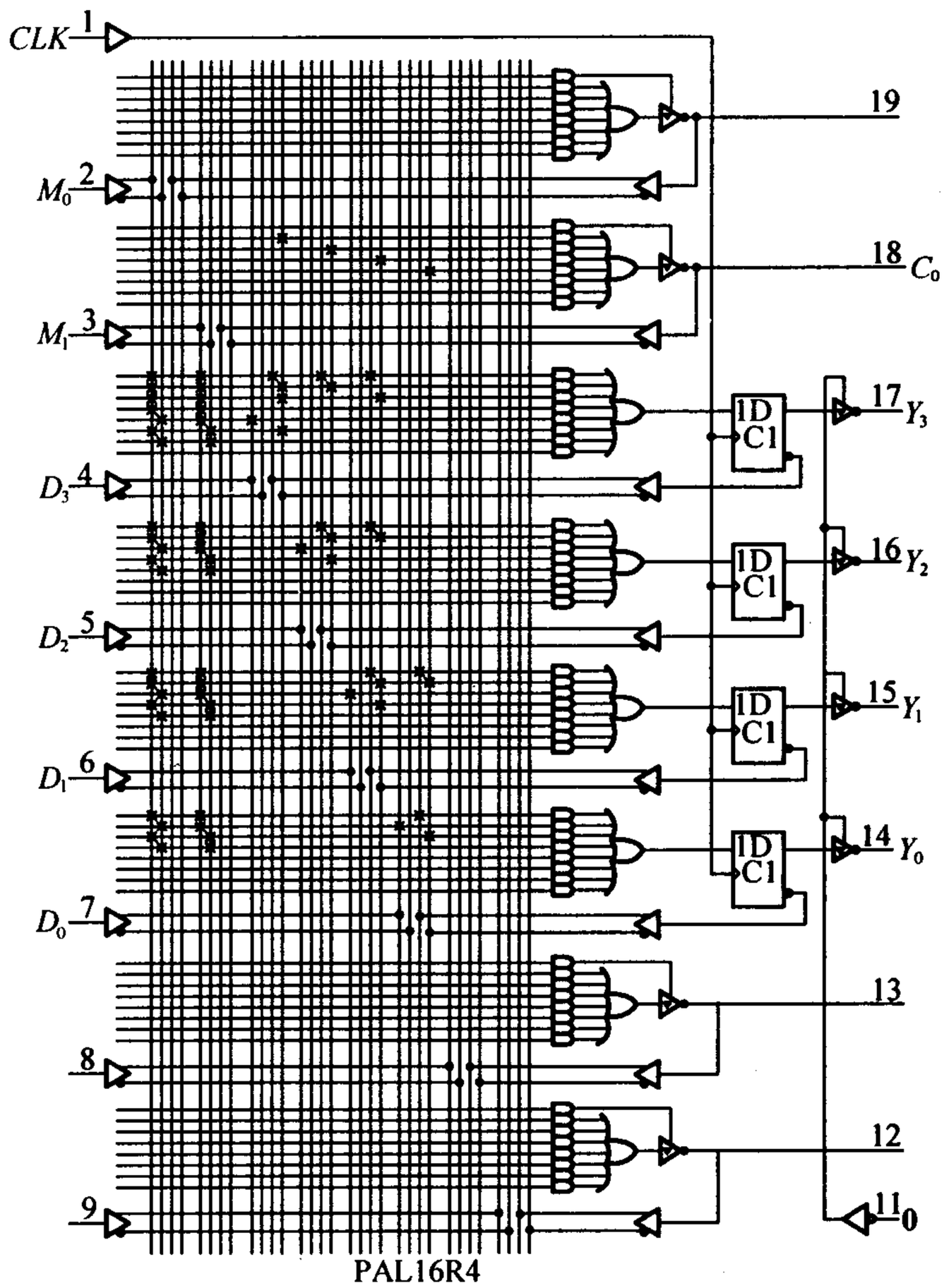
解　1.用PAL最合适。

2.用GAL最合适。

3.可EPLD，CPLD或FPGA最为合适。

4.用ispPLD最合适。

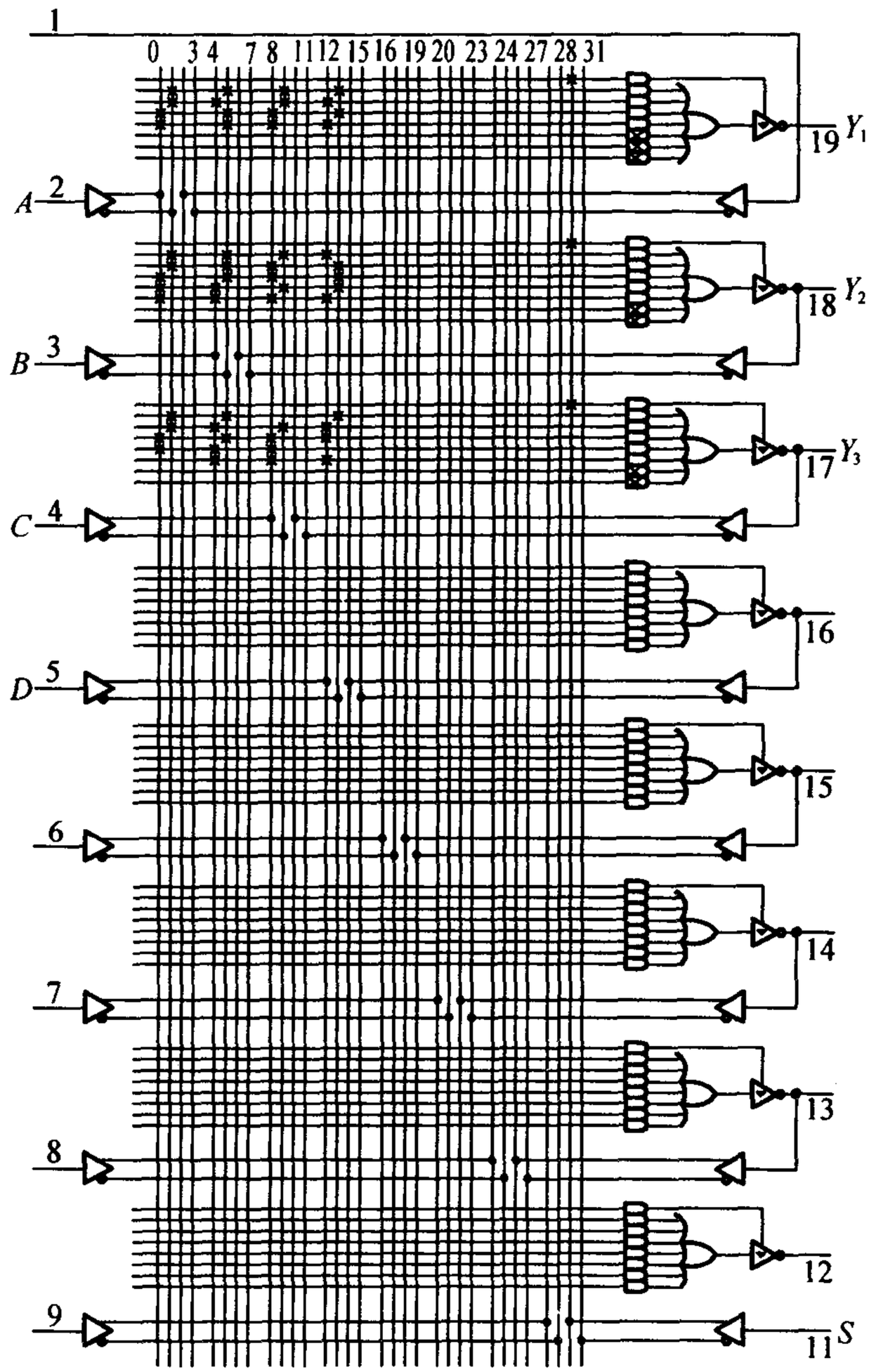
5.用isp PLD最合适。



题 8.6 解图(b)

同步训练题

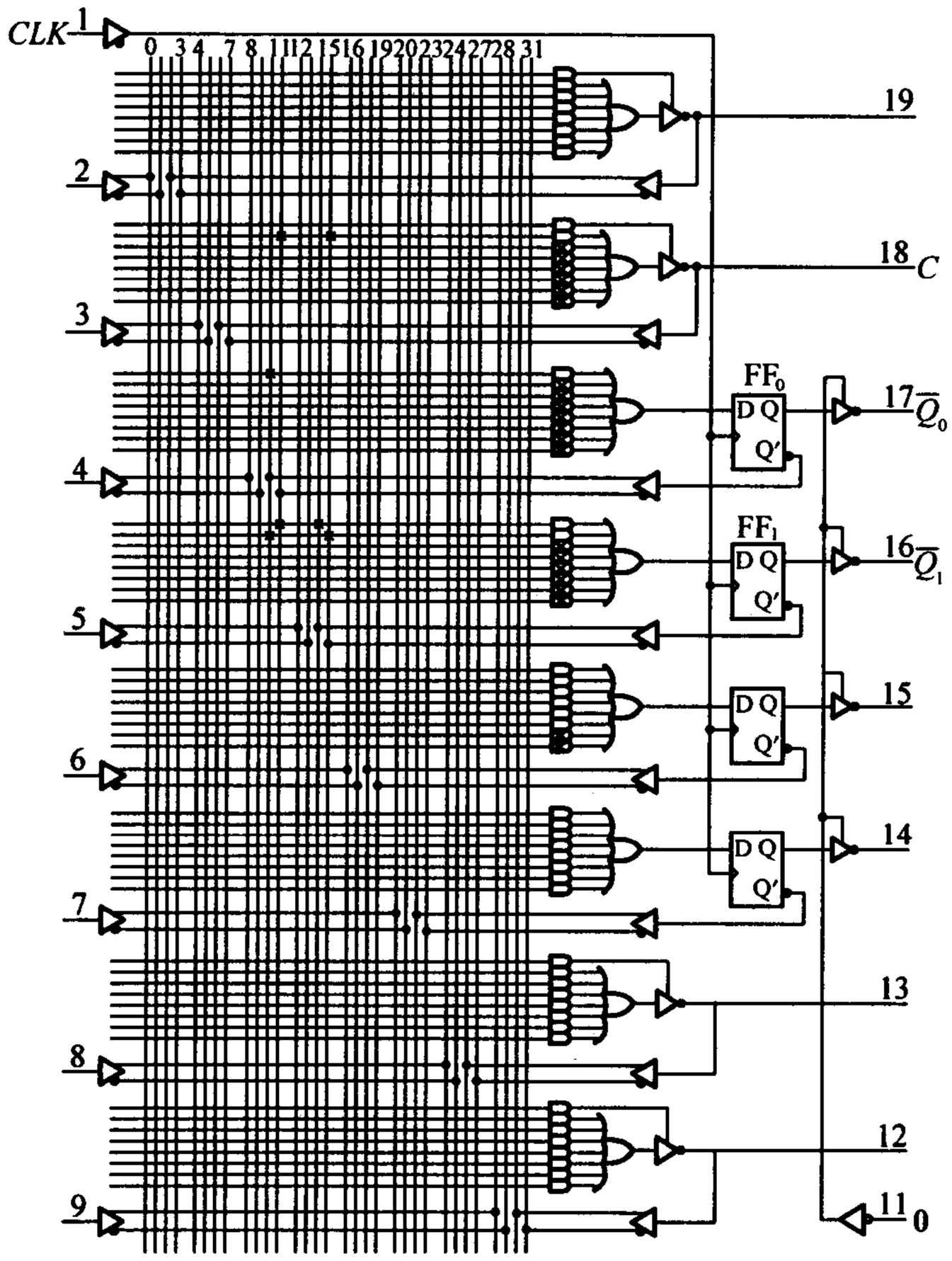
1.分析题 1 图中由 PAL16L8 构成的逻辑电路,写出 Y_1,Y_2,Y_3 的逻辑函数式。



题1图

2.用PAL16L8设计一个1位全加器。

3.试分析题3图中由PAL16R4构成的时序逻辑电路。



题 3 图

4.用 PAL16R4 设计一个控制步进电动机三相六状态工作的逻辑电路(要求同教材的习题 6.34)。

同步训练题答案

1.**解** 根据 PAL16L8 的特性,由题 1 图可知,当 $S=1$ 时,Y_1,Y_2,Y_3 的逻辑函数表达式为

$$\begin{cases} Y_1 = (A'B'C'D' + A'BC'D + AB'CD' + AB'CD)' \\ Y_2 = (A'B'C'D + A'BC'D + AB'CD' + ABC'D' + ABCD)' \\ Y_3 = (A'B'D' + A'B'CD' + AB'CD + ABC + BCD)' \end{cases}$$

当 $S=0$ 时,输出为高阻态。

2.解　1位全加器真值表如表B8.2所示，其中 A 和 B 分别为被加数和加数，CI 为来自低位的进位，S 为本位的和，CO 为向高位的进位。

表B8.2

A	B	CI	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

其输出 S，CO 的逻辑函数式可以写成与或非的形式

$$S=(A'B'CI'+A'BCI+AB'CI+ABCI')'$$

$$CO=(A'B'+B'CI'+A'CI')'$$

按照上式对与或阵列编程后的电路如题2解图所示。

3.解　触发器 FF_0，FF_1 的驱动方程为

$$\begin{cases} D_0 = Q_0' \\ D_1 = Q_0Q_1' + Q_0'Q_1 = Q_0 \oplus Q_1 \end{cases}$$

代入D触发器特性方程 $Q^* = D$，可得电路状态方程为

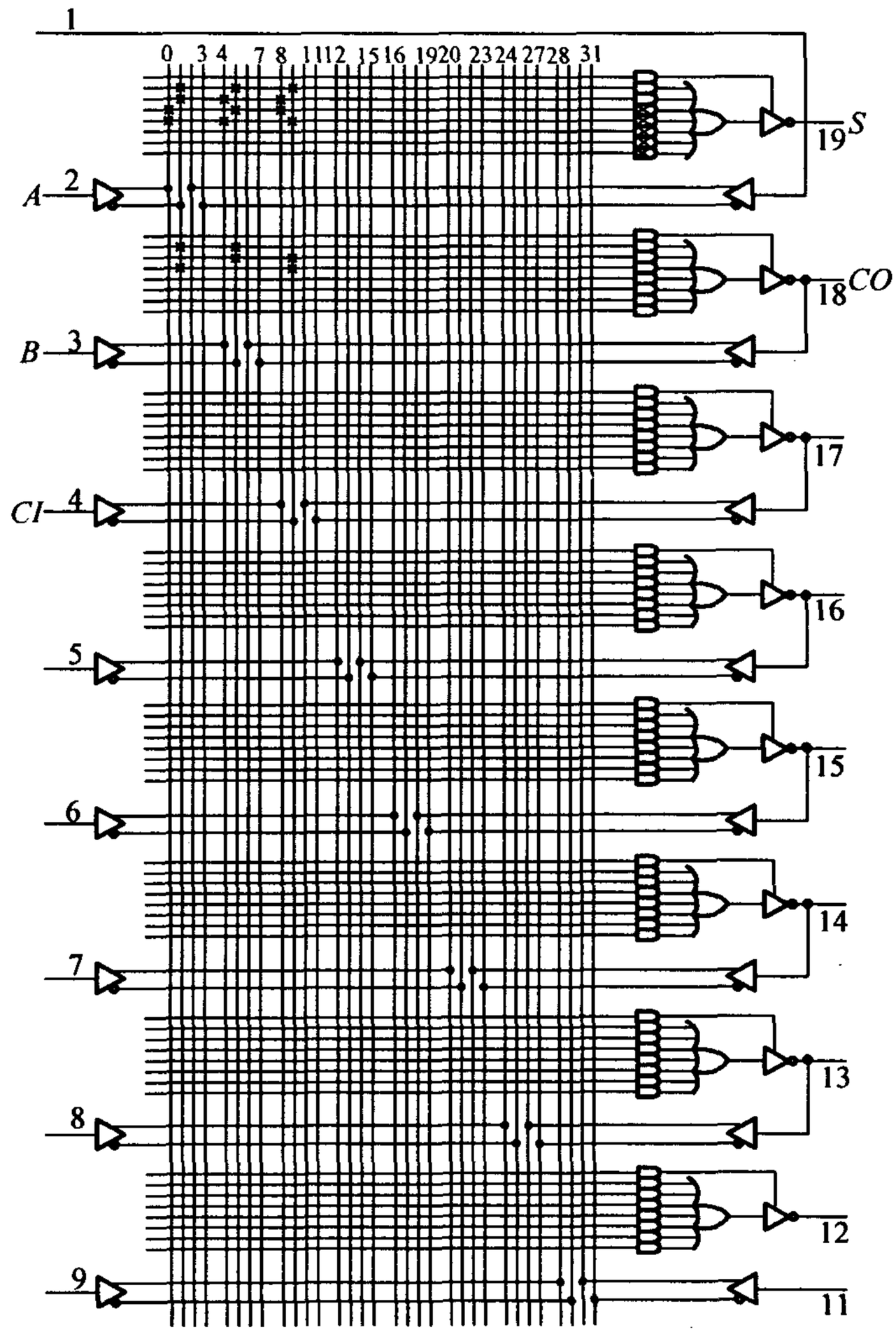
$$\begin{cases} Q^* = Q_0' \\ Q_1^* = Q_0Q_1' + Q_0'Q_1 = Q_0 \oplus Q_1 \end{cases}$$

电路的输出方程为 $C=(Q_0Q_1)'$。

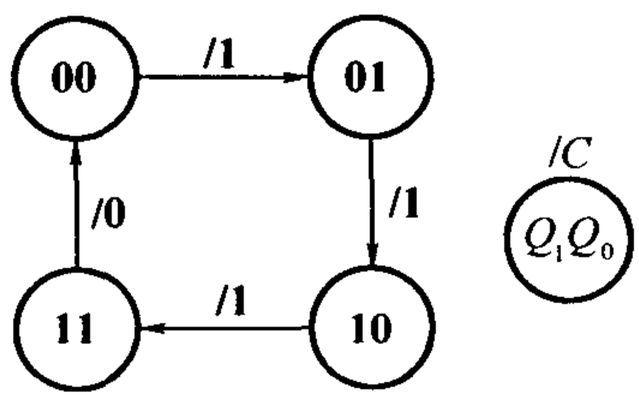
状态转换表如表B8.3所示。状态转换图如题3解图所示。可见，该电路为2位二进制加法计数器。

表B8.3

Q_1	Q_0	Q_1^*	Q_0^*	C
0	0	0	1	1
0	1	1	0	1
1	0	1	1	0
1	1	0	0	1


1
0 3 4 7 8 11 12 15 16 19 20 23 24 27 28 31
A 2
B 3
CI 4
5
6
7
8
9
19 S
18 CO
17
16
15
14
13
12
11

题 2 解图


00
01
10
11
/1
/1
/1
/0
/C
Q_1Q_0

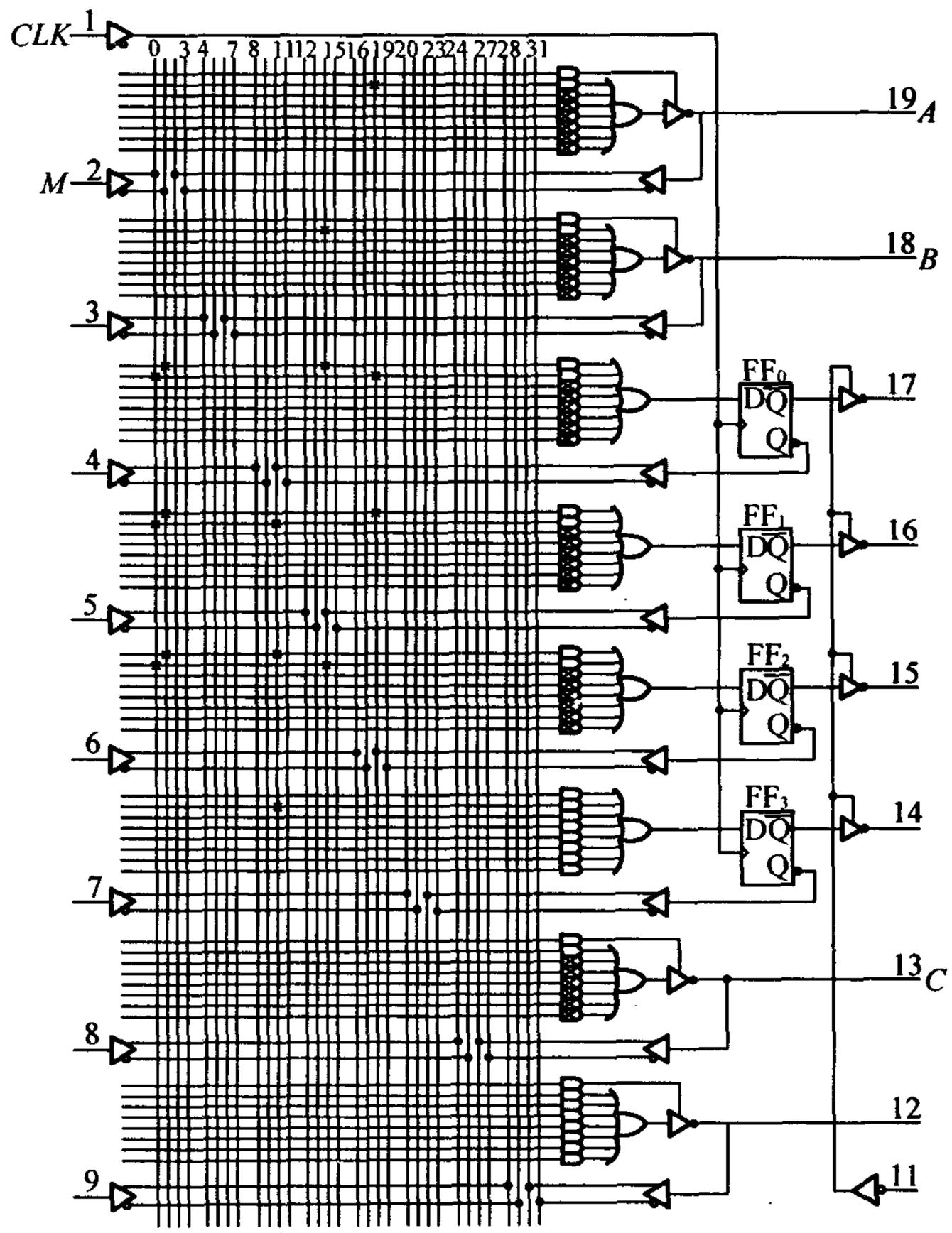
题 3 解图

4.解　M 为输入控制变量，ABC 的状态可以用 PAL16R4 内部三个触发器 FF_2，FF_1，FF_0 的状态 $Q_2Q_1Q_0$ 表示。

根据教材习题 6.34 的分析得到触发器的驱动方程为

$$\begin{cases} D_0 = M'Q_1' + MQ_2' \\ D_1 = M'Q_2' + MQ_0' \\ D_2 = M'Q_0' + MQ_1' \end{cases}$$

按上式对 PAL16R4 编程可得电路如题 4 解图所示。



题 4 解图

第9章　硬件描述语言

知 识 要 点

9.1　可编程逻辑器件的硬件描述语言

随着可编程逻辑器件的大量应用，数字电路的设计也由单纯的人工设计逐渐转化为以EDA工具作为设计平台的方式。硬件描述语言(HDL)是常用的针对可编程逻辑器件进行数字逻辑电路设计的EDA软件。硬件描述语言主要用来编制电路设计文件，从而建立电路模型。通用的HDL包括Verilog HDL和VHDL语言。

Verilog HDL语言采用模块化的结构，每个模块对应于逻辑硬件电路，描述该电路的结构、功能以及与其他模块的接口。

9.2　Verilog HDL语言的语法规则

Verilog HDL语言的语法规则类似于其他高级语言，实际应用时，应注意算术运算及逻辑运算的优先顺序。不能使用系统的关键词作为变量标识符。

在Verilog HDL语言中，模块有两种描述方式，即行为描述方式和结构描述方式。

9.3　Verilog HDL语言的层次结构

行为描述方式用行为语句来表示输入输出之间的逻辑关系，体现电路要实现的功能。

结构描述方式是将硬件电路描述成一个由不同层次的子模块所互联的结构，其实质是通过描述组成电路的各个模块之间的连接关系来说明电路的组成。上、下层模块之间是调用与被调用的关系。

9.4　本 章 重 点

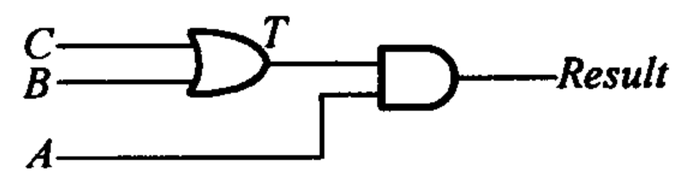
1. Verilog HDL语言的一般语法规则。
2. 用行为描述方式和结构描述方式编制逻辑功能描述程序。

书后习题解析

[题9.1] 用 Verilog HDL 语言的结构描述方式，描述题9.1图电路的逻辑功能。

解

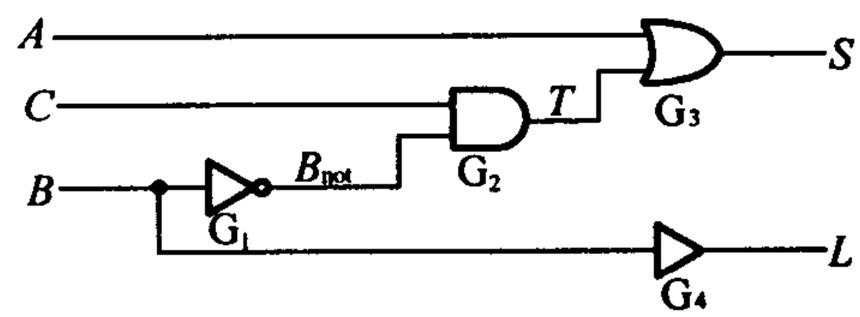
```
module AA (A,B,C,Result);
    input A,B,C;
    output Result;
    wire T;
    or
        OR1(T,B,C);
    and
        AND1(Result,A,T);
endmodule
```



题9.1图

[题9.2] 用 Verilog HDL 语言实现对题4.6所要设计电路的逻辑功能描述。

解 题4.6要求用门电路实现一个控制两台水泵的逻辑电路，设计得到的电路如题9.2解图所示(参见题4.6的解答。G_4 为同相输出的缓冲器，用于输出与输入间的隔离。)

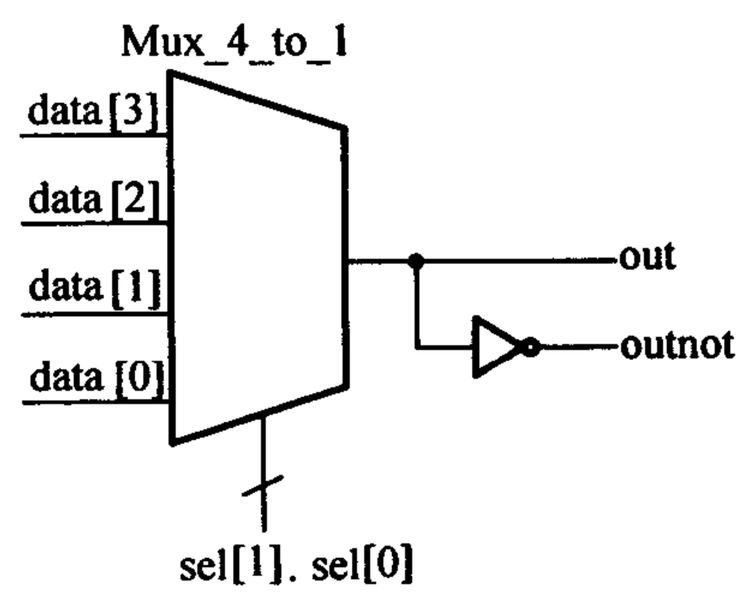


题9.2解图

```
module motor-controller (A,B,C,L,S);
    input A,B,C;
    output L,S;
    wire Bnot;
    wire T;
    not
    G1(Bnot,B);
    and
    G2(T,Bnot,C);
    or
    G3(S,A,T);
    buf
    G4(L,B);
endmodule
```

[题9.3] 用 Verilog HDL 语言描述一个4选1数据选择器。

解 4选1数据选择器的功能如题9.3解图所示。



题9.3解图

4选1数据选择器的逻辑式为

$$out = (sel[1])'(sel[0])' \cdot data[0] + (sel[1])'(sel[0]) \cdot data[1] + (sel[1])(sel[0])' \cdot data[2] + (sel[1])(sel[0]) \cdot data[3]$$

Verilog HDL 语言程序为

```
module mux_4_to_1(data,out,outnot,sel);
                        //这是一个4选1数据选择器,名为mux_4_to_1
    input [3:0] data;   //定义模块的数据输入端口为date[0]~date[3]
    input [1:0] sel;    //定义模块的数据选择输入端口sel[1],sel[0]
    output out,outnot;  //定义该模块的输出端口为out和outnot
    reg out;
    alway@(data or sel)
    begin
        case(sel)       //分支控制语句开始
            2'b00:out = data[0];
                        //如果sel[1]sel[0]=00,将data[0]赋值给out
            2'b01:out = data[1];
                        //如果sel[1]sel[0]=01,将data[1]赋值给out
            2'b10:out = data[2];
                        //如果sel[1]sel[0]=10,将data[2]赋值给out
            2'b11:out = data[3];
                        //如果sel[1]sel[0]=11,将data[3]赋值给out
        endcase         //分支控制语句结束
        end
    assign outnot = ~out; //将out取反向赋值给outnot
    endmodule           //模块描述结束
```

[题9.4] 用Verilog HDL语言描述一个4位超前进位加法器。

解 4位超前进位加法器的原理见原教材中4.3.4节。

电路可分为两部分:第一部分计算各位的相加结果,首先需要定义一个无进位输出的1位加法器adder_1 bit,各位的相加运算可以通过调用该加法器来实现。

$$S_0 = A_0 \oplus B_0 \oplus CI$$
$$S_1 = A_1 \oplus B_1 \oplus C_1$$
$$S_2 = A_2 \oplus B_2 \oplus C_2$$
$$S_3 = A_3 \oplus B_3 \oplus C_3$$

其中A,B和CI是整个加法器电路的输入,C_1,C_2和C_3则需要第二部分电路来实现。第二部分电路根据A,B和CI计算出各位的进位输入信号,各进位信号的逻辑式为

$$C_1 = A_0B_0 + (A_0 + B_0)CI$$
$$C_2 = A_1B_1 + (A_1 + B_1)(A_0B_0 + (A_0 + B_0)CI)$$
$$C_3 = A_2B_2 + (A_2 + B_2)(A_1B_1 + (A_1 + B_1)(A_0B_0 + (A_0 + B_0)CI))$$

C_1,C_2和C_3都直接由输入信号A,B和CI唯一确定。由上述分析可以得到以下的Verilog HDL语言程序。

```
//主模块
module adder_4 bit(A,B,S,CI,CO);
```

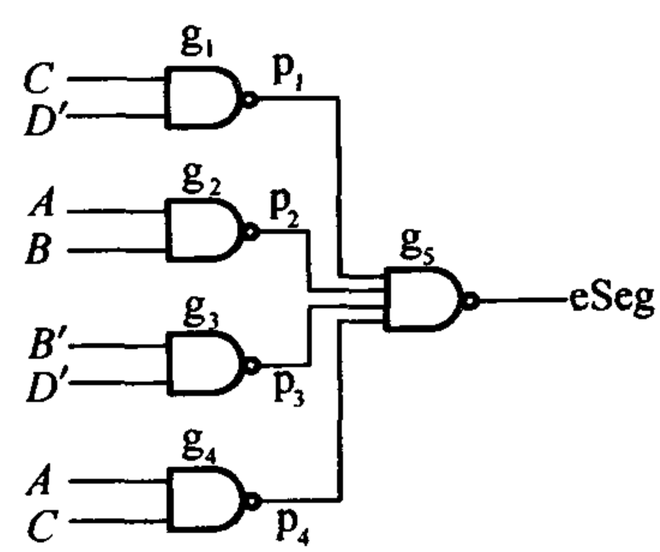
```
input CI;
input [3:0]A,B;
output CO;
output [3:0]S;
wire C1,C2,C3;
adder_1 bit    m0(S[0],A[0],B[0],CI);
                        //调用 adder_1 bit 模块,生成模块 m0
               m1(S[1],A[1],B[1],C1);
                        //调用 adder_1 bit 模块,生成模块 m1
               m2(S[2],A[2],B[2],C2);
                        //调用 adder_1 bit 模块,生成模块 m2
               m3(S[3],A[3],B[3],C3);
                        //调用 adder_1 bit 模块,生成模块 m3
Carry1         m4(A[0],B[0],CI,C1);
                        //调用 Carry1 模块,生成模块 m4
Carry2         m5(A[0],B[0],A[1],B[1],CI,C2);
                        //调用 Carry2 模块,生成模块 m5
Carry3         m6(A[0],B[0],A[1],B[1],A[2],B[2],CI,C3);
                        //调用 Carry3 模块,生成模块 m6
Carry4         m7(A[0],B[0],A[1],B[1],A[2],B[2],A[3],B[3],CI,CO);
                        //调用 Carry4 模块,生成模块 m7
endmodule

//1 位的全加器模块(不计算进位信号)
module adder_1 bit(a,b,c,sum);
input a,b,c;
output sum;
wire d;
xor g1 (d,a,b);
xor g2 (sum,d,c);
endmodule

//通过 A0,B0,CI 计算 C1
module Carry1 (A0,B0,CI,C1);
input A0,B0,CI;
output C1;
assign C1 = ((A0&&B0) ~^((A0 ~^B0)&&CI));
endmodule
```

```
//通过 A0,B0,A1,B1 和 CI 计算 C2
module Carry2 (A0,B0,A1,B1,CI,C2);
input A0,B0,A1,B1,CI;
output C2;
wire C1 temp;
Carry 1 forc 1(A0,B0,CI,C1 temp);
assign C2 = (A1&&B1) ~^((A1 ~^B1)&&C1temp);
endmodule

//通过 A0,B0,A1,B1,A2,B2 和 CI 计算 C3
module Carry3(A0,B0,A1,B1,A2,B2,CI,C3);
input A0,B0,A1,B1,A2,B2,CI;
output C3;
wire C2 temp;
Carry2 force2 (A0,B0,A1,B1,C1,C2temp);
assign C3 = (A2&&B2) ~^((A2 ~^B2)&&C2temp);
endmodule

//通过 A0,B0,A1,B1,A2,B2,A3,B3 和 CI 计算 C4
module Carry4(A0,B0,A1,B1,A2,B2,A3,B3,CI,C4);
input A0,B0,A1,B1,A2,B2,A3,B3,CI;
output C4;
wire C3 temp;
Carry3 forc3(A0,B0,A1,B1,A2,B2,CI,C3temp);
assign C4 = (A3 && B3) ~^((A3 ~^B3)&&C3temp);
endmodule
```

[题 9.5] 请根据下面所给的语言描述,画出对应的逻辑电路图。

```
module binary To ESeg;
    wire eSeg,p1,p2,p3,p4;
    reg A,B,C,D;
    nand
        g1(p1,C, ~D),
        g2(p2,A,B,),
        g3(p3, ~B, ~D),
        g4(p4,A,C),
        g5(eSeg,p1,p2,p3,p4);
endmodule
```

解 电路如题 9.5 解图所示。

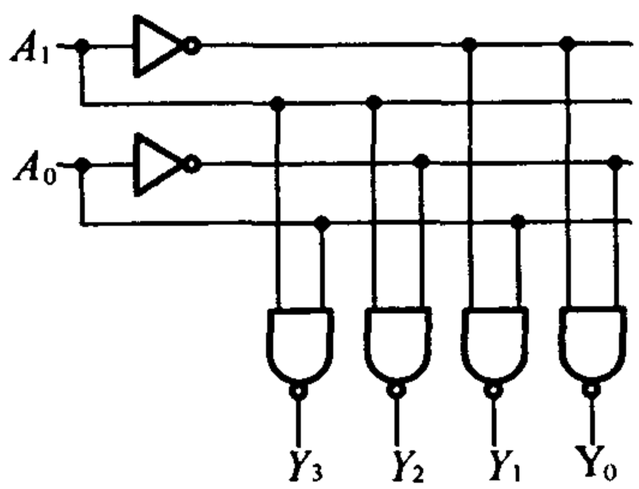


题 9.5 解图

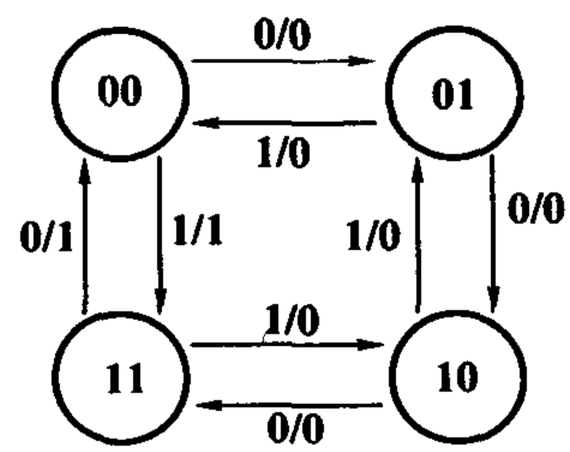
同步训练题

1.用 Verilog HDL 语言描述 2-4 线译码器。2-4 线译码器的逻辑图如题 1 图所示。

2.用 Verilog HDL 语言描述一个四进制可逆计数器,状态转换图如题 2 图所示。



题 1 图



题 2 图

同步训练题答案

1.解 设 2-4 线译码器输入地址分别为 *A*1(高位),*A*0(低位),输出为 *Y*3,*Y*2,*Y*1,*Y*0。Verilog HDL 语言模块如下:

```
module decoder 2_4 (A1,A0,Y3,Y2,Y1,Y0);      //定义 2-4 线译码器模块
    input A1,A0;                             //定义输入信号
    output Y3,Y2,Y1,Y0;                      //定义输出信号
    wire AA1;AA0;                            //定义内部两个连线
        not n1(AA0,A0);                      //调用一个反相器 n1
        not n2(AA1,A1);                      //调用一个反相器 n2
        nand na1(y0,AA1,AA0);                //调用一个与非门 na1,得到输出 y0
        nand na2(y1,AA1,A0);                 //调用一个与非门 na2,得到输出 y1
        nand na3(y2,A1,AA0);                 //调用一个与非门 na3,得到输出 y2
        nand na4(y3,A1,A0);                  //调用一个与非门 na4,得到输出 y3
endmodule
```

2.解 该计数器需要两个触发器,设这两个触发器现态分别为 currentstate[1](高位)、currentstate[0](低位),次态分别为 nextstate[1](高位)、nextstate[0](低位),进位/借位输出为 out,加减计数控制信号为 a。Verilog HDL 语言模块如下:

```
Module counter_4(out,a,clock); //定义计数器模块
    output out; //定义输出信号
    input a,clock; //定义输入信号
```

```
reg out; //定义输出为寄存器型输出
reg [1:0] currentstate,nextstate; //定义现态和次态
always@(a or currentstate)begin //根据现态判断次态和进位/借位输出
  if(a= =0)
    out = currentstate[1]&currentstate[0]; //根据现态判断进位输出
    if(currentstate= =0)nextstate = 1; //根据现态判断次态,加法计数
    if(currentstate= =1)nextstate = 2;
    if(currentstate= =2)nextstate = 3;
    if(currentstate= =3)nextstate = 0;
  else
    out = (~currentstate[1])&(~currentstate[0]); //根据现态判断借位输出
    if(currentstate= =0)nextstate = 3;//根据现态判断次态,减法计数
    if(currentstate= =1)nextstate = 0;
    if(currentstate= =2)nextstate = 1;
    if(currentstate= =3)nextstate = 2;
  end
end
always@(posedge clock)begin  //接收到时钟上升沿进行状态转换
    currentstate<=nextstate;//状态转换
end
endmodule  //模块描述结束
```

第 10 章　脉冲波形的产生和整形

知 识 要 点

10.1　施密特触发器

10.1.1　工作特点

1.输入信号从低电平上升的过程中,电路状态转换时对应的输入电平 V_{T+} 与输入信号从高电平下降过程中对应的输入转换电平 V_{T-} 不同;

2.在电路状态转换时,通过电路内部的正反馈过程使输出电压波形的边沿变得很陡。

10.1.2　主要用途

可用于进行波形变换、脉冲整形、脉冲鉴幅以及构成多谐振荡器等。

10.2　单稳态触发器

10.2.1　工作特点

1.单稳态触发器有稳态和暂稳态两个不同的工作状态;

2.在外界触发脉冲作用下,能从稳态转换到暂稳态,在暂稳态维持一段时间以后,再自动返回到稳态;

3.暂稳态维持时间的长短取决于电路本身的参数,与触发脉冲的宽度和幅度无关。

10.2.2　主要用途

用于脉冲整形、延时以及定时等。

10.3　多谐振荡器

10.3.1　工作特点

1.多谐振荡器是一种矩形脉冲发生器;

2.能自激振荡,没有稳态,只有两个暂稳态。

10.3.2 电路类型

对称式多谐振荡器;非对称式多谐振荡器;环形振荡器;由施密特触发器构成的多谐振荡器;石英晶体多振荡器。

10.4 555定时器及其应用

用于构成施密特触发器、单稳态触发器以及多谐振荡器等。

10.5 本章重点

1.施密特触发器工作原理及正向阈值电压 V_{T+}、负向阈值电压 V_{T-} 和回差电压 ΔV_T 的计算。

2.单稳态触发器的工作原理及输出脉冲宽度 t_W 的计算。

3.各种多谐振荡器的工作原理及输出脉冲振荡频率的计算。

4. 555定时器的工作原理及其应用方法及参数计算。

书后复习思考题解答

R10.2.1 能否用施密特触发器存储一位二值代码,为什么?

答 不能。施密特触发器并不是真正意义的触发器。具有施密特触发性能的门电路与普通门电路相比,只是将普通门电路的阈值电压 V_T 分为正向阈值电压 V_{T+} 和反向阈值电压 V_{T-}。只是对输入信号的变化幅值有了更高的要求,当输入信号完全变为相反状态后,输出端原来的状态将随之消失。因此,不能存储一位二值信号,这与门电路是一样的。

R10.2.2 在图10.2.1所示的施密特触发器电路中,为什么要求 $R_1 < R_2$?

答 如果 $R_1 \geqslant R_2$,则 $V_{T+} \geqslant 2V_{TH}$, $V_{T-} \leqslant 0$,对于大多数电路,无论输入信号是正跳变还是负跳变,均无法达到其阈值,从而使电路自锁(状态不变),不能正常工作。

R10.2.3 反相输出的施密特触发器的电压传输特性和普通反相器的电压传输特性有什么不同?

答 (1)普通反相器的电压传输特性分为四个工作区,即截止区、线性区、转折区、饱和区,而施密特触发器是没有线性区的。

(2)普通反相器输入信号无论是正跳变还是负跳变,对应的阈值电压是一个 V_T,即转折区的中点电压。而施密特触发器的阈值电压有两个:V_{T+} 和 V_{T-},呈现出滞回特性。

(3)普通反相器的转折区曲线不如施密特触发器的转折区曲线陡峭。

R10.3.1 单稳态触发器输出脉冲的宽度(即暂稳态持续时间)由哪些因素决定?与触发脉冲的宽度和幅度有无关系?

答 单稳态触发器输出脉冲的宽度只与电路自身的参数有关。与触发脉冲的宽度和幅值无关。

R10.3.2 比较一下原教材中图10.3.1的微分型单稳态触发器和原教材中图10.3.5的积分型单稳态触

发器，它们各有何优、缺点？

答 与积分型单稳态触发器相比，微分型触发器的优点是对触发信号的宽度没有限制，而积分型触发器要求触发信号的宽度必须大于输出信号的宽度。

微分型单稳态触发器输出暂稳态脉冲的边沿很陡峭，而积分型则较缓。

此外，微分型单稳态触发器对尖峰干扰的抵抗能力不如积分型单稳态触发器。

R10.4.1 在什么条件下电路中的正反馈会使电路产生振荡？在什么情况下电路中的负反馈会使电路产生振荡？

答 对于具有正反馈的电路，只需使电路没有稳定状态，即使每个门电路都工作在转折区，则电路将产生振荡。

对于具有负反馈的电路，只需反馈信号足够强，电路也会产生振荡。

R10.4.2 这一节所介绍的振荡器电路当中哪几种是利用正反馈作用产生振荡的？哪几种是利用延迟负反馈产生振荡的？

答 利用正反馈作用产生振荡的有对称式多谐振荡器和非对称式多谐振荡器。

利用负反馈作用产生振荡的有环型振荡器、用施密特触发器构成的多谐振荡器。

R10.4.3 为什么石英晶体能稳定振荡器的振荡频率？

答 因为石英晶体具有很好的选频特性。即对于某一频率的信号，石英晶体的电抗很低，而对于其他频率的信号，石英晶体的电抗很高，使这些频率的信号不易通过，从而无法形成反馈，就使其他频率的振荡无法产生，只产生固定频率的振荡。

R10.4.4 你能总结出画充、放电等效电路时处理 TTL 和 CMOS 门电路输入端等效电路的原则吗？

答 对于 TTL 电路：充电时，应考虑 TTL 门电路输入级三极管的集电极电阻 R_1 和 b－e 结的压降 V_{be}，注意到门电路输入级提供充电电流。放电时，可忽略掉门电路输入级的影响。

对于 CMOS 电路：无论是充电还是放电，都可忽略 CMOS 门电路输入端的影响。

R10.5.1 在原教材中图 10.5.2 用 555 定时器接成的施密特触发器电路中，用什么方法能调节回差电压的大小？

答 将参考电压由外接电压 V_{CO} 供给，则 $V_{T+}=V_{CO}$，$V_T=\frac{1}{2}V_{CO}$，$\Delta V_T=\frac{1}{2}V_{CO}$，通过改变 V_{CO} 的值就可以调节回差电压的大小了。

R10.5.2 在原教材中图 10.5.4 用 555 定时器接成的单稳态触发器电路中，若触发脉冲宽度大于单稳态持续时间，电路能否正常工作？如果不能，则电路应做何修改？

答 不能正常工作。有以下两种修改措施：

(1)先用一个微分电路取出触发信号的下降沿，再输入给由 555 定时器构成的单稳态触发器；

(2)增大 R 和 C 值，使输出脉冲宽度大于触发信号的宽度。

R10.5.3 在原教材中图 10.5.4 用 555 定时器接成的单稳态电路中，对触发脉冲的幅度有什么要求？

答 触发信号为高电平时，必须高于 $\frac{2}{3}V_{CC}$；低电平时，必须低于 $\frac{1}{3}V_{CC}$。

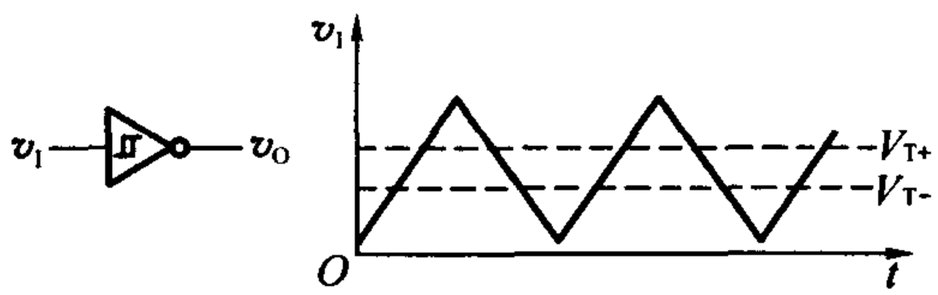
R10.5.4 在原教材中图 10.5.6 用 555 定时器接成的多谐振荡器电路中，如果用 v_O 端代替 v_{OD} 端接到 R_2C 电路输入端，去掉 R_1，电路能否正常工作？

答 按题目的改法，R_2C 电路的充电电流将由 G_4 提供，放电电流将注入到 G_4 门的输出级。由于充、放电电流比较大；G_4 无法提供，会损坏 G_4 管输出级三极管。因此无法正常工作。

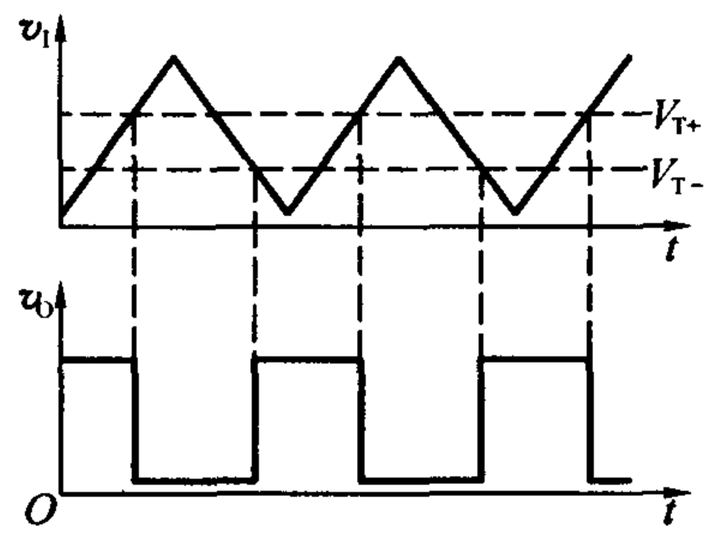
书后习题解析

[题 10.1] 若反相输出的施密特触发器输入信号波形如题 10.1 图所示，试画出输出信号的波形。施密特触发器的转换电平 V_{T+}，V_{T-} 已在输入信号波形图上标出。

解 v_O 波形如题 10.1 解图所示。



题 10.1 图



题 10.1 解图

[题 10.2] 在原教材中图 10.2.1 用 CMOS 反相器组成的施密特触发器电路中，若 $R_1 = 50\ \text{k}\Omega$，$R_2 = 100\ \text{k}\Omega$，$V_{DD} = 5\ \text{V}$，$V_{TH} = \frac{1}{2}V_{DD}$，试求电路的输入转换电平 V_{T+}，V_{T-} 以及回差电压 ΔV_T。

解

$$V_{T+} = \left(1 + \frac{R_1}{R_2}\right)V_{TH} = \left(1 + \frac{50}{100}\right) \times 2.5\ \text{V} = 3.75\ \text{V}$$

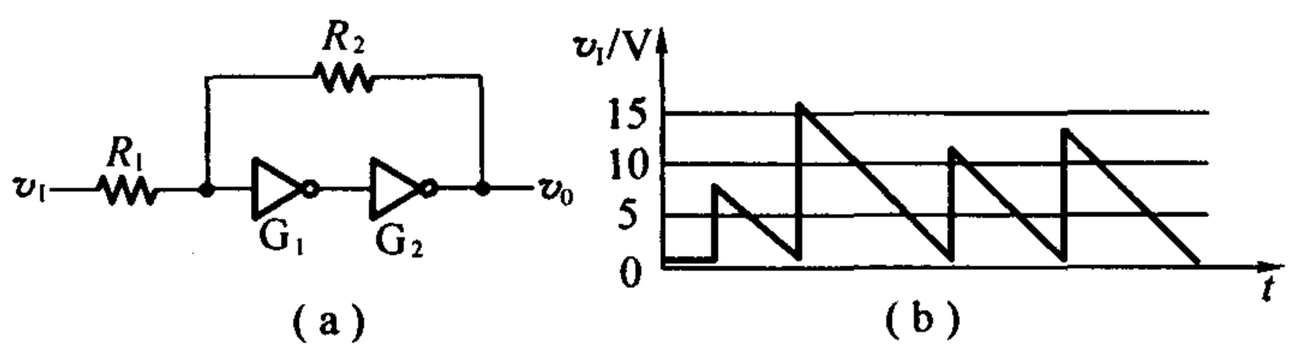
$$V_{T-} = \left(1 - \frac{R_1}{R_2}\right)V_{TH} = \left(1 - \frac{50}{100}\right) \times 2.5\ \text{V} = 1.25\ \text{V}$$

$$\Delta V_T = V_{T+} - V_{T-} = (3.75 - 1.25)\ \text{V} = 2.5\ \text{V}$$

[题 10.3] 在题 10.3 图(a)所示的施密特触发器电路中，已知 $R_1 = 10\ \text{k}\Omega$，$R_2 = 30\ \text{k}\Omega$。G_1 和 G_2 为 CMOS 反相器，$V_{DD} = 15\ \text{V}$。

(1)试计算电路的正向阈值电压 V_{T+}、负向阈值电压 V_{T-} 和回差电压 ΔV_T。

(2)若将题 10.3 图(b)给出的电压信号加到题 10.3 图(a)电路的输入端，试画出输出电压的波形。



题 10.3 图

解　(1)

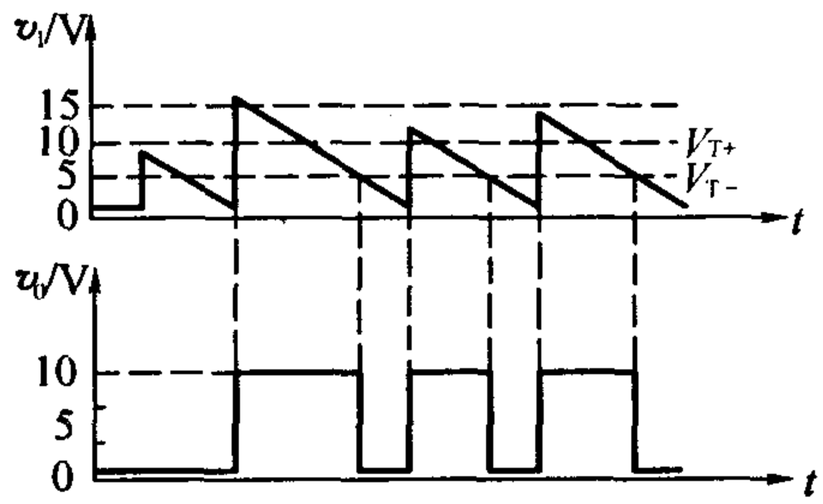
$$V_{T+}=\left(1+\frac{R_1}{R_2}\right)V_{TH}=\left(1+\frac{10}{30}\right)\times\frac{15}{2}\ \text{V}=10\ \text{V}$$

$$V_{T-}=\left(1-\frac{R_1}{R_2}\right)V_{TH}=\left(1-\frac{10}{30}\right)\times\frac{15}{2}\ \text{V}=5\ \text{V}$$

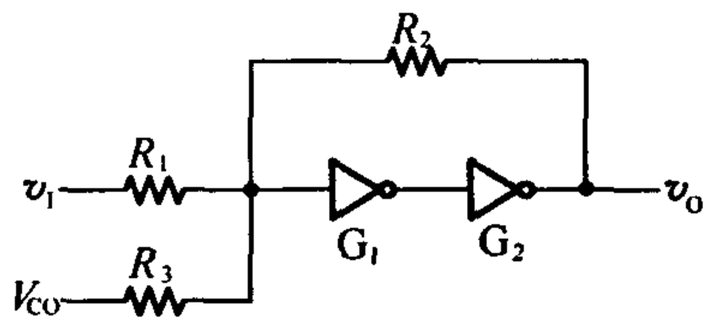
$$\Delta V_T=V_{T+}-V_{T-}=5\ \text{V}$$

(2)输出波形如题 10.3 解图所示。

[题 10.4]　题 10.4 图是用 CMOS 反相器接成的压控施密特触发器电路，试分析它的转换电平 V_{T+}，V_{T-} 以及回差电压 ΔV_T 与控制电压 V_{CO} 的关系。



题 10.3 解图



题 10.4 图

解　设 G_1 输入端电压为 v_A，根据叠加定理

$$v_A=v_I\frac{R_2/\!/R_3}{R_1+R_2/\!/R_3}+V_{CO}\frac{R_1/\!/R_2}{R_3+R_1/\!/R_2}+v_O\frac{R_1/\!/R_3}{R_2+R_1/\!/R_3}$$

(1)在 v_I 上升过程中 $v_O=0$。当升至 $v_A=V_{TH}$ 时，$v_I=V_{T+}$，因而有

$$V_{TH}=V_{T+}\frac{R_2/\!/R_3}{R_1+R_2/\!/R_3}+V_{CO}\frac{R_1/\!/R_2}{R_3+R_1/\!/R_2}$$

$$V_{T+}=\left(V_{TH}-V_{CO}\frac{R_1/\!/R_2}{R_3+R_1/\!/R_2}\right)\frac{R_1+R_2/\!/R_3}{R_2/\!/R_3}=V_{TH}\left(1+\frac{R_1}{R_3}+\frac{R_1}{R_2}\right)-\frac{R_1}{R_3}V_{CO}$$

(2)在 v_I 下降过程中 $v_O=V_{DD}$。当 $v_A=V_{TH}$ 时，$v_I=V_{T-}$，于是有

$$V_{TH}=V_{T-}\frac{R_2/\!/R_3}{R_1+R_2/\!/R_3}+V_{CO}\frac{R_1/\!/R_2}{R_3+R_1/\!/R_2}+V_{DD}\frac{R_1/\!/R_3}{R_2+R_1/\!/R_3}$$

$$V_{T-}=\left(V_{TH}-V_{CO}\frac{R_1/\!/R_2}{R_3+R_1/\!/R_2}-V_{DD}\frac{R_1/\!/R_3}{R_2+R_1/\!/R_3}\right)\frac{R_1+R_2/\!/R_3}{R_2/\!/R_3}$$

$$=V_{TH}\left(1+\frac{R_1}{R_3}-\frac{R_1}{R_2}\right)-\frac{R_1}{R_3}V_{CO}$$

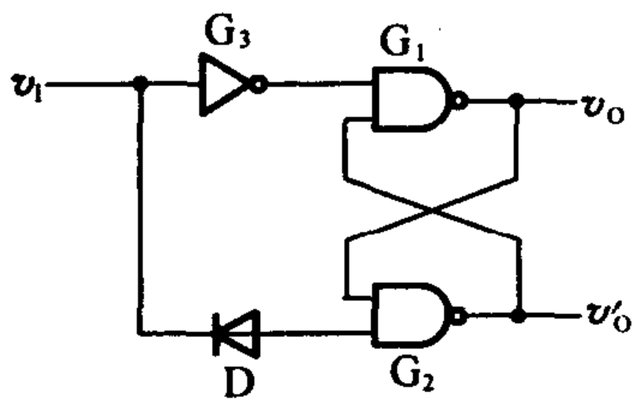
(3) $\Delta V_T=V_{T+}-V_{T-}=2\dfrac{R_1}{R_2}V_{TH}=\dfrac{R_1}{R_2}V_{DD}$，$\Delta V_T$ 与 V_{CO} 无关。

[题 10.5]　题 10.5 图是具有电平偏移二极管的施密特触发器电路，试分析它的工作原理，并画出电压传输特性。G_1，G_2，G_3 均为 TTL 电路。

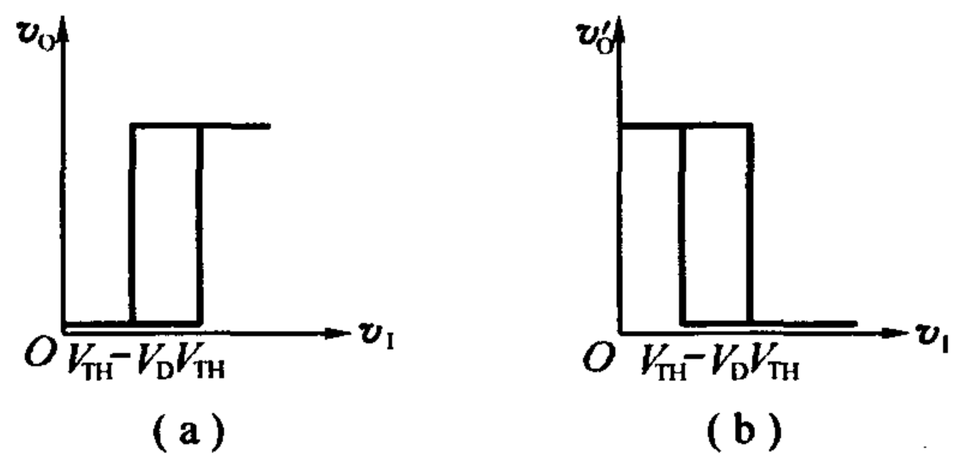
解　设门电路的阈值电压为 V_{TH}，二极管的导通压降为 V_D。当 $v_I=0$ 时，$v_O=0$，$v_O'=1$。

(1) v_I 上升时，当 $v_I\geqslant V_{TH}$，G_3 输出低电平，使 $v_O=1$，$v_O'=0$，则 $V_{T+}=V_{TH}$。

(2)v_I 下降时，当 $v_I \leqslant v_{TH} - v_D$ 时，G_2 输出高电平；G_3 输出高电平，使 $v_O = 0, v'_O = 1$。所以，$v_{T-} = v_{TH} - v_D$。电压传输特性曲线如题 10.5 解图所示。



题 10.5 图

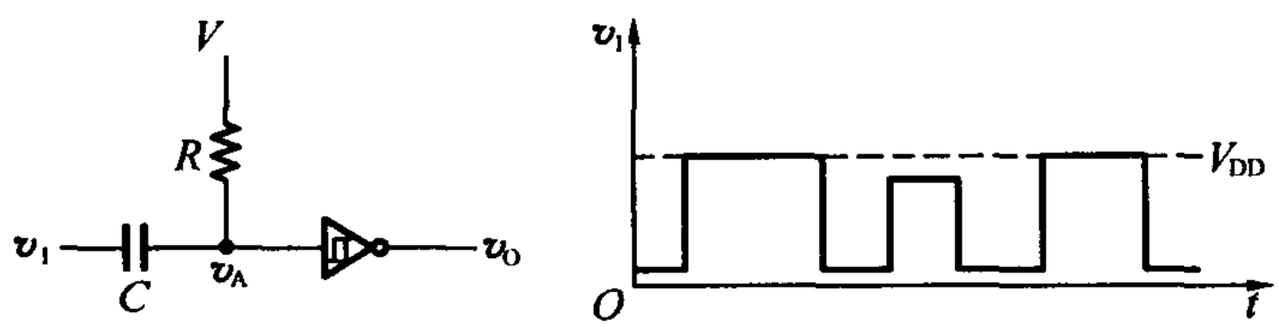


题 10.5 解图

[题 10.6] 在题 10.6 图所示的整形电路中，输入电压 v_I 的波形如图中所示，假定它的低电平持续时间比 R, C 电路的时间常数大得多。

(1)试画出输出电压 v_O 的波形。

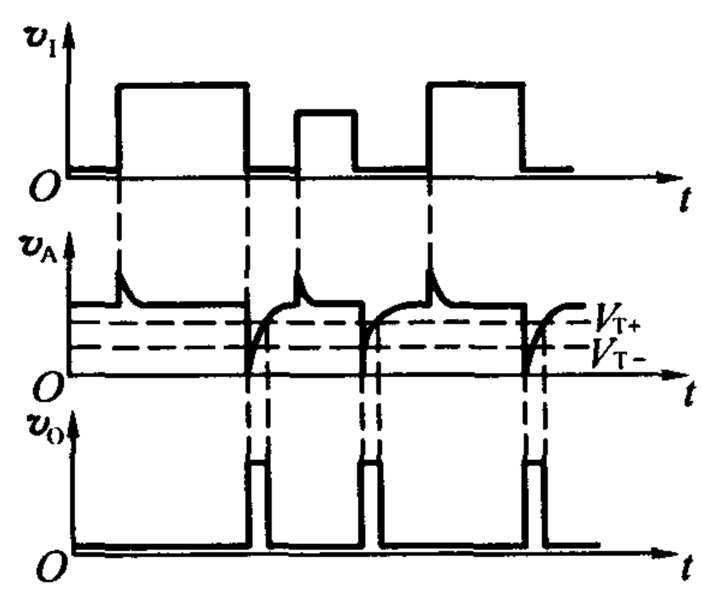
(2)能否用题 10.6 图中的电路作单稳态触发器使用？试说明理由。



题 10.6 图

解 (1)R, C 组成微分器，可提取 v_I 的边沿，v_O 波形如题 10.6 解图所示。

(2)输入信号 v_I 的上升时间和下降时间决定了微分电路输出信号 v_A 的幅值和宽度，又进而决定了 v_O 输出信号的宽度，如题 10.6 解图所示。可见，输出信号 v_O 的宽度与输入信号 v_I 的下降时间和幅度相关，因此不能作为单稳态触发器。



题 10.6 解图

[题 10.7] 在原教材中图 10.3.1 给出的微分型单稳态触发器电路中，已知 $R = 51\ \text{k}\Omega$，$C = 0.01\ \mu\text{F}$，电源电压 $V_{DD} = 10\ \text{V}$，试求在触发信号作用下输出脉冲的宽度和幅度。

解 输出脉冲宽度为

$$t_W = RC\ln 2 = 51 \times 10^3 \times 0.01 \times 10^{-6} \times 0.69\ \text{s} = 0.35\ \text{ms}$$

输出脉冲幅度为

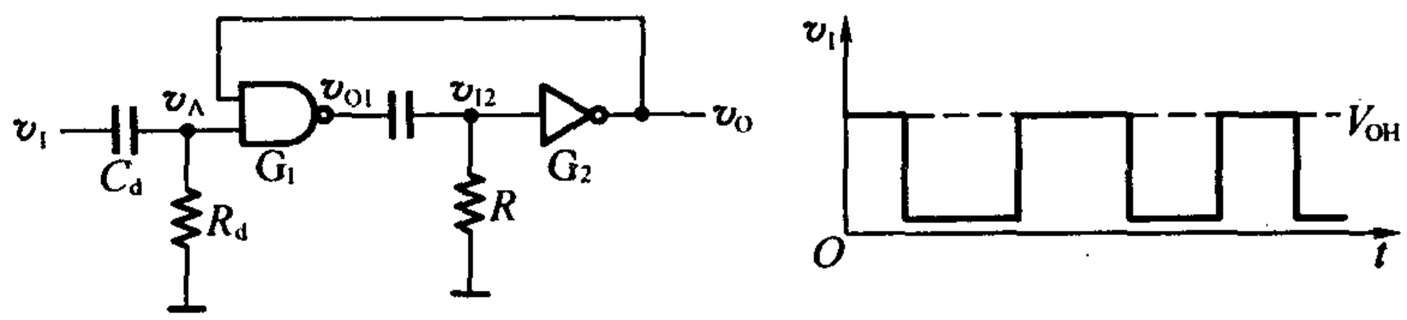
$$V_m = V_{OH} - V_{OL} \approx V_{DD} = 10\ \text{V}$$

[题 10.8]　在原教材中图 10.3.5 的积分型单稳态触发器电路中，若 G_1 和 G_2 为 74LS 系列门电路，它们的 $V_{OH}=3.4\ V$，$V_{OL}\approx 0$，$V_{TH}=1.1\ V$，$R=1\ k\Omega$，$C=0.01\ \mu F$，试求在触发信号作用下输出负脉冲的宽度。设触发脉冲的宽度大于输出脉冲的宽度。

解　输出脉冲宽度为

$$t_W = RC\ln\frac{V_{OH}}{V_{TH}} = 1\times 10^3\times 0.01\times 10^{-6}\ln\frac{3.4}{1.1}\ s = 11.3\ \mu s$$

[题 10.9]　题 10.9 图是用 TTL 门电路接成的微分型单稳态触发器，其中 R_d 阻值足够大，保证稳态时 v_A 为高电平。R 的阻值很小，保证稳态时 v_{I2} 为低电平。试分析该电路在给定触发信号 v_I 作用下的工作过程，画出 v_A，v_{O1}，v_{I2} 和 v_O 的电压波形。C_d 的电容量很小，它与 R_d 组成微分电路。



题 10.9 图

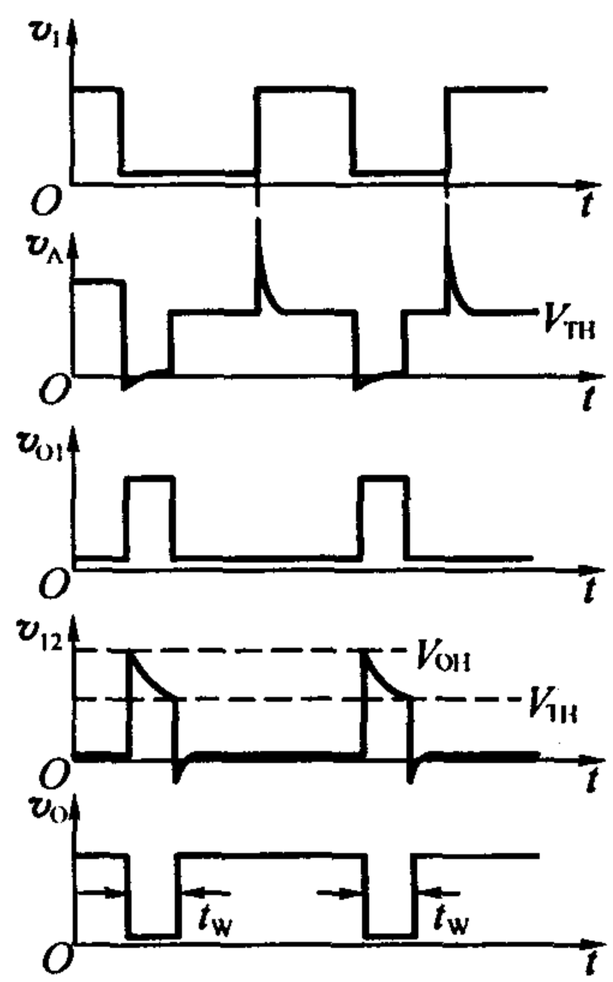
解　(1)稳态：由于 R 很小，根据 TTL 门电路输入特性，$v_{I2}=v_{IL}$；由于 R_d 很大，$v_A=v_{IH}$，$v_O=v_{OH}$，$v_{O1}=v_{OL}$；$v_{I2}=V_{IL}$，C 上无电荷。

(2)若 v_I 出现负跳变时，v_A 产生负的微分脉冲，使 v_{O1} 和 v_{I2} 发生正跳变，v_O 发生负跳变并反馈给 G_1 的另一个输入端，该正反馈使各点电压跳变很快完成。同时，由 G_1 的输出级向电容 C 充电，开始了暂稳态过程，如题 10.9 解图所示。

此时，$v_A=V_{IL}$，$v_{O1}=V_{OH}$，$v_{I2}=V_{IH}$，$v_O=v_{OL}$。

(3)随着充电过程的进行，v_{I2} 电位逐渐下降，当 $v_{I2}=v_{TH}$ 时，引发另一个正反馈过程使电路迅速脱离暂稳态，变成 $v_O=V_{OH}$，$V_{I2}=V_{IL}$，$v_{O1}=V_{OL}$。电容 C 向 G_1 的输出级放电。直到放光为止，电路又恢复为稳定状态。

电路各点电压波形如题 10.9 解图所示。



题 10.9 解图

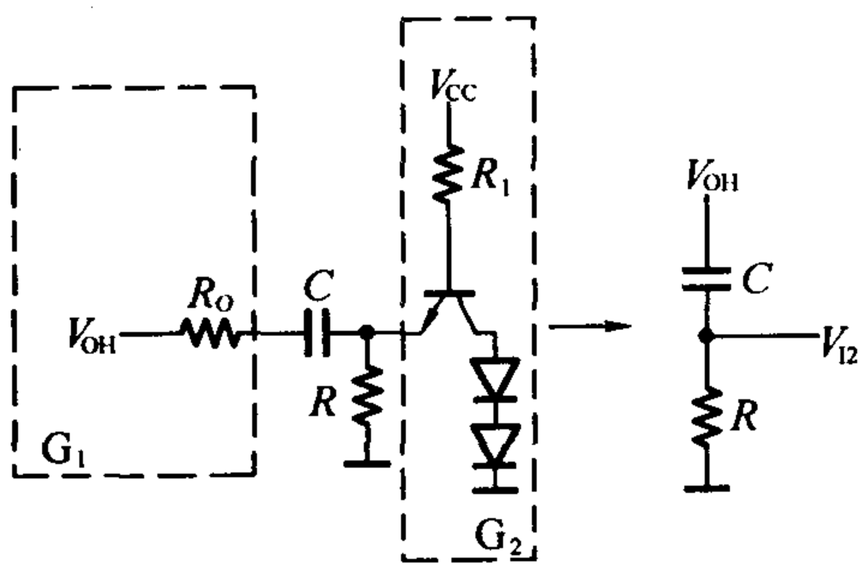
[题 10.10]　在题 10.9 图的微分型单稳态触发器电路中，若 G_1 和 G_2 为 74 系列 TTL 门电路，它们的 $V_{OH}=3.2\ V$，$V_{OL}\approx 0$，$V_{TH}=1.3\ V$，$R=0.3\ k\Omega$，$C=0.01\ \mu F$，试计算电路输出负脉冲的宽度。

解　在暂稳态过程开始时，$v_{O1}=V_{OH}$，$v_{I2}=v_{IH}$。由 G_1 输出级向 C 充电，此时也有很小的电流注入到 G_2 的输入级，如题 10.10 解图所示。此时可以忽略 G_2 输入级的影响，并认为 G_1 输出等效电阻 $R_O\approx 0$。由此得到等效电路。

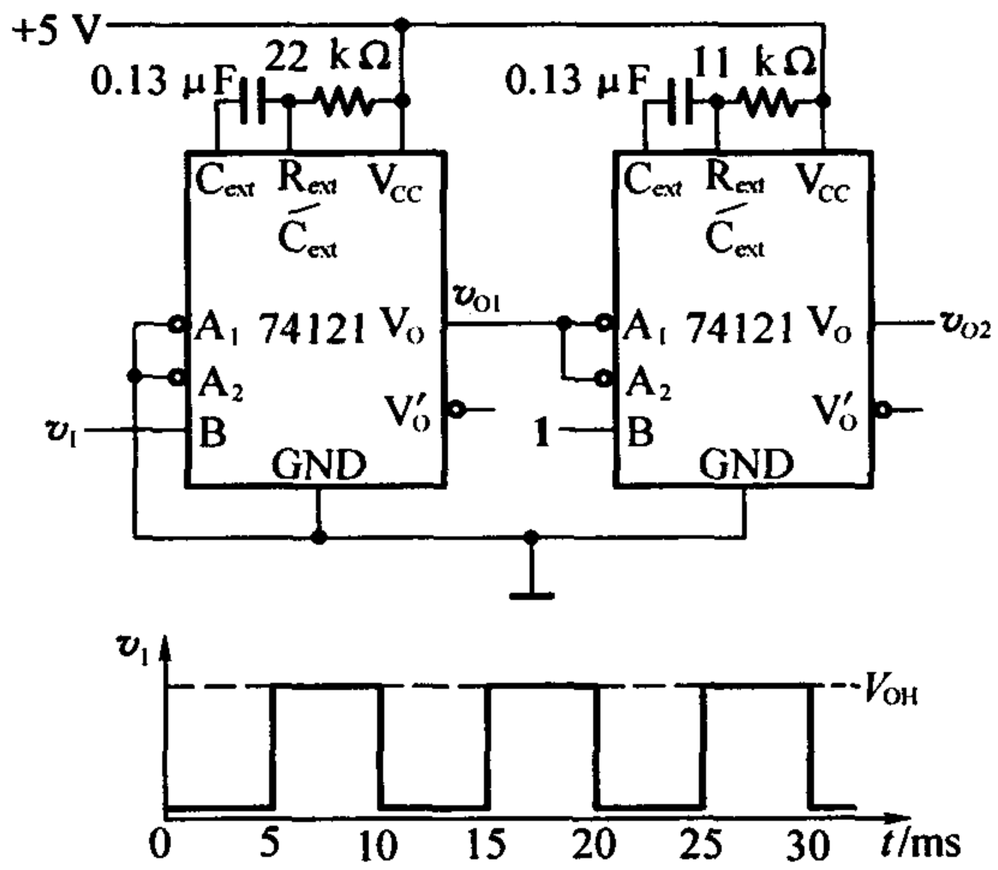
暂稳态的持续时间为 v_{I2} 的电位由 V_{OH} 下降至 V_{TH} 的时间，所以

$$t_W = RC\ln\frac{V_\infty - V_{OH}}{V_\infty - V_{TH}} = RC\ln\frac{V_{OH}}{V_{TH}} = 0.3\times10^3\times0.01\times10^{-6}\times\ln\frac{3.2}{1.3} = 2.7\ \mu s$$

[题 10.11] 题 10.11 图是用两个集成单稳态触发器 74121 所组成的脉冲变换电路，外接电阻和外接电容的参数如图中所示。试计算在输入触发信号 v_I 作用下 v_{O1}，v_{O2} 输出脉冲的宽度，并画出与 v_I 波形相对应的 v_{O1}，v_{O2} 的电压波形。v_I 的波形如图中所示。



题 10.10 解图



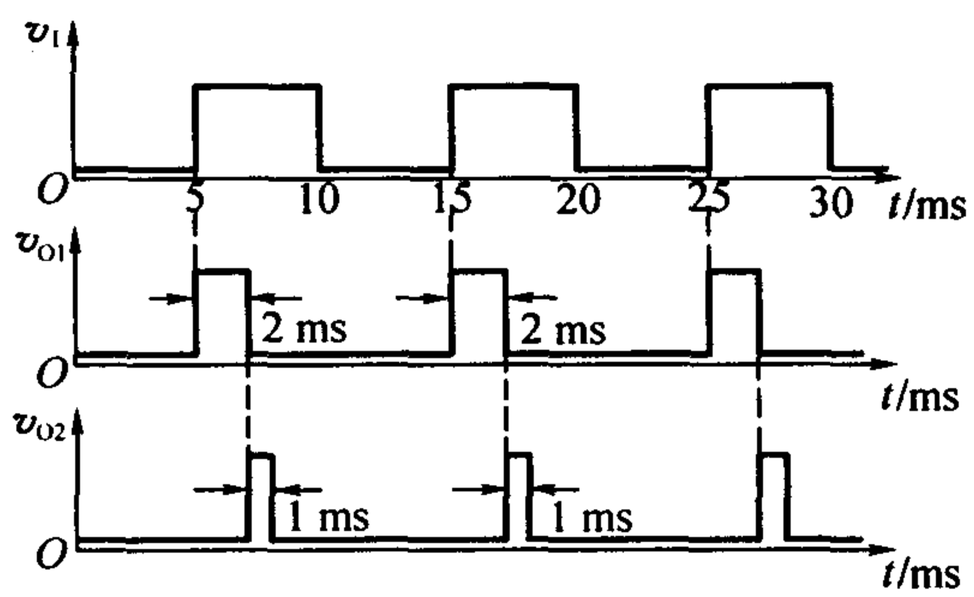
题 10.11 图

解 v_{O1}，v_{O2} 的输出脉冲宽度为

$$t_{W1} = 0.69R_{ext}\cdot C_{ext} = 0.69\times22\times10^3\times0.13\times10^{-6}\approx2\ \text{ms}$$

$$t_{W2} = 0.69R_{ext} + C_{ext} = 0.69\times11\times10^3\times0.13\times10^{-6}\approx1\ \text{ms}$$

v_{O1}，v_{O2} 的波形图如题 10.11 解图所示。



题 10.11 解图

[题 10.12] 在原教材中图 10.4.1 所示的对称式多谐振荡器电路中，若 $R_{F1} = R_{F2} = 1\ \text{k}\Omega$，$C_1 = C_2 = 0.1\ \mu\text{F}$，$G_1$ 和 G_2 为 74LS04(六反相器)中的两个反相器，G_1 和 G_2 的 $V_{OH} = 3.4\ \text{V}$，$V_{TH} = 1.1\ \text{V}$，$V_{IK} = -1.5\ \text{V}$，$R_1 = 20\ \text{k}\Omega$，求电路的振荡频率。

解 对称式多谐振荡器的周期计算如下

$$T = 2R_E C\ln\frac{V_E - V_{IK}}{V_E - V_{TH}}$$

其中

$$R_E = \frac{R_1 R_F}{R_1 + R_F} = \frac{20\times1}{20+1}\ \text{k}\Omega = 0.95\ \text{k}\Omega$$

$$V_E = V_{OH} + \frac{R_F}{R_1 + R_F}(V_{CC} - V_{OH} - V_{BE}) = 3.4\ \text{V} + \frac{1}{20+1}(5 - 3.4 - 0.7)\ \text{V} = 3.44\ \text{V}$$

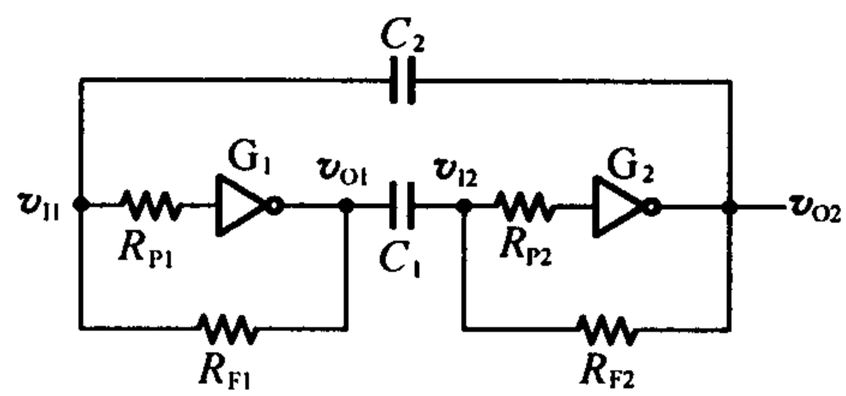
所以

$$T = 2 \times 0.95 \times 10^3 \times 0.1 \times 10^{-6} \ln \frac{3.44 + 1.5}{3.44 - 1.1} = 1.42 \times 10^{-4}\ \text{s}$$

频率为

$$f = \frac{1}{T} = 7.04\ \text{kHz}$$

[题 10.13]　题 10.13 图是用 CMOS 反相器组成的对称式多谐振荡器。若 $R_{F1} = R_{F2} = 10\ \text{k}\Omega$, $C_1 = C_2 = 0.01\ \mu\text{F}$, $R_{P1} = R_{P2} = 33\ \text{k}\Omega$,试求电路的振荡频率,并画出 v_{I1}, v_{O1}, v_{I2}, v_{O2} 各点的电压波形。

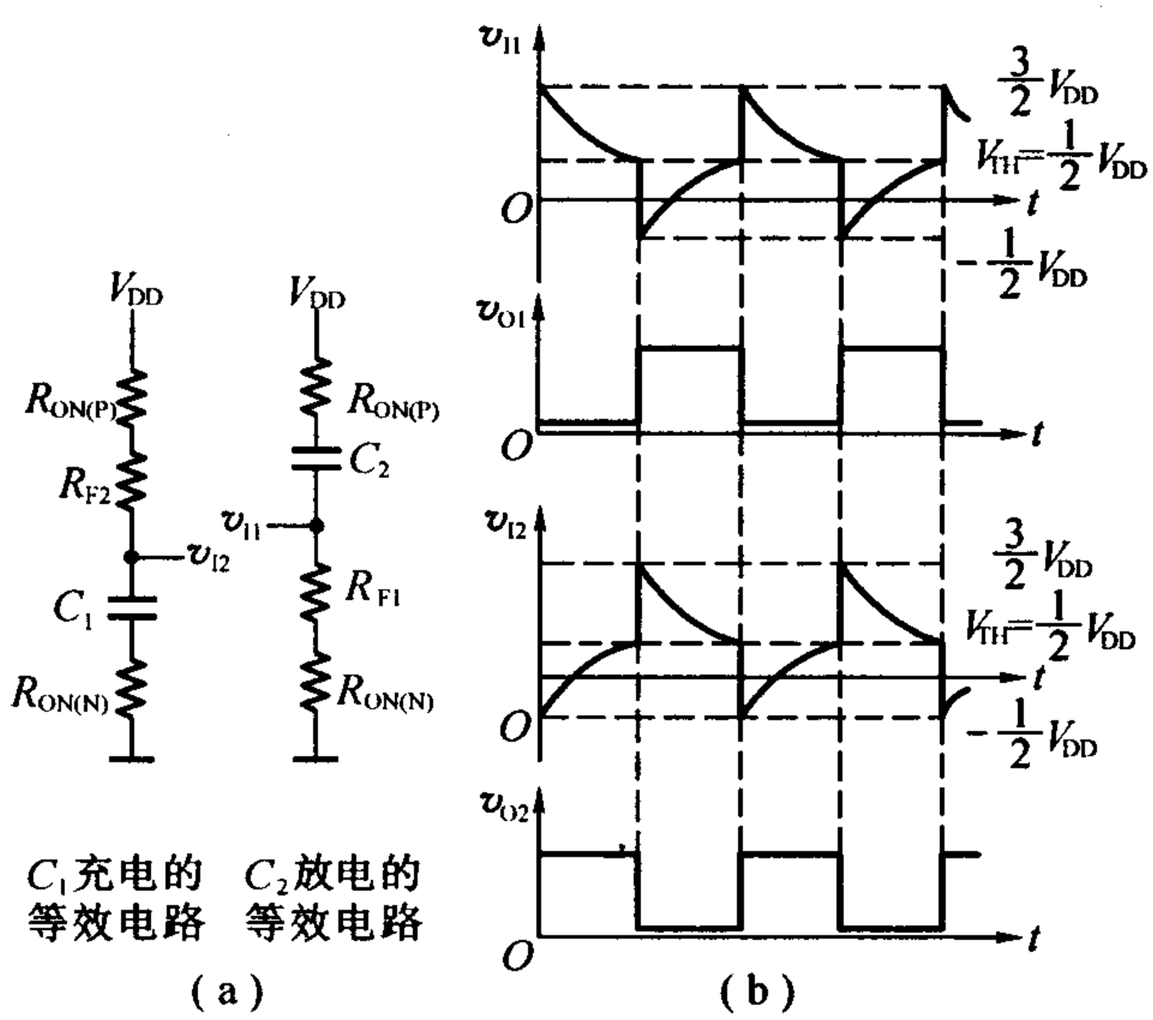


题 10.13 图

解　由于电路参数对称,所以电容 C_1 和 C_2 的充、放电时间分别相等。电容的充电和放电等效电路如题 10.13解图(a)所示,各点波形如图(b)所示。

振荡周期为

$$T = 2(R_F + R_{ON(N)} + R_{ON(P)})C\ln\frac{V_{DD} - (V_{TH} - V_{DD})}{V_{DD} - V_{TH}}$$



题 10.13 解图

在 $R_F \gg R_{ON(N)}$、$R_F \gg R_{ON(P)}$、$V_{TH} = \frac{1}{2}V_{DD}$ 的条件下,上式简化为

$$T = 2R_F C\ln 3$$

将 R_F, C 值代入上式后得到

$$T = 2 \times 10 \times 10^3 \times 0.01 \times 10^{-6} \times 1.1\ \text{s} = 2.2 \times 10^{-4}\ \text{s}$$

振荡频率为

$$f = \frac{1}{T} = 4.55\ \text{kHz}$$

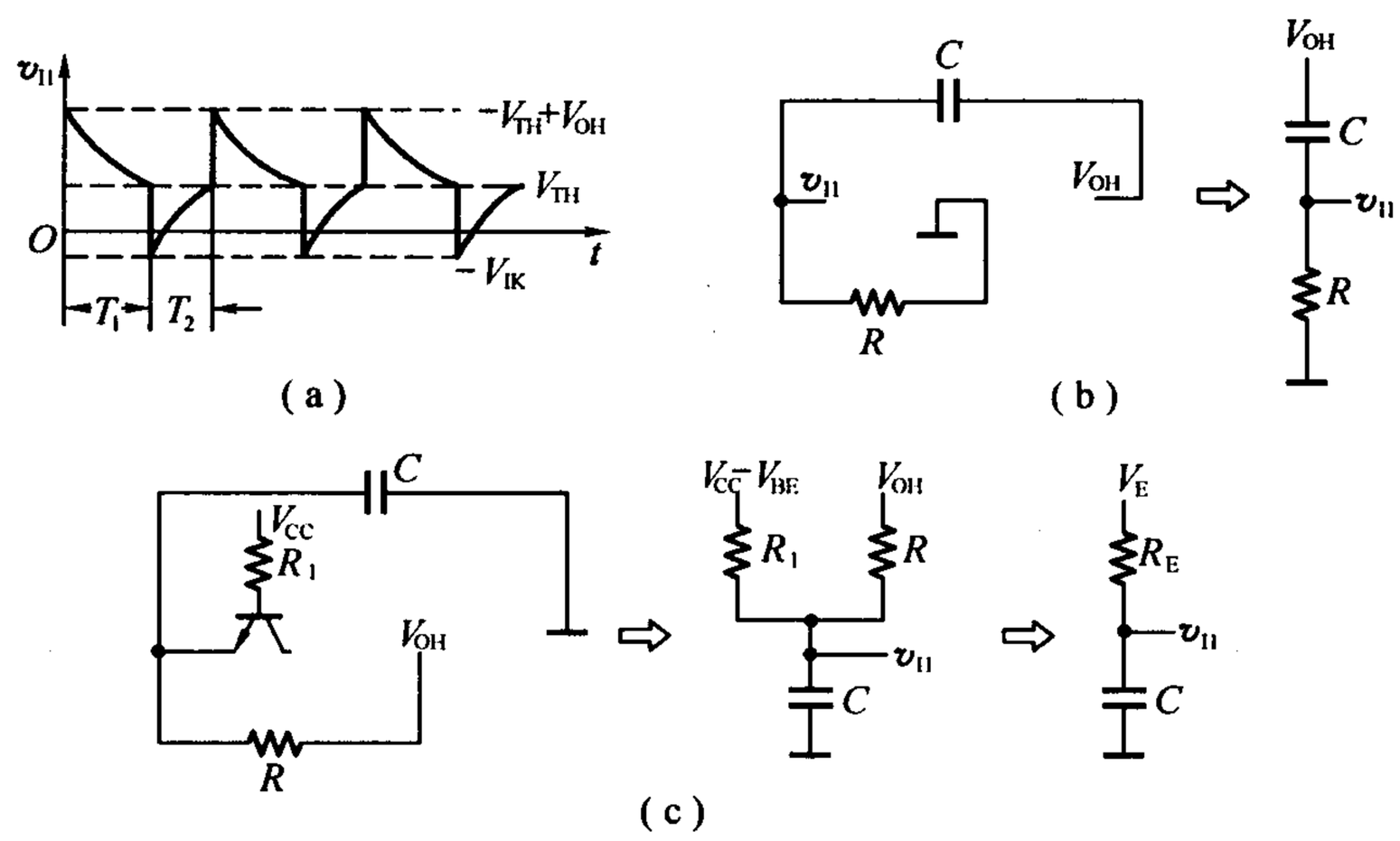
[题 10.14] 在原教材中图 10.4.6 非对称式多谐振荡器电路中，若 G_1，G_2 为 CMOS 反相器，$R_F = 9.1\ \text{k}\Omega$，$C = 0.001\ \mu\text{F}$，$R_P = 100\ \text{k}\Omega$，$V_{DD} = 5\ \text{V}$，$V_{TH} = 2.5\ \text{V}$，试计算电路的振荡频率。

解

$$f = \frac{1}{T} = \frac{1}{2.2R_F C} = \frac{1}{2.2 \times 9.1 \times 10^3 \times 10^{-9}} \approx 50\ \text{kHz}$$

[题 10.15] 如果将原教材中图 10.4.6 非对称式多谐振荡器中的 G_1 和 G_2 改用 TTL 反相器，并将 R_P 短路，试画出电容 C 充、放电时的等效电路，并求出计算电路振荡频率的公式。

解 根据电路工作原理得到 v_{I1} 的波形图如题 10.15 解图(a)所示。电容 C 放电回路如题 10.15 解图(b)所示，电容充电回路如题 10.15 解图(c)所示。由此求得电容放电时间 T_1 和充电时间 T_2 分别为



题 10.15 解图

$$T_1 = RC\ln\frac{V_{TH} + V_{OH}}{V_{TH}}$$

$$T_2 = R_E C\ln\frac{V_E - (-V_{IK})}{V_E - V_{TH}}$$

其中

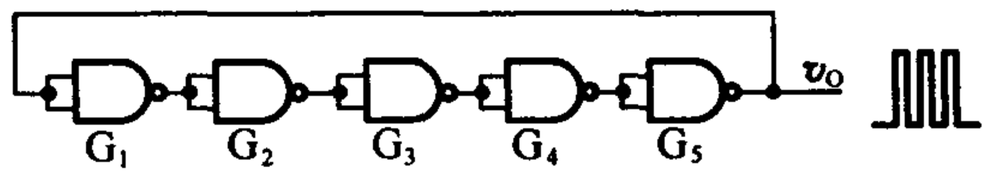
$$R_E = \frac{RR_1}{R + R_1}$$

$$V_E = V_{OH} + \frac{R}{R + R_1}(V_{CC} - V_{BE} - V_{OH})$$

在 $R_I \gg R$ 的条件下，$R_E \approx R$，$V_E \approx V_{OH}$，周期的近似计算公式为

$$T = T_1 + T_2 = RC\ln\frac{V_{TH}+V_{OH}}{V_{TH}}\cdot\frac{V_{OH}+V_{IK}}{V_{OH}-V_{TH}}$$

[题 10.16]　题 10.16 图是由五个同样的与非门接成的环形振荡器。今测得输出信号的重复频率为 10 MHz，试求每个门的平均传输延迟时间。假定所有与非门的传输延迟时间相同，而且 $t_{PHL} = t_{PLH} = t_{pd}$。



题 10.16 图

解　环形振荡器的振荡周期为 $T = 2nt_{pd}$，故得到

$$t_{pd} = \frac{T}{2n} = \frac{1}{2nf} = \frac{1}{2\times5\times10\times10^6}\ \text{s} = 10^{-8}\ \text{s} = 10\ \text{ns}$$

[题 10.17]　在原教材中图 10.4.12(b)所示的环形振荡器电路中，若给定 $R = 200\ \Omega$，$R_S = 100\ \Omega$，$C = 0.01\ \mu\text{F}$，G_1，G_2 和 G_3 为 74 系列 TTL 门电路（$V_{OH} = 3\ V$，$V_{OL} \approx 0$，$V_{TH} = 1.3\ \text{V}$），试计算电路的振荡频率。

解　带有 RC 延迟环形的环形振荡器周期计数如下：

$$\begin{aligned}T &= RC\ln\frac{2V_{OH}-V_{TH}}{V_{OH}-V_{TH}}\cdot\frac{V_{OH}+V_{TH}}{V_{TH}}\\ &= 200\times0.01\times10^{-6}\ln\frac{6-1.3}{3-1.3}\times\frac{3+1.3}{1.3}\ \text{s}\\ &= 4.4\ \mu\text{s}\end{aligned}$$

振荡频率为

$$f = \frac{1}{T} = 227\ \text{kHz}$$

[题 10.18]　在原教材中图 10.4.17 电路中，已知 CMOS 集成施密特触发器的电源电压 $V_{DD} = 15\ \text{V}$，$V_{T+} = 9\ \text{V}$，$V_{T-} = 4\ V$，试问：

(1)为了得到占空比为 $q = 50\%$ 的输出脉冲，R_1 与 R_2 的比值应取多少？

(2)若给定 $R_1 = 3\ \text{k}\Omega$，$R_2 = 8.2\ \text{k}\Omega$，$C = 0.05\ \mu\text{F}$，电路的振荡频率为多少？输出脉冲的占空比又是多少？

解　(1)根据教材中式(10.4.20)，当 $T_1 = T_2$ 时，占空比 $q = 50\%$，则

$$R_2 C\ln\frac{V_{DD}-V_{T-}}{V_{DD}-V_{T+}} = R_1 C\ln\frac{V_{T+}}{V_{T-}}$$

所以有

$$R_2/R_1 = \ln\frac{V_{T+}}{V_{T-}}\Big/\ln\frac{V_{DD}-V_{T-}}{V_{DD}-V_{T+}} = \ln\frac{11}{6}\Big/\ln\frac{9}{4} = \frac{3}{4}$$

(2)
$$\begin{aligned}T &= T_1 + T_2 = R_2 C\ln\frac{V_{DD}-V_{T-}}{V_{DD}-V_{T+}} + R_1 C\ln\frac{V_{T+}}{V_{T-}}\\ &= 8.2\times10^3\times0.05\times10^{-6}\ln\frac{11}{6}\ \text{s} + 3\times10^3\times0.05\times10^{-6}\ln\frac{9}{4}\ \text{s}\\ &= (0.25+0.12)\ \text{ms} = 0.37\ \text{ms}\end{aligned}$$

$$f = \frac{1}{T} = 2.7\ \text{kHz}$$

输出脉冲的占空比

$$q=\frac{T_1}{T}=\frac{0.25}{0.37}=0.68$$

[题 10.19] 在原教材中图 10.5.2 所示用 555 定时器接成的施密特触发器电路中，试求：

(1)当 $V_{CC}=12$ V，而且没有外接控制电压时，V_{T+}，V_{T-} 及 ΔV_T 值。

(2)当 $V_{CC}=9$ V、外接控制电压 $V_{CO}=5$ V 时，V_{T+}，V_{T-}，ΔV_T 各为多少。

解 (1) $V_{T+}=\frac{2}{3}V_{CC}=8$ V，$V_{T-}=\frac{1}{3}V_{CC}=4$ V，$\Delta V_T=V_{T+}-V_{T-}=4$ V。

(2) $V_{T+}=V_{CO}=5$ V，$V_{T-}=\frac{1}{2}V_{CO}=2.5$ V，$\Delta V_T=V_{T+}-V_{T-}=2.5$ V。

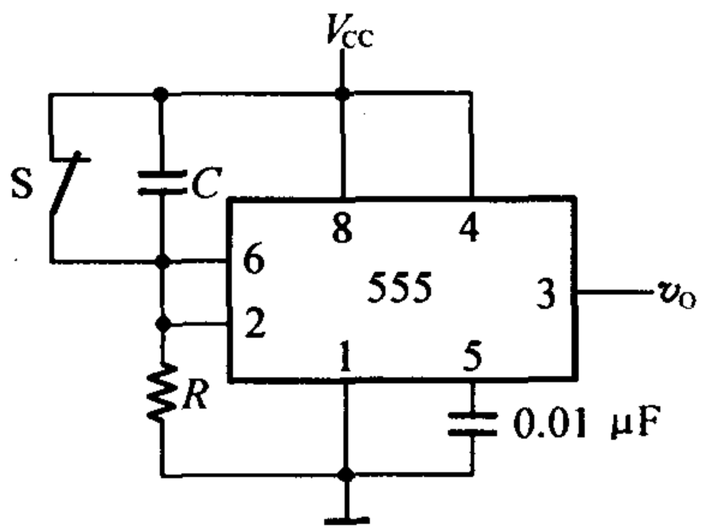
[题 10.20] 题 10.20 图是用 555 定时器组成的开机延时电路。若给定 $C=25\ \mu F$，$R=91\ k\Omega$，$V_{CC}=12$ V，试计算常闭开关 S 断开以后经过多长的延迟时间 v_O 才跳变为高电平。

解 延迟时间等于从 S 断开瞬间到电阻 R 上的电压降至 $V_{T-}=\frac{1}{3}V_{CC}$ 的时间，即

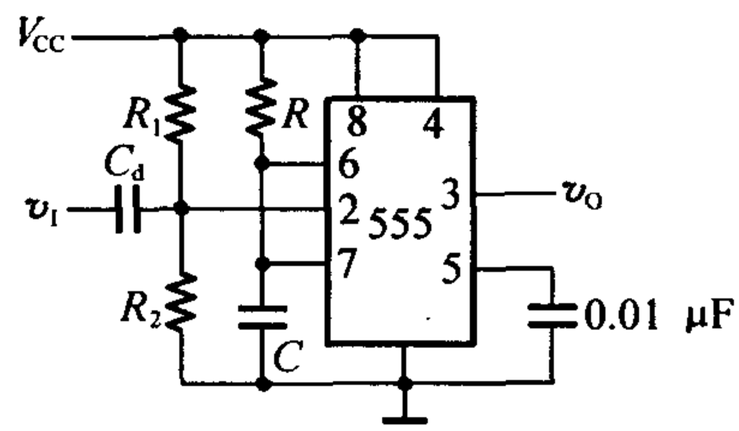
$$T_D=RC\ln\frac{0-V_{CC}}{0-\frac{1}{3}V_{CC}}=RC\ln3=1.1\times91\times10^3\times25\times10^{-6}=2.5\ s$$

[题 10.21] 试用 555 定时器设计一个单稳态触发器，要求输出脉冲宽度在 1 ~ 10 s 的范围内可手动调节。给定 555 定时器的电源为 15 V。触发信号来自 TTL 电路，高低电平分别为 3.4 V 和 0.1 V。

解 (1)电路如题 10.21 解图所示。为了使单稳态触发器工作正常，在触发信号没有到来时，2 端电位应高于 V_{T-}，由于 555 电源为 15 V，所以 $V_{T-}=\frac{1}{3}V_{CC}=5$ V。当触发信号到来时(输入低电平)，应使 2 端电位在 V_{T-} 以下才能触发。但 v_I 来自 TTL 门电路的输出，高电平时为 3.4 V，低电平时为 0.1 V，直接连到 2 端显然不行。



题 10.20 图



题 10.21 解图

为此将 v_I 经电容 C_d 微分后取其边沿。再用电阻 R_1 和 R_2 串接在 V_{CC} 与地之间，为 2 端提供一个静态工作点。当 $R_1=22\ k\Omega$，$R_2=18\ k\Omega$ 时，2 端电位为 6.75 V。再将 C_d 输出微分信号送给 2 端。这样就保证了 v_I 为高电平时，单稳态触发器不被触发，当 v_I 有下降沿时，才能触发。

(2)取 $C=100\ \mu F$，为使 $t_W=1\sim10$ s，可求出 R 的阻值变化范围

$$R_{min}=\frac{t_{W(min)}}{1.1C}=\frac{1}{1.1\times100\times10^{-6}}\ \Omega=9.1\ k\Omega$$

$$R_{max}=\frac{t_{W(max)}}{1.1C}=\frac{10}{1.1\times100\times10^{-6}}\ \Omega=91\ k\Omega$$

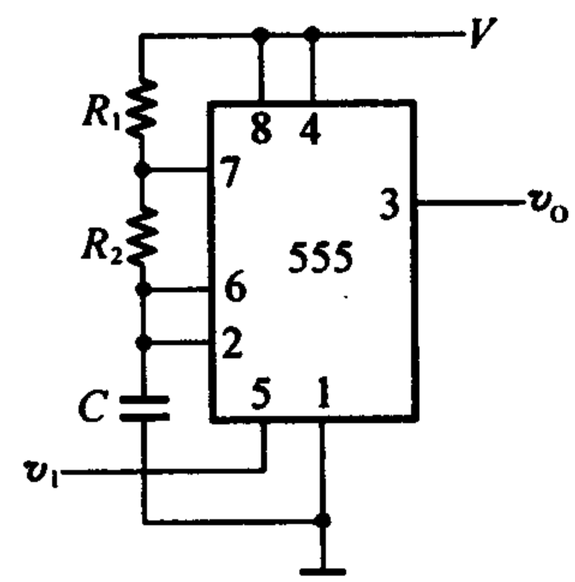
用 100 kΩ 的电位器与 8.2 kΩ 电阻串联作为 R，即可得到 $t_W=1\sim10$ s 的调节范围。

[题 10.22]　在原教材中图 10.5.6 用 555 定时器组成的多谐振荡器电路中，若 $R_1=R_2=5.1$ kΩ，$C=0.01$ μF，$V_{CC}=12$ V，试计算电路的振荡频率。

解　由教材中式(10.5.5)得

$$f=\frac{1}{(R_1+2R_2)C\ln2}=\frac{1}{3\times5.1\times10^3\times0.01\times10^{-6}\times0.69}\ Hz=9.47\ kHz$$

[题 10.23]　题 10.23 图是用 555 定时器构成的压控振荡器，试求输入控制电压 v_I 和振荡频率之间的关系式。当 v_I 升高时频率是升高还是降低？



题 10.23 图

解　由教材中的式(10.5.2)及式(10.5.3)知，振荡周期为

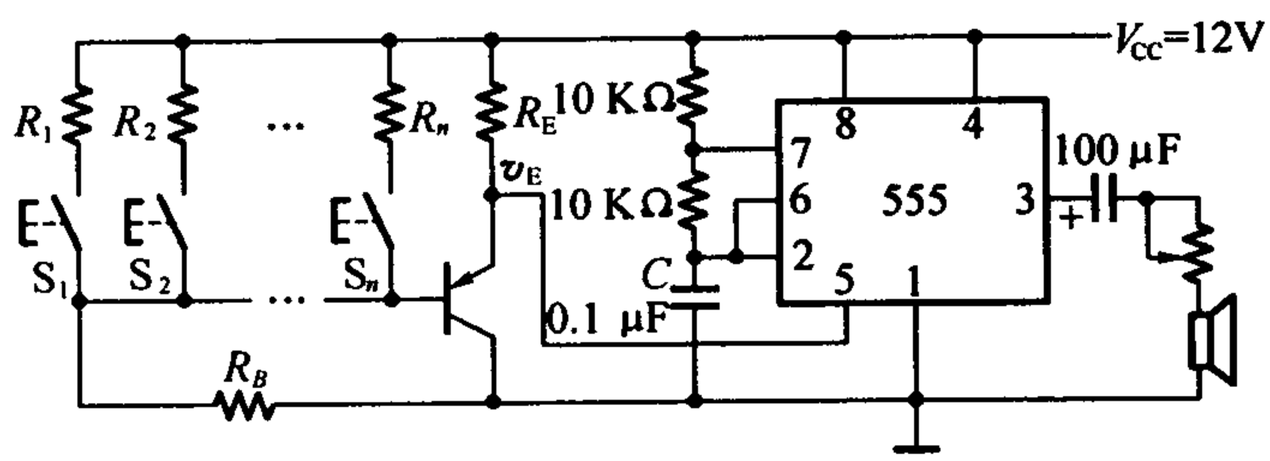
$$T=T_1+T_2=(R_1+R_2)C\ln\frac{V_{CC}-V_{T-}}{V_{CC}-V_{T+}}+R_2C\ln\frac{V_{T+}}{V_{T-}}$$

将 $V_{T+}=v_I$，$V_{T-}=\frac{1}{2}v_I$ 代入上式后得到

$$T=(R_1+R_2)C\ln\frac{V_{CC}-\frac{1}{2}v_I}{V_{CC}-v_I}+R_2C\ln2$$

当 v_I 升高时，频率下降。

[题 10.24]　题 10.24 图是一个简易电子琴电路，当琴键 $S_1\sim S_n$ 均未按下时，三极管 T 接近饱和导通，v_E 约为 0 V，使 555 定时器组成的振荡器停振。当按下不同琴键时，因 $R_1\sim R_n$ 的阻值不等，扬声器发出不同的声音。



题 10.24 图

若 $R_B=20$ kΩ，$R_1=10$ kΩ，$R_E=2$ kΩ，三极管的电流放大系数 $\beta=150$，$V_{CC}=12$ V，振荡器外接电阻、电容参数如图所示，试计算按下琴键 S_1 时扬声器发出声音的频率。

解　当按下 S_1 时，如果忽略三极管 T 的基极电流，则流过 R_1 的电流与流过 R_B 的电流相同，所以 R_1 上的电压为

$$V_{R_1}\approx\frac{R_1}{R_1+R_B}V_{CC}=4\ V$$

设T为PNP型三极管，导通时 $V_{BE}=0.3$ V，则 R_E 上的电压为

$$V_{R_E} \approx V_{R_1} - V_{BE} = 3.7 \text{ V}$$

因此得到

$$v_E = V_{CC} - V_{R_E} = 8.3 \text{ V}$$

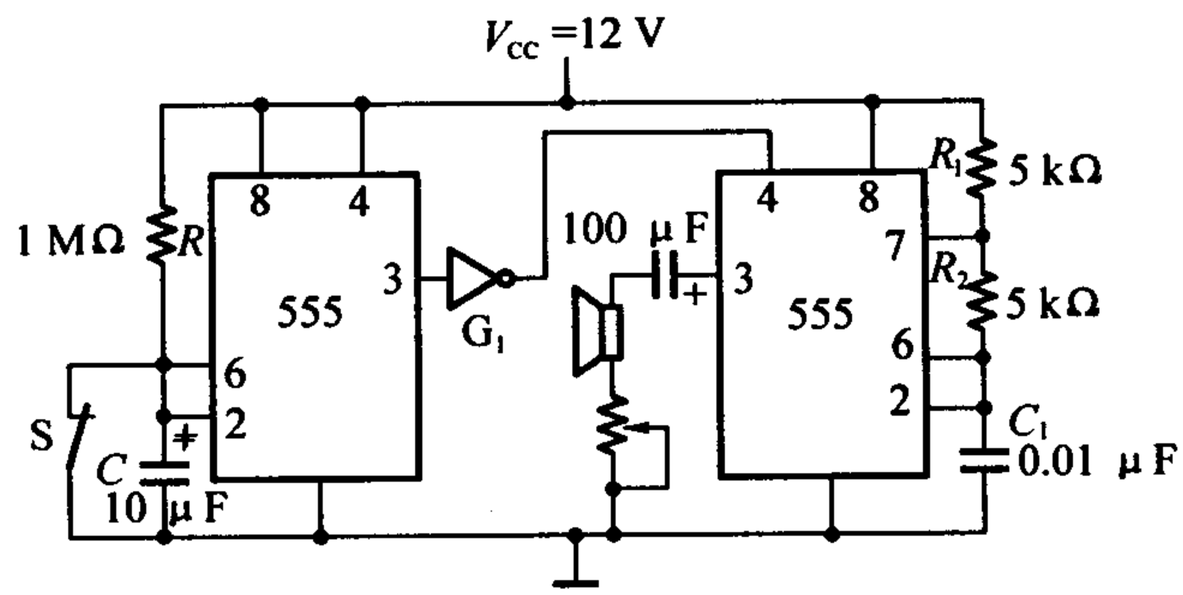
由于 v_E 接到了555定时器的 V_{CO}端，则根据上题的结果可得

$$\begin{aligned} T &= (R_1 + R_2) C \ln \frac{V_{CC} - \frac{1}{2} v_E}{V_{CC} - v_E} + R_2 C \ln 2 \\ &= (20 \times 10^3 \times 0.1 \times 10^{-6} \ln \frac{12 - 4.15}{12 - 8.3} + 10 \times 10^3 \times 0.1 \times 10^{-6} \times 0.69) \text{ s} \\ &= (1.5 \times 10^{-3} + 0.69 \times 10^{-3}) \text{ s} = 2.19 \times 10^{-3} \text{ s} \end{aligned}$$

则

$$f = \frac{1}{T} = 457 \text{ Hz}$$

[题10.25] 题10.25图是用两个555定时器接成的延迟报警器。当开关S断开后，经过一定的延迟时间后扬声器开始发出声音。如果在延迟时间内S重新闭合，扬声器不会发出声音。在图中给定的参数下，试求延迟时间的具体数值和扬声器发出声音的频率。图中的 G_1 是CMOS反相器，输出的高、低电平分别为 $V_{OH} \approx 12$ V，$V_{OL} \approx 0$ V。



题10.25图

解 题10.25图中左边的555定时器接成了施密特触发器，右边的555定时器接成了多谐振荡器。当开关S断开后，电容 C 充电，充至 $V_{T+} = \frac{2}{3} V_{CC}$时，反相器 G_1 输出高电平，多谐振荡器开始振荡。

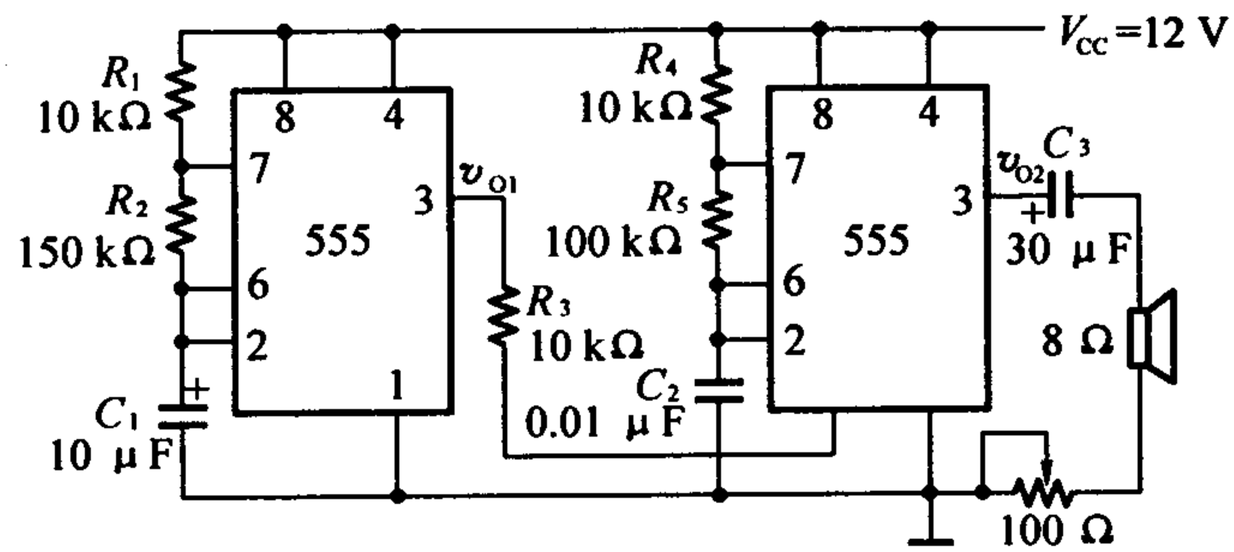
延迟时间为

$$T_D = RC \ln \frac{V_{CC}}{V_{CC} - V_{T+}} = 10^6 \times 10 \times 10^{-6} \ln \frac{12}{12 - 8} \text{ s} = 11 \text{ s}$$

振荡器的振荡频率，即扬声器发声频率为

$$f = \frac{1}{(R_1 + 2R_2) C_1 \ln 2} = \frac{1}{15 \times 10^3 \times 0.01 \times 10^{-6} \times 0.69} \text{ Hz} = 9.66 \text{ kHz}$$

[题 10.26]　题 10.26 图是救护车扬声器发音电路。在图中给出的电路参数下，试计算扬声器发出声音的高、低音频率以及高、低音的持续时间。当 $V_{CC}=12$ V 时，555 定时器输出的高、低电平分别为 11 V 和 0.2 V，输出电阻小于 100 Ω。



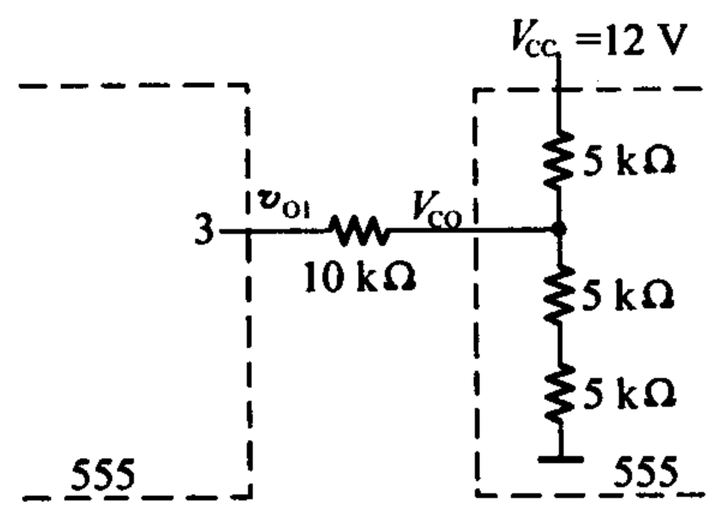
题 10.26 图

解　题 10.26 图中两个 555 定时器均接成了多谐振荡器的工作模式。

(1) v_{O1} 的高电平持续时间为

$$t_H=(R_1+R_2)C_1\ln 2=160\times10^3\times10\times10^{-6}\times0.69\ \text{s}=1.1\ \text{s}$$

这时 $v_{O1}=11$ V。由题 10.26 解图可以用叠加定理计算出，加到右边 555 定时器 5 脚上的电压 $V_{CO}=8.8$ V。因此，$V_{T+}=8.8$ V、$V_{T-}=4.4$ V。振荡器的振荡频率，亦即扬声器声音的周期为



题 10.26 解图

$$T_1=(R_4+R_5)C_2\ln\frac{V_{CC}-V_{T-}}{V_{CC}-V_{T+}}+R_5C_2\ln 2$$

$$=(110\times10^3\times0.01\times10^{-6}\ln\frac{12-4.4}{12-8.8}$$

$$+100\times10^3\times0.01\times10^{-6}\times0.69)\ \text{s}$$

$$=1.63\times10^{-3}\ \text{s}$$

$$f_1=\frac{1}{T_1}=611\ \text{Hz}$$

(2) v_{O1} 的低电平持续时间为

$$t_L=R_2C_1\ln 2=150\times10^3\times10\times10^{-6}\times0.69=1.04\ \text{s}$$

这时 $v_{O1}=0.2$ V，由题 10.26 解图可以计算出，加到右边一个 555 定时器 5 脚上的电压 $V_{CO}=6$ V，故 $V_{T+}=6$ V，$V_{T-}=3$ V。振荡周期为

$$T_2=(110\times10^3\times0.01\times10^{-6}\ln\frac{12-3}{12-6}+100\times10^3\times0.01\times10^{-6}\times0.69)\ \text{s}=1.14\times10^{-3}\ \text{s}$$

$$f_2=\frac{1}{T_2}=876\ \text{Hz}$$

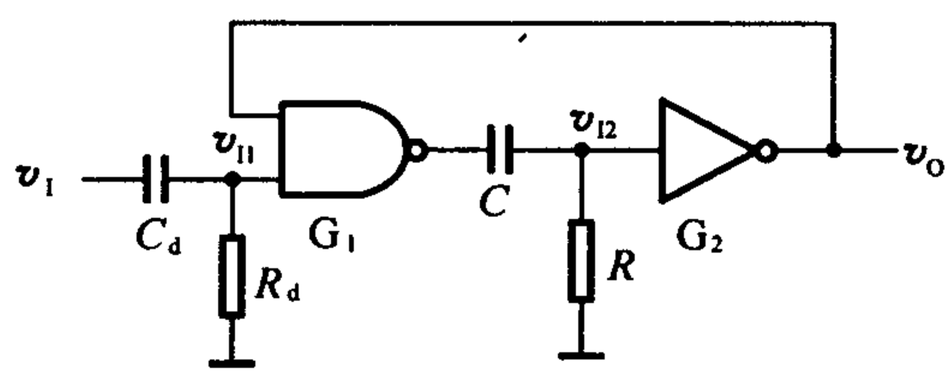
至此可知，高音频率为 876 Hz，持续时间 1.04 s。低音频率为 611 Hz，持续时间 1.1 s。

同步训练题

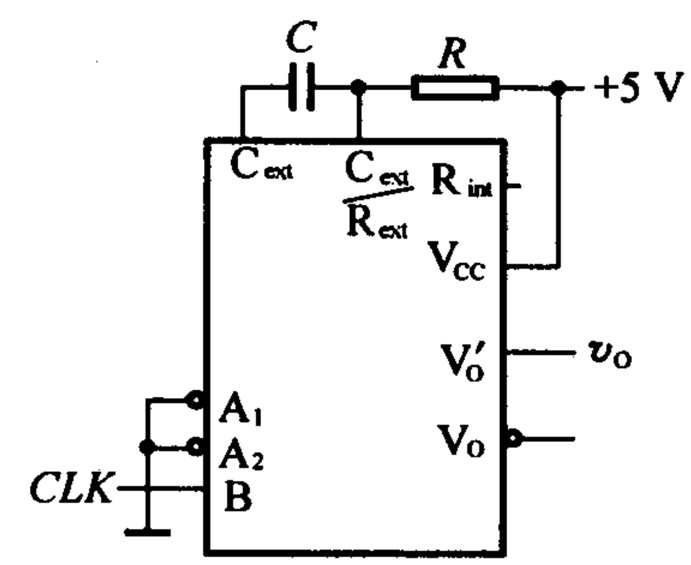
1.试述施密特触发器、单稳态触发器和多谐振荡器各有几个暂稳态、几个能够自动保持的稳定状态。

2.TTL与非门微分型单稳态触发器如题2图所示。分析电路功能,写出输出端 v_O、脉冲宽度 t_W 的计算公式。

3.由74121构成的单稳态触发电路如题3图所示。若 $C=0.01\ \mu F$,要求输出脉冲宽度 t_W 的调节范围是 $10\ \mu s \sim 1\ ms$,试估算电阻 R 的取值范围。



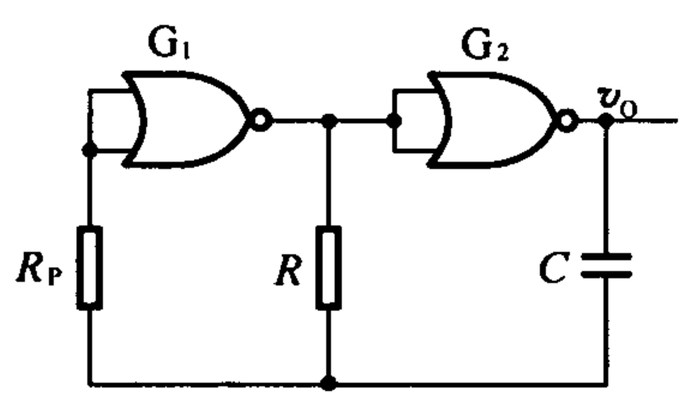
题2图



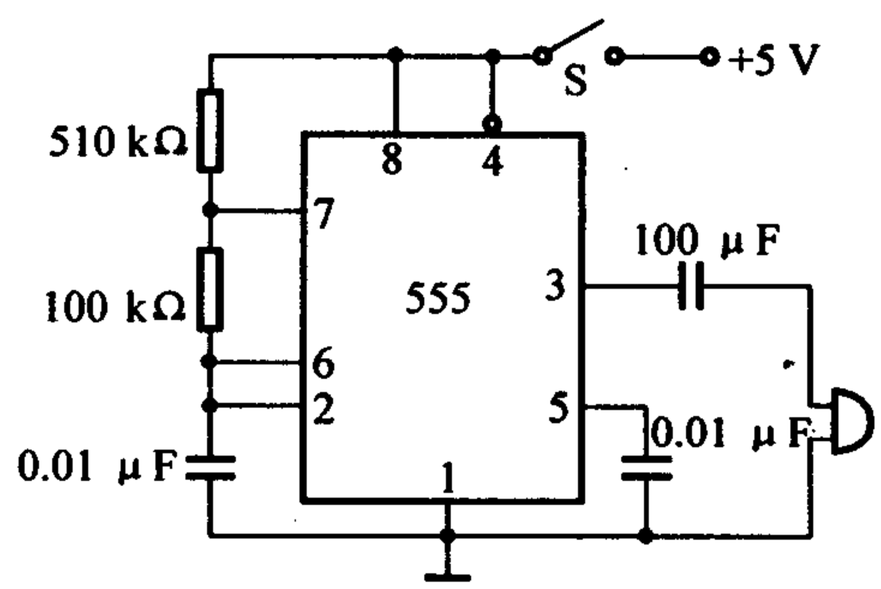
题3图

4.由CMOS或非门构成的多谐振荡器电路如题4图所示。若 $C=0.1\ \mu F$, $R=5\ k\Omega$, $R_P=50\ k\Omega$,试计算电路的振荡频率。

5.题5图为由555定时器构成的门铃电路,试说明其工作原理。

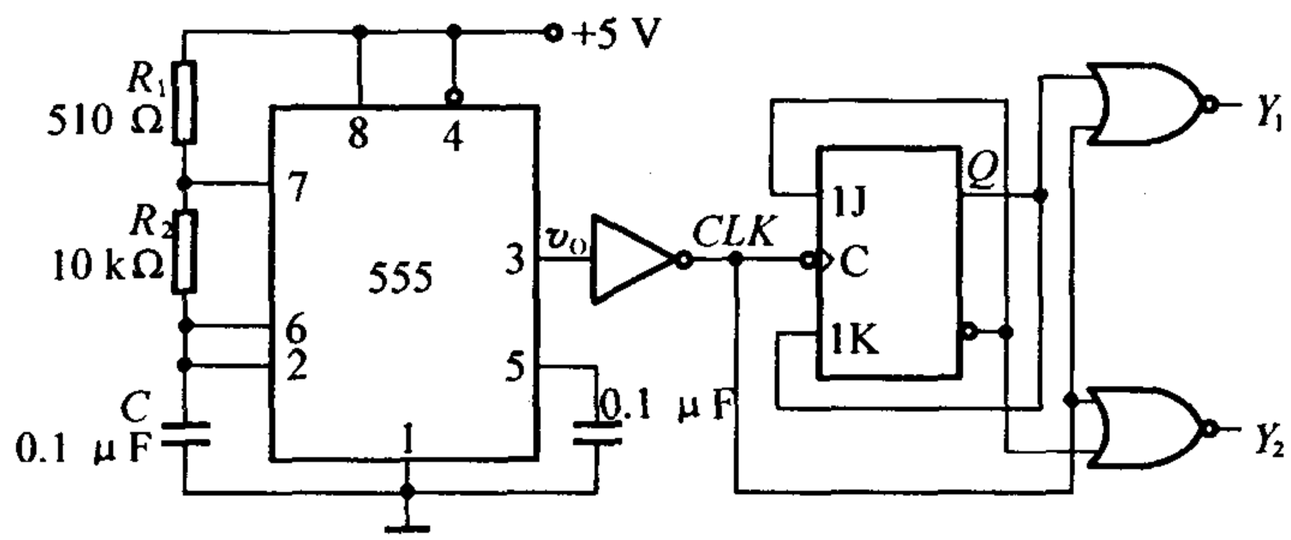


题4图



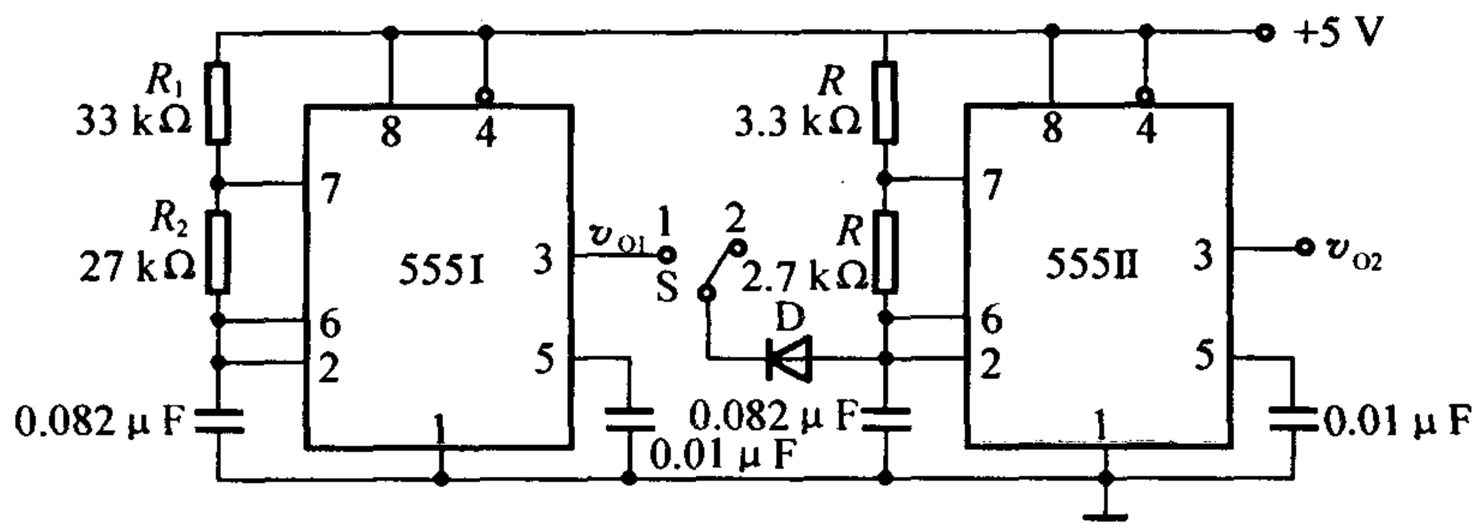
题5图

6.由555定时器、JK触发器及门电路构成的两相时钟发生器如题6图所示。计算555定时器接成的多谐振荡器输出 v_O 的周期 T 及脉冲宽度 t_W,对应画出 v_O 及Y1,Y2的波形。



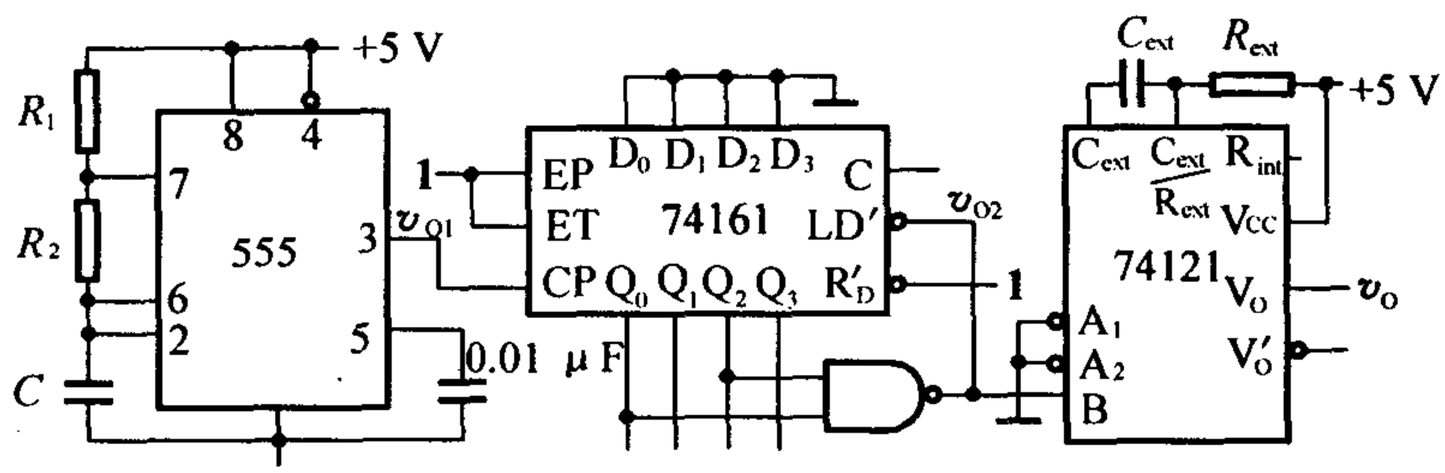
题 6 图

7. 由 555 定时器构成的电路如题 7 图所示。设输出高电平为 5 V，输出低电平为 0 V，D 为理想二极管。当开关置于位置“2”时，两个 555 定时器各构成什么电路？计算输出信号 v_{O1}，v_{O2} 的频率 f_1，f_2；画出开关置于“1”位时，v_{O1}，v_{O2} 的波形。



题 7 图

8. 由 555 定时器、计数器 74161 和单稳态电路 74121 构成的电路如题 8 图所示。已知 $R_{ext} = 4\ k\Omega$，$C_{ext} = 0.02\ \mu F$。



题 8 图

(1)说明电路各部分的功能；(2)若 $R_1 = 10\ k\Omega$、$R_2 = 20\ k\Omega$、$C = 0.01\ \mu F$，求 v_{O1} 端波形的周期 T；(3)74161 的输出 v_{O2} 与 CLK 端脉冲的分频比是多少？(4)74121 的输出脉宽为多少？(5)画出 v_{O1}，v_{O2} 和 v_O 端的波形。

同步训练题答案

1.解　施密特触发器有两个稳定状态,没有暂稳态;单稳态触发器有一个暂稳态和一个稳定状态;多谐振荡器没有稳定状态,有两个暂稳态。

2.解　由题2图电路可知,当 $v_I = V_{IH}$时,门 G_1 打开,门 G_2 关闭,$v_O = V_{OH}$,电路处于稳态。此时 $v_{I1} = V_{IH}$,$v_{O1} = v_{I2} = V_{OL}$。

在 v_I 输入负脉冲的作用下,v_{I1}随 v_I 的下降沿变为低电平,使门 G_1 关闭,v_{O1}变为高电平。在电容 C 的耦合作用下,v_{I2}也跃变为高电平,门 G_2 打开,输出 $v_O = V_{OL}$,电路进入暂态。随电容 C 的放电v_{I2}下降,当 v_{I2}的值降到 G_2 的阈值电压 V_T 时,v_O 重新跳变为高电平,暂态结束,电路重新回到稳态。输出负脉冲的宽度 t_W 由电容 C 的放电过程决定。

设在 $t=0$ 时刻为暂态起始时刻,$v_{I2}(0) = V_{OH}$;$t = t_W$ 时,$v_{I2}(t_W) = V_T$;$v_{I2}(\infty)=0$,可得

$$t_W = RC\ln\frac{V_{OH}}{V_T}$$

3.解　单稳态触发器 74121 输出脉冲宽度 $t_W = RC\ln2 = 0.69RC$,有 $R = \frac{t_W}{0.69C}$。当 $t_{W\min} = 10\ \mu s$ 时,$R_{\min} = \frac{t_{W\min}}{0.69C} = 1.449\ k\Omega$;当 $t_{W\max} = 1\ ms$ 时,$R_{\max} = \frac{t_{W\max}}{0.69C} = 144.9\ k\Omega$,所以电阻 R 的取值范围为 $1.449\ k\Omega < R < 144.9\ k\Omega$。

4.解　由于 $R_p \gg R$,电路的振荡周期为 $T \approx 2.2RC = 1.1\ ms$。

电路的振荡频率为

$$f = \frac{1}{T} = 909.1\ Hz$$

5.解　555 定时器接成多谐振荡器,当按下开关 S 接通电路电源时,多谐振荡器工作频率是

$$f = \frac{1}{1.1\times(5.1+200)\times10^3\times10^2\times10^{-6}}\ Hz = 443.2\ Hz$$

555 定时器输出电压通过 100 μF 的电容隔直后向门铃输出矩形波电压,门铃发出响声;断开按钮 S,门铃即停止发声。

6.解　多谐振荡器输出 v_O 的周期 T 及脉宽 t_W 分别为

$$T = (R_1 + 2R_2)C\ln2 = 1.415\ ms$$

$$t_W = (R_1 + R_2)C\ln2 = 0.725\ ms$$

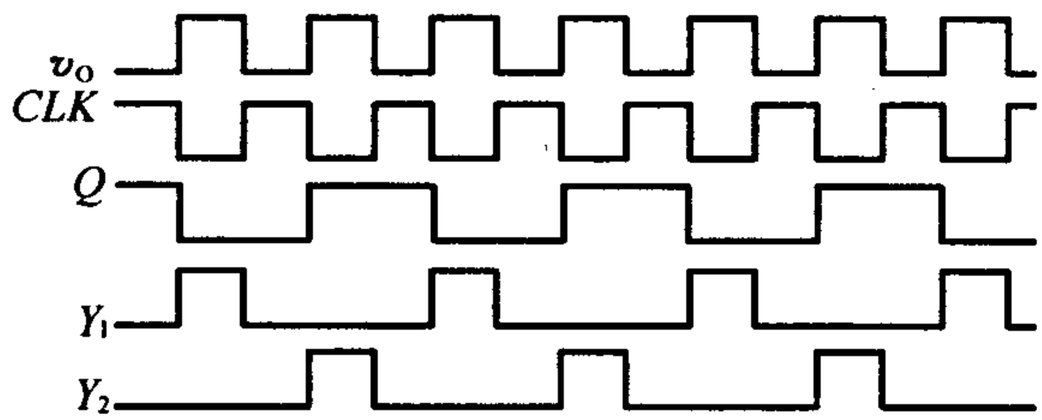
V_O 及 Y_1,Y_2 的波形如题 6 解图所示。

7.解　当开关置于"2"位置时,两个 555 各构成一个多谐振荡器,输出信号 v_{O1},v_{O2}的频率分别为

$$f_1 = \frac{1}{0.7(R_1+R_2)C + 0.7R_2C} = \frac{1}{(3.44+1.55)\times10^{-3}}\ Hz = 200.4\ Hz$$

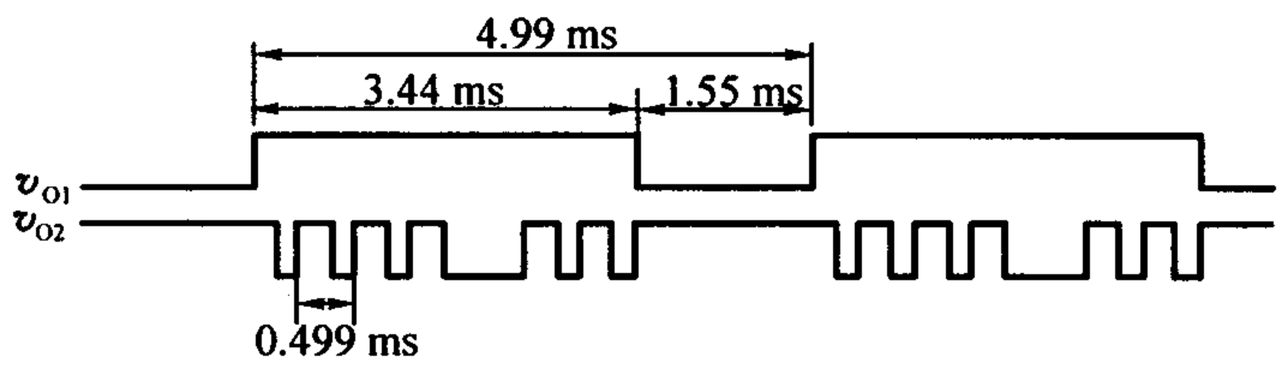
$$f_2 = \frac{1}{0.7(R_3+R_4)C + 0.7R_4C} = \frac{1}{(0.344+0.155)\times10^{-3}}\ Hz = 2\ 004\ Hz$$

当开关置于"1" 位置时,振荡器Ⅱ的工作状态受控于振荡器Ⅰ的输出 v_{O1}。当 $v_{O1} = V_{OH}$时,二极管 D 截止,振荡器Ⅱ起振工作,振荡频率 $f_2 = 2\ 004\ Hz$;当 $v_{O1} = V_{OL}$时,二极管 D 导通,振荡器Ⅱ停止振荡,$v_{O2} = V_{OH}$。



题 6 解图

V_{O1}，v_{O2}的波形如题 7 解图所示。



题 7 解图

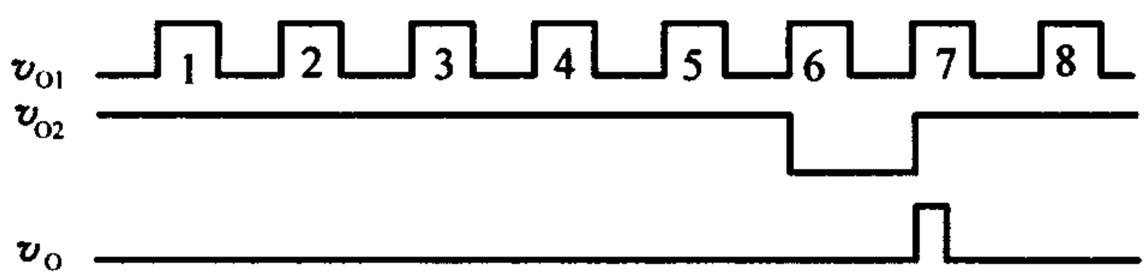
8.解　(1)555 定时器构成多谐振荡器、74161 进行计数分频、74121 进行单稳定时；

(2) $T=(R_1+2R_2)C\ln 2=0.345$ ms；

(3)分频比是 6；

(4) $t_W=R_{ext}\cdot C_{ext}\ln 2=55\ \mu s$；

(5) v_{O1}，v_{O2}和 v_O 端的波形如题 8 解图所示。



题 8 解图

第 11 章　数 - 模和模 - 数转换

知 识 要 点

11.1　数 - 模转换器

数 - 模转换器是实现从数字信号到模拟信号转换的电路，简称 D/A 转换器(DAC)。

11.1.1　数 - 模转换器的类型

权电阻网络 DAC、倒 T 形电阻网络 DAC、权电流型 DAC、开关树型 DAC 和权电容网络 DAC 等。

11.1.2　主要技术指标

1.转换精度

指输出电压实际值与理论值之差，通常用输出电压满刻度的百分数或最低有效位数字的倍数来表示。在 D/A 转换器中通常用分辨率和转换误差来描述转换精度。

2.转换速度

指从输入数字信号建立到输出电压稳定所需时间。在 D/A 转换器中通常用建立时间 t_{set} 来定量描述转换速度。

11.2　模 - 数转换器

模 - 数转换器是实现从模拟信号到数字信号转换的电路，简称 A/D 转换器(ADC)。

A/D 转换器的结构类型分为直接 A/D 转换器和间接 A/D 转换器两大类。直接 A/D 转换器又分为并联比较型和反馈比较型两种。间接 A/D 转换器分为双积分型和 V - F 变换型。

主要技术指标有转换精度和转换速度。

11.3　本 章 重 点

数 - 模转换器和模 - 数转换器的工作原理、性能指标及其应用。

书后复习思考题解答

R11.2.1 在图11.2.3所示的倒T形电阻网络D/A转换器中,用哪些方法能调节输出电压 v_O 的最大幅度?

答 有三种方法能调节 v_O 的最大幅度。

(1)改变参考电压 V_{REF} 值。

(2)改变放大器的反馈电阻值。

(3)改变电阻网络的电阻值。

R11.2.2 D/A转换器的电路结构有哪些类型?它们各自有何优、缺点?

答 如表R11.2.2所示。

表R11.2.2

类 型	优 点	缺 点
权电阻网络D/A转换器	结构简单,电阻元件少	各电阻之间阻值差异大,尤其是在输入信号位数较多时更为突出
倒T形电阻网络D/A转换器	各支路上电流几乎不变,电阻取值简单,且差异不大,仅为 R 和 $2R$,易于集成设计	由于模拟开关的导通电阻和导通压降的存在,引起转换误差
权电流型D/A转换器	由于采用恒流源,每个支路上的电流不受开关内阻和压降的影响,对开关电路要求低,工作速度高	基准电流由外接基准电压和内阻决定,稳态时功耗较大,各三极管的发射极面积成比例,当输入数字位数多时,射极面积较大,不利于集成
开关树型D/A转换器	电阻种类单一,对开关导通内阻要求不高,利于集成	转换速度较低
权电容网络D/A转换器	输出电压精度仅和电容器电容量之间比例有关,和电容量无关;输出电压的稳定值不受开关内阻及参考电压源内阻的影响;稳态下权电容网络不消耗功率	输入数字量位数较多时,各电容的电容量相差很大,影响集成度;转换速度低

R11.2.3 D/A转换器转换误差和建立时间是怎样定义的?

答 转换误差:实际D/A转换特性和理想转换特性之间的最大偏差。

建立时间:从输入的数字量发生突变开始,直到输出电压进入与稳态值相差±1/2LSB范围内所经历的时间。

R11.2.4 影响 D/A 转换器转换精度的主要因素有哪些?

答 由于 D/A 转换器的各个环节在参数和性能上与理论值之间不可避免地存在差异,所以实际能达到的转换精度要由转换误差决定。造成 D/A 转换器转换误差的原因有参考电压 V_{REF} 的波动、运算放大器的零点漂移、模拟开关的导通内阻、电阻网络中电阻阻值的偏差以及三极管特性的不一致等。

R11.3.1 什么是量化误差? 有哪些可以减小量化误差的方法?

答 在将模拟量化为对应的数字量时所引起的误差称为量化误差。量化误差是由于模拟量不能被量化单位整除所引起的。

增加量化级别,从而减小量化单位是减小量化误差的方法。

R11.3.2 A/D 转换器的电路结构有哪些类型? 它们各有何优缺点?

答 如表 R11.3.2 所示。

表 R11.3.2

类　型	优　点	缺　点	应用场合
并联比较型 A/D 转换器	转换速度快;电路规模大;可以不附加取样 - 保持电路	需要用很多电压比较器和触发器	转换速度较高的电路
逐次渐近型 A/D 转换器	输出位数较多时,电路规模小;转换速度较快	转换速度略低于并联比较型 A/D 转换器	集成 A/D 转换器
双积分型 A/D 转换器	工作性能稳定;抗干扰能力比较强	工作速度低	对转换速度要求不高的场合
V - F 变换型 A/D 转换器	抗干扰能力比较强	工作速度低	对转换速度要求不高的场合,适用于遥测、遥控系统中的应用

R11.3.3 在要求 A/D 转换器的转换时间小于 1 μs、小于 100 μs 和小于 0.1 s 三种情况下,应各选择哪种类型的 A/D 转换器?

答 (1)小于 1 μs:并联比较型 A/D 转换器。

(2)小于 100 μs:并联比较型,逐次逼近型。

(3)小于 0.1 s:并联比较型,逐次逼近型,双积分型,V - F 变换型。

书后习题解析

[题 11.1] 在原教材中图 11.2.1 所示的权电阻网络 D/A 转换器中,若取 $V_{REF} = 5$ V,试求当输入数字量为 $d_3 d_2 d_1 d_0 = 0101$ 时输出电压的大小。

解 根据教材中式(11.2.2)得

$$v_O = -\frac{V_{REF}}{2^4}(d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0)$$

$$= -\frac{5}{2^4}(0\times 2^3 + 1\times 2^2 + 0\times 2^1 + 1\times 2^0)\ \text{V}$$

$$= -1.562\,5\ \text{V}$$

[题11.2]　在原教材中图11.2.3给出的倒T形电阻网络D/A转换器中，已知 $V_{REF} = -8$ V，试计算当 d_3，d_2，d_1，d_0 每一位输入代码分别为1时在输出端所产生的模拟电压。

解　根据教材中的式(11.2.4)得

$$v_O = -\frac{V_{REF}}{2^4}(d_3 2^3 + d_2 2^2 + d_2 2^1 + d_0 2^0)$$

$$= \frac{1}{2}(d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0)\ \text{V}$$

即可算出 d_3，d_2，d_1，d_0 每一位为1时在输出端的模拟电压分别为4 V，2 V，1 V，0.5 V。

[题11.3]　在原教材中图11.2.5所示的D/A转换电路中，给定 $V_{REF} = 5$ V，试计算

(1)输入数字量的 $d_9 \sim d_0$ 每一位为1时在输出端产生的电压值。

(2)输入为全1、全0和1000000000时对应的输出电压值。

解　根据教材中式(11.2.5)

$$v_O = -\frac{5}{2^{10}}(d_9 2^9 + d_8 2^8 + \cdots + d_1 2^1 + d_0 2^0)\ \text{V}$$

(1) $d_9 \sim d_0$ 每一位的1在输出端产生的电压分别为 -2.5 V，-1.25 V，-0.625 V，-0.313 V，-0.156 V，-78.13 mV，-39.06 mV，-19.53 mV，-9.77 mV，-4.88 mV。

(2)输入为全1、全0和1000000000时的输出电压分别为 -4.995 V，0 V和 -2.5 V。

[题11.4]　在原教材中图11.2.5由CB7520所组成的D/A转换器中，已知 $V_{REF} = -10$ V，试计算当输入数字量从全0变到全1时输出电压的变化范围。如果想把输出电压的变化范围缩小一半，可以采取哪些方法？

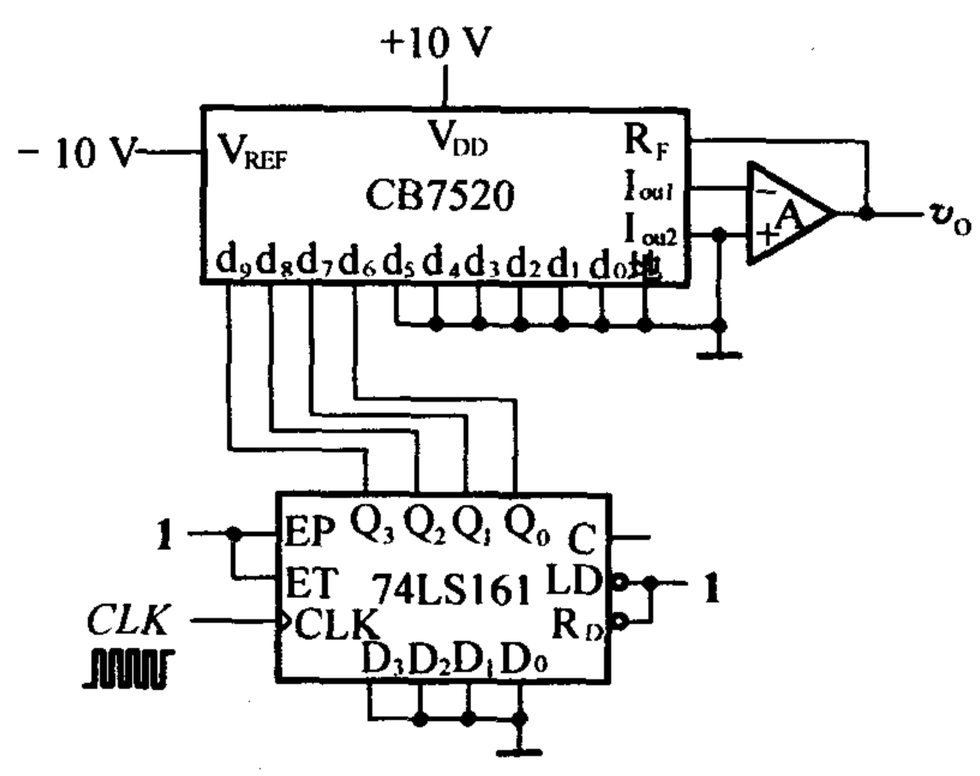
解　根据教材中的式(11.2.5)

$$v_O = -\frac{V_{REF}}{2^n}\cdot D = \left(\frac{10}{2^{10}}\times D\right)\ \text{V}$$

将 $D=0$、$D=2^{10}-1$ 代入上式可求出输出电压的变化范围为0~9.99 V。

如果需要将输出电压的变化范围缩小一半，可以将 V_{REF} 的绝对值减小一半，即改为 $V_{REF} = -5$ V。也可以将求和放大器的放大倍数减小一半。为此，求和放大器的反馈电阻不能再使用CB7520片内提供的反馈电阻 R，而应在 I_{out} 与放大器输出端 v_O 之间外接一个 $R/2 = 5$ kΩ 的反馈电阻。

[题11.5]　题11.5图所示电路是用CB7520和同步十六进制计数器74LS161组成的波形发生器电路。已知CB7520的 $V_{REF} = -10$ V，试画出输出电压 v_O 的波形，并标出波形图上各点电压的幅度。CB7520的电路结构见原教材中图11.2.5，74LS161的功能表与原教材中表6.3.4相同。



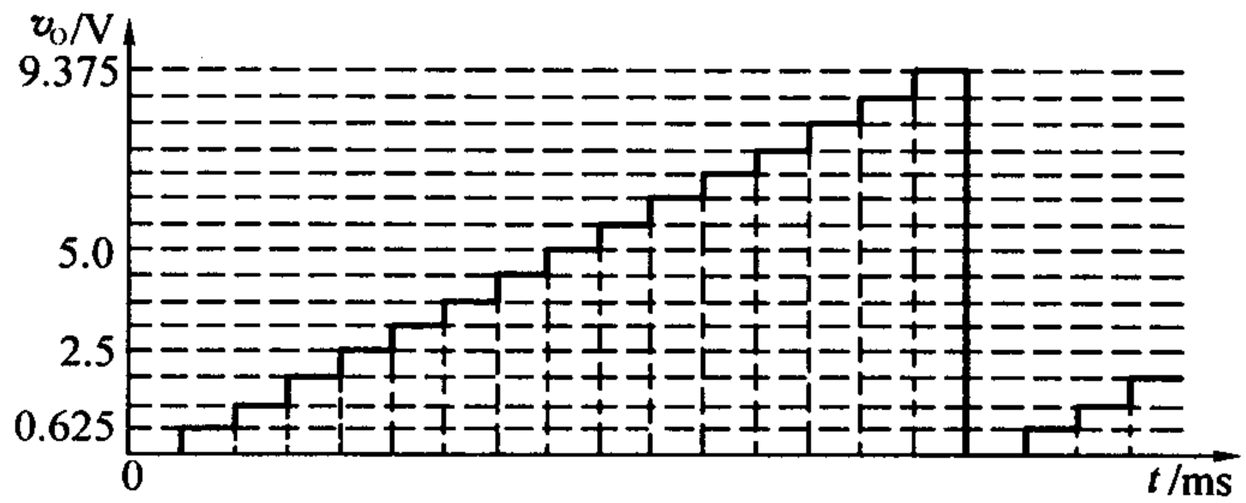
题11.5图

解　同步十六进制计数器74LS161工作在计数状态，在时钟 CP 连续作用下，其 $Q_3Q_2Q_1Q_0$ 从0000~

1111进行循环，因此 CB7520 的 $d_9 d_8 d_7 d_6$ 也从 0000～1111 进行循环。电路输出电压

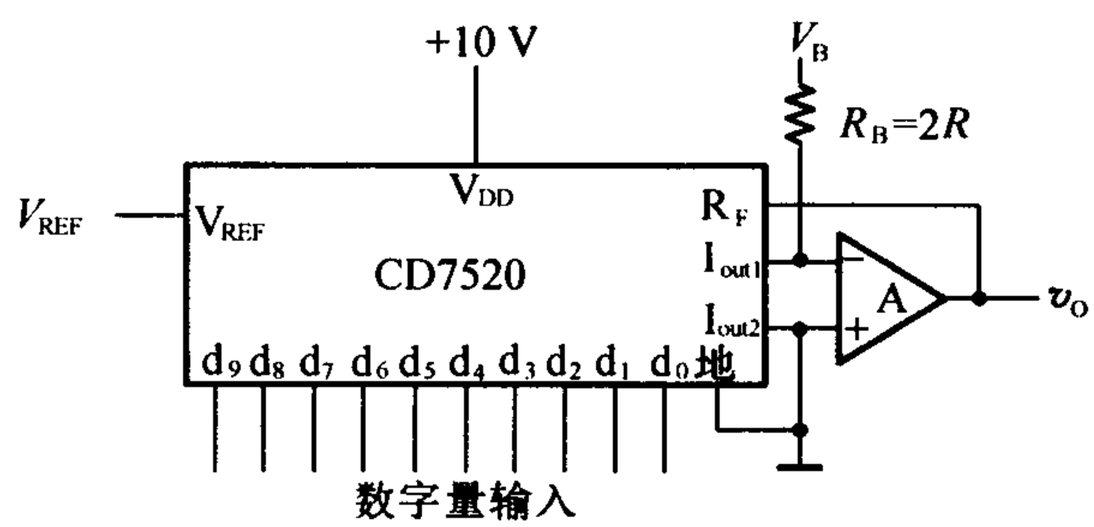
$$v_O = -\frac{-10}{2^{10}}(d_9 \times 2^9 + d_8 \times 2^8 + d_7 \times 2^7 + d_6 \times 2^6)$$
$$= 0.625(8Q_3 + 4Q_2 + 2Q_1 + Q_0)$$

所以 v_O 在 0.625×0 V，0.625×1 V $= 0.625$ V，…，0.625×15 V $= 9.375$ V 变化，波形如题 11.5 解图所示。



题 11.5 解图

［题 11.6］ 题 11.6 图所示电路是用 CB7520 组成的双极性输出 D/A 转换器。CB7520 的电路结构见原教材中图 11.2.5，其倒 T 形电阻网络中的电阻 $R = 10$ kΩ。为了得到 ±5 V 的最大输出模拟电压，在选定 $R_B = 20$ kΩ 的条件下，V_{REF}，V_B 应各取何值？



题 11.6 图

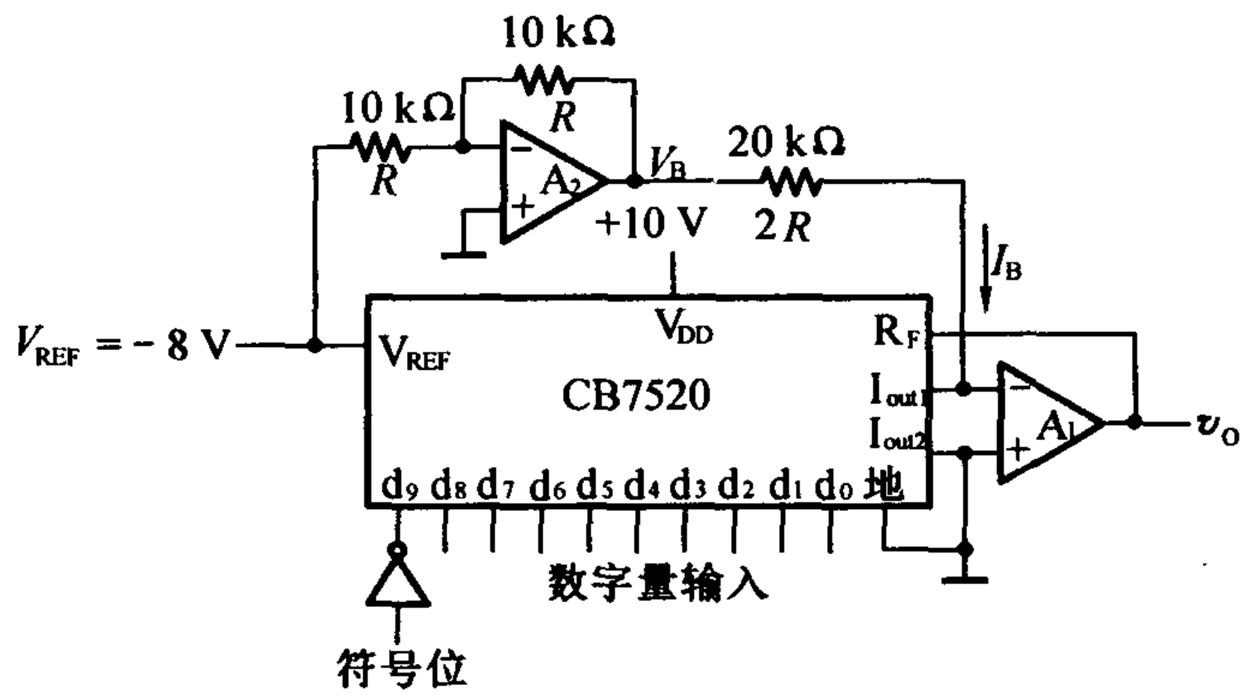
解 为得到 ±5 V 的最大输出模拟电压，应取 $V_{REF} = 10$ V。为使 V_B 提供的偏移电流大小与 $d_9 = 1$ 时的输出电流 I_{out} 相等，根据原教材中教材式(11－5)，应取 $|V_B| = \frac{R_B}{2R} \cdot |V_{REF}| = 10$ V。在 $V_{REF} = 10$ V 时，V_B 应取为 -10 V。

［题 11.7］ 在题 11.7 图给出的 D/A 转换器中，试求：

(1)1 LSB 产生的输出电压增量是多少？

(2)输入为 $d_9 \sim d_0 = 1000000000$ 时的输出电压是多少？

(3)若输入以二进制补码给出，则最大的正数和绝对值最大的负数各为多少？它们对应的输出电压各为多少？



题 11.7 图

解　此电路为双极性输出 D/A 转换器，$V_{REF}=-8$ V，反相器的输出 $V_B=8$ V。则

$$\frac{v_O}{R}+\frac{V_B}{2R}=-\frac{V_{REF}}{2R}\cdot\frac{1}{2^{10}}\left[\sum_{i=0}^{9}(d_i\cdot 2^i)\right]$$

即

$$v_O=\left(-\frac{V_{REF}}{R}\cdot\frac{1}{2^{10}}\left[\sum_{i=0}^{9}(d_i\cdot 2^i)\right]-\frac{V_B}{2R}\right)\times R=-4+\frac{8}{2^{10}}\left[\sum_{i=0}^{9}(d_i\cdot 2^i)\right]$$

因此可得，(1)1 LSB 产生的输出电压压增量是$\frac{8}{2^{10}}$ V＝7.8 mV；

(2)输入为 $d_9\sim d_0=1000000000$ 时的输出电压是 0 V；

(3)若输入以二进制补码给出，则最大的正数为 2^9-1（即 0111111111），绝对值最大的负数为 2^9（即 1000000000）；它们对应的输出电压是＋3.99 V 和－4 V。

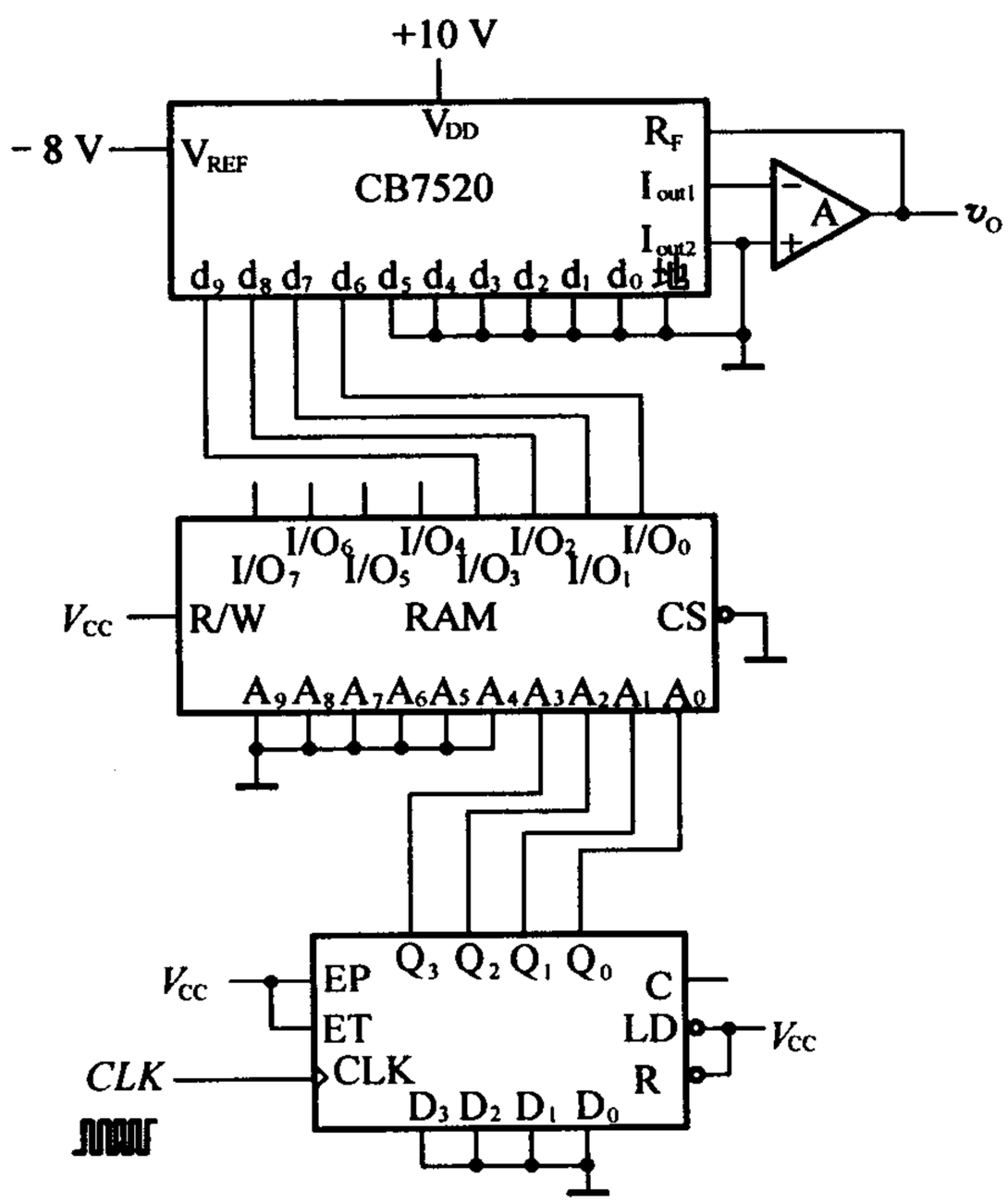
［题 11.8］　试分析题 11.8 图电路的工作原理，画出输出电压 v_O 的波形图。CB7520 的电路图见原教材图 11.2.5。同步十进制计数器 74LS160 的功能表见原教材表 6.3.4。表 P11.8 给出了 RAM 的 16 个地址单元中所存的数据。高 6 位地址 $A_9\sim A_4$ 始终为 0，在表中没有列出。RAM 的输出数据只用了低 4 位，作为 CB7520 的输入。因 RAM 的高 4 位数据没有使用，故表中也未列出。

表 P11.8

A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	1	1	1
0	1	0	0	1	1	1	1
0	1	0	1	1	1	1	1

表 P11.8(续)

A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	1	1	0	0	1	1	1
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	1
1	0	0	1	0	0	0	0
1	0	1	0	0	0	0	1
1	0	1	1	0	0	1	1
1	1	0	0	0	1	0	1
1	1	0	1	0	1	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	1	1



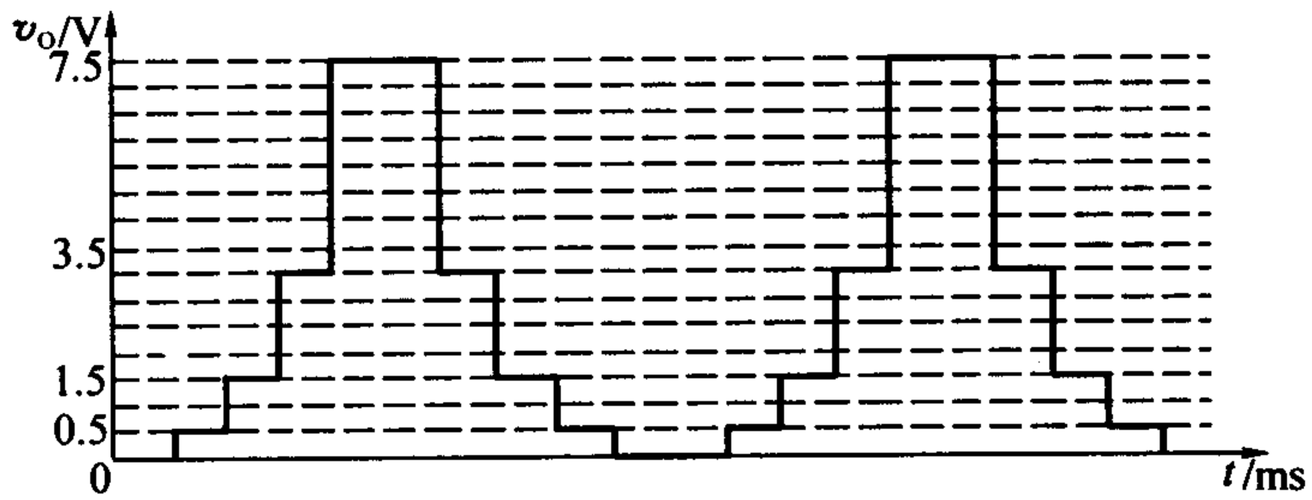
题 11.8 图

解 同步十进制计数器 74LS160 工作在计数状态，在时钟 *CLK* 连续作用下，其 $Q_3Q_2Q_1Q_0$ 从 0000 ~ 1001 进行循环计数，因此 RAM 的 $A_3A_2A_1A_0$ 也从 0000 ~ 1001 进行循环，将存储器 $A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0$ =

0000000000～0000001001 这十个地址单元中存储的数据依次读出，作为 CB7520 的数字量输入。CB7520 输出电压

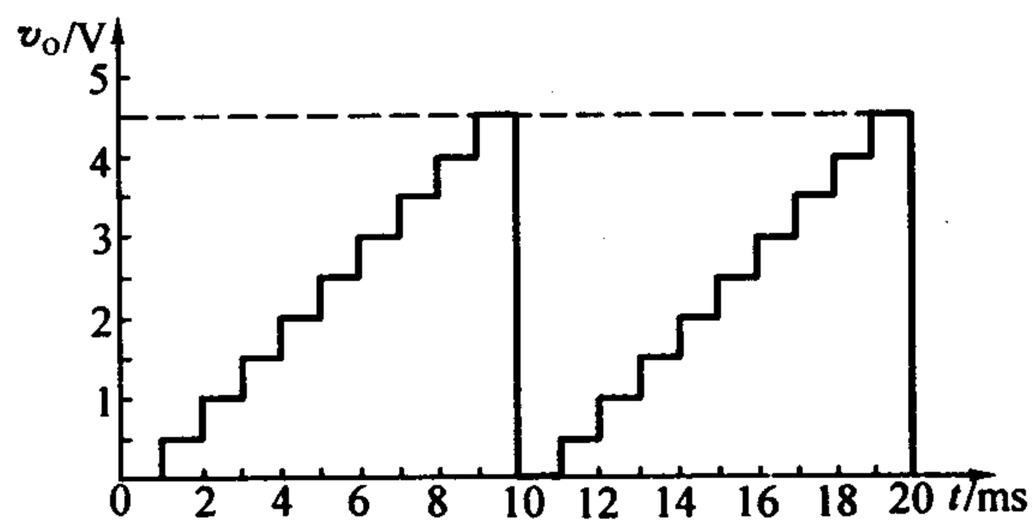
$$v_O = -\frac{-8}{2^{10}}(d_9 \times 2^0 + d_8 \times 2^8 + d_7 \times 2^7 + d_6 \times 2^6) = 0.5(8d_9 + 4d_8 + 2d_7 + d_6)$$

所以输出电压 v_O 在 0 V，0.5 V，1.5 V，3.5 V，7.5 V 等值之间变化，波形如题 11.8 解图所示。



题 11.8 解图

[题 11.9]　如果用题 11.8 图的电路产生题 11.9 图的输出电压波形，应如何修改 RAM 中的数据？请列出修改以后的 RAM 数据表，并计算时钟信号 *CLK* 应有的频率。



题 11.9 图

解　输出电压

$$v_O = 0.5(8d_9 + 4d_8 + 2d_7 + d_6)$$

对应题 11.9 图输出电压波形的 RAM 数据表如表 A11.9 所示，$A_9 \sim A_4$ 始终为 **0**，RAM 每个存储地址中高 4 位数据没有使用，故可为任意值。可知时钟信号 *CLK* 的频率为

$$f = \frac{1}{T} = 1\ \text{kHz}$$

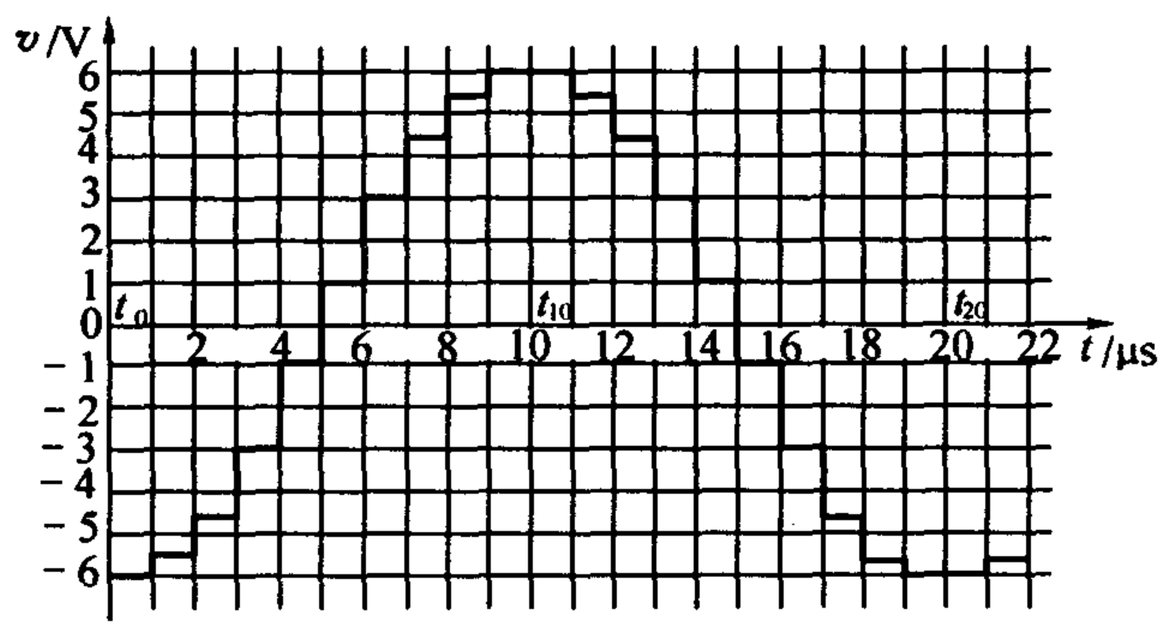
表 A11.9

A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1

表 A11.9(续)

A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0
0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	0
1	0	0	1	1	0	0	1
1	0	1	0	×	×	×	×
1	0	1	1	×	×	×	×
1	1	0	0	×	×	×	×
1	1	0	1	×	×	×	×
1	1	1	0	×	×	×	×
1	1	1	1	×	×	×	×

[题 11.10] 设计一个波形发生器电路,要求产生题 11.10 图所给定的电压波形。

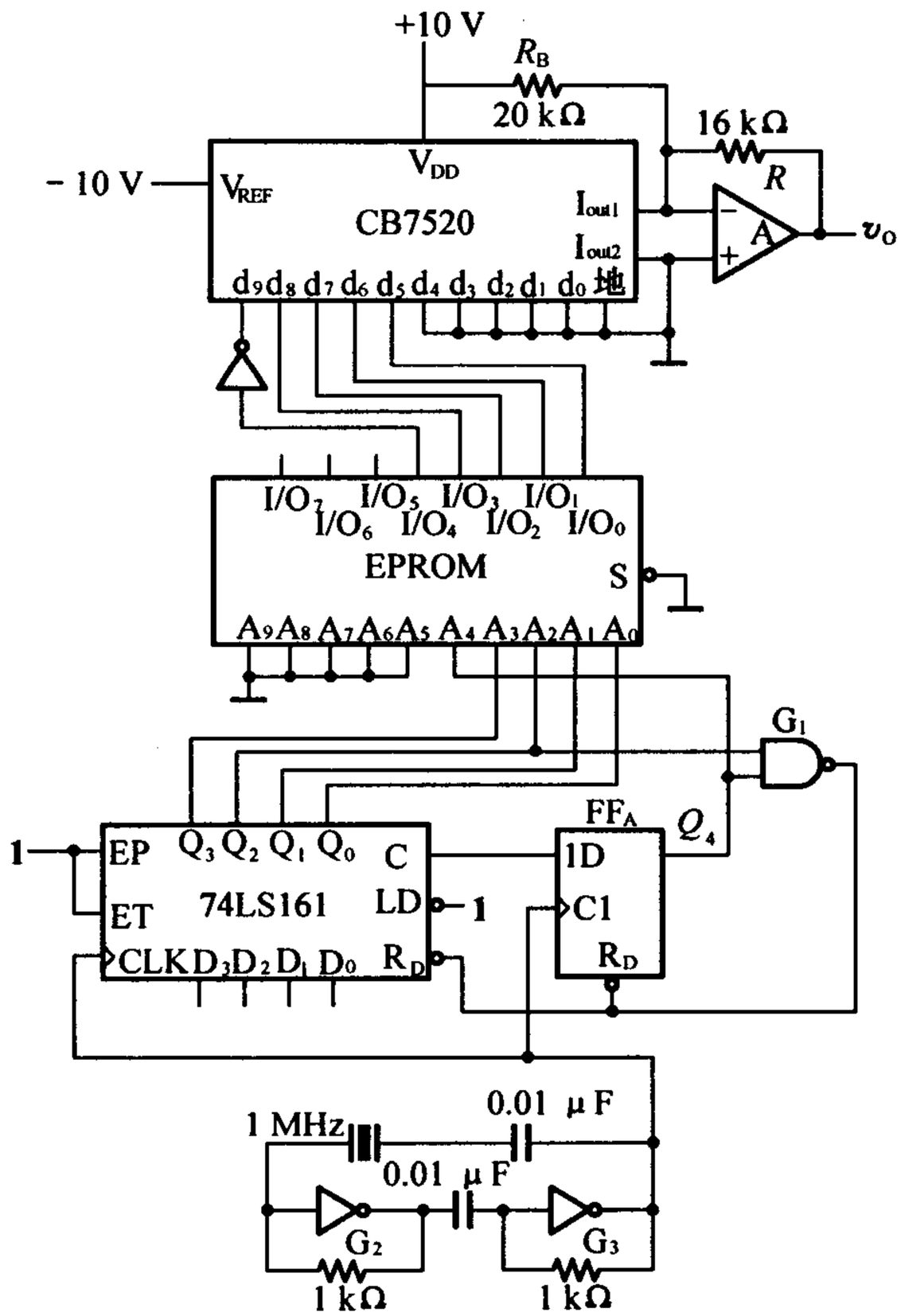


题 11.10 图

解 由题 11.10 图可见,$t_0 \sim t_{20}$为一个完整的波形周期。所以只要将 $t_0 \sim t_{19}$这 20 个点的输出电压幅值量化后存入 EPROM 中,然后将这些数据循环读出,并加到双极性输出的 D/A 转换器上,就能在 D/A 转换器的输出端得到题 11.10 图的波形了。

为了循环产生 EPROM 的 20 个地址,需要使用一个二十进制计数器和一个脉冲发生器,为计数器提供时钟脉冲。由波形图上可知,波形的取样周期为 1 μs,所以振荡器的频率应为 1 MHz。

具体电路见题 11.10 解图所示。



题 11.10 解图

在题 11.10 解图中，双极性输出 D/A 转换器用 CB7520 和求和放大器组成。4 位二进制计数器 74LS161 和 D 触发器 FF_A 接成了二十进制计数器。反相器 G_2，G_3 和电阻、电容以及谐振频率为 1 MHz 的石英晶体组成了多谐振荡器。

取量化单位 $\Delta = 0.5$ V，根据给定的波形即可列出 EPROM 中应存入的数据表，如表 A11.10 所示。因为双极性输出 D/A 转换器要求以二进制补码的形式输入数字量，所以表 A11.10 中的数据 $D_4D_3D_2D_1D_0$ 为二进制补码，其中 D_4 为符号位。由于采用了 1 024×8 位的 EPROM，而且将它的地址输入端 $A_9 \sim A_5$ 接成 0，所以数据被存在 $A_9 \sim A_0$ = 0000000000 ~ 0000010011 这 20 个地址单元中。而且，只有每个地址中的低 5 位数据是有用的。

表 A11.10

地址					数据					地址					数据				
A_4	A_3	A_2	A_1	A_0	D_4	D_3	D_2	D_1	D_0	A_4	A_3	A_2	A_1	A_0	D_4	D_3	D_2	D_1	D_0
0	0	0	0	0	1	0	1	0	0	0	1	0	1	0	0	1	1	0	0
0	0	0	0	1	1	0	1	0	1	0	1	0	1	1	0	1	0	1	1
0	0	0	1	0	1	0	1	1	1	0	1	1	0	0	0	1	0	0	1
0	0	0	1	1	1	1	0	1	0	0	1	1	0	1	0	0	1	1	0
0	0	1	0	0	1	1	1	1	0	0	1	1	1	0	0	0	0	1	0
0	0	1	0	1	0	0	0	1	0	0	1	1	1	1	1	1	1	1	0
0	0	1	1	0	0	0	1	1	0	1	0	0	0	0	1	1	0	1	0
0	0	1	1	1	0	1	0	0	1	1	0	0	0	1	1	0	1	1	1
0	1	0	0	0	0	1	0	1	1	1	0	0	1	0	1	0	1	0	1
0	1	0	0	1	0	1	1	0	0	1	0	0	1	1	1	0	1	0	0

双极性输出 D/A 转换器中取 $R_B = 2R = 20\ \text{k}\Omega$、$V_B = -V_{REF} = 10\ \text{V}$，输出电压为

$$v_O = -\frac{V_{REF}R_F}{2^n R}(D - 2^{n-1}) = \frac{10}{2^{10}} \cdot \frac{R_F}{R}(D - 2^9)\ \text{V}$$

根据给定波形，在 t_0 时刻 $v_O = -6\ \text{V}$。将 t_0 时 D/A 转换器的输入数据 $d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0 = (0010000000)_2 = 2^7$ 代入上式有

$$\frac{10}{2^{10}} \cdot \frac{R_F}{R}(2^7 - 2^9) = -6$$

可得到 $R_F = 16\ \text{k}\Omega$。

[题 11.11] 题 11.11 图所示电路是用 D/A 转换器 CB7520 和运算放大器构成的增益可编程放大器，它的电压放大倍数 $A_v = \frac{v_O}{v_I}$ 由输入的数字量 $D(d_9 \sim d_0)$ 来设定。试写出 A_v 的计算公式，并说明 A_v 的取值范围。

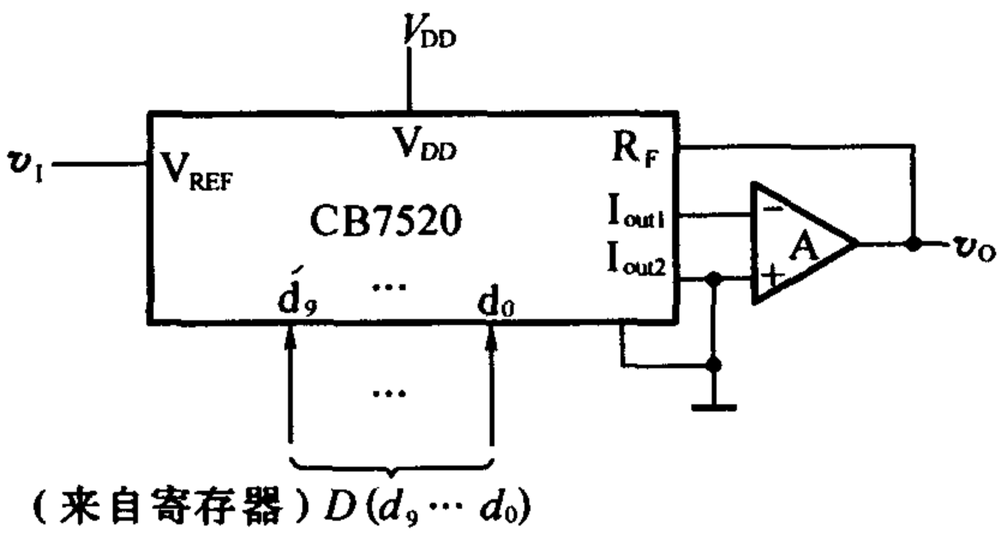
解 由教材式(11.2.5)可知

$$v_O = -\frac{V_{REF}}{2^n}\left[\sum_{i=0}^{n-1}(d_i \cdot 2^i)\right] = \frac{v_I}{2^{10}}\left[\sum_{i=0}^{9}(d_i \cdot 2^i)\right]$$

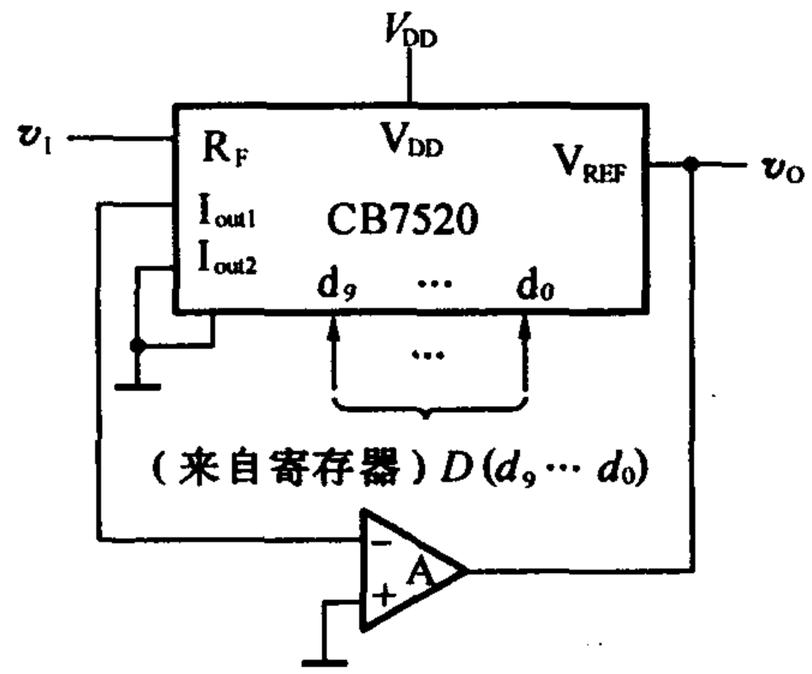
$$A_v = \frac{v_O}{v_I} = -\frac{1}{2^{10}}\left[\sum_{i=0}^{9}(d_i \cdot 2^i)\right]$$

故 A_v 的取值范围为 $0 \sim \frac{1-2^{10}}{2^{10}}$。

［题 11.12］ 题 11.12 图电路是用 D/A 转换器 CB7520 和运算放大器组成的增益可编程放大器，它的电压放大倍数 $A_v = \frac{v_O}{v_I}$ 由输入的数字量 $D(d_9 \sim d_0)$ 来设定。试写出 A_v 的计算公式，并说明 A_v 取值的范围是多少？

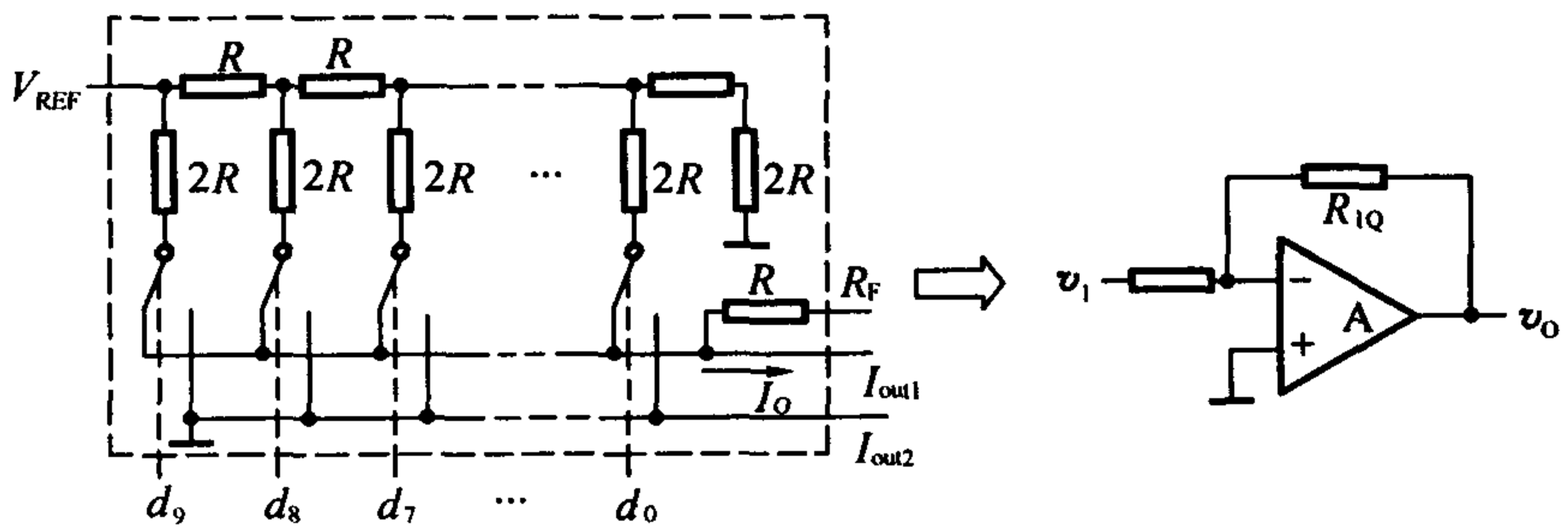


题 11.11 图



题 11.12 图

解　由题 11.12 解图可见，在 CB7520 的 I_{out1} 和 I_{out2} 两端电位基本相等的条件下，V_{REF} 端和 I_{out1} 端之间可以看做一个等效电阻 R_{EQ}，其数值为 $R_{EQ} = \frac{V_{REF}}{I_O}$；$I_O = \frac{V_{REF}}{2^n R} D_n$。故 $R_{EQ} = \frac{2^n}{D_n} R$。因此可得 $A_v = -\frac{R_{EQ}}{R} = -\frac{2^{10}}{D_n}$。当 D_n 的取值范围为 **0000000000 ~ 1111111111** 时，得到 A_v 的取值范围为 $-\infty \sim -\frac{2^{10}}{2^{10}-1}$。



题 11.12 解图

［题 11.13］ 在题 11.13 图所示的 D/A 转换器中，已知输入为 8 位二进制数码，接在 CB7520 的高 8 位输入端上，$V_{REF} = 10$ V。为保证 V_{REF} 偏离标准值所引起的误差 $\leqslant \frac{1}{2}$ LSB（现在的 LSB 应为 d_2），允许 V_{REF} 的最大变化 ΔV_{REF} 是多少？V_{REF} 的相对稳定度 $\left(\frac{\Delta V_{REF}}{V_{REF}}\right)$ 应为多少？CB7520 的电路见原教材中图 11.2.5。

解　为保证 V_{REF} 偏离标准值所引起的误差 $\leqslant \frac{1}{2}$ LSB，应满足

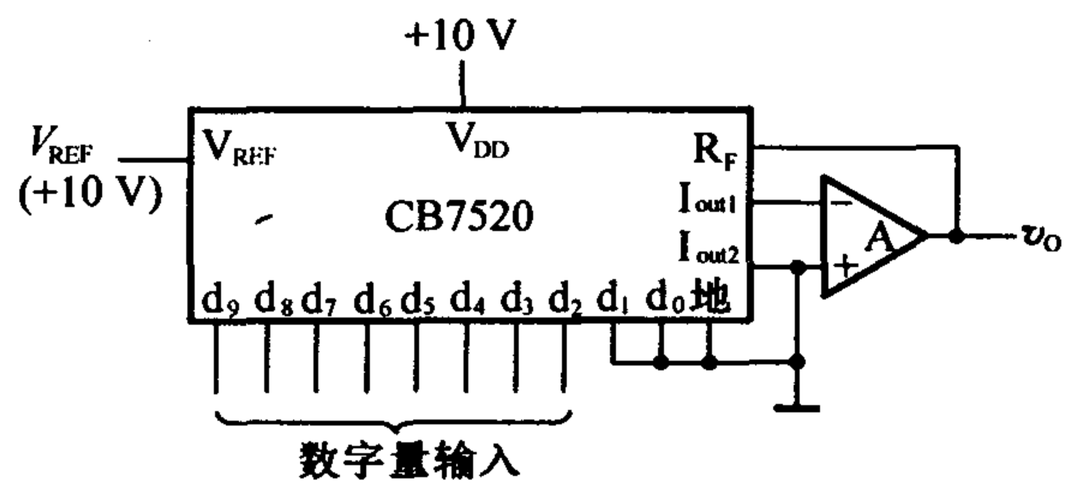
$$\frac{2^8-1}{2^8}\Delta V_{REF} < \frac{1}{2}\cdot\frac{V_{REF}}{2^8}$$

即

$$\Delta V_{REF} < \frac{1}{2}\cdot\frac{V_{REF}}{2^8}\cdot\frac{2^8}{2^8-1} \approx \frac{V_{REF}}{2^9} = 19.5\ \text{mV}$$

则得

$$\left|\frac{\Delta V_{REF}}{V_{REF}}\right| \approx \frac{1}{2^9} = 0.2\%$$



题 11.13 图

[题 11.14] 若将原教材中图 11.3.7 并联比较型 A/D 转换器输入数字量增加至 8 位，并采用原教材中图 11.3.3(b)所示的量化电平划分方法，试问最大的量化误差是多少？在保证 V_{REF}变化时引起的误差$\leqslant\frac{1}{2}$LSB 的条件下，V_{REF}的相对稳定度$\left(\frac{\Delta V_{REF}}{V_{REF}}\right)$应为多少？

解 量化单位应取为 $\Delta = \frac{2V_{REF}}{2^9-1} = \frac{2V_{REF}}{511}$。最大量化误差为$\frac{1}{2}\Delta = \frac{V_{REF}}{511}$。

由于 ΔV_{REF}在最高位比较器的基准电压上引起的误差最大，所以应保证这个误差小于$\frac{1}{2}$LSB，则

$$\Delta V_{REF}\cdot\frac{509}{511} < \frac{1}{511}V_{REF}$$

即

$$\Delta V_{REF} < \frac{1}{509}V_{REF}$$

$$\left|\frac{\Delta V_{REF}}{V_{REF}}\right| < 0.2\%$$

[题 11.15] 在原教材中图 11.3.8 给出的计数式 A/D 转换器中，若输出的数字量为 10 位二进制数，时钟信号频率为 1 MHz，则完成一次转换的最长时间是多少？如果要求转换时间不得大于 100 μs，那么时钟信号频率应选多少？

解 完成一次转换的最长时间约为 $2^{10}-1$ 个 *CLK* 周期，即

$$(2^{10}-1)\times 10^{-6}\ \text{s} = 1.023\ \text{ms}$$

如果要求转换时间小于 100 μs，则时钟信号频率 T_c 应满足

$$(2^{10}-1)T_c < 100\times 10^{-6}$$

时钟信号频率应满足

$$f = \frac{1}{T_c} > \frac{2^{10}-1}{100\times 10^{-6}}\ \text{Hz} = 10.23\ \text{MHz}$$

[题 11.16] 如果将原教材中图 11.3.10 逐次渐近型 A/D 转换器的输出扩展到 10 位，取时钟信号频率为 1 MHz，试计算完成一次转换操作所需要的时间。

解 完成一次转换所需时间为

$$(n+2)T_c = 12\times 10^{-6}\ \text{s} = 12\ \mu\text{s}$$

[题 11.17] 在原教材中图 11.3.13 所示的双积分型 A/D 转换器中，若计数器为 10 位二进制，时钟信号频率为 1 MHz，试计算转换器的最大转换时间是多少？

解　最大转换时间为

$$2^{n+1}T_c = 2^{11}\times 10^{-6}\ \text{s} = 2.048\ \text{ms}$$

[题 11.18]　在原教材中图 11.3.16 的 A/D 转换器电路中，若要求单稳态触发器输出脉冲的宽度为 $t_W = 2.5\ \mu s$，输入电压为 0～5 V 时输出脉冲的频率为 0～200 kHz，电路参数应作何修改？

解　由教材中式(11.3.9)可知，AD650 输出脉冲宽度为

$$t_W = [C_{OS}(6.8\times 10^3) + 3\times 10^{-7}]\ \text{s}$$

要求 $t_W = 2.5\ \mu s$，从上式求得 C_{OS}值为

$$C_{OS} = [(t_W - 3\times 10^{-7})/6.8\times 10^3]\ \text{F} = 324\times 10^{-12}\ \text{F} = 324\ \text{pF}$$

根据原教材中式(11.3.8)，AD650 输出脉冲频率为

$$f_{out} = v_I / I_0 t_W R_{int}$$

式中 I_0 为 1 mA，$v_I = 5$ V，$f_{out} = 200$ kHz，则由上式可求出 R_{int}为

$$R_{int} = v_I / I_0 t_W f_{out} = (5/1\times 10^{-3}\times 2.5\times 10^{-6}\times 2\times 10^5)\ \Omega = 10\ \text{k}\Omega$$

[题 11.19]　在原教材中图 11.3.14 的 V－F 变换型 A/D 转换器电路中，如果要求将输入 0～5 V 的模拟电压转换为 3 位十进制数字量输出，输入为 5 V 时输出应显示 500。闸门脉冲 v_G 的宽度为 5 ms。试求 V－F 变换器输出频率与输入模拟电压之间的转换比例系数。

解　当 $v_I = 5$ V 时，在闸门宽度 $T_G = 5$ ms 时间内，计数器计入 500 个 *CLK* 脉冲，因此，该情况下输出脉冲频率为

$$f_{out} = \frac{500}{T_G} = \frac{500}{5\times 10^{-3}} = 100\ \text{kHz}$$

则 V－F 变换的比例系数为

$$K = f_{out}/v_I = 100\times 10^3/5 = 20\ \text{kHz/V}$$

[题 11.20]　试分析题 11.20 图(a)电路的工作原理，画出输出电压 v_O 的波形图。其中 74HC151 是 8 选 1 数据选择器，它的电路结构图和输出逻辑式见原教材中图 4.3.24 和式(4.3.22)。74LS161 为同步十六进制加法计数器，它的功能表与原教材中表 6.3.4 相同。假定 74LS161 和反相器 G_1 的输出电阻阻值远远小于 R 的阻值。74HC151 各输入端的电压波形如题 11.20 图(b)所示。

解　石英晶体多谐振荡器输出脉冲频率为 1 MHz，故 74LS161 的时钟脉冲周期为 1 μs。

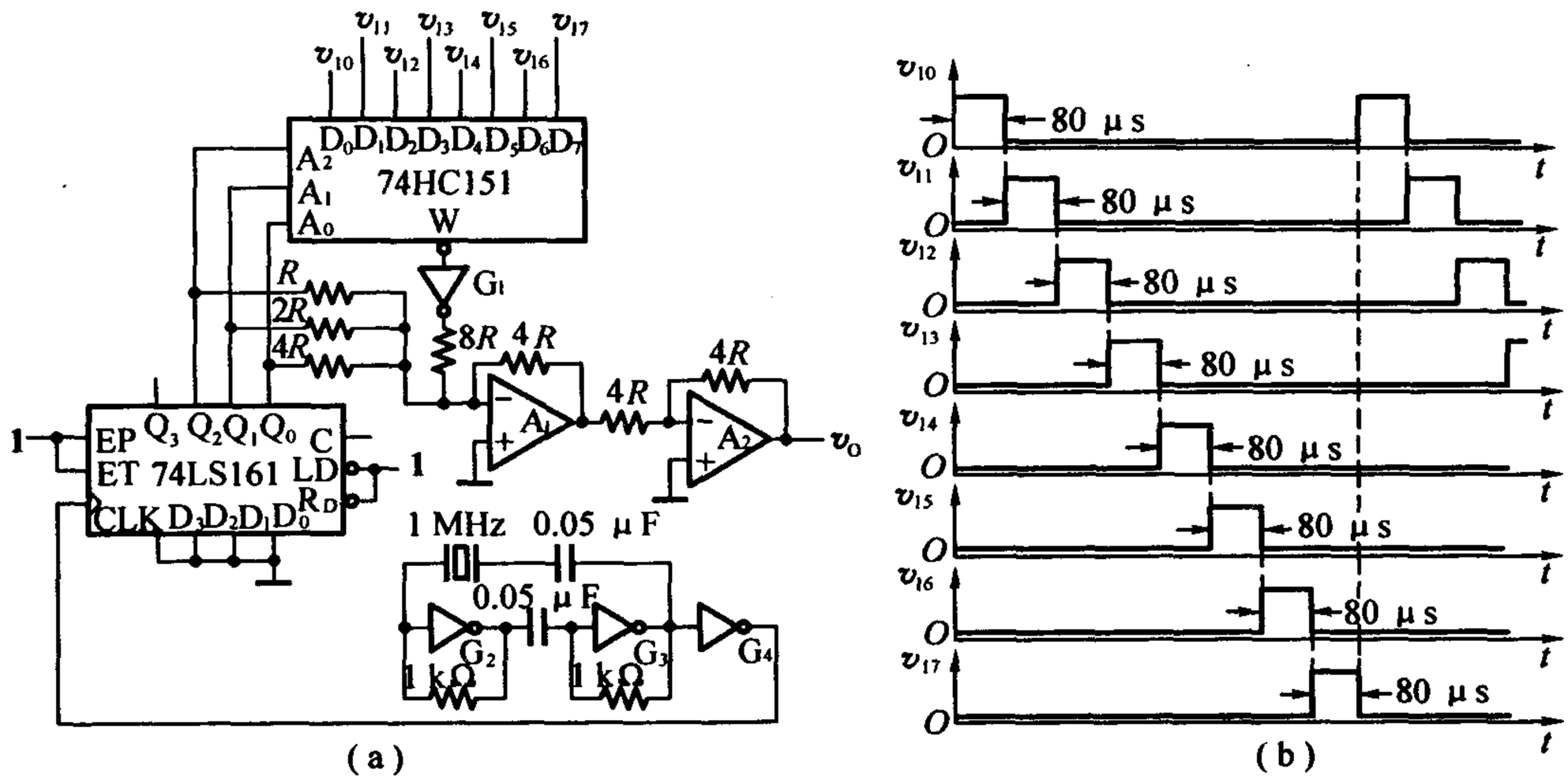
74LS161 工作在计数状态，低 3 位构成八进制计数器，在周期为 1 μs 的时钟信号作用下，$Q_2Q_1Q_0$ 从 000～111 循环计数。

如果不考虑反相器 G_1 的输出对 v_O 的影响，并设 Q_2，Q_1，Q_0 输出的高、低电平分别为 V_{OH}和 0，则输出电压为 $v_O = (4V_{OH})Q_2 + (2V_{OH})Q_1 + V_{OH}Q_0$。

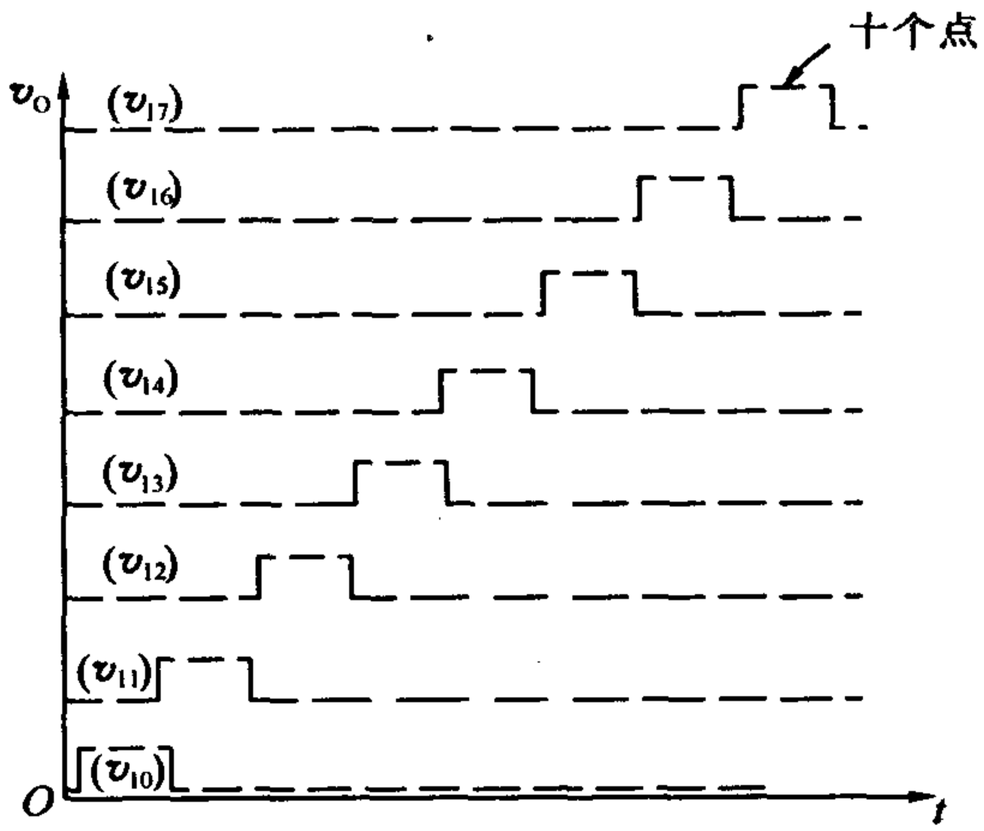
当 $Q_2Q_1Q_0$ 从 000～111 依次循环变化时，v_O 将依次在 $0\to V_{OH}\to 2V_{OH}\to 3V_{OH}\to 4V_{OH}\to 5V_{OH}\to 6V_{OH}\to 7V_{OH}\to 0$ 之间跳变，输出波形为不同高度的八条虚线，虚线上的每个点持续时间为 1 μs，两个点之间的间隔为 7 μs。

$Q_2Q_1Q_0$ 同时又作为 74LS152 的输入地址，将 D_0～D_7 八个输入数据的状态叠加到 v_O 上。当 $D_i = 1$ 时在 v_O 上叠加$\frac{1}{2}V_{OH}$(V_{OH}为反相器 G_1 的输出高电平)，当 $D_i = 0$ 时对 v_O 原有的数值没有影响。

在输入端的电压波形如题 11.20 图(b)的情况下，输出电压 v_O 的波形图如题 11.20 解图所示。



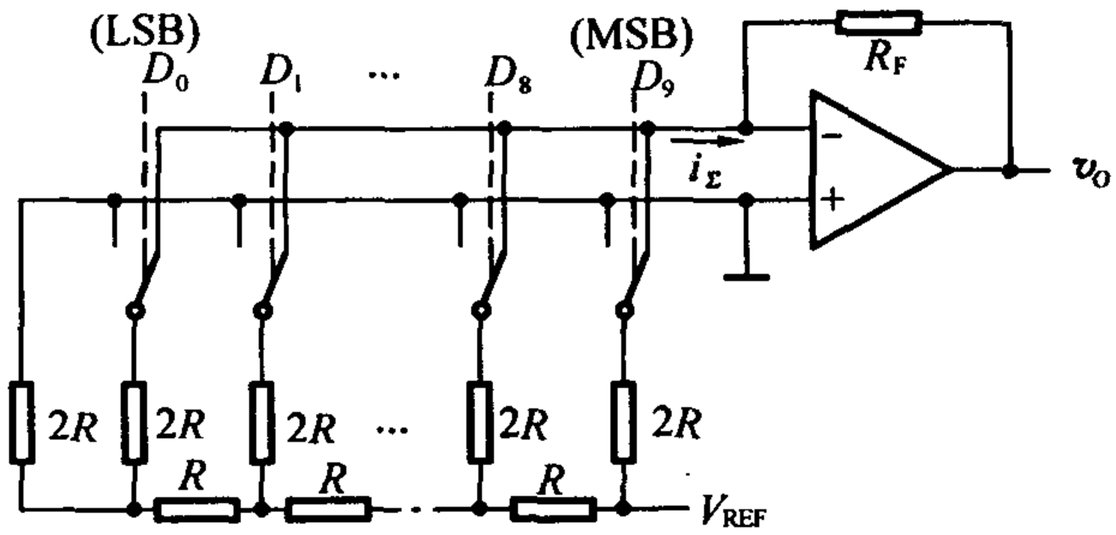
题 11.20 图



题 11.20 解图

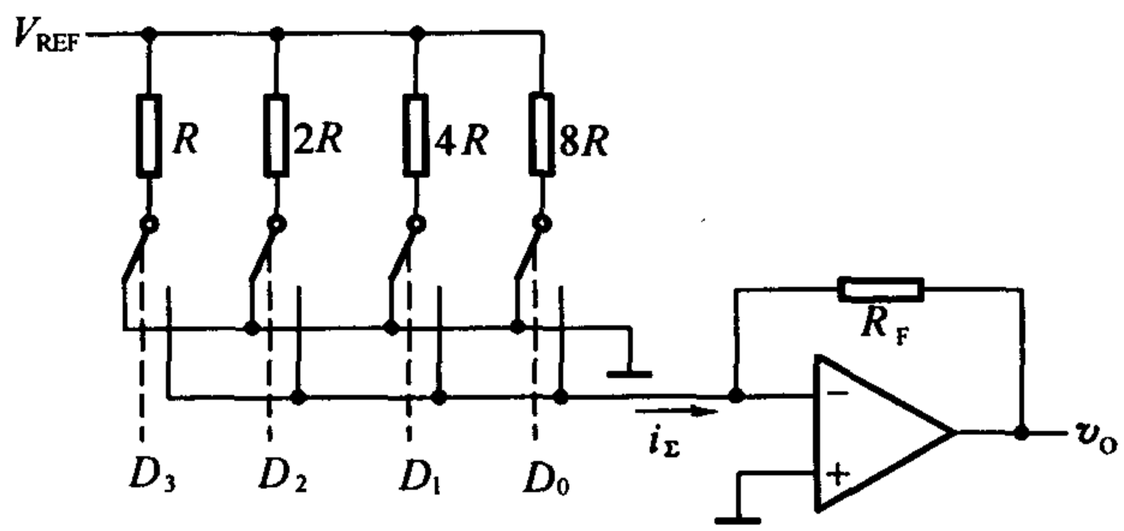
同步训练题

1、10 位倒 T 形电阻网络 D/A 转换器如题 1 图所示，当 $R = R_F$ 时，试求输出电压的取值范围。若要求电路输入数字量为 200H 时输出电压 $v_O = 5$ V，试问 V_{REF} 应取何值？



题 1 图

2. 4 位权电阻网络 D/A 转换器如题 2 图所示，如果把输入的二进制数从 4 位增加到 6 位，并选最高位的权电阻为 1 kΩ，则其他各支路的电阻阻值各为多少？设 $R_f = R/2$，导出输出电压的表达式。



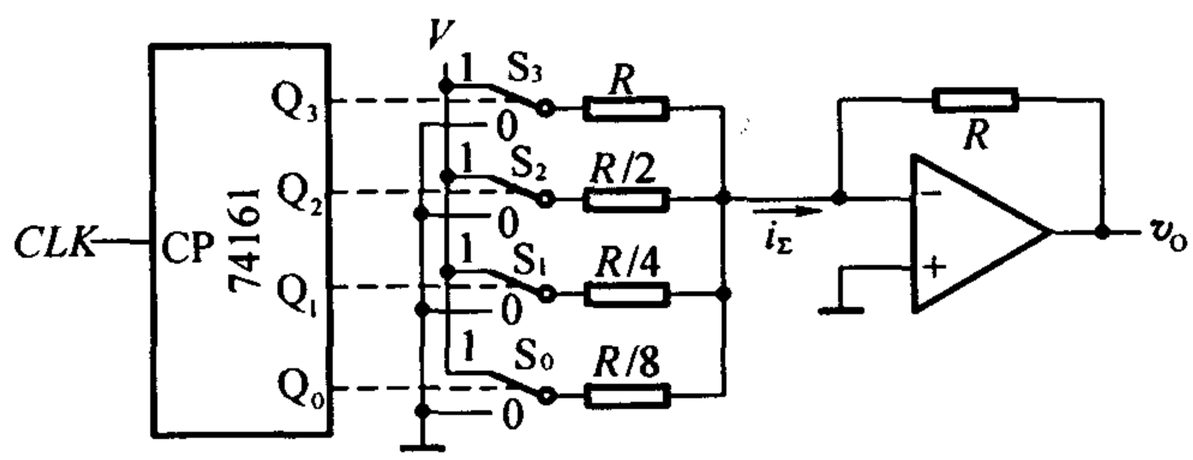
题 2 图

3. 用同步十六进制计数器 74LS161 组成的 D/A 转换器电路如题 3 图所示。图中当 $Q_i = 1$ 时，相应模拟开关 S_i 置于位置 1；当 $Q_i = 0$ 时，S_i 置于位置 0。

(1)求输出电压 v_O 与数字量 $Q_3Q_2Q_1Q_0$ 之间的关系式；

(2)若 $V_{REF} = -1$ V，试求当 $Q_3Q_2Q_1Q_0 = 0001$ 和 1111 时的 v_O 值；

(3)画出计数器输入连续计数脉冲 CLK 时 v_O 的波形，设计数器的初态为 0。

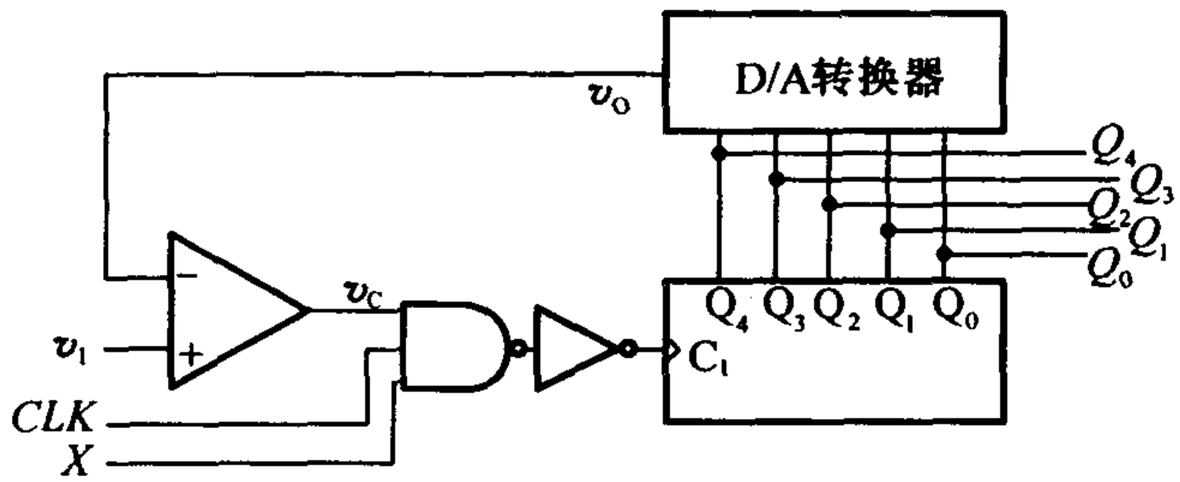


题 3 图

4.对于一个10位逐次渐近式A/D转换器电路,当时钟频率为1 MHz时,其转换时间是多少?如果要求完成一次转换的时间小于10 μs,试问时钟频率应为多少?

5.反馈比较型A/D转换器电路如题5图所示。设图中D/A转换器输出最大电压 $v_{O(max)}=5$ V,v_I 为被转换信号电压,*CLK* 为时钟输入端,*X* 为转换器控制端,转换器工作前 $X=0$,计数器清零。当 $v_I>v_O$ 时,比较器输出 $v_C=1$;当 $v_I<v_O$ 时,比较器输出 $v_C=0$。现设定 $v_I=4.2$ V,求:

(1)输出端的二进制数 $Q_4Q_3Q_2Q_1Q_0$ 是多少?(2)电路的转换误差为多少伏?(3)如何提高转换精度?



题5图

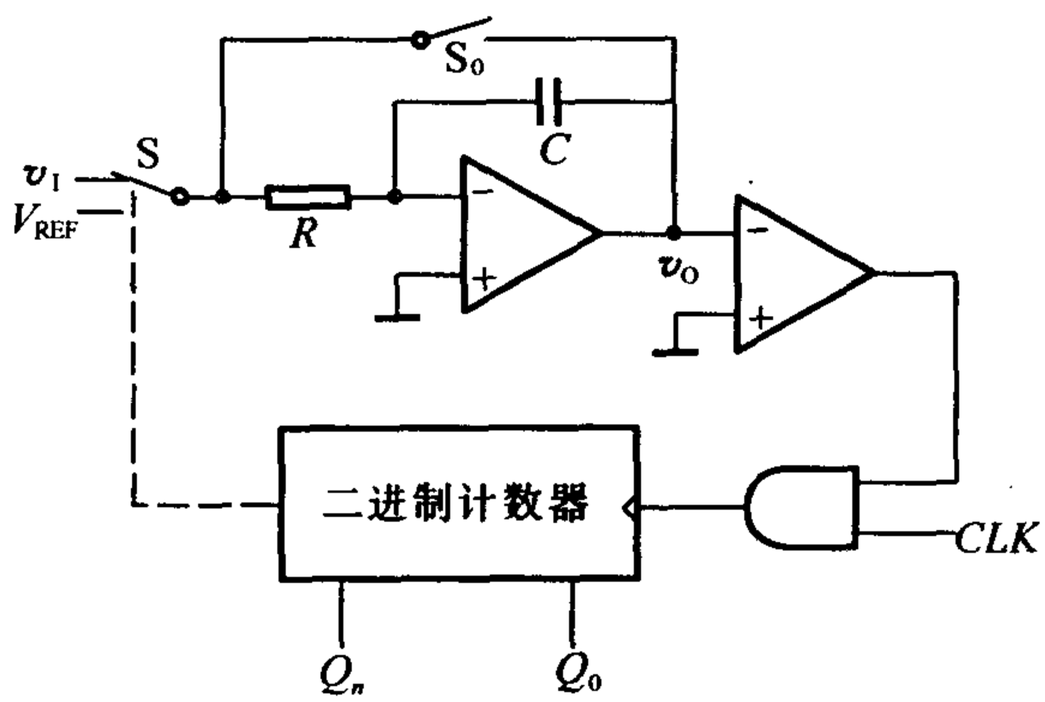
6.在4位逐次渐近型A/D转换器电路中,设 $V_R=10$ V,$v_I=8.2$ V,试说明逐次反馈比较的过程和转换的结果。

7.双积分型A/D转换器如题7图所示。

(1)若输入模拟电压 $v_{I(max)}=2$ V,要求分辨率小于0.1 mV,则二进制计数器的容量N应该大于多少?

(2)若时钟脉冲频率为200 kHz,则采样保持时间为多少毫秒?

(3)若时钟脉冲频率为200 kHz,$|v_I|<|V_{REF}|=2$ V,积分器输出电压 v_O 的最大值为5 V,问积分时间常数 *RC* 为多少毫秒?



题7图

同步训练题答案

1.解　由题 1 图电路可知，10 位倒 T 形电阻网络 D/A 转换器输出电压为 $v_O = -i\sum R_f$，其中

$$i\sum = \frac{V_{REF}}{R}\left(\frac{D_0}{2^{10}} + \frac{D_1}{2^9} + \cdots + \frac{D_8}{2^2} + \frac{D_9}{2^1}\right) = \frac{V_{REF}}{2^{10}R}\sum_{i=0}^{9} D_i \cdot 2^i$$

则

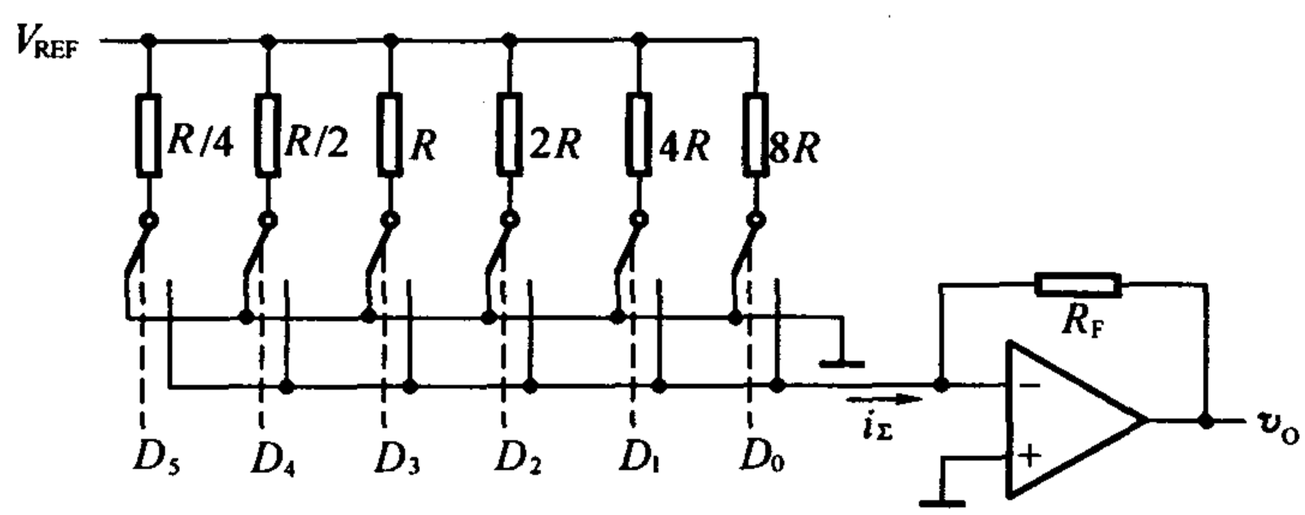
$$v_O = -\frac{V_{REF}}{2^{10}}\frac{R_F}{R}\sum_{i=0}^{9} D_i \cdot 2^i$$

由此可知当 $D_9D_8\cdots D_0 = 00\cdots0$ 时，$v_O = v_{O(min)} = 0$ V；当 $D_9D_8\cdots D_0 = 11\cdots1$ 时，$v_O = v_{O(max)} = -\frac{V_{REF}R_F}{R} = -V_{REF}$。因此该 10 位倒 T 形电阻网络 D/A 转换器输出电压的取值范围为 0 V～$-V_{REF}$。

由 $V_{REF} = -\frac{2^{10}}{\sum_{i=0}^{9} D_i \cdot 2^i}v_O$ 可知，若要求电路输入数字量为 200H 时输出电压 $v_O = 5$ V，则

$$V_{REF} = -\frac{2^{10}}{\sum_{i=0}^{9} D_i \cdot 2^i}v_O = \left(-\frac{2^{10}}{2^9}\times 5\right)\text{ V} = -10\text{ V}$$

2.解　高位上的权电阻应为相邻低位权电阻的 1/2，因此当把输入的二进制数从 4 位增加到 6 位时，D_4 上的权电阻应为 $R/2$，D_5 上的权电阻应为 $R/4$，如题 2 解图所示。



题 2 解图

若最高位的权电阻为 1 kΩ，则次高位的权电阻为 2 kΩ，D_3，D_2，D_1，D_0 上的权电阻分别为 4 kΩ，8 kΩ，16 kΩ，32 kΩ。

当 $R_f = R/2$ 时，输出电压

$$v_O = -i\sum \cdot \frac{R}{2} = -\frac{V_{REF}\cdot\frac{R}{2}}{8R}\sum_{i=0}^{5} D_i \cdot 2^i = -\frac{V_{REF}}{16}\sum_{i=0}^{5} D_i \cdot 2^i$$

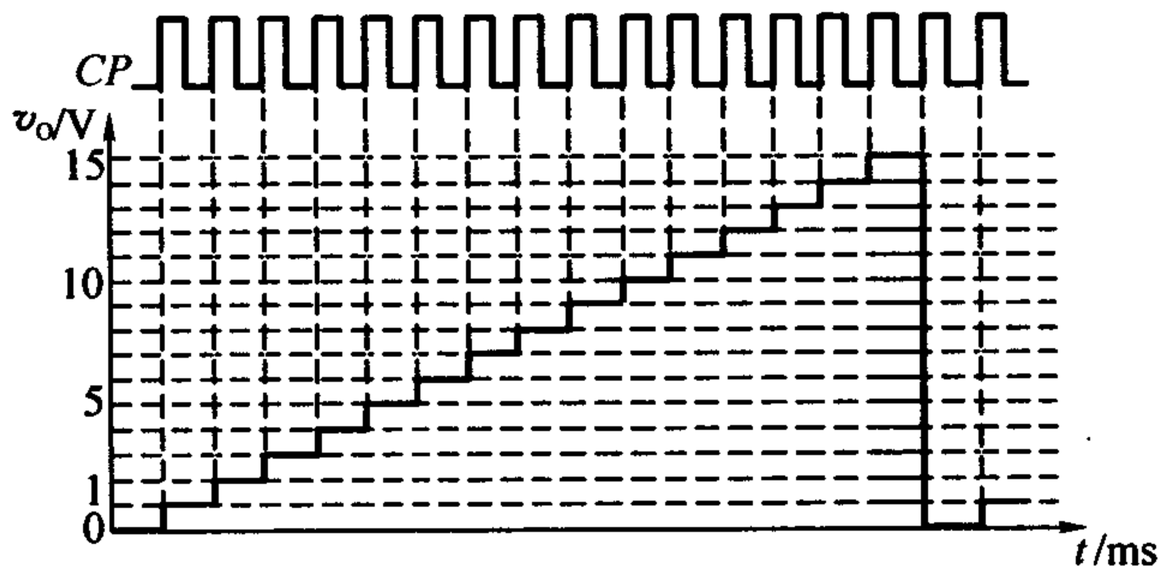
3.解　(1) v_O 与数字量 $Q_3Q_2Q_1Q_0$ 之间的关系为 $v_O = -V_{REF}\sum_{i=0}^{3} Q_i \cdot 2^i$。

(2)若 $V_{REF} = -1$ V，则

$Q_3Q_2Q_1Q_0=0001$ 时对应的输出电压 $v_O=1$ V；

$Q_3Q_2Q_1Q_0=1111$ 时对应的输出电压 $v_O=15$ V。

(3)输入连续计数脉冲 CLK 时，74161 工作在计数状态，v_O 的波形如题 3 解图所示。



题 3 解图

4.解　由逐次渐近式 A/D 转换器电路工作原理可知，n 位的寄存器，需要经过 n 次比较，即需 n 个 *CLK* 脉冲，在第 $n+1$ 个 *CLK* 作用下，寄存器的状态被送至输出端，在第 $n+2$ 个 CLK 作用下，逻辑控制电路恢复到初始状态，同时将输出端状态清除，为下一次 A/D 转换作好准备。因此对于 n 位的寄存器，完成一次 A/D 转换所需的时间 $T=(n+2)T_{CLK}$。根据题意，对于一个 10 位逐次渐近式 A/D 转换器电路，当时钟频率为 1 MHz 时，其转换时间为

$$T=(n+2)T_{CLK}=(10+2)\times 1\ \mu s=12\ \mu s$$

如果要求完成一次转换的时间小于 10 μs，时钟频率应为

$$f_{CLK}=\frac{1}{T_{CLK}}\geqslant\frac{n+2}{T}=1.2\ \text{MHz}$$

5.解　(1)由于最小量化单位 $\text{LSB}=\frac{6}{2^5-1}\ \text{V}=0.1623\ \text{V}$，所以当 $v_I=4.2$ V 时，应使 $Q_4Q_3Q_2Q_1Q_0=\frac{4.2}{\text{LSB}}\approx 26$，即输出端的二进制数 $Q_4Q_3Q_2Q_1Q_0$ 是 **11010**。

(2)转换误差为 $(2^4+2^3+2^1)\text{LSB}-4.2=0.0198$ V。

(3)提高转换精度可以通过两种方式：增加计数器的位数，减小量化误差；在 A/D 转换器输出端加负向偏移电压 $\frac{1}{2}$LSB，提高转换器的分辨率，减小量化误差。

6.解　在第一个输入脉冲 *CLK* 作用下，电路中 D/A 转换器的 $d_3d_2d_1d_0=1000$，因此

$$V_A=\frac{10}{2^4}\times 2^3\ \text{V}=5\ \text{V}<v_I\text{，故 } d_3=1$$

在第二个输入脉冲 *CLK* 作用下，$d_3d_2d_1d_0=1100$

$$V_A=\frac{10}{2^4}\times(2^3+2^2)\ \text{V}=7.5\ \text{V}<v_I\text{，故 } d_2=1$$

在第三个输入脉冲 *CLK* 作用下，$d_3d_2d_1d_0=1110$

$$V_A=\frac{10}{2^4}\times(2^3+2^2+2^1)\ \text{V}=8.75\ \text{V}<v_I\text{，故 } d_1=0$$

在第四个输入脉冲 CLK 作用下，$d_3 d_2 d_1 d_0 = 1101$

$$V_A = \frac{10}{2^4} \times (2^3 + 2^2 + 2^0)\ \text{V} = 8.125\ \text{V} < v_I，故\ d_0 = 1$$

因此转换结果为 $d_3 d_2 d_1 d_0 = 1101$。

7.解　(1)当 $v_{I(max)} = 2$ V，要求分辨率小于 0.1 mV，则二进制计数器的容量为

$$N = \frac{2 \times 100}{0.1} + 1 = 20001$$

所以需要用 15 位二进制计数器。

(2)若时钟脉冲频率为 200 kHz，即时钟脉冲周期为 $T = \frac{1}{200\ \text{kHz}} = 5\ \mu\text{s}$ 时，第一次积分的时间 T_1 应为

$$T_1 = 2^{15} T = 163.84\ \text{ms}$$

则采样保持时间应≥163.84 ms。

(3)第一次积分后，积分器的输出电压为 $v_O = \frac{T_1}{RC} v_I$。因 $T_1 = 2^{15} T$，且取 $|v_{I(max)}| = |V_{REF}|$，则有

$$v_{O(max)} = \frac{2^{15} T}{V_{O(max)}} |V_{REF}|$$

已知时钟脉冲频率为 200 kHz，$|V_{REF}| = 2$ V，积分器输出电压 v_O 的最大值为 5 V，因此积分时间常数 RC 为 $RC = \frac{2^{15} T}{V_{O(max)}} |V_{REF}| = 65.536$ ms。

[General Information]
书名=数字电子技术基础知识要点与习题解析　　（配清华大学阎石第五版教材·高教版）
作者=白雪冰主编
页数=235
SS号=11908032
出版日期=2007年10月第1版

前言
目录
第1章　数制和码制
知识要点
1．1　数字量和模拟量
1．2　数制
1．3　不同数制之间的转换
1．4　二进制数的算术运算
1．5　常用的码制
1．6　本章重点
书后复习思考题解答
书后习题解析
同步训练题
同步训练题答案
第2章　逻辑代数基础
知识要点
2．1　逻辑代数的基本运算和复合运算
2．2　逻辑代数的主要公式
2．3　逻辑函数的表示方法
2．4　逻辑函数的化简方法
2．5　具有无关项的逻辑函数的化简
2．6　本章重点
书后复习思考题解答
书后习题解析
同步训练题
同步训练题答案
第3章　门电路
知识要点
3．1　二极管的开关特性
3．2　CMOS门电路
3．3　TTL门电路
3．4　本章重点
书后复习思考题解答
书后习题解析
同步训练题
同步训练题答案
第4章　组合逻辑电路
知识要点
4．1　组合逻辑电路
4．2　组合逻辑电路的分析
4．3　组合逻辑电路的设计
4．4　常用的组合逻辑电路
4．5　组合逻辑电路中的竞争-冒险现象
4．6　本章重点
书后复习思考题解答
书后习题解析
同步训练题
同步训练题答案
第5章　触发器
知识要点

５．１　触发器的电路结构与动作特点
５．２　触发器的逻辑功能及其描述方法
５．３　本章重点
书后复习思考题解答
书后习题解析
同步训练题
同步训练题答案
第６章　时序逻辑电路
知识要点
６．１　时序逻辑电路
６．２　时序逻辑电路的分析
６．３　常用的时序逻辑电路
６．４　时序逻辑电路的设计
６．５　本章重点
书后复习思考题解答
书后习题解析
同步训练题
同步训练题答案
第７章　半导体存储器
知识要点
７．１　半导体存储器的类型
７．２　只读存储器ＲＯＭ
７．３　随机存储器ＲＡＭ
７．４　本章重点
书后复习思考题解答
书后习题解析
同步训练题
同步训练题答案
第８章　可编程逻辑器件
知识要点
８．１　可编程逻辑器件的类型及特点
８．２　可编程逻辑器件的编程原理
８．３　本章重点
书后复习思考题解答
书后习题解析
同步训练题
同步训练题答案
第９章　硬件描述语言
知识要点
９．１　可编程逻辑器件的硬件描述语言
９．２　Ｖｅｒｉｌｏｇ　ＨＤＬ语言的语法规则
９．３　Ｖｅｒｉｌｏｇ　ＨＤＬ语言的层次结构
９．４　本章重点
书后习题解析
同步训练题
同步训练题答案
第１０章　脉冲波形的产生和整形
知识要点
１０．１　施密特触发器
１０．２　单稳态触发器

１０．３　多谐振荡器
１０．４　５５５定时器及其应用
１０．５　本章重点
书后复习思考题解答
书后习题解析
同步训练题
同步训练题答案
第１１章　数 - 模和模 - 数转换
知识要点
１１．１　数 - 模转换器
１１．２　模 - 数转换器
１１．３　本章重点
书后复习思考题解答
书后习题解析
同步训练题
同步训练题答案