

16BitMipsVHDL

Bilgisayar Mimarisi Proje Ödevi - 2019

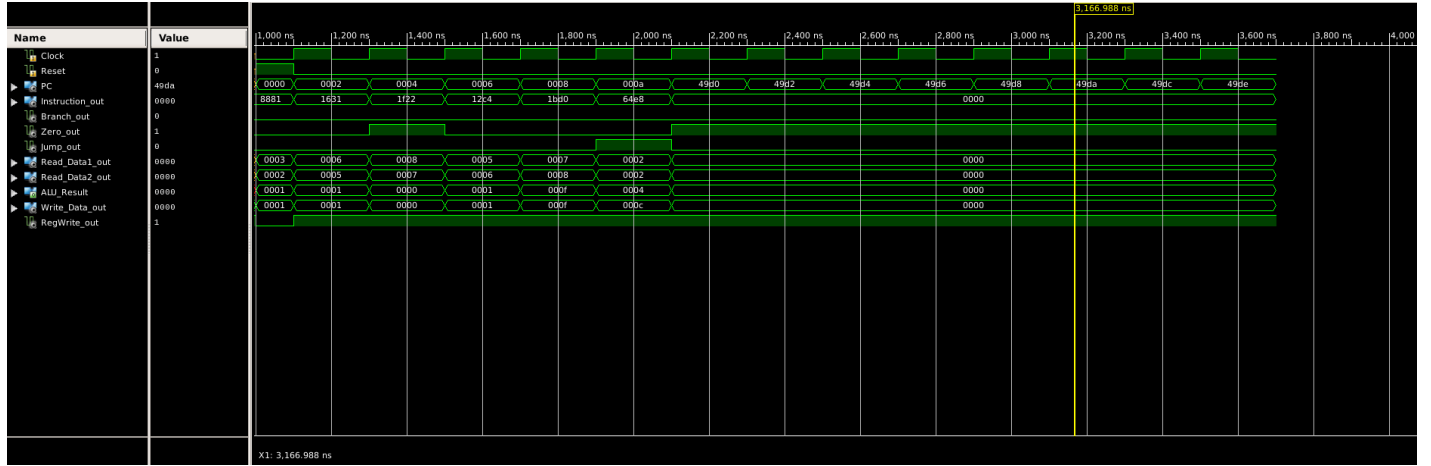
İsim	Öğrenci No
Yunus Emre Ak	1306150001
Sefa Yalçındağ	1306150069
Ahmet Demir	1306150003
Muhammed Furkan Yıldırım	1306150032

İçerikler

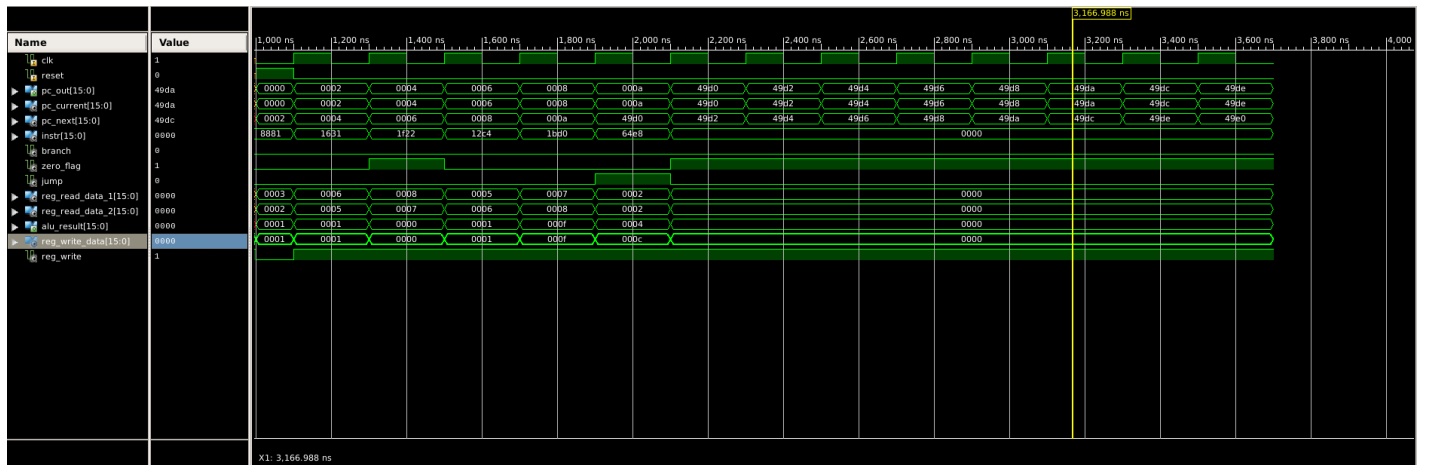
- Tanıtım
 - Birebir Varsayımsal Eşleştirilmiş Hali
 - İstenilene Göre Sadeleştirilmiş Hali
 - Orjinal Hali
- Gereksinimler
 - XILINX ISE Design Studio
 - XILINX Kullanımı
 - Proje Oluşturma
 - Proje İşlemleri
 - Simüle Etme
 - Teslim Şekli
- Çalışma Notları
 - Hata Çözümleri
 - VirtualBox Host only Adaptor Disappeared Hatası
 - Wait Statement Without UNTIL Clause not Supported for Synthesis Hatası
 - Similasyon Notları
 - Eksiklik Notları
 - VHDL Yapısı
- Olası Sorunlar
- Yapılacaklar
- Harici Bağlantılar

Tanıtım

Birebir Varsayımsal Eşleştirilmiş Hali



İstenilene Göre Sadeleştirilmiş Hali



Orjinal Hali

Name	Value	1,000 ns	1,200 ns	1,400 ns	1,600 ns	1,800 ns	2,000 ns	2,200 ns	2,400 ns	2,600 ns	2,800 ns	3,000 ns	3,200 ns	3,400 ns	3,600 ns
clk	1														
reset	0														
pc_out[15:0]	49da	0000	0002	0004	0006	0008	000a	49d0	49d2	49d4	49d6	49d8	49da	49dc	49de
alu_result[15:0]	0000	0001	0001	0000	0001	000f	0004				0000				
pc_current[15:0]	49da	0000	0002	0004	0006	0008	000a	49d0	49d2	49d4	49d6	49d8	49da	49dc	49de
pc_next[15:0]	49dc	0002	0004	0006	0008	000a	49d0	49d2	49d4	49d6	49d8	49da	49dc	49de	49e0
pc2[15:0]	49dc	0002	0004	0006	0008	000a	000c	49d2	49d4	49d6	49d8	49da	49dc	49de	49e0
instr[15:0]	0000	8881	1031	1f22	12c4	1bd0	64e8				0000				
reg_dst[1:0]	1	0		1		2					1				
mem_to_reg[1:0]	0	0				2					0				
alu_op[1:0]	0	0		0		3					0				
jump	0														
branch	0														
mem_read	0														
mem_write	0														
alu_src	0														
reg_write	1														
reg_write_dst[2:0]	0	1	3	2	4	5	7				0				
reg_write_data[15:0]	0000	0001	0001	0000	0001	000f	000c				0000				
reg_read_addr_1[2:0]	0	2	5	7	4	6	1				0				
reg_read_data_1[15:0]	0000	0003	0006	0008	0005	0007	0002				0000				
reg_read_addr_2[2:0]	0	1	4	6	5	7	1				0				
reg_read_data_2[15:0]	0000	0002	0005	0007	0006	0008	0002				0000				
sign_ext_in[15:0]	0000	0001	0031	0022	ff44	ff80	ff48				0000				
read_data2[15:0]	0000	0002	0005	0007	0006	0008	0002				0000				
zero_ext_in[15:0]	0000	0001	0031	0022	0044	0050	0068				0000				
imm_ext[15:0]	0000	0001	0031	0022	ff44	ff80	ff48				0000				
pccontrol	0														
alu_control[2:0]	0	1	1	2	4					0					
alu_out[15:0]	0000	0001	0001	0000	0001	000f	0004				0000				
zero_flag	1														
im_shift_1[15:0]	0000	0002	0062	0044	ff88	ffa0	ffa0				0000				
pc_j[15:0]	0000	1102	2c52	3e44	2588	37a0	49d0				0000				
pc_beq[15:0]	49dc	0004	0066	004a	ff90	ffaa	ff4c	49d2	49d4	49d6	49d8	49da	49dc	49de	49e0
pc_4beq[15:0]	49dc	0002	0004	0006	0008	000a	000c	49d2	49d4	49d6	49d8	49da	49dc	49de	49e0
pc_4beq[15:0]	49dc	0002	0004	0006	0008	000a	000c	49d2	49d4	49d6	49d8	49da	49dc	49de	49e0
pc_jr[15:0]	0000	0003	0006	0008	0005	0007	0002				0000				
beq_control	0														
jump_shift_1[14:0]	0000	1102	2c52	3e44	2588	37a0	49d0				0000				
mem_read_data[15:0]	0000									0000					
no_sign_ext[15:0]	0000	ffe	ff4c	ff4c	0078	0060	0080				0000				
sign_or_zero	1														
cmp1[8:0]	000		000			1#					000				

Gereksinimler

Proje ödevinin PDF'ine [buradan](#) yararlandığım kaynağa [buradan](#) ulaşabilirsiniz

- Grup sayısı 5 kişiliktir
- Son teslim tarihi: 15.05.2019 Çarşamba
- XILINX ISE Design Studio
- VHDL bilgisi

XILINX ISE Design Studio

- Resmi sitesinde indirmek için [buraya](#) tıklayabilirsiniz
 - Username: [yemreak](#)
 - Password: [yemreak.com1](#)
- **XILINX ISE Design Studio**'yu direkt olarak [buradan](#) indirebilirsiniz.
- **Drive** üzerinden indirmek için [buraya](#) bakabilirsiniz.

XILINX Kullanımı

Hocanın hazırlamış olduğu videolar:

- [XILINX ile VHDL PROGRAMLAMA! - Full Adder \(Tam Toplayıcı\) Tasarımı #1](#)
- [XILINX ile VHDL PROGRAMLAMA! - Full Adder \(Tam Toplayıcı\) Tasarımı #2](#)
- [XILINX ile VHDL PROGRAMLAMA! - Full Adder \(Tam Toplayıcı\) Tasarımı #3](#)

Altta ki bilgilerde yapılacak işlemler özetlenmiştir.

Proje Oluşturma

- [New Project](#)
- Top-level source type: [HDL](#)
- [XST](#), [ISIM](#), Preferred Language: [VHDL](#)

Proje İşlemleri

- [New Source > VHDL_module](#)
- Modülü boş bırakın devam edin.

Simüle Etme

- Similasyon oluşturmak için [buraya](#) bakabilirsiniz.
 - [Start with a semantic of the top-level block](#)
- Simülasyona veri girişi için [buraya](#) bakabilirsiniz.
 - [restart](#) Yeniden başlatma
 - [put <pbje_ismi> <değer>](#) Veri atama
 - Örn: [put tt_g1 0](#)
 - [run all](#) Hepsini çalıştırma

Teslim Şekli

- Similasyon sonuçları raporlanacak ve pdf haline getirilecek
- Verilen *instruction*'ların hepsi gerçekleştirilecek
- Sonuçlar similatörde gösterilecek
- PDF ile *.vhd* uzantılı kaynak kodlarını sisteme yüklenecek
 - Aksis - Döküman paylaşımı - Bilgisayar Mimarisi - Proje

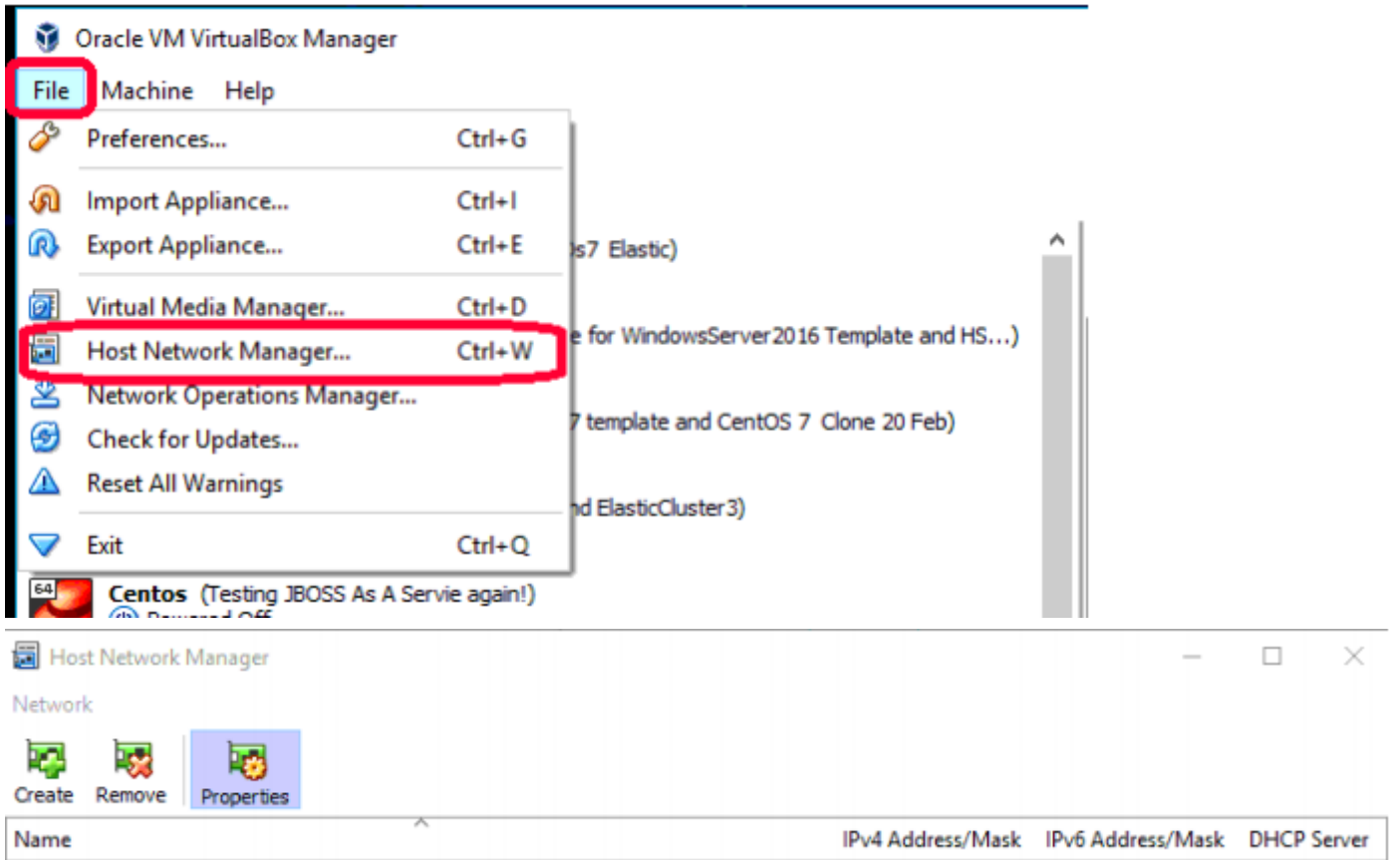
Çalışma Notları

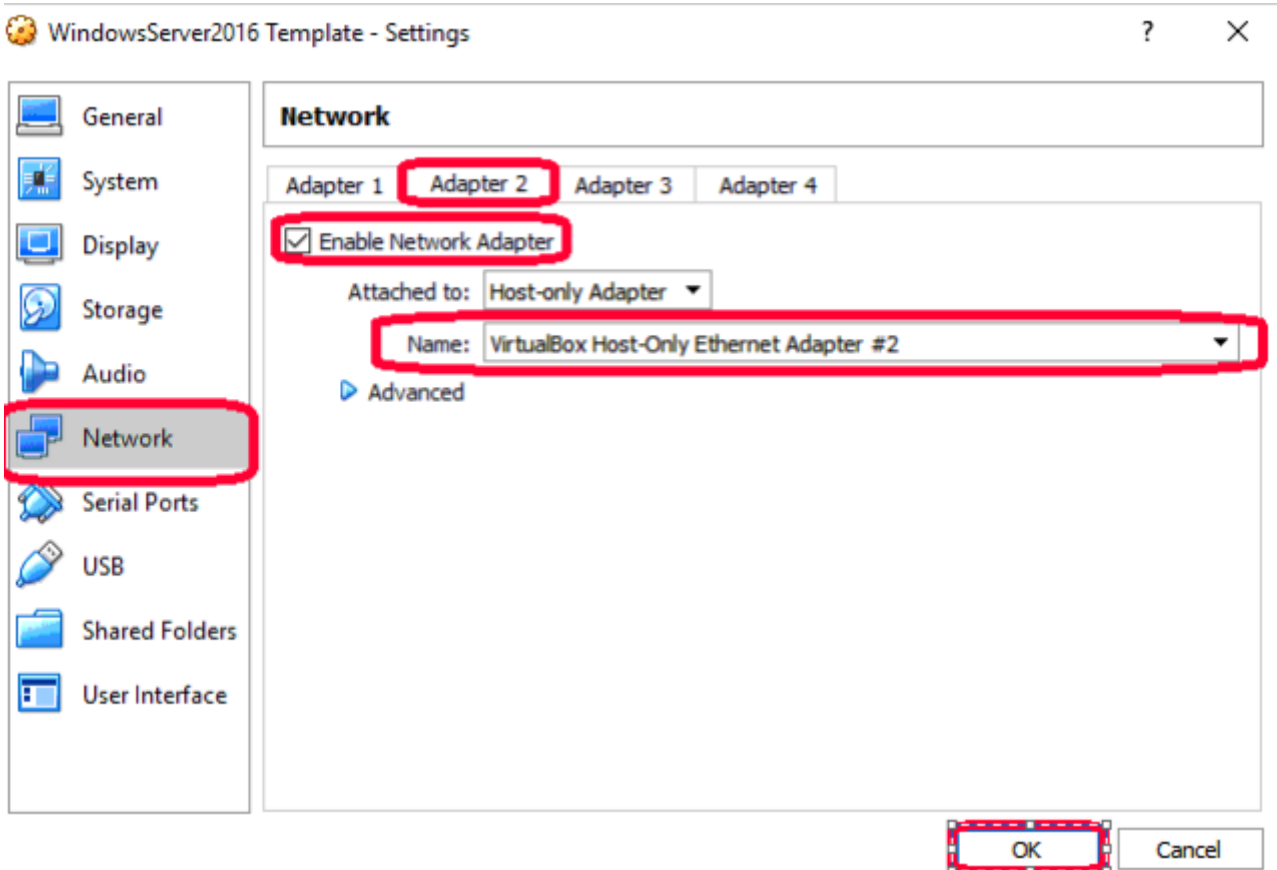
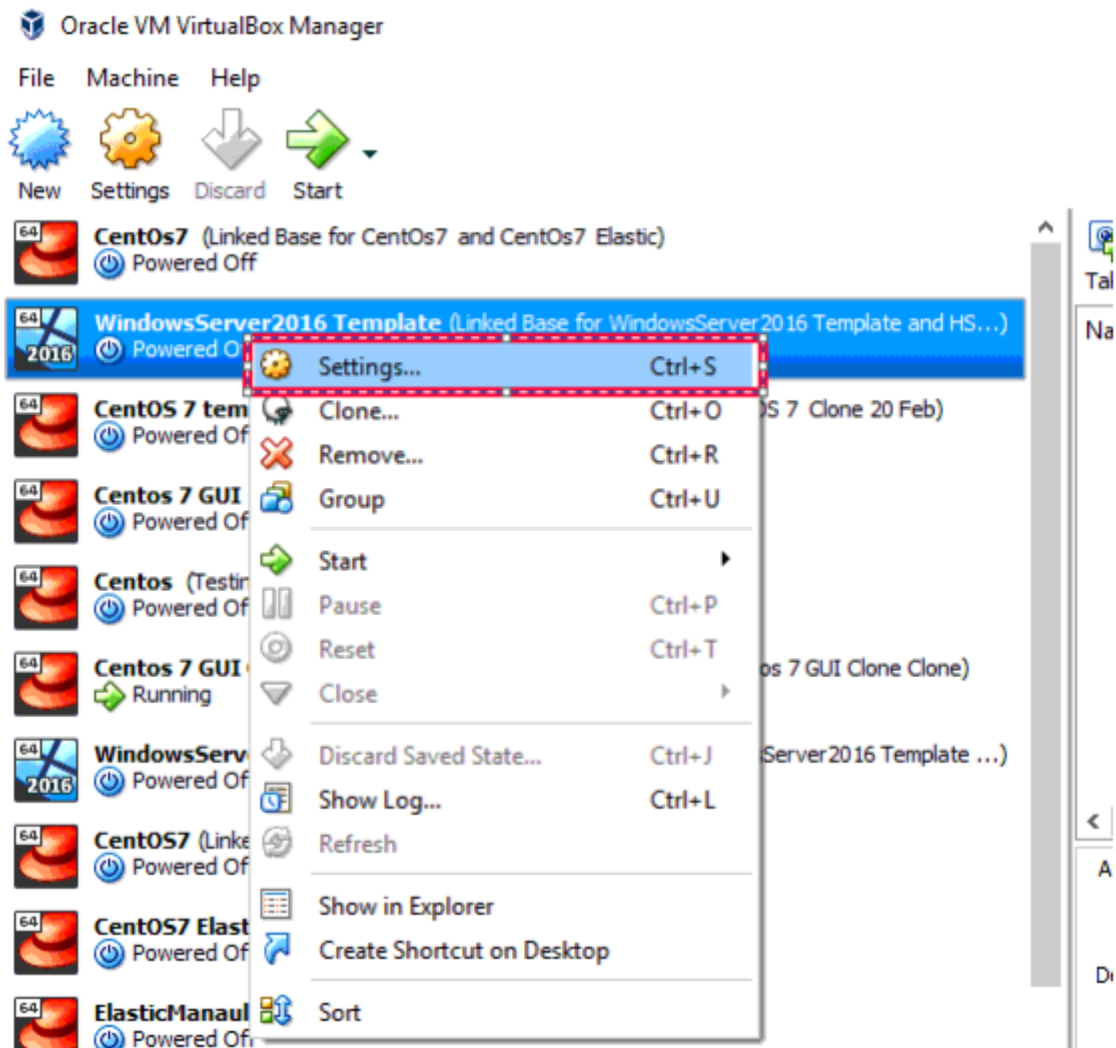
- *mips.vhd* dosyası *Implement top level module* olarak çalıştırılmalı
- *testbench.vhd* dosyasının *Source* ayarlarında *All* yerine *Simulation* seçilmeli
- *add, sub, and, slt* gibi komutlar R type'dır, **ALU OP** ile gerçekleştirilir
- *X"..."* komutu 16bit anlamına gelmektedir
 - *x"000"* değeri *"000000000000"* ($4 \times 3 = 12$ tane 0) değerine denktir
- Clock değerini otomatik olarak atamak için *isim force add {/mips_vhdl/clock} 1 -radix bin -value 0 -radix bin -time 100 ns -repeat 200 ns*

Hata Çözümleri

VirtualBox Host only Adaptor Disappeared Hatası

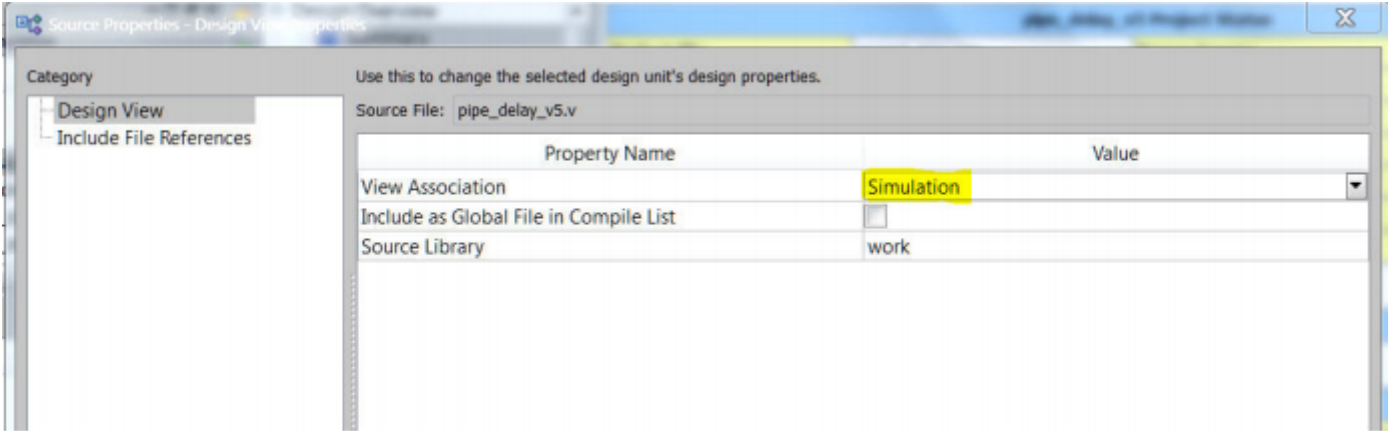
VirtualBox host only adaptor disappeared (Interface ('VirtualBox Host-Only Ethernet Adapter') is not a Host-Only Adapter interface (VERR_INTERNAL_ERROR) SOLVED hatası için [buraya](#) bakabilirsiniz.





Wait Statement Without UNTIL Clause not Supported for Synthesis Hatası

Error: wait statement without UNTIL clause not supported for synthesis sorunu çözümü için [buraya](#) bakabilirsiniz.



Similasyon Notları

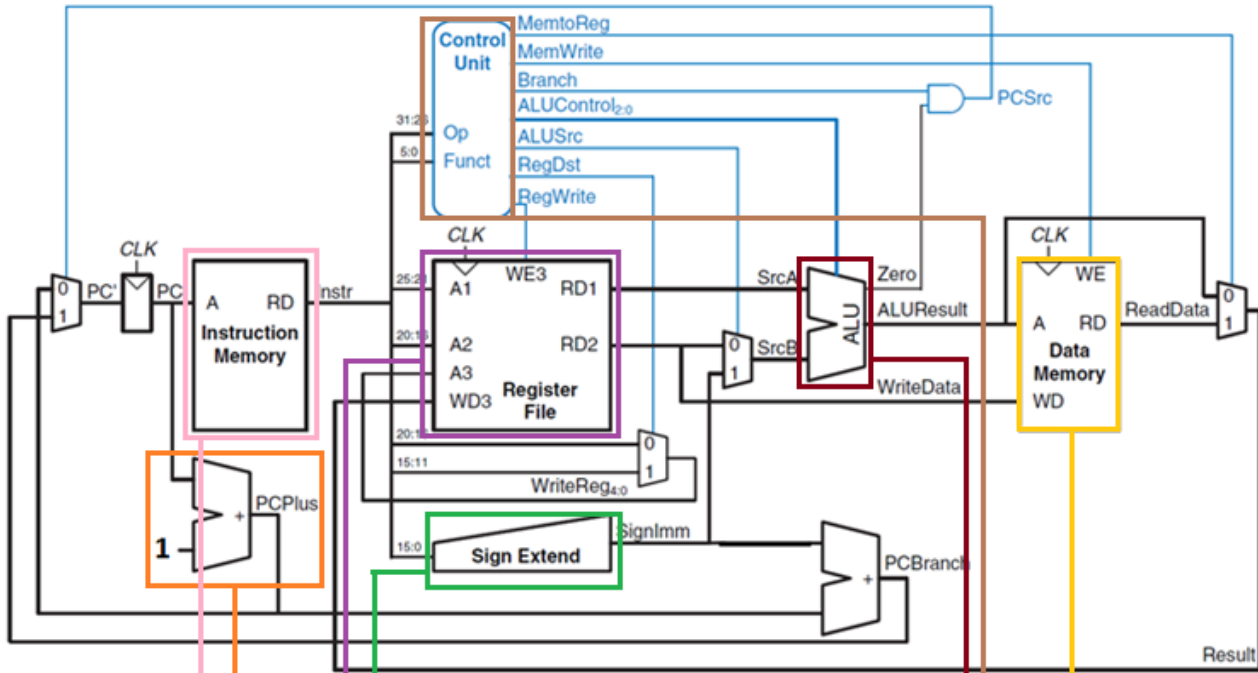
Similasyonu çalıştırmak için yazdığımız komutlar.

```
put reset 1
put clk 0
run
 isim force add {/mips_vhdl/clock} 1 -radix bin -value 0 -radix bin -time 100 ns -repeat
 200 ns
put reset 0
# 2.60us çalıştır
```

Eksiklik Notları

- Bne komutu elden eklendiği (out sinyal oluşturulmadığı) için Branch_ne_out değişkeni bulunmamaktadır

VHDL Yapısı



1. programcounter.vhd
2. instructionmemory.vhd
3. registerfile.vhd
4. signextend.vhd
5. alu.vhd
6. datamemory.vhd
7. controlunit.vhd

Olası Sorunlar

- 16Bit olması sorun teşkil edebilir

Yapılacaklar

- ☒ Baz alınan kaynağın test edilmesi gerek
- ☒ VHDL kodları dosyalı yapı ile bu projeye yerleştirilecek

Harici Bağlantılar

- 16bit Mips VHDL
- MIPS-Processor-VHDL - Github
- PiJoules/MIPS-processor
- dugagjin/MIPS