

16BitMipsVHDL

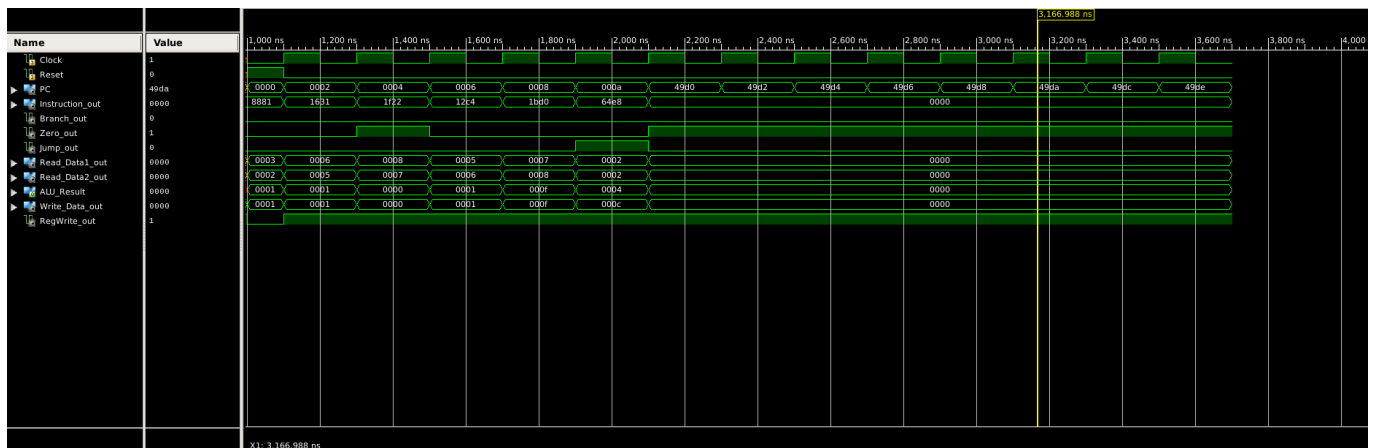
Bilgisayar Mimarisi Proje Ödevi - 2019

İçerikler

- [Tanıtım](#)
 - [Birebir Varsayımsal Eşleştirilmiş Hali](#)
 - [İstenilene Göre Sadeleştirilmiş Hali](#)
 - [Orjinal Hali](#)
- [Gereksinimler](#)
 - [XILINX ISE Design Studio](#)
 - [XILINX Kullanımı](#)
 - [Proje Oluşturma](#)
 - [Proje İşlemleri](#)
 - [Simüle Etme](#)
 - [Teslim Şekli](#)
- [Çalışma Notları](#)
 - [Hata Çözümleri](#)
 - [VirtualBox Host only Adaptor Disappeared Hatası](#)
 - [Wait Statement Without UNTIL Clause not Supported for Synthesis Hatası](#)
 - [Similasyon Notları](#)
 - [Eksiklik Notları](#)
 - [VHDL Yapısı](#)
- [Olası Sorunlar](#)
- [Yapılacaklar](#)
- [Harici Bağlantılar](#)
- [Ekip Üyeleri](#)

Tanıtım

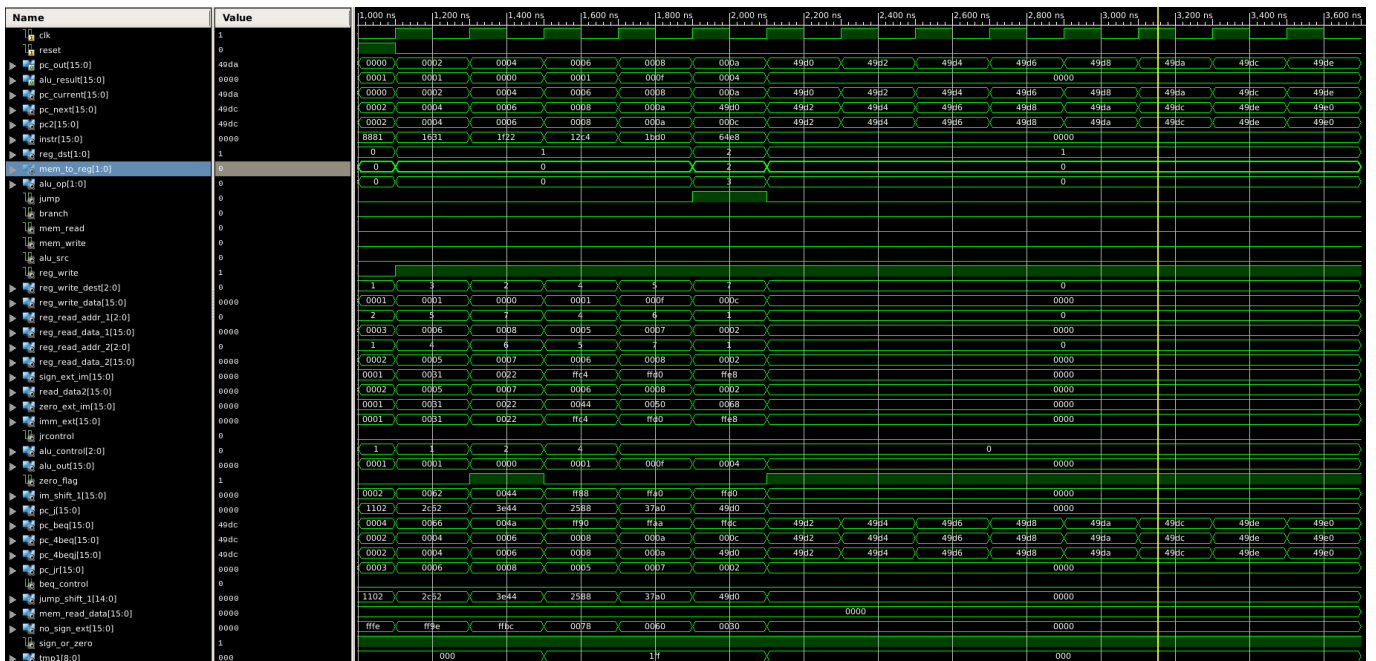
Birebir Varsayımsal Eşleştirilmiş Hali



İstenilene Göre Sadeleştirilmiş Hali



Orjinal Hali



Gereksinimler

Proje ödevinin PDF'ine [buradan](#) yararlandığım kaynağa [buradan](#) ulaşabilirsin.

- Grup sayısı 5 kişiliktir
- Son teslim tarihi: 15.05.2019 Çarşamba
- XILINX ISE Design Studio
- VHDL bilgisi

XILINX ISE Design Studio

- Resmi sitesinde indirmek için [buraya](#) tıklayabilirsin
 - Username: **yemreak**
 - Password: **yemreak.com1**
- **XILINX ISE Design Studio**'yu direkt olarak [buradan](#) indirebilirsin.
- **Drive** üzerinden indirmek için [buraya](#) bakabilirsin.

XILINX Kullanımı

Hocanın hazırlamış olduğu videolar:

- [XILINX ile VHDL PROGRAMLAMA! - Full Adder \(Tam Toplayıcı\) Tasarımı #1](#)
- [XILINX ile VHDL PROGRAMLAMA! - Full Adder \(Tam Toplayıcı\) Tasarımı #2](#)
- [XILINX ile VHDL PROGRAMLAMA! - Full Adder \(Tam Toplayıcı\) Tasarımı #3](#)

Altta bilgilerde yapılacak işlemler özetlenmiştir.

Proje Oluşturma

- **New Project**
- Top-level source type: **HDL**
- **XST, ISIM**, Preferred Language: **VHDL**

Proje İşlemleri

- **New Source > VHDL_module**
- Modülü boş bırakın devam edin.

Simüle Etme

- Similasyon oluşturmak için [buraya](#) bakabilirsiniz.
 - **Start with a semantic of the top-level block**
- Simülasyona veri girişi için [buraya](#) bakabailirsiniz.
 - **restart** Yeniden başlatma
 - **put <pbje_ismi> <değer>** Veri atama
 - Örn: **put tt_g1 0**
 - **run all** Hepsini çalıştırma

Teslim Şekli

- Similasyon sonuçları raporlanacak ve pdf haline getirilecek
- Verilen *instruction*'ların hepsi gerçekleştirilecek
- Sonuçlar similatörde gösterilecek
- PDF ile **.vhd** uzantılı kaynak kodlarını sisteme yüklenecek
 - Aksis - Döküman paylaşımı - Bilgisayar Mimarisi - Proje

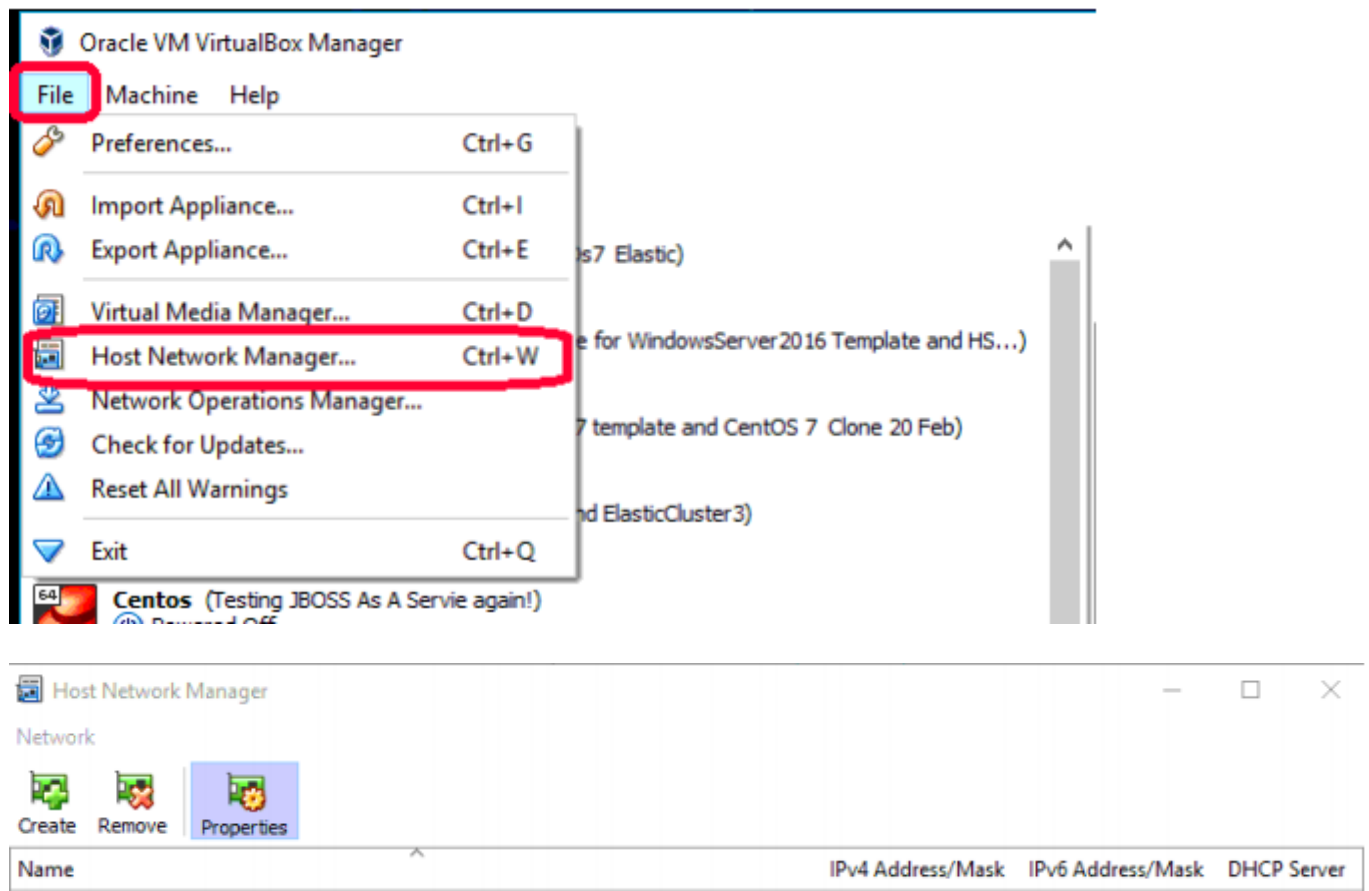
Çalışma Notları

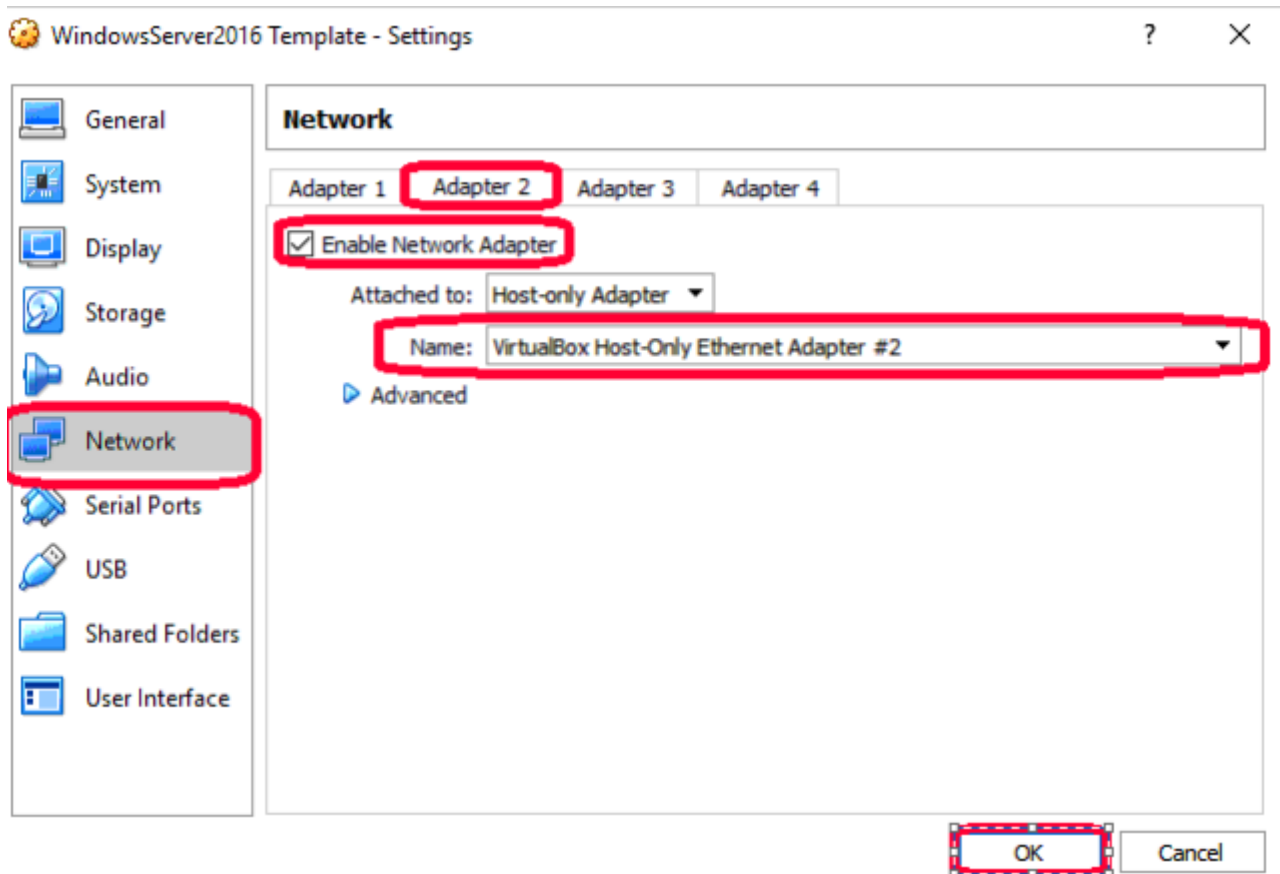
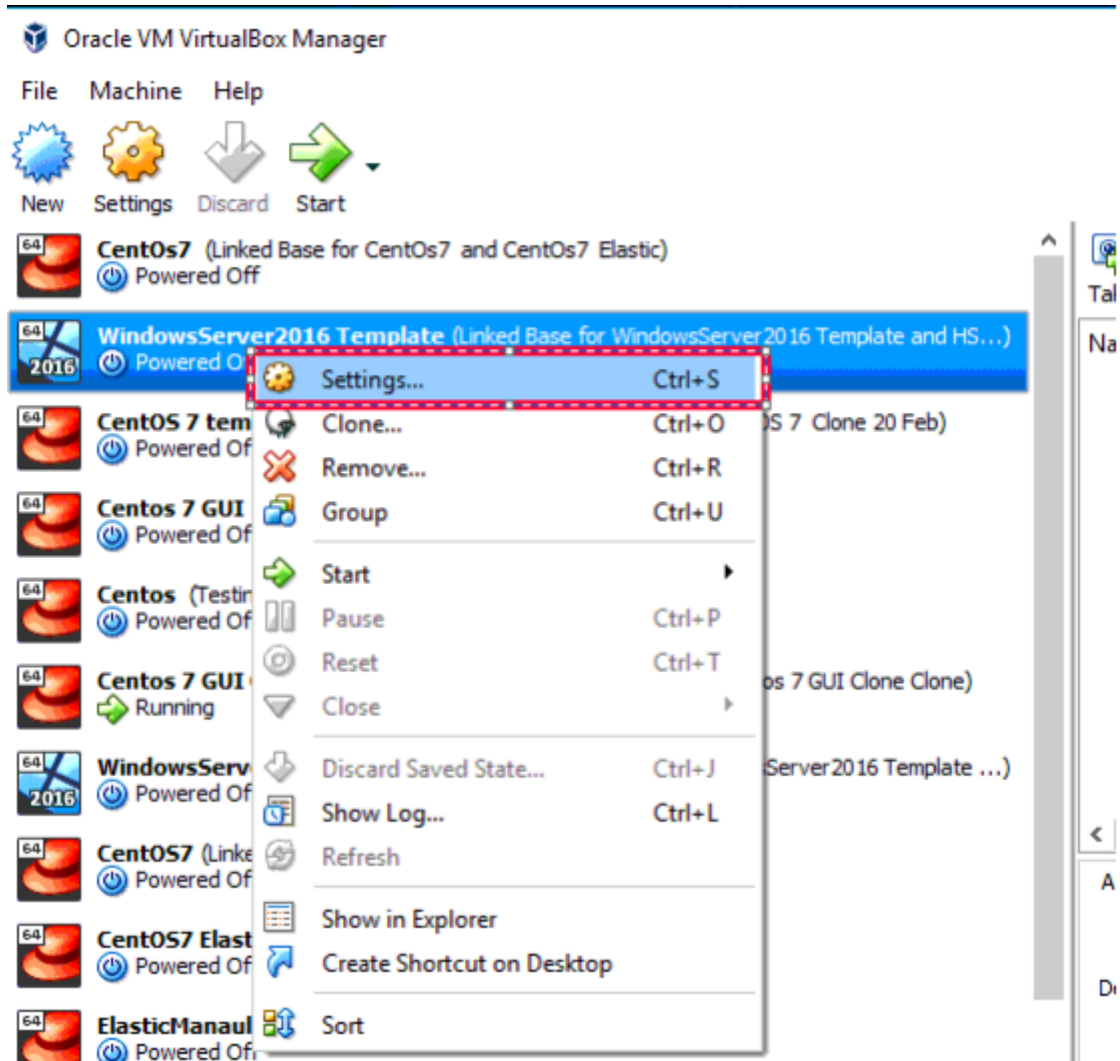
- **mips.vhd** dosyası **Implement top level module** olarak çalıştırılmalı
- **testbench.vhd** dosyasının **Source** ayarlarında **All** yerine **Simulation** seçilmeli
- **add, sub, and, slt** gibi komutlar R type'dır, **ALU OP** ile gerçekleştirilir
- **X"..."** komutu 16bit anlamına gelmektedir
 - **x"000"** değeri **"000000000000"** ($4 \times 3 = 12$ tane 0) değerine denktir
- Clock değerini otomatik olarak atamak için **isim force add {/mips_vhdl/clk} 1 -radix bin -value 0 -radix bin -time 100 ns -repeat 200 ns**

Hata Çözümleri

VirtualBox Host only Adaptor Disappeared Hatası

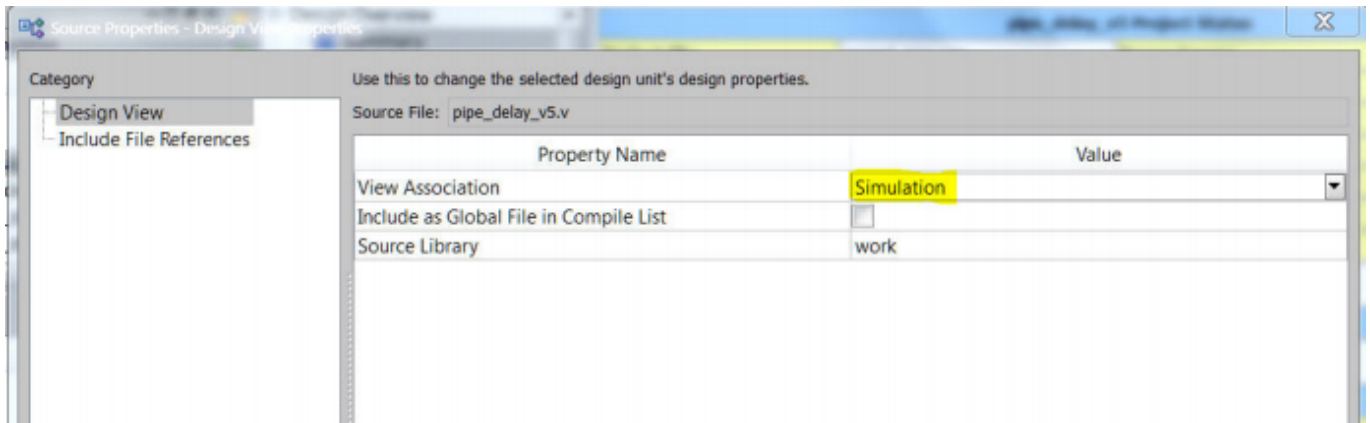
VirtualBox host only adaptor disappeared (Interface ('VirtualBox Host-Only Ethernet Adapter') is not a Host-Only Adapter interface (VERR_INTERNAL_ERROR) SOLVED hatası için [buraya](#) bakabilirsiniz.





Wait Statement Without UNTIL Clause not Supported for Synthesis Hatası

Error: wait statement without UNTIL clause not supported for synthesis sorunu çözümü için [buraya](#) bakabilirsiniz.



Similasyon Notları

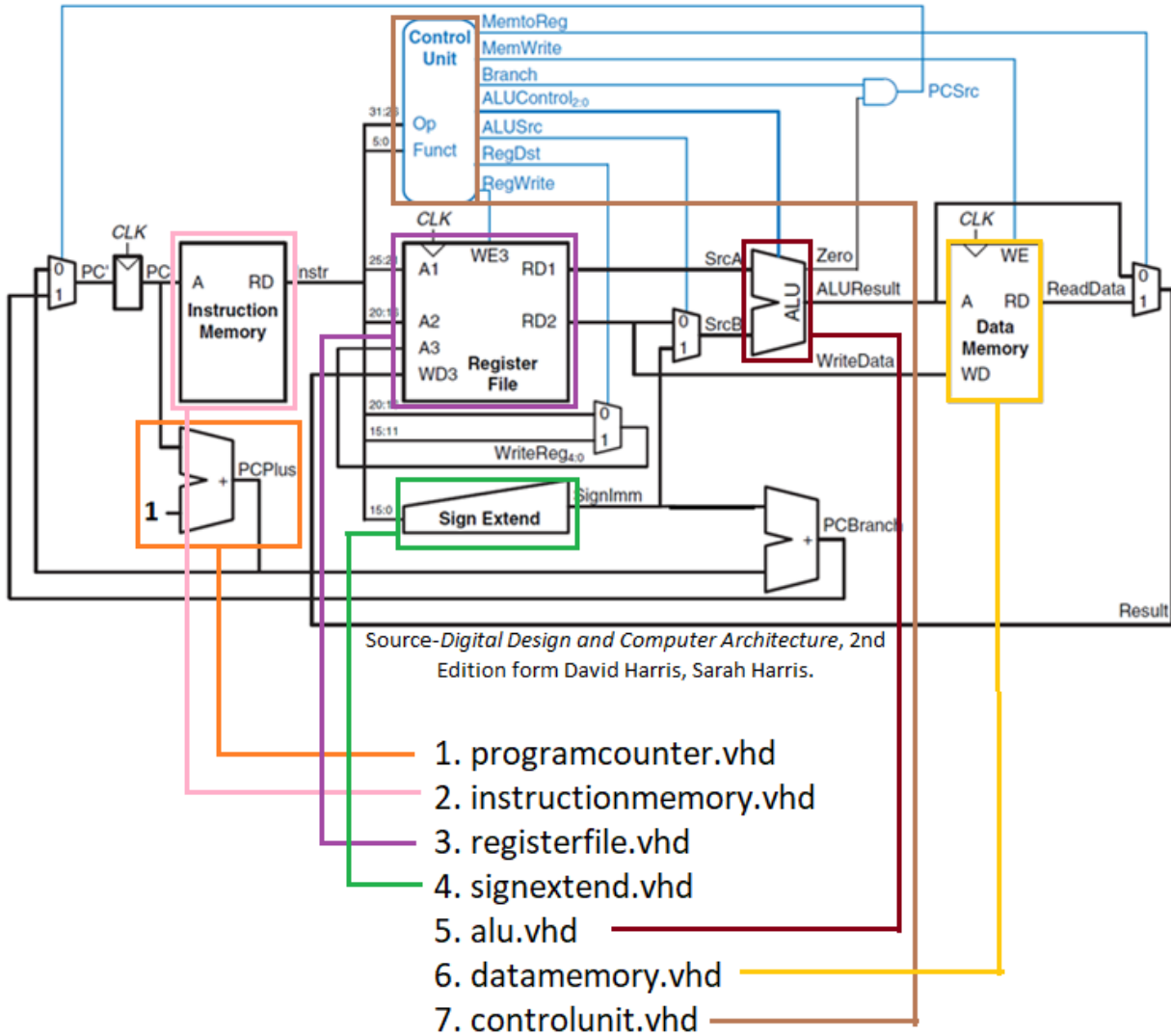
Similasyonu çalıştırmak için yazdığımız komutlar.

```
put reset 1
put clk 0
run
isim force add {/mips_vhdl/clock} 1 -radix bin -value 0 -radix bin -time 100 ns -
repeat 200 ns
put reset 0
# 2.60us çalıştır
```

Eksiklik Notları

- Bne komutu elden eklendiği (out sinyal oluşturulmadığı) için Branch_ne_out değişkeni bulunmamaktadır

VHDL Yapısı



Olası Sorunlar

- 16Bit olması sorun teşkil edebilir

Yapılacaklar

- ☒ Baz alınan kaynağın test edilmesi gerek
- ☒ VHDL kodları dosyalı yapı ile bu projeye yerleştirilecek

Harici Bağlantılar

- [16bit Mips VHDL](#)
- [MIPS-Processor-VHDL - Github](#)
- [PiJoules/MIPS-processor](#)
- [dugagjin/MIPS](#)

Ekip Üyeleri

Bu ekip projesidir, ekip üyeleri:

- Yunus Emre Ak
- Sefa Yalçındağ

- Ahmet Demir
- Muhammed Furkan Yıldırım