컴퓨터 구조 실험(수)

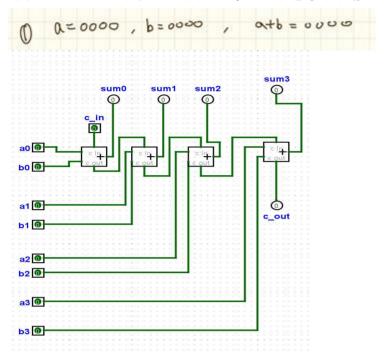
학번: 2021202045

담당 교수님: 이성원 교수님

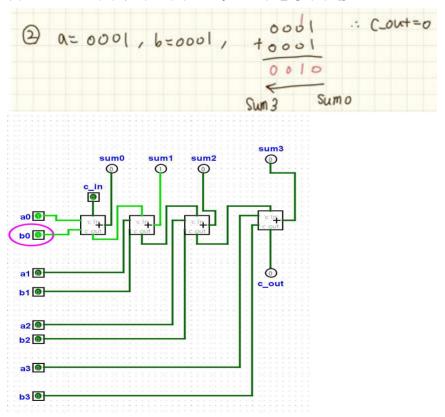
이름: 김예은

I. Logisim을 이용하여 testbench의 결과값이 제대로 나오는지 확인 testbench에서는 다음과 같이 7쌍의 4bits짜리 (a,b) input을 인자로 넣는다.

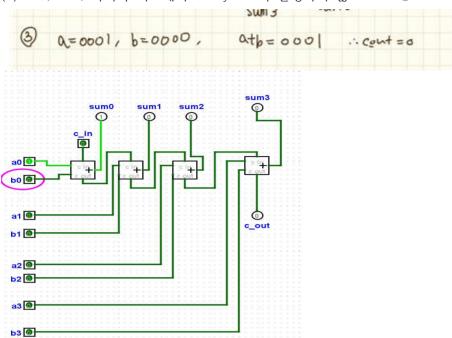
(1) a=0, b=0, 마지막 비트에서 carry out이 발생하지 않으므로 c_out=0



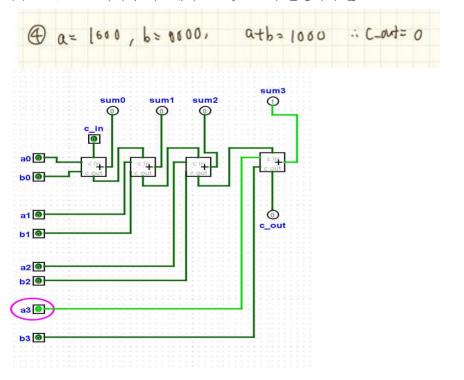
(2)a=1, b=1, 마지막 비트에서 carry out이 발생하지 않으므로 c_out=0



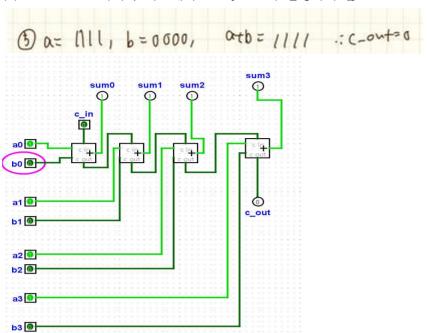
(3) a=8, b=0, 마지막 비트에서 carry out이 발생하지 않으므로 c_out=0



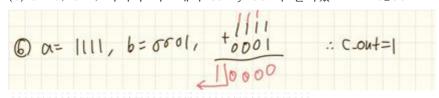
(4) a=8, b=0, 마지막 비트에서 carry out이 발생하지 않으므로 c_out=0

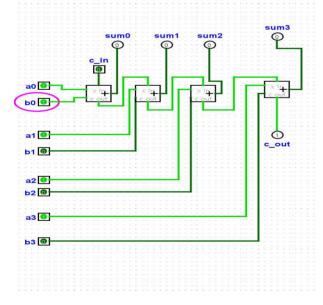


(5) a=15, b=0, 마지막 비트에서 carry out이 발생하지 않으므로 c_out=0

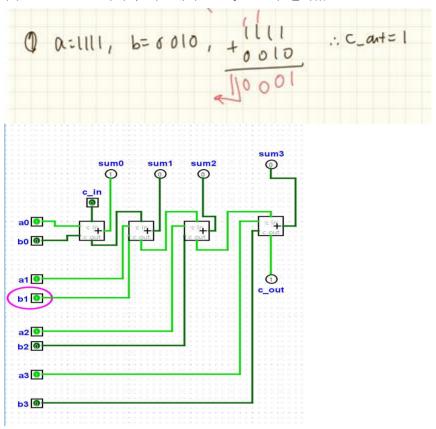


(6) a=15, b=1, 마지막 비트에서 carry out이 일어났으므로 c_out =1





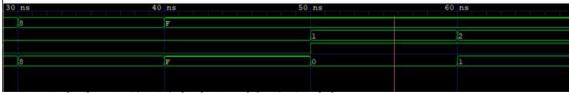
(7) a=15, b=2, 마지막 비트에서 carry out이 일어났으므로 c_out =1



II. gtkwave로 파형을 확인하며 logisim-evolution과 결과가 같은지 비교하기



- a=0, b=0일 때 a+b=0이 나오는 것을 확인할 수 있다.
- a=1, b=1일 때 a+b=2(0010)가 나오는 것을 확인할 수 있다.
- a=1, b=0일 때, a+b=1(0001)이 나오는 것을 확인할 수 있다.



- a=8, b=0일 때 a+b=8(1000)이 나오는 것을 볼 수 있다.
- a=15, b=0일 때, a+b=15(1111)이 나오는 것을 볼 수있다.(15를 16진수로 표현하면 F)
- a=15, b=1일 때, a+b=0('1'0000)이 나오고, carry out으로 1이 나오는 것을 볼 수 있다.
- a=15, b=2일 때, a+b=1('1'0001)이 나오고, carry out으로 1이 나오는 것을 볼 수 있다.

Ⅲ. 고찰

실습시간에 gtkwake나 logisim을 이용한 연습을 했기 때문에 이 tool을 쓰는 데에 어려움은 없었다. 하지만 1 bit짜리 full-adder를 4개로 이어 4bits rca 회로도를 그릴 때, 한 번에 4 bits input을 회로에 삽입하니까 1 bit짜리 full-adder의 input과 output부분이 비트수가 맞지 않아 주황색 회로선이 떴다. 그래서 1 bit짜리 input을 a,b 총 8개를 full adder하나하나에 연결시키는 방식으로 바꿨다.