



저작자표시-비영리-동일조건변경허락 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.
- 이차적 저작물을 작성할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



동일조건변경허락. 귀하가 이 저작물을 개작, 변형 또는 가공했을 경우에는, 이 저작물과 동일한 이용허락조건하에서만 배포할 수 있습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

工學碩士學位論文

UHF RFID 태그칩용 저면적·고신뢰성
512bit EEPROM IP 설계



2011年 12月

昌	原	大	學	校	大	學	院
電		子		工	學	科	
李				東		勳	

工學碩士學位論文

UHF RFID 태그칩용 저면적·고신뢰성 512bit EEPROM IP 설계

Design of Small-Area and High-Reliability 512-Bit
EEPROM IP for UHF RFID Tag Chips

指導教授 金 榮 熙

이 論文을 工學碩士學位論文으로 提出함

2011年 12月

昌 原 大 學 校 大 學 院
電 子 工 學 科
李 東 勳

李東勳의 碩士學位 論文을 認准함.

審査委員長 陳 敎 弘 (인)

審査委員 河 販 鳳 (인)

審査委員 金 榮 熙 (인)

2011年 12月

昌原大學校 大學院

UHF RFID 태그칩용 저면적·고신뢰성 512bit EEPROM IP 설계

요 약

RFID (Radio Frequency Identification) 기술은 무선통신 기술을 이용하여 사물에 부착된 태그로부터 사물의 정보 및 주변정보를 감지하는 인식 기술로서, 기존의 재고관리와 유통분야를 중심으로 발전해오던 바코드를 대체하여 물류 유통을 이끌어갈 기술로 주목받고 있어 향후 지속적인 성장이 예상된다. RFID 태그는 배터리의 유·무에 따라 능동형과 수동형으로 구분되며, 수동형 RFID 태그는 배터리 없이 리더에 의해 발생하는 에너지를 공급받아 전원을 생성하므로 저가격화와 소형화에 유리하다. 수동형 RFID 태그는 안테나와 태그칩으로 구성되며, 태그칩은 아날로그 블록, 로직 블록, 메모리 블록으로 이루어진다. 메모리 블록은 비휘발성 메모리인 EEPROM이 사용되고 있으며 태그칩의 원가 감소를 위해 저면적의 설계를 필요로 한다.

본 논문에서는 UHF RFID 태그칩용 저면적, 고신뢰성 512bit EEPROM IP를 설계하였다. 저면적 설계를 위해 디코딩 로직을 단순화한 WL 구동회로를 설계하였고, DC-DC 변환기의 내부 기준전압인 VREF를 생성하기 위해 저항 분배기 형태의 VREF 발생기 회로를 설계함으로써 BGR (Bandgap Reference Voltage Generator)을 이용한 기존방식에 비해 저면적을 구현하였다. 그리고 신뢰성 향상을 위하여 쓰기모드를 빠져나올 때, DC-DC 변환기에서 출력되는 부스팅된 전압을 VSS로 방전시키는 방식을 제안하였다.

기존의 EEPROM 회로는 2행의 WL (Word Line) 구동회로마다 행 디코더를 공유하고 각각의 WL 구동회로에서 최종 어드레스 디코딩 하는 회로를 사용하는 경우 CMOS 디코딩 로직 회로가 차지하는 면적이 큰 단점이 있다. 이 문제를 해결하기 위해 A[5:0]의 어드레스 신호를 predecoding한 행 어드레스 디코딩 신호를 각각의 WL 구동회로마다 인가함으로써 디코딩 로직 회로를 단순화 시켜 WL 구동회로의 레이아웃 폭을 줄였다. 그리고 VPP 레벨 검출기의 기준전압으로 인가되는 VREF 전압을 생성하기 위해 기존에는 BGR을 이용하였다. 하지만 RFID 태그칩을 설계할 때, 아날로그 블록에서 VDD 전압을 생성하는 전압배출기를 위한 BGR 회로와 EEPROM IP에서 VREF 기준전압을 공급하는 BGR 회로가 각각 필요하므로 불필요한 레이아웃 면적이 발생한다. 그래서 본 논문에서는 VREF 기준전압 발생기 회로가 차지하는 레이아웃 면적을 줄이기 위해 BGR 회로 대신 RFID 태그칩의 아날로그 블록에서 만들어지는 PVT (Process-Voltage-Temperature) 변동에 둔감한 아날로그 파워인 VDD를 이용하여 저항 분배기 형태로 VREF 발생기 회로를 설계함으로써 저면적을 구현하였다.

기존의 DC-DC 변환기 설계에서는 쓰기 모드가 끝나고 대기 모드로 진입하면서 charge reservoir capacitor에 저장된 부스팅된 전하가 VDDP로 차지 덤프가 일어나면서 VDDP 전압이 상승하게 되고 연속적인 write cycle에서 VDDP 전압이 5V 소자를 파괴할 정도로 올라가는 문제가 있을 수 있다. 따라서 본 논문에서는 DC-DC 변환기로부터 출력되는 부스팅된 전압을 공통 접지 (Common Ground)인 VSS로 방전시킴으로써 연속적인 write cycle에서도 VDDP 전압을 일정하게 유지하여 5V 소자의 신뢰성을 확보하였다.

본 논문에서 매그나칩 0.18 μ m EEPROM 공정을 이용하여 설계한 UHF

RFID 태그칩용 512bit EEPROM IP의 레이아웃 면적은 $359.465\mu\text{m} \times 366.76\mu\text{m}$ ($=0.1318\text{mm}^2$)로서 기존 EEPROM IP의 $314.325\mu\text{m} \times 510.035\mu\text{m}$ ($=0.16\text{mm}^2$)와 비교하였을 때 17.8% 정도 면적을 감소시켰다. 모의실험 결과 연속적인 write cycle에서도 VDDP 전압이 일정하게 유지되는 것을 확인하였으며, 데이터 액세스 시간은 worst case에서 219.5ns이다.



목 차

한글 요약문	i
목 차	iv
그림 목차	vi
표 목차	xi
약 어	xiii
기 호	xv
제 1 장 서 론	1
제 2 장 EEPROM 기술 동향	5
2.1 EEPROM 셀의 구조 및 동작원리	5
2.2 EEPROM 설계기술 동향	13

제 3 장 512bit EEPROM IP 설계	26
3.1 EEPROM 셀	26
3.2 512bit EEPROM IP의 구성 및 설계사양	33
3.3 EEPROM 주변회로 설계	38
3.4 DC-DC 변환기 설계	47
제 4 장 모의실험 결과 및 레이아웃	56
제 5 장 결 론	65
참고문헌	66
Abstract	69

그 림 목 차

그림 1-1. RFID의 세계시장 규모	1
(World market scale of RFID)	
그림 1-2. 수동형 RFID 태그의 구조	3
(Architecture of a passive RFID tag)	
그림 2-1. EEPROM 셀 : (a) 단면도 (b) 회로도	6
(EEPROM cell : (a) cross-sectional view and (b) circuit)	
그림 2-2. EEPROM 셀의 지우기 동작을 위한 셀 바이어스 상태	7
(Cell bias condition for erasing an EEPROM cell)	
그림 2-3. EEPROM 셀의 프로그램 동작을 위한 셀 바이어스 상태	8
(Cell bias condition for programming an EEPROM cell)	
그림 2-4. Double-poly EEPROM 셀 단면도	9
(Cross sectional view of an double-poly EEPROM Cell)	
그림 2-5. C-Flash 셀의 회로도	11
(The Circuit of C-Flash cell)	
그림 2-6. Global 행 디코더와 local 행 디코더 회로	14
(Global row decoder and local row decoder)	
그림 2-7. 기존의 WL 구동 회로	15
(Conventional WL driver circuit)	
그림 2-8. 기존 DC-DC 변환기의 블록 다이어그램	16
(Block diagram of conventional DC-DC converter)	
그림 2-9. 기존의 VREF 발생기 회로	17
(Conventional VREF generator circuit)	

그림 2-10. 딕슨 전하펌프 회로	19
(Dickson charge pump circuit)	
그림 2-11. 쇼트키 다이오드를 사용하여 설계된 기존의 딕슨 전하펌프 회로	19
(Design of conventional Dickson charge pump circuit with Schottky diode)	
그림 2-12. Cross-coupled 전하펌프 회로	21
(Cross-coupled charge pump circuit)	
그림 2-13. Cross-coupled 전하펌프의 정상상태 타이밍 다이어그램	21
(The timing diagram of cross-coupled charge pump in the steady state)	
그림 2-14. 기존의 VPPL 전원 스위칭 회로	22
(Conventional VPPL power switching circuit)	
그림 2-15. 기존 DC-DC 변환기의 부스팅 노드 프리차징 회로 : (a) VPP 프리차징 회로 (b) VPPL 프리차징 회로	23
(Boosting node precharging circuit of conventional DC-DC converter : (a) VPP precharging circuit and (b) VPPL precharging circuit)	
그림 2-16. 연속적인 program cycle에서 기존의 DC-DC 변환기 모의실험 결과	24
(Conventional DC-DC converter simulation results of continuous program cycles)	
그림 3-1. SSTC 구조의 EERPOM 셀 : (a) 단면도 (b) 레이아웃	27
(EEPROM cell of SSTC structure : (a) its cross-sectional view and (b) its layout)	
그림 3-2. 지우기 모드에서의 셀 어레이 바이어스 전압	30
(Cell array bias voltage in the erase mode)	
그림 3-3. 프로그램 모드에서의 셀 어레이 바이어스 전압	31

(Cell array bias voltage in the program mode)	
그림 3-4. 읽기 모드에서의 셀 어레이 바이어스 전압	32
(Cell array bias voltage in the read mode)	
그림 3-5. 512bit EEPROM의 블록도	34
(Block diagram of 512-bit EEPROM)	
그림 3-6. EEPROM의 쓰기 타이밍 다이어그램	36
(Write timing diagram of EEPROM)	
그림 3-7. EEPROM의 읽기 타이밍 다이어그램	37
(Read timing diagram of EEPROM)	
그림 3-8. EEPROM의 리셋 타이밍 다이어그램	37
(Reset timing diagram of EEPROM)	
그림 3-9. 행 디코더의 블록도	38
(Block diagram of row decoder)	
그림 3-10. XPRE1 프리디코더	39
(Predecoder of XPRE1)	
그림 3-11. XPRE2 프리디코더	39
(Predecoder of XPRE2)	
그림 3-12. 설계된 WL 구동 회로	41
(Designed WL driver circuit)	
그림 3-13. WD (Write Data) 구동 회로	42
(Write data driver circuit)	
그림 3-14. WD 스위치 회로	42
(Write data switch circuit)	
그림 3-15. RD (Read Data) 감지 증폭기 회로	43
(Read data sense amplifier circuit)	

그림 3-16. ROW_HV 공급 회로	45
(Supply circuit of ROW_HV)	
그림 3-17. HPW 공급 회로	46
(Supply circuit of HPW)	
그림 3-18. DNW 공급 회로	46
(Supply circuit of DNW)	
그림 3-19. 제안된 DC-DC 변환기의 블록 다이어그램	48
(Block diagram of proposed DC-DC converter)	
그림 3-20. 제안된 VREF 발생기 회로	49
(Proposed VREF generator circuit)	
그림 3-21. IVPP 레벨 검출기 회로	50
(IVPP level detector circuit)	
그림 3-22. 링 발진 회로	51
(Ring oscillator circuit)	
그림 3-23. 제안된 디슨 전하 펌프 회로	53
(Proposed Dickson charge pump circuit)	
그림 3-24. 제안된 IVPPL 전원 스위칭 회로	54
(Proposed IVPPL power switching circuit)	
그림 3-25. 스위칭 파워회로 : (a) VPP 스위칭회로 (b) VPPL 스위칭 회로	55
(Switching power circuit : (a) VPP switching circuit and (b) VPPL switching circuit)	
그림 4-1. 연속적인 program cycle에서 제안된 DC-DC 변환기 모의실험 결과	57
(Proposed DC-DC converter simulation results of continuous program	

cycles)

그림 4-2. 지우기 모드시 기존 DC-DC 변환기의 모의실험 결과 58
(Simulation results of conventional DC-DC converter in the erase mode)

그림 4-3. 프로그램 모드시 기존 DC-DC 변환기의 모의실험 결과 58
(Simulation results of conventional DC-DC converter in the program mode)

그림 4-4. 지우기 모드시 제안된 DC-DC 변환기의 모의실험 결과 59
(Simulation results of proposed DC-DC converter in the erase mode)

그림 4-5. 프로그램 모드시 제안된 DC-DC 변환기의 모의실험 결과 59
(Simulation results of proposed DC-DC converter in the program mode)

그림 4-6. 읽기 모드에서 critical path에 대한 모의실험 결과 : (a) '0'로 프로그래밍된 셀의 경우 (b) '1'로 프로그램된 셀의 경우 61
(Simulation results of the critical path in the read mode : (a) in case that a cell is programmed by '0' and (b) in case that a cell is programmed by '1')

그림 4-7. 512bit EEPROM IP의 레이아웃 이미지 : (a) 기존 EEPROM IP (b) 제안된 EEPROM IP 64
(Layout image of 512-bit EEPROM IP : (a) conventional EEPROM IP and (b) proposed EEPROM IP)

표 목 차

표 2-1. Double-poly EEPROM 셀의 동작모드에 따른 노드별 바이어스 전압 조건	10
(Bias conditions of a node at different operating modes of the double-poly EEPROM cell)	
표 2-2. C-Flash 셀의 동작모드에 따른 노드별 바이어스 전압 조건	12
(Bias conditions of a node at different operating modes of the C-Flash cell)	
표 3-1. EEPROM 셀의 프로그램 상태에 따른 문턱전압	28
(Threshold voltages of EEPROM cell at different program state)	
표 3-2. EEPROM 셀의 동작 모드에 따른 노드별 바이어스 조건	29
(Bias conditions of each operation modes for EEPROM cell)	
표 3-3. 512bit EEPROM IP의 주요 특징	33
(Major specifications of a 512-bit EEPROM IP)	
표 3-4. HV 스위칭 파워의 동작 모드별 출력 전압	44
(Output voltage of each HV switching power with respect to each operating mode)	
표 3-5. 동작 모드별 제안된 DC-DC 변환기에서 요구되는 전압	48
(Voltages for proposed DC-DC converter according to operation modes)	
표 4-1. 설계된 512bit EEPROM IP의 전류 및 전력 소모량	62
(The current and power dissipation of designed 512-bit EEPROM IP)	
표 4-2. SAENb falling edge에서의 정규화된 DLINE 전압 : (a) '0'로 프로그래밍된 셀의 경우 (b) '1'로 프로그램 된 셀의 경우	62
(Normalized DLINE voltages at the falling edge of SAENb : (a) in case	

that a cell is programmed by '0' and (b) in case that a cell is programmed by '1')



약 어

BGR	Bandgap Reference Voltage Generator
CG	Control Gate
CMOS	Complementary Metal-Oxide-Semiconductor
CRC	Cyclic Redundancy Check
DNW	Deep N-Well
EEPROM	Electrically Erasable and Programmable ROM
EPROM	Erasable and Programmable ROM
FN Tunneling	Fowler-Nordheim Tunneling
GIDL	Gate-Induced Drain Leakage
HPW	High Voltage P-Well
ID	Identification
I/O	Input/Output
IP	Intellectual Property
MIM	Metal-Insulator-Metal
ONO	Oxide-Nitride-Oxide
PVT	Process-Voltage-Temperature
RD	Read Data
RFID	Radio Frequency Identification
ROM	Read-Only Memory
S/A	Sense Amplifier
SW	Switch

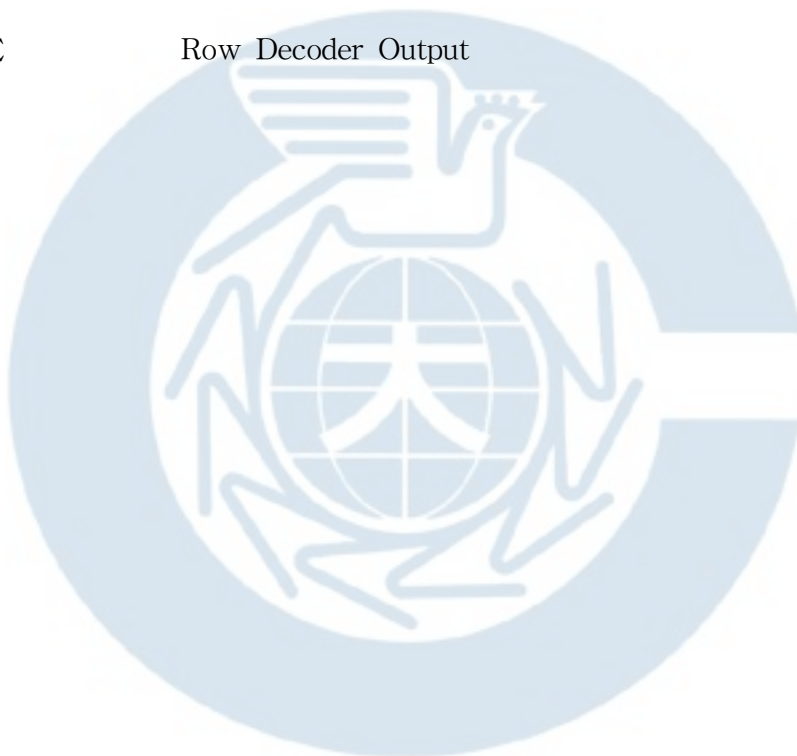
SSTC	Side-Wall Selective Transistor Cell
TD	Tunnel Dielectric
UHF	Ultra High Frequency
USN	Ubiquitous Sensor Network



기 호

A[5:0]	Adderss[5:0]
BL	Bit Line
CE	Chip Enable
CLK	Clock
COL_HV	Column High-Voltage
DIN	Data Input
DOUT	Data Output
ERS	Erase
ERSD	Erase Delay
IVPP	Internal VPP
IVPPL	Internal VPPL
PGM	Program
PGMD	Program Delay
READPGM	Read Program Signal
ROW_HV	Row High-Voltage
RSTb	Reset bar
SAENb	Sense Amplifier Enable bar
SL	Source Line
VDD	Supply Voltage
VDDP	Supply Voltage
VSS	Common Ground

VPPL	Boosted Voltage
VPPL	Low Boosted Voltage
VREF	Reference Voltage
V_T	Threshold Voltage
WD	Write Data
WL	Word Line
XPRES	Row Decoder Output



제 1 장 서 론

RFID (Radio Frequency Identification) 기술은 사물에 부착된 태그로부터 무선통신 기술을 이용하여 사물의 정보 및 주변 환경정보를 인식하여 각 사물의 정보를 수집, 저장, 가공 및 추적함으로써 사물에 대한 측위, 원격처리, 관리 및 사물간의 정보교환 등 다양한 서비스를 제공하는 기술이다. 이러한 기술은 상품 관리를 네트워크화 및 지능화함으로써 유통 및 물품 관리뿐만 아니라 보안, 안전, 환경관리 등에 혁신을 선도할 것으로 전망된다. RFID 기술은 그림 1-1에서와 같이 지속적인 성장 단계에 있고 초기단계에 있는 응용분야의 범위가 매우 넓어 미래 신기술로 각광받고 있는 가운데, 사물의 고유한 ID를 단순히 인식하는 읽기 기능 중심에서 사물의 이력 정보를 관리할 수 있는 읽고 쓰기 기능, 그리고 전자 태그들이 자신의 고유정보뿐만 아니라 온도, 습도, 압력 등 주변의 정보까지 감지하는 센싱 기능을 가지며, 이들 간에 네트워크를 구성하도록 하는 기능을 갖는 USN (Ubiquitous Sensor Network)으로 발전될 전망이다[1][2].

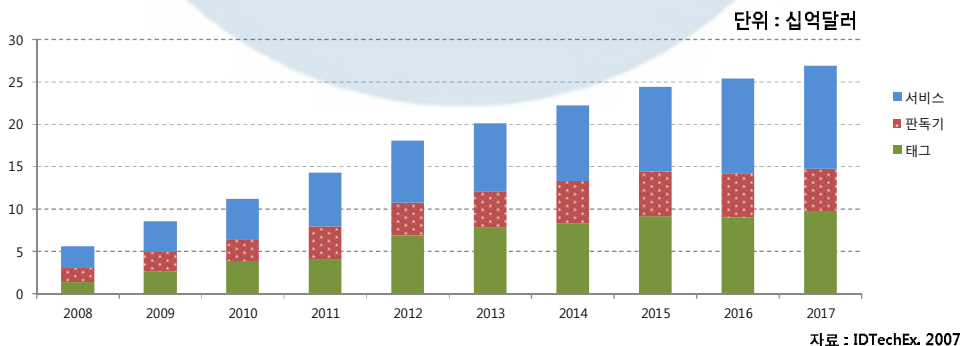


그림 1-1. RFID의 세계시장 규모.

Fig. 1-1. World market scale of RFID.

RFID 태그는 배터리의 유·무에 따라 능동형 태그와 수동형 태그로 분류된다. 능동형 태그는 태그에 배터리가 부착되어 있어 수십 미터에 달하는 원거리 통신용으로 사용된다. 배터리가 붙어 있기 때문에 리더의 필요 전력을 줄이고 리더와의 인식거리를 멀리할 수 있는 장점이 있으나, 전원 공급 장치를 필요로 하기 때문에 작동시간의 제한을 받을 수 있으며 비교적 사이즈가 크고 가격이 비싸다는 단점이 있다. 일반적으로 UHF 대역 이상에 사용하며, 배터리의 수명은 3~7년 정도이다. 원거리 통신이 가능하기 때문에 항만이나 물류기지, 환경감시 등에서 활용될 수 있다. 수동형 태그는 태그에 배터리가 없어 최대 10m 이내의 근거리 통신용으로 사용된다. 전원은 리더기에 의해 발생하는 전기장으로부터 유도를 통해 생성시킨다. 배터리를 사용하지 않기 때문에 소형화가 가능하며 가볍고 가격이 저렴하다. 또한 배터리를 충전할 필요가 없기 때문에 물리적인 결함이 발생하지 않는 한 반영구적으로 사용할 수 있다. 그러나 인식거리가 짧고 리더기에서 더 많은 전력을 소모해야 한다는 단점이 있다. 비교적 소형이며 저가에 다량의 태그를 필요로 하는 물류관리, 전자상거래 등의 분야에 활용될 수 있다[3].

수동형 UHF RFID 태그는 그림 1-2와 같이 안테나와 태그칩으로 구성되며 태그칩은 아날로그 블록, 로직 블록, 메모리 블록으로 구성되어 있다 [4][5]. 아날로그 블록은 안테나에서 받은 주파수를 사용 가능한 데이터로 변환하는 복조기 (Demodulator), 데이터를 주파수 신호로 바꾸어주는 변조기 (Modulator), 리더에 의해서 안테나로부터 공급받은 에너지를 공급 전압으로 만들어주는 전압배율기(Voltage Multiplier)로 구성되어 있다. 로직블록은 프로토콜, CRC (Cyclic Redundancy Check) 확인, 에러감지 및 아날로그 회로의 동작모드를 조절하는 역할을 한다. 메모리 블록은 읽기/쓰기 (Read/Write)가 가능하고 전원을 켜다가 켜지 않을 때 저장된 정보를 유

지할 수 있는 비휘발성 메모리인 EEPROM (Electrically Erasable and Programmable ROM)이 요구되어진다[6]. 수동형 RFID 태그칩에서는 UHF 신호를 받아서 아날로그 블록의 전압배율기에서 만들어진 공급전압인 VDD로 정보를 확인하고 데이터를 리더에 전송하기 위해서는 저전력 회로설계가 요구되며, 태그칩의 원가 감소를 위해 저면적 설계를 필요로 한다[6].

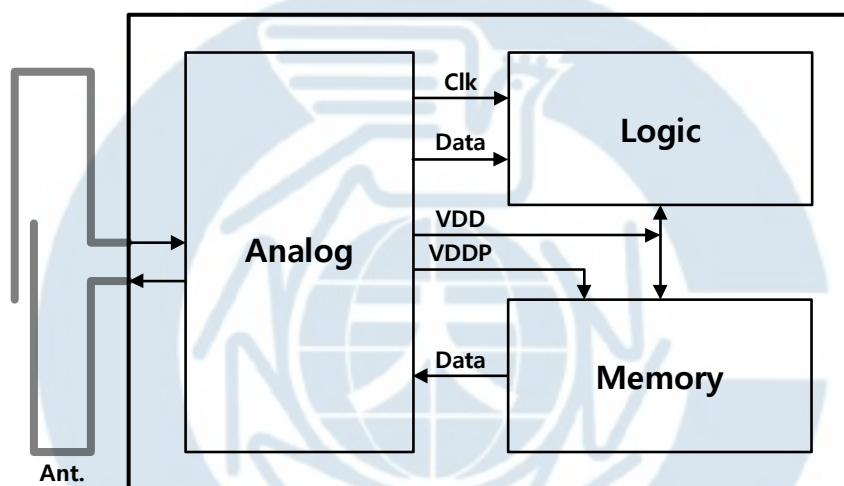


그림 1-2. 수동형 RFID 태그의 구조.

Fig. 1-2. Architecture of a passive RFID tag.

기존의 EEPROM의 설계에서는 2행의 WL (Word Line) 구동회로 마다 행 어드레스 디코더를 공유하고, 각각의 WL 구동회로를 구분하기 위한 최종 어드레스 디코딩 회로를 사용하였다[7]. 이 경우 WL 구동회로의 레이아웃에서 CMOS 로직 회로가 차지하는 면적이 큰 단점이 있다. 그리고 DC-DC 변환기에서 요구되는 기준전압을 발생시키는 BGR (Bandgap Reference Voltage Generator) 회로가 EEPROM IP에 포함되고, 그림 1-2의 RFID 태그칩 내부의 아날로그 블록에서도 공급 전압을 생성하는 전압

배출기를 위한 BGR 회로가 각각 필요하므로 레이아웃 면적이 불필요하게 증가할 수 있다. 실제 RFID 태그칩에서 아날로그 블록의 공급전압인 VDD는 PVT (Process-Voltage-Temperature) 변동에 둔감한 측정결과가 나온다[8]. 한편 DC-DC 변환기의 부스팅 (Boosting)된 출력 전압인 VPP와 VPPL 전압은 쓰기모드에서 빠져나올 때 펌핑된 전하가 VDDP(=3.15V) 전원으로 차지 덤프 (Charge Dump)가 일어난다. 만약 VDDP의 charge reservoir capacitor가 큰 경우는 전하공유 (Charge Sharing)로 인한 VDDP의 전압 상승은 문제가 되지 않는다. 그런데 저면적의 RFID 태그칩을 설계하기 위해서 charge reservoir capacitor를 많이 줄이는 경우 전하 공유로 인해 VDDP 전압이 5V 소자를 파괴할 정도로 올라가는 문제가 있을 수 있다.

본 논문에서는 저면적 EEPROM IP 설계를 위하여 디코딩 로직 회로를 단순화한 WL 구동회로를 설계하였다. 기준전압 발생기 회로가 차지하는 레이아웃 면적을 줄이기 위해 아날로그 파워인 VDD를 이용하여 저항 분배기로 기준전압 발생기 회로를 설계하였다. 그리고 프로그램이나 지우기 모드에서 빠져나올 때 DC-DC 변환기로부터 출력되는 부스팅된 전압을 VDDP로 방전하지 않고 공통 접지 (Common Ground)인 VSS로 방전하여 연속적인 write cycle으로 인해 VDDP 전압이 5V 소자를 파괴할 정도로 올라가는 것을 막음으로써 고신뢰성을 구현하였다. 매그나칩 0.18 μm EEPROM 공정을 이용하여 설계된 EEPROM IP의 레이아웃 면적은 359.465 $\mu\text{m} \times 366.76\mu\text{m}$ 이다.

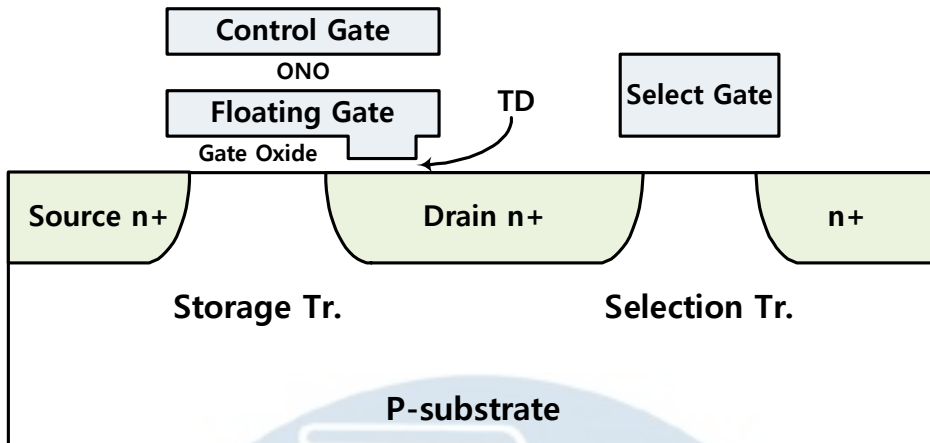
제 2 장 EEPROM 기술 동향

2.1 EEPROM 셀의 구조 및 동작원리

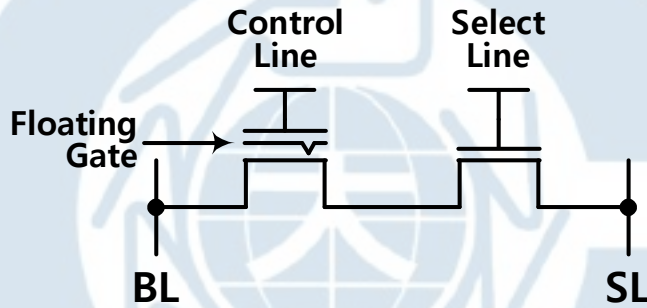
프로그램 동작은 bit 단위로 가능하지만 지우기 동작에서는 자외선을 쬔어서 모든 셀을 한꺼번에 지우는 EPROM과 달리 EEPROM은 전기적으로 bit 단위의 프로그램과 지우기 동작이 가능한 in-system programmability 특성을 가져 EPROM에 비해 사용하기 편리하다[9].

그림 2-1에서 보는바와 같이 EEPROM 셀은 2개의 트랜지스터로 구성되어 있다. 한 개의 트랜지스터는 EPROM 셀의 플로팅 게이트 트랜지스터 (Floating Gate Transistor)와 같은 데이터 저장 트랜지스터 (Storage Transistor)이고 다른 하나는 다른 셀에 영향을 주지 않고 선택된 셀의 데이터만 바꾸기 위한 셀 선택 트랜지스터 (Selection Transistor)이다[9]. EEPROM은 각 셀에 선택 트랜지스터가 추가되어 있으므로 EPROM에 비해 집적도가 낮아져서 bit당 가격이 상승하는 단점이 있으나 사용상의 편리함이 EPROM에 비해 뛰어나 널리 사용되고 있다.

그림 2-1(a)에서 보는바와 같이 플로팅 게이트 트랜지스터의 드레인 영역의 일부는 게이트 산화막보다 얇으며, TD (Tunnel Dielectric)의 두께는 100Å 이하이다. TD 양단에 10^7V/cm 이상의 전계가 형성되면 TD를 통하여 전류가 흐르는 FN 터널링 (Fowler-Nordheim Tunneling) 현상에 의해 EEPROM 셀에 프로그램과 지우기 동작이 일어난다. FN 터널링으로 인한 전류는 인가되는 전압에 선형적으로 증가한다[9].



(a)



(b)

그림 2-1. EEPROM 셀 : (a) 단면도 (b) 회로도.

Fig 2-1. EEPROM cell : (a) cross-sectional view and (b) circuit.

EEPROM 셀의 플로팅 게이트에 전자가 주입되어 셀의 문턱전압 (Threshold Voltage)이 VDD 전압 이상으로 높아진 상태를 지워진 상태라 부르고, 플로팅 게이트에 주입된 전자가 빠져나와 셀의 문턱전압이 0V 이하인 상태를 프로그램된 상태라고 한다[6][9][10]. EPROM에서 한 bit에 데이터를 쓰기 위해서는 전체 칩에 자외선을 쬔어서 모든 셀의 데이터를 지워야하는 것처럼 EEPROM에서도 이와 유사하게 한 bit에 데이터를 쓰

기 이전에 해당되는 bit을 먼저 지워야한다.

그림 2-2는 EEPROM 셀의 지우기 동작에서의 셀 바이어스 상태를 보여준다. EEPROM 셀의 소스 노드는 플로팅 시키고 기판 (Substrate) 노드와 드레인 노드는 VSS에 연결되며, 컨트롤 게이트 노드에는 VPP의 고전압 펄스를 인가한다. 이 경우 용량성 결합 (Capacitive Coupling)에 의해 컨트롤 게이트의 전압에 따라서 플로팅 게이트의 전압도 증가하게 된다. TD 양단에 10^7V/cm 이상의 전계가 걸리면 FN 터널링에 의해 TD 아래에 위치한 n+ 드레인 영역으로부터 전자들이 TD를 관통하여 플로팅 게이트로 주입된다. 플로팅 게이트에 전자들이 축적되어 EEPROM 셀 트랜지스터의 문턱전압이 증가하여 VDD 전압 이상으로 높아진다[11].

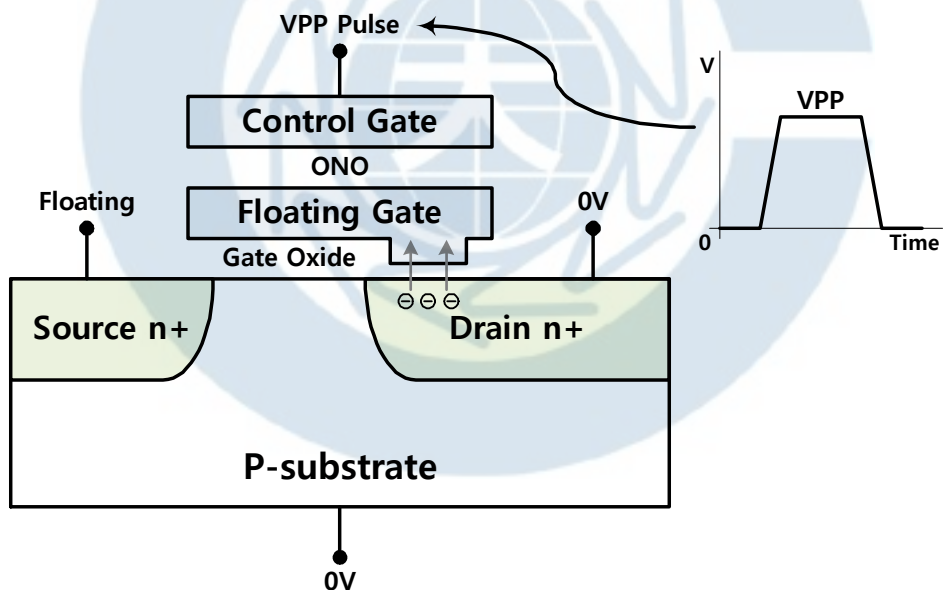


그림 2-2. EEPROM 셀의 지우기 동작을 위한 셀 바이어스 상태.

Fig. 2-2. Cell bias condition for erasing an EEPROM cell.

그림 2-3은 EEPROM 셀의 프로그램 동작에서의 셀 바이어스 상태를 보여준다. EEPROM 셀의 소스 노드를 플로팅 시키고 기판 노드와 컨트롤 게이트 노드는 VSS에 연결되며, 드레인 노드에는 VPP의 고전압 펄스를 인가하면, TD를 관통하여 FN 터널링 현상에 의해 전류가 흘러 플로팅 게이트에 저장된 전자가 드레인 노드로 빠져 나온다. 이런 과정으로 컨트롤 게이트에 대한 EEPROM 셀 트랜지스터의 문턱전압이 0V 이하로 떨어지면서 프로그램 동작이 이루어진다. 지워진 데이터를 그대로 유지하기 위해서는 프로그램하지 않을 셀의 드레인 노드를 VSS로 유지시켜주면 된다. 이 경우 컨트롤 게이트와 드레인 노드 전압이 모두 0V이므로 전계가 형성되지 않아 EEPROM 셀 트랜지스터의 문턱전압은 지워진 상태를 그대로 유지한다[11].

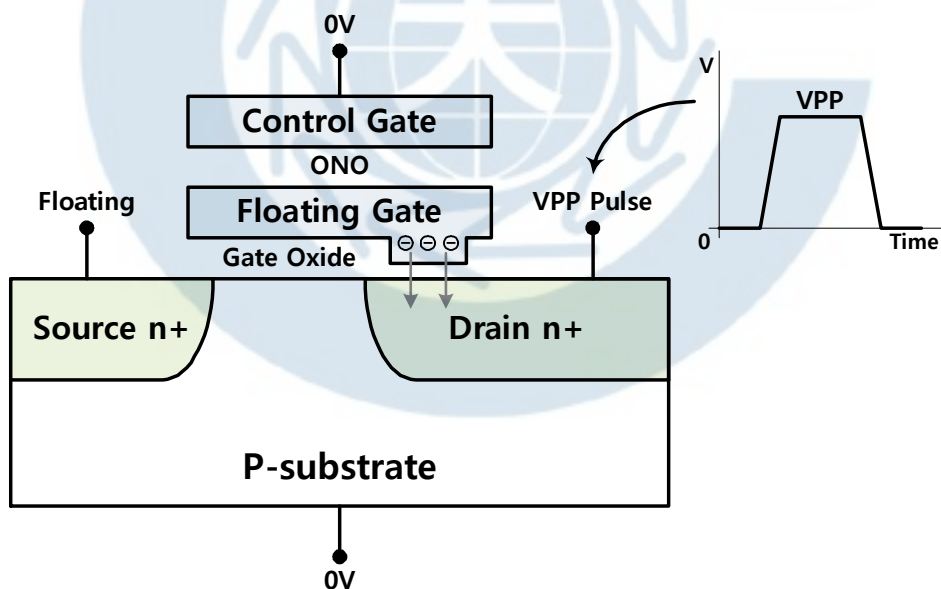


그림 2-3. EEPROM 셀의 프로그램 동작을 위한 셀 바이어스 상태.

Fig. 2-3. Cell bias condition for programming an EEPROM cell.

그림 2-4에 double-poly EEPROM 셀의 단면도를 나타내었다. 컨트롤 게이트 (Control Gate)와 플로팅 게이트 (Floating Gate) 사이의 유전체 (Dielectric)는 결합률 (Coupling Ratio)을 높이기 위해 ONO (Oxide-Nitride-Oxide) 구조로 되어있고 triple-well 구조를 사용하며 지우기와 프로그램 시 FN 터널링 방식을 이용한다[12].

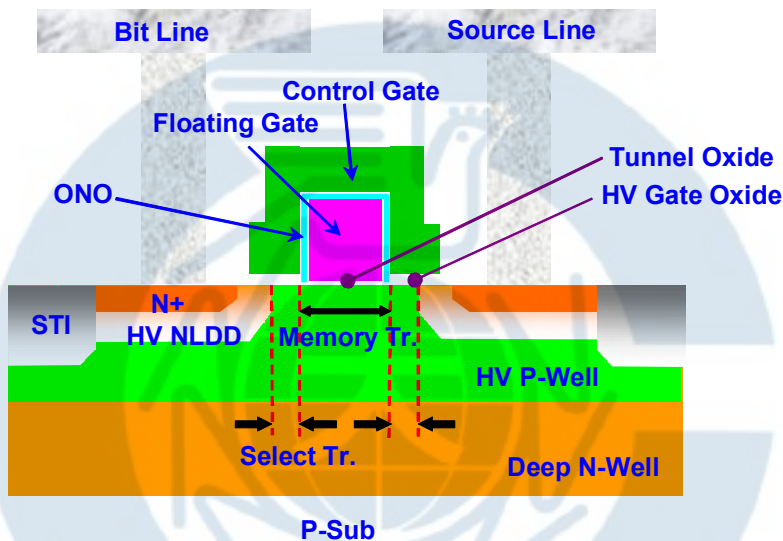


그림 2-4. Double-poly EEPROM 셀 단면도.

Fig. 2-4. Cross sectional view of an double-poly EEPROM Cell.

플로팅 게이트에 고전압이 걸릴수록 강한 전계가 형성되어 N+ 드레인 영역의 전도대 (Conduction Band)에 있던 전자가 터널링 현상에 의해 실리콘 산화막의 충만대 (Valance Band)까지 이동한 후 전계 (Electric Field)에 의해 플로팅 게이트 영역의 충만대까지 이동한다. 전자가 플로팅 게이트에 모이게 되므로 문턱전압이 높아진 상태를 프로그램된 상태라 부르고 반대로 플로팅 게이트에 주입된 전자가 빠져나가 문턱전압이 낮아진

상태를 지워진 상태라고 한다[10]. 동작모드에 따른 프로그램된 셀의 문턱 전압은 4V이고, 지워진 셀의 문턱전압은 0.88V이다. 표 2-1은 동작모드에 따른 노드별 바이어스 전압을 보여준다.

표 2-1. Double-poly EEPROM 셀의 동작모드에 따른 노드별 바이어스 전압 조건.

Table 2-1. Bias conditions of a node at different operating modes of the double-poly EEPROM cell.

Mode Node	Erase		Program		Read		Stand-by
	Selected Cell	Non-Selected Cell	Selected Cell	Non-Selected Cell	Selected Cell	Non-Selected Cell	All
Control Gate	0V	11V	16.5V	0V	2.5V	0V	0V
Bit Line	15V	11V	0V/11.5V	11.5V	2.5V	Floating	Floating
Source Line	Floating	Floating	Floating	Floating	0V	0V	0V
HV P-Well	15V	0V	0V	0V	0V	0V	0V
Deep N-Well	15V	15V	2.5V	2.5V	2.5V	2.5V	2.5V

Double-poly EEPROM 셀은 2-poly, ONO, HVPW, HVDNW 레이어 (Layer) 등 추가 마스크 공정이 필요하기 때문에 제작비용이 높아지는 반면 그림 2-5의 C-Flash 셀은 추가 공정이 필요 없는 로직공정 기반의 셀이다. C-Flash 셀은 리드-아웃 (Read-Out) 인버터 (Inverter)와 터널링 커패시터 (Tunneling Capacitor), 컨트롤 커패시터 (Control Capacitor), CMOS transmission gate로 구성되고 리드-아웃 인버터와 터널링 커패시터, 컨트롤 커패시터는 플로팅 폴리 게이트 (Poly Gate)를 공통으로 가지고 있으며, triple-well 구조를 사용한다. 읽기모드에서는 N-Select와

P_Select가 선택되면 플로팅 게이트의 프로그램 여부에 따라 데이터가 BL (Bit Line)을 통해 전달된다[8][13].

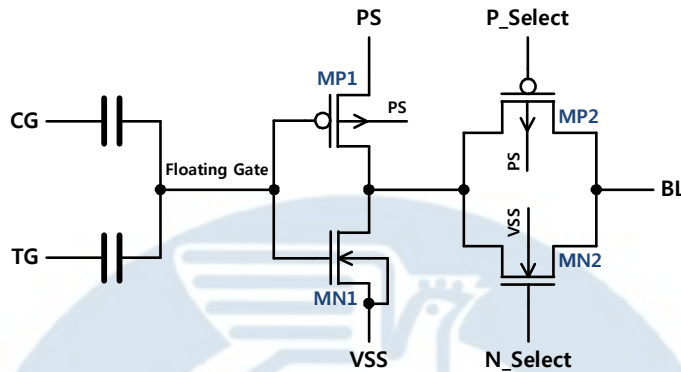


그림 2-5. C-Flash 셀의 회로도.

Fig. 2-5. The Circuit of C-Flash cell.

쓰기모드에서는 FN 터널링 방식을 이용하며, CG 전압이 4.75V이고 TG 전압이 -4.75V가 되면 C-Flash 셀의 플로팅 게이트에 전자를 주입시켜 문턱전압이 높아지게 되어 리드-아웃 인버터의 로직 문턱전압(Logic Threshold Voltage)이 2.5V 이상이 되고 이 상태를 프로그램된 상태라 부른다. 반대로 CG 전압이 -4.75V이고 TG 전압이 4.75V가 되면 C-Flash 셀의 플로팅 게이트에 주입된 전자가 빠져나가 문턱전압이 낮아지게 되어 리드-아웃 인버터의 로직 문턱전압이 0V 이하가 되게 되고 이 상태를 지워진 상태라 한다. 그래서 프로그램 된 셀의 경우 리드-아웃 인버터의 MP1이 on상태가 되어 VDD 전압을 CMOS transmission gate로 출력하고, 지우기 된 셀의 경우 리드-아웃 인버터의 MN1은 CG 전압이 VDD일 때 on상태가 되어 CMOS transmission gate로 VSS를 출력한다. 표 2-2는 동작모드에 따른 노드별 바이어스 전압 조건을 보여준다.

표 2-2. C-Flash 셀의 동작모드에 따른 노드별 바이어스 전압 조건.

Table 2-2. Bias conditions of a node at different operating modes of the C-Flash cell.

Operation Mode	Signal	Non-Sel. ROW Non-Sel. COL	Selected ROW Non-Sel. COL	Non-Sel. ROW Selected COL		Selected ROW Selected COL	
				DIN=0	DIN=1	DIN=0	DIN=1
Erase	CG	0V	-4.75V	0V	0V	-4.75V	-4.75V
	TG	0V	0V	4.75V	4.75V	4.75V	4.75V
	PS	0V	0V	0V	0V	0V	0V
	NCT	0V	0V	0V	0V	0V	0V
	NTT	4.75V	4.75V	4.75V	4.75V	4.75V	4.75V
	N_SEL	0V	0V	0V	0V	0V	0V
	P_SEL	1.2V	1.2V	1.2V	1.2V	1.2V	1.2V
Program	CG	0V	4.75V	0V	0V	4.75V	4.75V
	TG	0V	0V	-4.75V	0V	-4.75V	0V
	PS	0V	0V	0V	0V	0V	0V
	NCT	4.75V	4.75V	4.75V	4.75V	4.75V	4.75V
	NTT	0V	0V	0V	0V	0V	0V
	N_SEL	0V	0V	0V	0V	0V	0V
	P_SEL	1.2V	1.2V	1.2V	1.2V	1.2V	1.2V
Read	CG	0V	1.2V	0V	0V	1.2V	1.2V
	TG	0V	0V	0V	0V	0V	0V
	PS	0V	0V	1.2V	1.2V	1.2V	1.2V
	NCT	1.2V	1.2V	1.2V	1.2V	1.2V	1.2V
	NTT	0V	0V	0V	0V	0V	0V
	N_SEL	0V	1.2V	0V	0V	1.2V	1.2V
	P_SEL	1.2V	0V	1.2V	1.2V	0V	0V

2.2 EEPROM 설계기술 동향

그림 2-6은 어드레스 신호를 디코딩하여 여러 행의 WL 중 한 행의 WL을 선택해주는 행 디코더로 global 행 디코더와 local 행 디코더로 구성된다[14]. Global 행 디코더는 섹터 (Sector)마다 2쌍의 complementary signal (GL0, GL0b, GL1, GL1b)을 출력하며, local 행 디코더는 MP1, MN1 트랜지스터와 MP1에 평행하게 연결된 MN2 트랜지스터로 구성된 8개의 WL 구동회로로 이루어진다.

지우기 모드에서 VPP는 10V이고 VBB는 0V이며, positive 또는 negative 고전압으로 VCC 레벨을 변환하는 래치 회로를 내장한 프리디코더 회로에 의해 AXA0~19 신호와 BXA0~3 신호는 VCC 레벨에서 10V 또는 0V로 변환된다. 지우기 동작시 선택된 섹터의 BXA0~3의 전압은 모두 10V가 되어 선택된 섹터의 모든 셀은 지워진다. 프로그램 모드에서 VPP와 VBB는 각각 0V와 -8V이며 predecoding된 신호인 AXA0~19과 BXA0~3는 0V 또는 -8V로 변환된다. 프로그램 동작시 한 쌍의 global 행 디코더 (GL0, GL0b 또는 GL1, GL1b)가 선택되고, BXA0~3 신호중 하나는 -8V가 되고 나머지는 0V가 된다. 이후 MN2 트랜지스터에 의해 -8V 전압 레벨을 갖는 BXA 신호로부터 local WL까지 -8V 전압이 전달됨으로써 프로그램 된다. 그리고 읽기 모드에서는 BXA0~3 신호중 하나는 3V가 되고 나머지는 0V가 된다. 3V로 선택된 신호는 한 쌍의 WL 신호에 인가되어 읽기 동작이 수행된다[14].

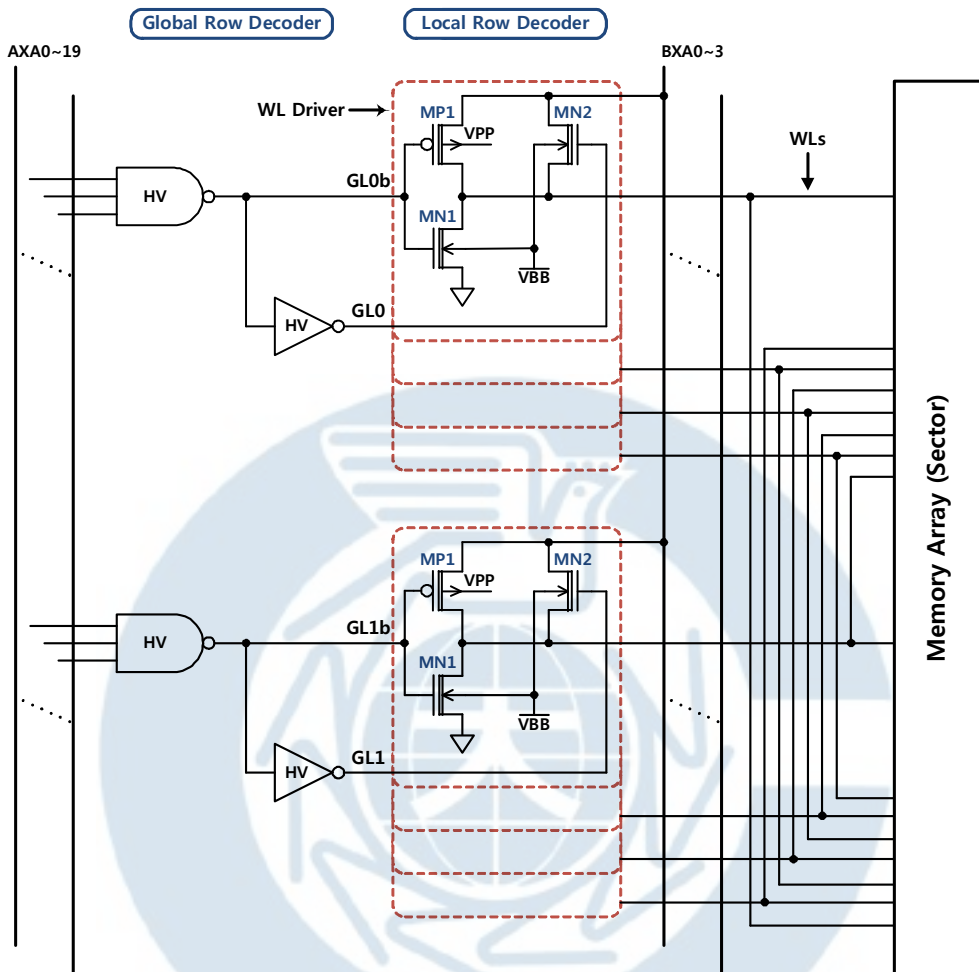


그림 2-6. Global 행 디코더와 local 행 디코더 회로.

Fig. 2-6. Global row decoder and local row decoder.

EEPROM 설계에 사용되는 기존의 WL 구동회로는 그림 2-7에서 보는 바와 같이 2행의 WL 구동회로마다 행 어드레스 디코더를 공유하고, 각각의 WL 구동회로에서 $XPRE1$, $XPRE2$ 를 디코딩한 $DEC21$ 과 $XPRE0/XPRE0b$ 를 한 번 더 최종 어드레스 디코딩 (Final Address Decoding)하는 회로를 사용함으로써 CMOS 디코딩 로직 회로가 차지하

는 면적이 큰 단점이 있다[7]. 그림 2-7의 회로에서 XPRE0와 XPRE0b 신호는 어드레스 신호인 A0을 predecoding한 것이고 XPRE1은 A1, A2와 A3 그리고 XPRE2는 A4와 A5를 각각 predecoding 한 신호이다.

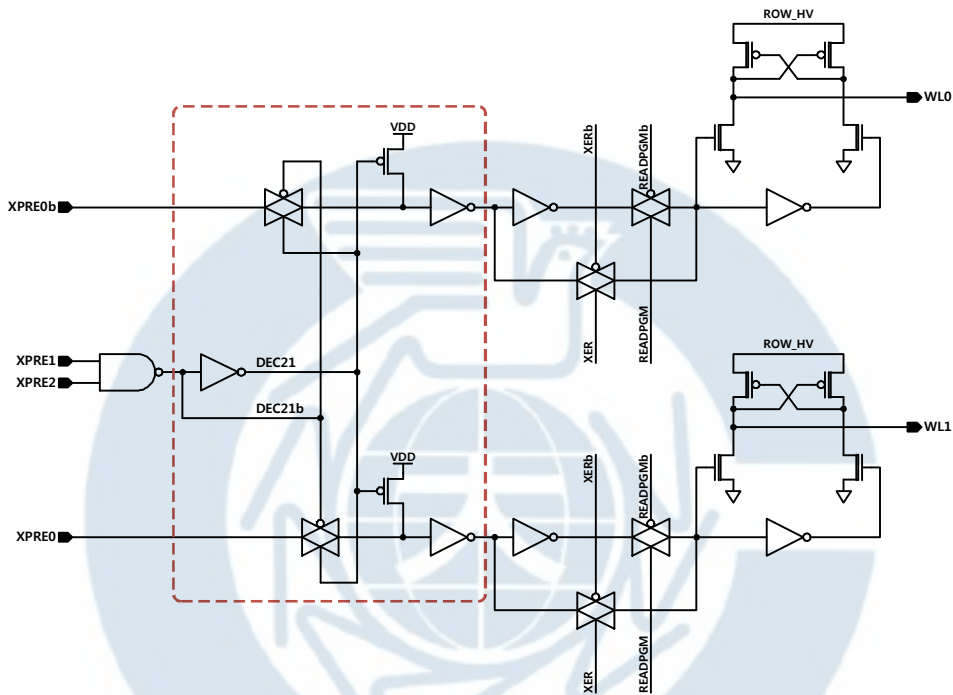


그림 2-7. 기존의 WL 구동 회로.

Fig. 2-7. Conventional WL driver circuit.

기존의 DC-DC 변환기의 입력전압으로는 VDD와 VDDP 전압이 있고, 출력전압으로 VPP와 VPPL 전압이 있다. VPP와 VPPL의 전압을 만들기 위해서는 일반적으로 그림 2-8의 DC-DC 변환기가 사용된다.

기존의 EEPROM IP에 사용된 DC-DC 변환기는 BGR 사용한 VREF 발생기, VPP 레벨 검출기 (Level Detector), 링 발진기 (Ring Oscillator), VPP 제어 로직 (Control Logic), VPP 전하 펌프, VPP 프리차지 회로,

VPPL 전원 스위칭 회로 (Power Switching Circuit)와 VPPL 프리차지 회로로 구성되어 있다[6].

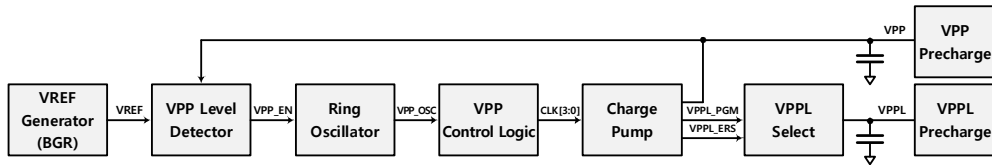


그림 2-8. 기존 DC-DC 변환기의 블록 다이어그램.

Fig. 2-8. Block diagram of conventional DC-DC converter.

그림 2-9는 DC-DC 변환기 내부의 VPP 레벨 검출기 (Level Detector) 회로에 VREF 기준전압을 공급해주는 BGR을 이용한 VREF 발생기 회로로서 PVT 변동에도 일정한 기준전압을 만들어준다. VREF 발생기는 온도 변화에 둔감한 식 (2-1)의 정전류 I가 R3, R4에 흘러 동작모드에 따라 정전압인 식 (2-2)와 식 (2-3)의 VREF 전압을 얻을 수 있다. VREF 발생기는 PNP 바이폴라 트랜지스터의 에미터 면적비를 1:10으로 하고, wide swing을 갖는 캐스코드 전류 미러 (Cascode Current Mirror)를 사용하여 VDD 변동에 대해 VREF의 변동이 둔감하도록 설계되었다. 차동 입력인 NMOS 트랜지스터가 포화 (Saturation) 영역에 있도록 하기 위해 낮은 문턱전압을 갖는 트랜지스터를 사용하였다[11]. 하지만 RFID 태그칩을 설계할 때, 그림 1-2의 아날로그 블록에서 VDD 전압을 생성하는 전압배율기에 내장된 BGR 회로와 EEPROM IP에서 VREF 기준전압을 공급하는 BGR 회로가 각각 필요하므로 레이아웃 면적이 불필요하게 증가할 수 있다.

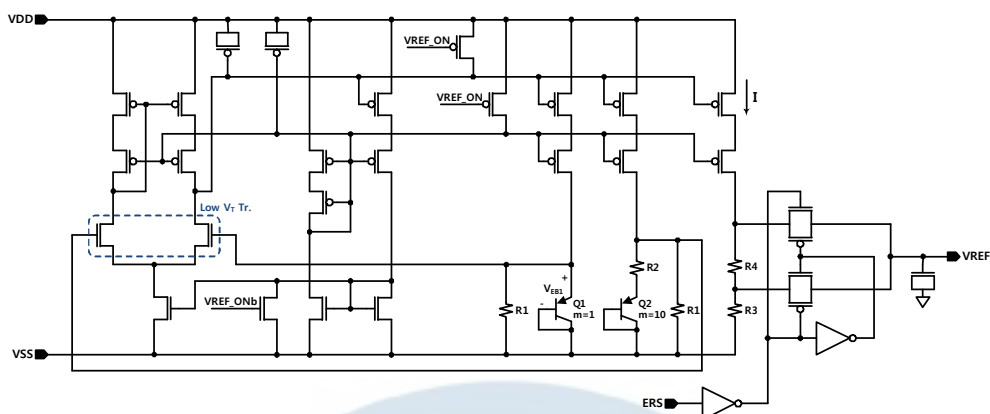


그림 2-9. 기존의 VREF 발생기 회로.

Fig. 2-9. Conventional VREF generator circuit.

$$I = \frac{V_T \cdot \ln 10}{R2} + \frac{V_{EB1}}{R1} \quad (2-1)$$

$$VREF(PGM) = (R3 + R4) \cdot I \quad (2-2)$$

$$V_{REF}(ERS) = R3 \cdot I \quad (2-3)$$

EEPROM, 내장형 플래시와 같은 비휘발성 메모리에서 플로팅 게이트 반도체 소자의 프로그램, 지우기, 읽기 동작을 위해 공급전압보다 높거나 접지전압보다 낮은 전압을 생성하는 전하 펌프가 요구된다[15][16].

그림 2-10은 DC-DC 변환기에서 전압을 부스팅시켜 쓰기 모드 시에 필요한 고전압인 VPP를 만들어 주는 덕슨 (Dickson) 전하펌프 회로이다 [17][22]. 클럭 Φ 와 Φ_b 는 V_Φ 를 갖는 파형으로 서로 역상이다. n번째 노드와 n+1번째 노드 사이의 전압은 다음 식과 같다.

$$\Delta V = V_{n+1} - V_n = V'_\phi - V_D \quad (2-4)$$

V'_ϕ 는 클럭에 의해 capacitive coupling된 각 노드의 전압 swing 폭이고, V_D 는 다이오드의 순방향 바이어스 전압이다. 각 노드의 clock coupling capacitance는 C_n 이고, stray capacitance는 C_s 라고 할 때, 전압 이득은 다음과 같다.

$$V'_\phi = \left(\frac{C_n}{C_n + C_s} \right) \cdot V_\phi \quad (2-5)$$

클럭 ϕ 가 low이고 ϕ_b 가 high 일 때, D0가 on이 되고, D1은 off 상태가 되어 N1 노드 전압은 $V_{DD} - V_D$ 가 된다. 이후 ϕ 가 high가 되면 D1은 on이 되고, N1 노드 전압은 다음 수식과 같다.

$$V_1 = V_{DD} + (V'_\phi - V_D) \quad (2-6)$$

ϕ_b 가 low인 동안 클럭 주기가 충분하다고 가정하면, N2 노드는 전압은 $V'_2 = V_{DD} + (V'_\phi - V_D) - V_D$ 까지 charging 된다. 이후, ϕ 가 low가 되고 ϕ_b 가 high가 되면 N2 노드 전압은 $V'_2 = V_{DD} + 2(V'_\phi - V_D)$ 로 펌핑된다. 따라서 n단 전하펌프에서 N_n 노드 전압은 $V_n = V_{DD} + n(V'_\phi - V_D)$ 가 될 것이고, 최종전압 V_{OUT} 은 다음과 같이 나타낼 수 있다.

$$V_{OUT} = V_{DD} + n(V'_\phi - V_D) - V_D \quad (2-7)$$

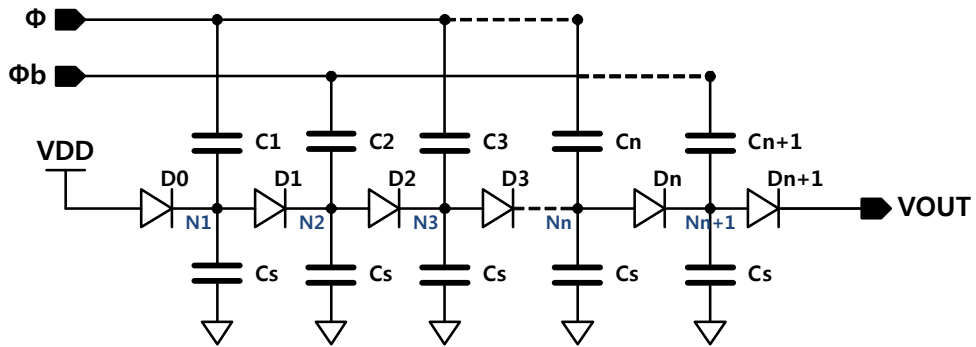


그림 2-10. 딕슨 전하펌프 회로.

Fig. 2-10. Dickson charge pump circuit.

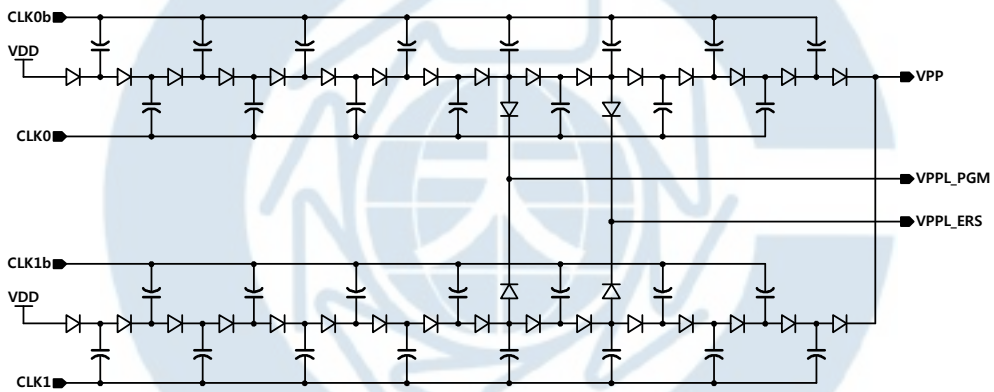


그림 2-11. 쇼트키 다이오드를 사용하여 설계된 기존의 딕슨 전하펌프 회로.

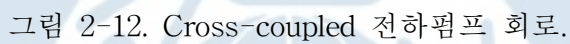
Fig. 2-11. Design of conventional Dickson charge pump circuit with Schottky diode.

그림 2-11은 기존 DC-DC 변환기에서 사용되는 쇼트키 (Schottky) 다이오드를 사용한 딕슨 전하펌프 회로를 보여주고 있다. P-N 접합 다이오드 대신 다이오드의 cut-in 전압이 낮은 N-Type의 쇼트키 다이오드를 사용하여 펌핑 단의 수를 줄임으로써 저면적을 구현하였고 전하펌프의 펌핑

효율을 향상시켰다[6]. 그리고 전하펌프에 사용되는 펌핑 커패시터는 높은 펌핑 전압에도 신뢰성을 확보할 수 있는 MIM 커패시터를 사용하였다 [5][6][20]. 그림 2-11에서 전하펌프의 출력 전압은 VPP와 내부 펌핑 노드 전압인 VPPL_PGM과 VPPL_ERS 이다.

그림 2-12의 cross-coupled 전하펌프는 디슨 전하펌프에 비해 펌핑 효율과 펌핑 전류가 높아 레이아웃 면적을 줄일 수 있다[11][18-20]. cross-coupled 전하펌프의 기본 회로는 그림 2-12에서 보는바와 같이 NMOS 전하전달 스위치 (MN1, MN2), 크로스 커플 전하전달 스위치 (MP1, MP2)이다. 그리고 Body-potential biasing 회로 (MP3, MP4, MP5, MP6), NMOS 프리차지 트랜지스터 (MN3, MN4, MN5, MN6)와 MIM 전하 펌핑 커패시터 (C1, C2, C3, C4)가 추가되어 있다.

그림 2-13의 정상상태에서 charge pump 회로의 각 노드별 전압 파형에서 보는바와 같이 4개의 클럭 신호인 CLK0, CLK1, CLK2와 CLK3는 비중첩 클럭 (Non-Overlapping Clock)이고 0V에서 VDD 사이를 스위칭한다. CLK0와 CLK2는 비중첩 시간을 제외하고 기본적으로 같은 위상을 갖는다. 유사하게 CLK1과 CLK3도 같은 위상을 가지고 있다. n1과 n2의 정상상태 전압은 VIN과 VIN+VDD 사이에 스위칭하며, n1 전압이 VIN+VDD일 때 MN1을 통하여 n3 노드를 VIN 전압으로 프리차징하고 n2 전압이 VIN+VDD일 때 MN2를 통하여 n4 노드를 VIN 전압으로 프리차징한다. 펌핑 커패시터 C3와 C4에 의해 n3와 n4 노드 전압이 각각 VIN+VDD, VIN이 되어 MP1을 통해 VOUT 노드로 positive charge를 전달한다. 그리고 n3와 n4 노드 전압이 각각 VIN, VIN+VDD인 경우 MP2를 통해 VOUT 노드로 positive charge를 전달한다. 그래서 그림 2-12는 한 clock cycle에 전하를 2번 펌핑하는 two-phase 전하펌프 회로이다[11].



Timing diagram for a 4-to-1 multiplexer. The diagram shows the signals CLK0, CLK1, CLK2, CLK3, V(n1), V(n3), V(n2), and V(n4) over time. The time axis is divided into intervals t0, t1, t2, t3, t4, t5, and t0. The signals are active during t2, t3, and t4. The output of the multiplexer is shown as a blue shaded area, which is the maximum of the inputs V(n1), V(n3), V(n2), and V(n4) during the active period.

Fig. 2-13. The timing diagram of cross-coupled charge pump in the steady state.

VPPL 전압은 프로그램 모드와 지우기 모드에서 각각 레벨이 다른 전압을 사용함으로 인해 동작 모드별 VPPL을 구현하기 위해 그림 2-11에 나타낸 VPP 전하펌프의 임의의 노드 전압인 VPPL_PGM과 VPPL_ERS 전압을 이용하여 VPPL 전원을 스위칭하는 회로가 필요하다. 그림 2-14의 VPPL 전원 스위칭 회로는 프로그램 모드에서 MP0를 턴온 (Turn-on) 시킴으로써 VPPL_PGM 전압을 VPPL에 공급하고, 지우기 모드에서는 MP0를 턴온 시킴으로써 VPPL_ERS 전압이 VPPL에 공급된다[6][21].

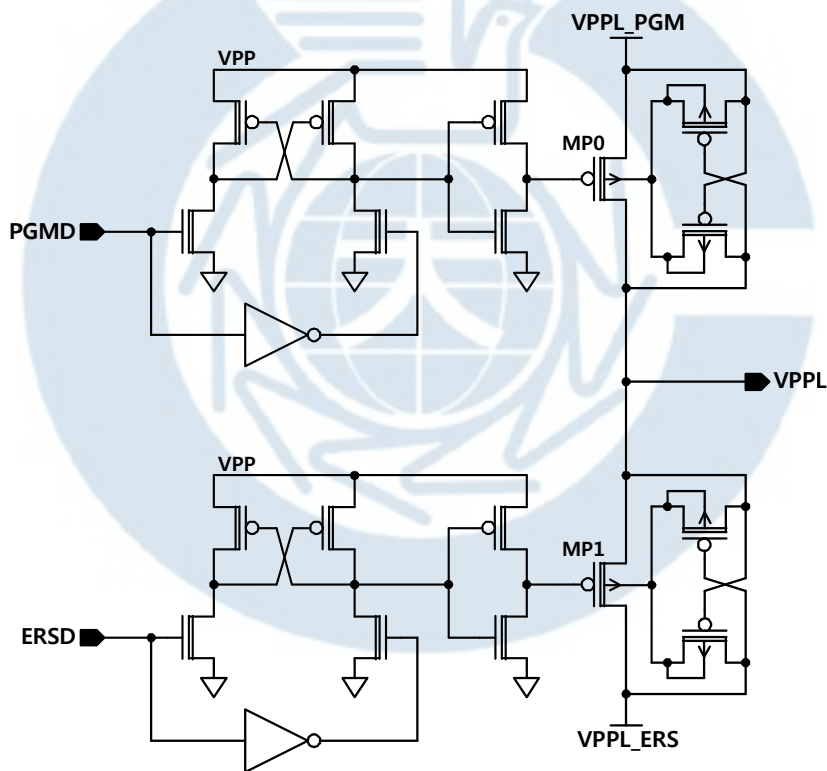
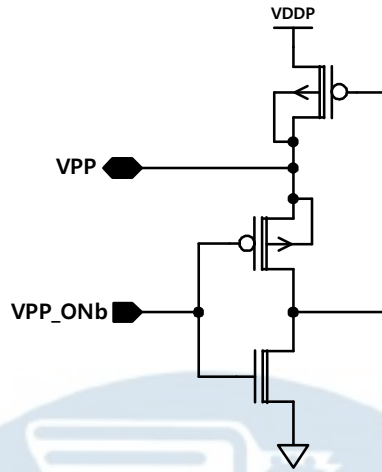
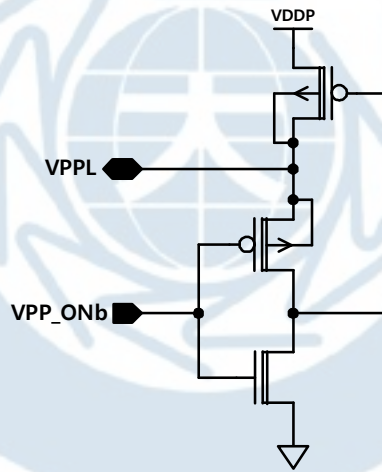


그림 2-14. 기존의 VPPL 전원 스위칭 회로.

Fig. 2-14. Conventional VPPL power switching circuit.



(a)



(b)

그림 2-15. 기존 DC-DC 변환기의 부스팅 노드 프리차징 회로 : (a) VPP 프리차징 회로 (b) VPPL 프리차징 회로.

Fig. 2-15. Boosting node precharging circuit of conventional DC-DC converter : (a) VPP precharging circuit and (b) VPPL precharging circuit.

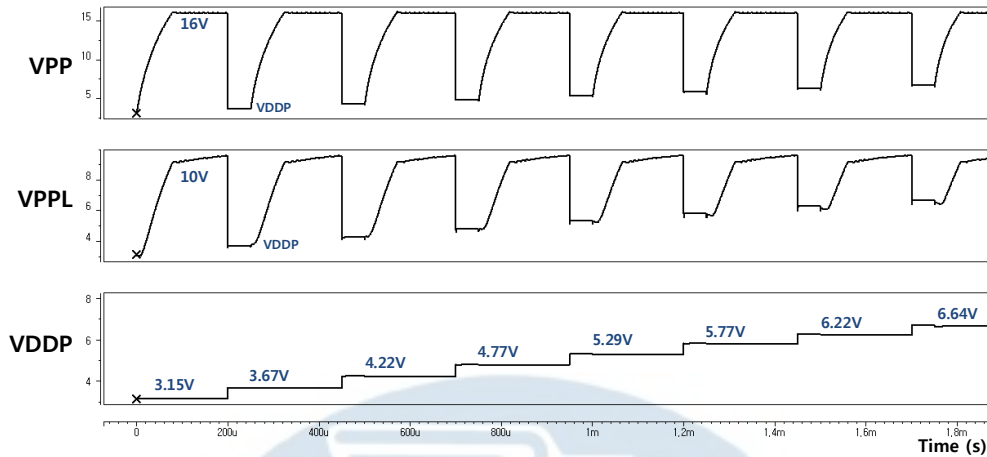


그림 2-16. 연속적인 program cycle에서 기존의 DC-DC 변환기 모의실험 결과.

Fig. 2-16. Conventional DC-DC converter simulation results of continuous program cycles.

그림 2-15는 기존 DC-DC 변환기의 부스팅 노드 프리차징 회로이다. 쓰기 동작이 끝나고 VPP_ONb 신호가 0V에서 VDD로 스위칭하면서 DC-DC 변환기의 부스팅 노드인 VPP와 VPPL 전압을 VDDP 전압으로 프리차징 시켜주는 회로이다. 이때 VPP와 VPPL의 charge reservoir capacitor에 저장된 부스팅 차지는 VDDP 전원으로 차지 덤프가 일어난다. 만약 VDDP의 charge reservoir capacitor의 커패시턴스가 큰 경우는 전하공유로 인한 VDDP의 전압 상승은 문제가 되지 않는다. 그런데 저면적의 RFID 태그칩을 설계하기 위해서 VDDP 노드의 charge reservoir capacitance를 많이 줄이는 경우 전하 공유로 인해 VDDP 전압이 5V 소자를 파괴할 정도로 올라가는 문제가 있을 수 있다. RFID 태그칩에서 VDDP는 DC 공급전압이 아니라 그림 1-2의 아날로그 블록에서 UHF 신호를 받아 전압배율기에서 만들어지는 공급전압이다. 그래서 EEPROM이

쓰기모드에서 빠져나올 때 부스팅 전압인 VPP와 VPPL이 VDDP로 차지 덤프 (Charge Dump)가 일어나면 그림 2-16의 모의실험 결과와 같이 연속적인 write cycle에서 VDDP 전압은 상승하게 되고, 쓰기모드가 반복되면 VDDP 전압이 5V 소자를 파괴시킬 전압 레벨만큼 올라가는 문제가 발생할 수 있다.



제 3 장 512bit EEPROM IP 설계

3.1 EEPROM 셀

그림 3-1에 설계에 사용된 SSTC (Side-wall selective Transistor Cell) 구조를 가지는 EEPROM 셀의 단면도를 나타내었다[21]. SSTC 구조의 셀은 플로팅 게이트를 중심으로 양 측면에 컨트롤 게이트가 배치된다. 플로팅 게이트와 컨트롤 게이트 사이의 결합률 (Coupling Ratio)을 높이기 위해 ONO (Oxide-Nitride-Oxide) 결합 구조의 유전체 (Dielectric)를 사용하고 있으며 지우기 모드에서 분리된 HPW (High Voltage P-Well)에 VPP 전압을 인가하기 위해 triple-well 구조를 사용하였다[6][12].

사용된 SSTC 구조의 셀은 프로그램과 지우기 모드에서 FN 터널링 현상을 이용한다. FN 터널링은 실리콘 산화막 (SiO_2)의 양단에 10^7V/cm 이상의 전압이 걸리면 실리콘 산화막에 전계가 형성되어 전자가 터널링 현상에 의해 유전체를 통과하여 이동하는 것을 말한다. 그림 3-1(a)의 셀 단면도에서 컨트롤 게이트 하단의 산화막 두께는 300\AA 이지만 플로팅 게이트 하단의 산화막 두께는 92\AA 으로 10V 이상의 고전압이 플로팅 게이트와 드레인 노드 양단에 걸리게 되면 FN 터널링 현상이 발생한다. EEPROM 셀의 플로팅 게이트에 전자를 주입시켜 문턱전압이 높아진 상태를 프로그램된 상태라 하고, 반대로 플로팅 게이트에 주입된 전자가 빠져나가 문턱전압이 낮아진 상태를 지워진 상태라고 한다[9][11].

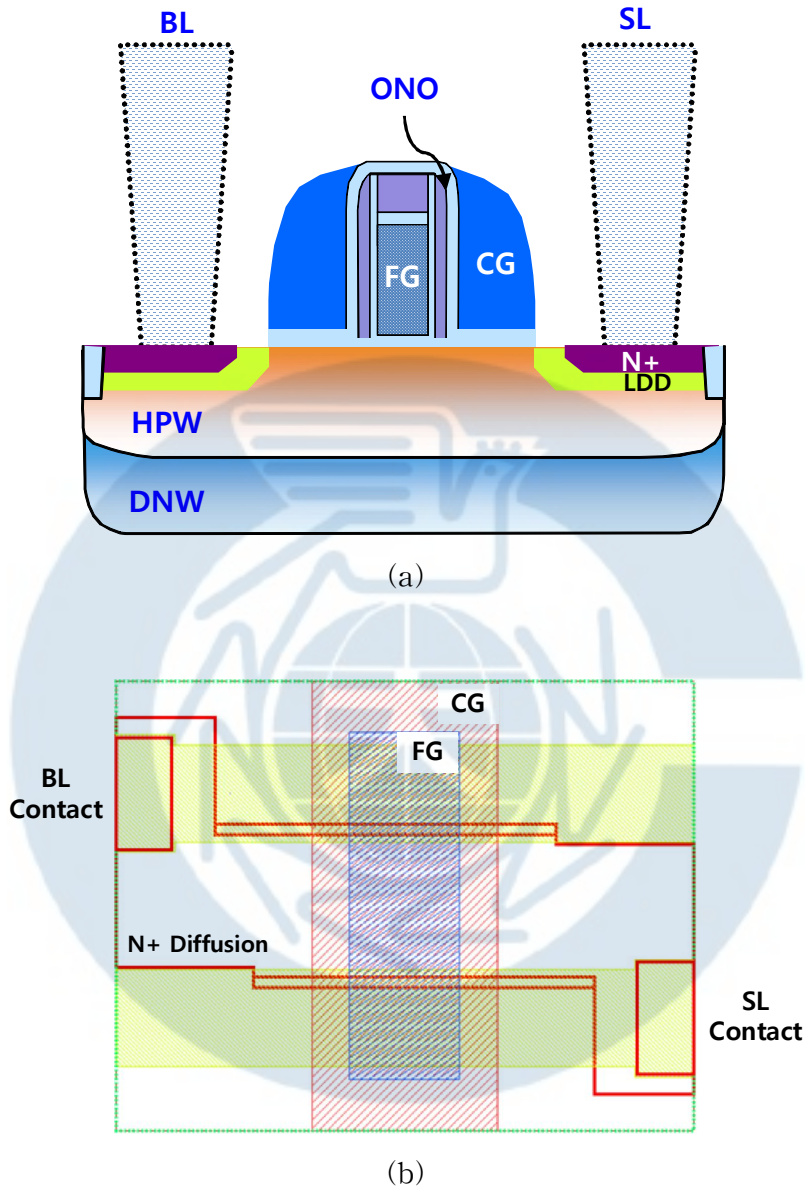


그림 3-1. SSTC 구조의 EERPOM 셀 : (a) 단면도 (b) 레이아웃.
 Fig. 3-1. EEPROM cell of SSTC structure : (a) its cross-sectional view and (b) its layout.

표 3-1은 프로그램 상태에 따른 EEPROM 셀의 문턱전압을 나타낸다. EEPROM 셀의 지우기 시간은 2.5ms 이고 VPP 전압은 14V를 인가하여 지우기를 실행한 후의 문턱전압은 1.7V 정도이며 on current는 20 μ A이다. 그리고 셀의 프로그램 시간은 2.5ms 이고 VPP 전압은 16V를 인가하여 프로그램을 실행한 후의 문턱전압은 4.7V 정도이며 on current는 6pA이다. 지우기와 프로그램을 실행한 후 셀의 EEPROM 셀의 off leakage current는 각각 10pA와 0.01pA 수준이다. 그리고 신뢰성 측면에서 셀의 특성으로는 쓰기 횟수에 대한 내구성 (Write Cycle Endurance)은 30만번이고, 데이터 보존력 (Data Retention)은 10년이다.

표 3-1. EEPROM 셀의 프로그램 상태에 따른 문턱전압.

Table 3-1. Threshold voltages of EEPROM cell at different program state.

Program State	Min.	Typ.	Max.
Erased Cell	1.3V	1.7V	2.1V
Programmed cell	4.0V	4.7V	5.5V

표 3-2는 EEPROM 셀의 동작모드에 따른 노드별 바이어스 조건을 보여준다. 지우기 모드에서 선택된 셀의 WL에 0V, BL (Bit Line)에 VPP 전압인 14V를 인가하면 FN 터널링 현상에 의해 전류가 흘러 플로팅 게이트에 저장된 전자가 드레인 노드로 빠져 나온다. 프로그램 모드에서는 선택된 셀의 WL에 VPP 전압인 16V, BL에 0V를 인가하면 FN 터널링에

의해 플로팅 게이트로 전자가 주입된다. SL (Source Line)은 쓰기모드에서 모드 플로팅 상태이고, 읽기 모드에서는 0V이다.

표 3-2. EEPROM 셀의 동작 모드에 따른 노드별 바이어스 조건.

Table 3-2. Bias conditions of each operation modes for EEPROM cell.

Node \ Mode		Erase	Program		Read
			DIN=0	DIN=1	
CG	Selected	0V	16V	16V	VDDP
	Non-Selected	11V	0V	0V	0V
BL		14V	10V	0V	VDD pull-up
SL		Floating	Floating	Floating	0V
HPW		14V	0V	0V	0V
DNW		14V	VDDP	VDDP	VDDP

설계된 EEPROM IP의 셀 배열상태와 지우기 모드에서의 동작은 그림 3-2와 같다. 지우기 모드에서는 FN 터널링에 의해 플로팅 게이트의 전자가 BL과 HPW로 빠져나가게 된다. 플로팅 게이트로부터 전자가 빠져나오게 하기위해 선택된 행의 WL에 0V를 인가하고 BL과 HPW에 VPP 전압을 인가하게 된다. 선택된 행을 제외한 나머지 행의 WL에는 VPPL 전압을 인가함으로써 지우기 현상을 방지하여 데이터를 보존한다.

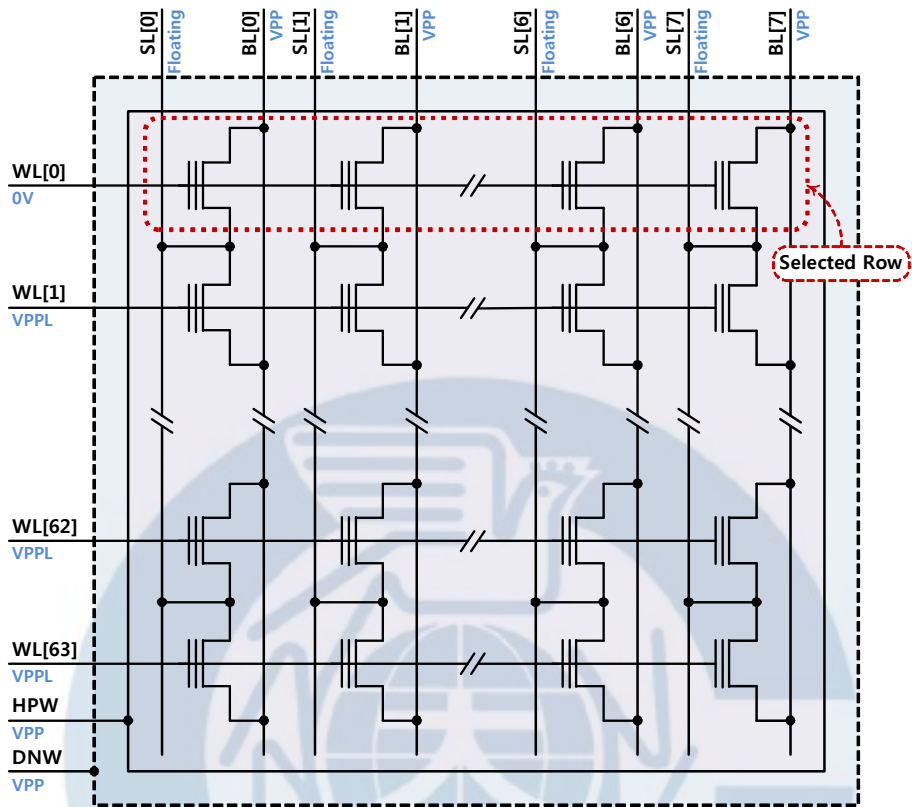


그림 3-2. 지우기 모드에서의 셀 어레이 바이어스 전압.

Fig. 3-2. Cell array bias voltage in the erase mode.

그림 3-3은 프로그램 모드에서 셀의 배열상태와 동작을 나타내었다. 프로그램 모드 시 선택된 행의 셀을 데이터 '1'로 프로그램 하기 위해서는 선택된 행의 WL에 VPP 전압을 인가하고 BL에 0V 전압을 인가하여 플로팅 게이트와 BL에 연결된 n+ 드레인 영역 사이에서 FN 터널링이 발생하여 플로팅 게이트로 전자가 주입되면 셀의 문턱전압이 높아져 셀이 프로그램 된다. 데이터 0으로 프로그램 할 때는 BL에 VPPL (VPP-6V)전압을 인가하여 FN 터널링이 일어나지 않게 함으로써 셀이 프로그램 되는 것을 방지한다. 선택된 행을 제외한 나머지 행의 WL에는 0V를 인가하여

셀의 데이터를 보존한다[9][11].

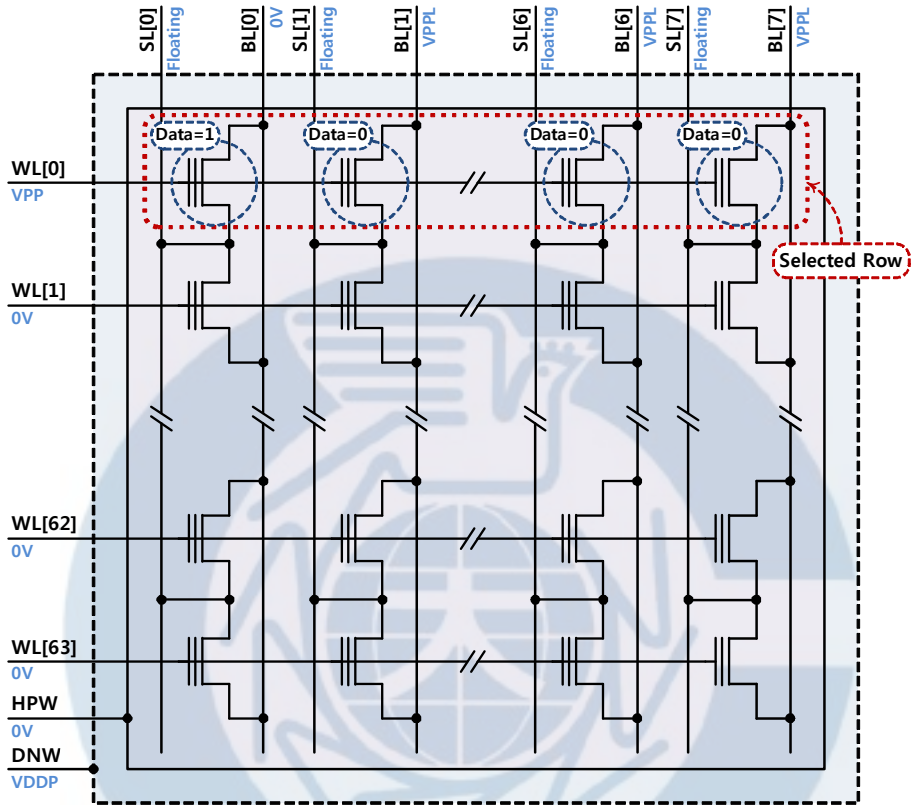


그림 3-3. 프로그램 모드에서의 셀 어레이 바이어스 전압.

Fig. 3-3. Cell array bias voltage in the program mode.

읽기 모드에서 셀의 배열과 동작은 그림 3-4와 같다. 선택된 행의 데이터를 읽어내기 위해 BL을 VDD 전압으로 프리차지하고 SL에는 0V를 인가하게 된다. BL 전압을 VDD로 프리차지 시킨 후 WL 전압을 0V에서 VDDP 전압으로 스위칭 하게 되면 데이터 '1'로 프로그램 된 셀의 경우 4.7V 정도로 높아진 문턱전압으로 인해 BL의 전압이 VDD 전압을 유지하게 되고, 데이터 '0'으로 프로그램된 셀의 경우 1.7V 정도의 문턱전압으로

로 인해 BL에 프리차징 된 전압이 SL을 통해 방전된다. 즉 BL의 전압이 VDD를 유지하면 EEPROM 셀이 '1'로 프로그램 된 것이고, VDD의 전압이 0V이면 '0'으로 프로그램 된 셀이다. 셀에 프로그램 된 데이터에 따라 각기 다른 BL 전압을 이용하여 BL과 연결된 RD S/A (Read Data Sense Amplifier)를 통해 데이터를 출력하게 된다.

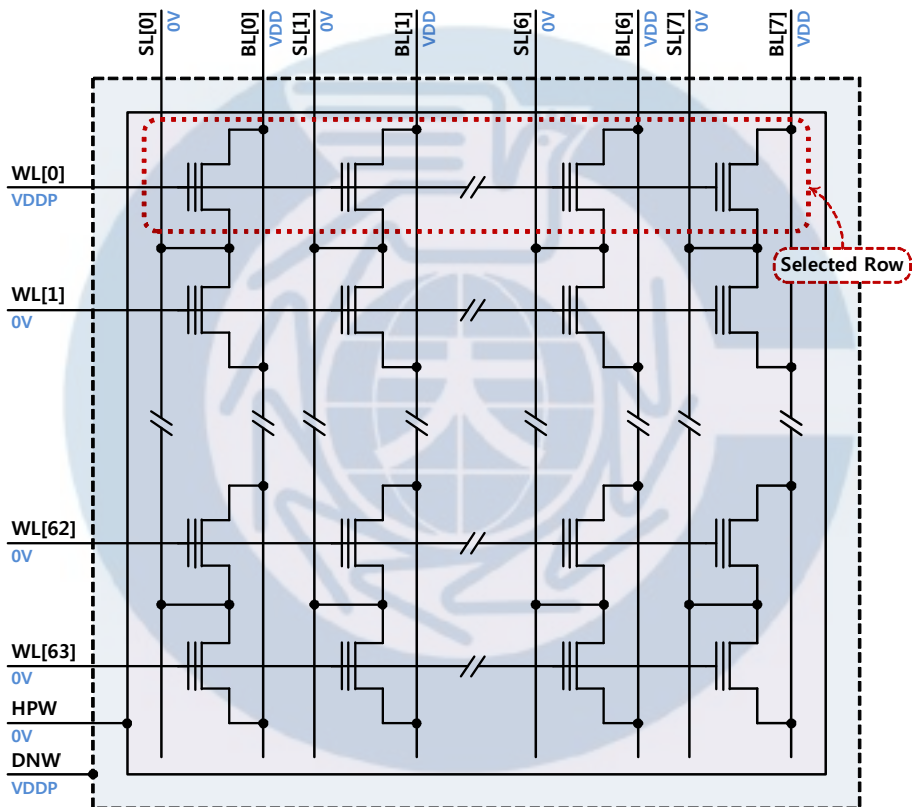


그림 3-4. 읽기 모드에서의 셀 어레이 바이어스 전압.

Fig. 3-4. Cell array bias voltage in the read mode.

3.2 512bit EEPROM IP의 구성 및 설계사양

설계된 매그나칩 0.18 μ m EEPROM 공정 기반의 512bit EEPROM IP의 주요 특징은 표 3-3과 같다. EEPROM Cell은 SSTC Cell을 사용하며 지우기와 프로그램 동작 시 FN 터널링 현상을 이용하고 있다[11][21]. 셀 어레이(Cell Array)는 64행 (Rows) \times 8열 (Columns)으로 구성되어 있다. 공급전압은 VDD와 VDDP로 듀얼 파워 (Dual Power)가 공급된다. 로직 전압인 VDD는 쓰기모드와 읽기모드에서 각각 1.8V \pm 5%와 1.8V \pm 10% 이며, VDDP는 셀의 WL 구동전압으로 3.15V \pm 0.15V이다.

표 3-3. 512bit EEPROM IP의 주요 특징.

Table 3-3. Major specifications of a 512-bit EEPROM IP.

Items		Main Features
Process		MagnaChip 0.18 μ m EEPROM
EEPROM Cell		SSTC Cell
Memory Density		64 \times 8bit
VDD	Write Mode	1.8V \pm 5%
	Read Mode	1.8V \pm 10%
VDDP		3.15V \pm 0.15V
Temperature Range		-40 $^{\circ}$ C \sim 85 $^{\circ}$ C
Operation Mode		Program / Erase / Read / Reset
Write Time		2.7ms
Access Time		260ns

온도 범위는 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 이고, 동작 모드는 프로그램, 지우기, 읽기, 리셋 모드가 있으며 모드 제어신호의 입력조건에 따라 결정된다. EEPROM cell의 쓰기시간 (Write Time)은 2.5ms인 반면, EEPROM IP의 쓰기시간은 DC-DC 변환기의 부스팅된 전압인 VPP와 VPPL의 생성시간을 고려하여 2.7ms이다. Access time은 RFID 태그칩에서 클럭 발생기의 PVT 변동을 고려하여 260ns이다.

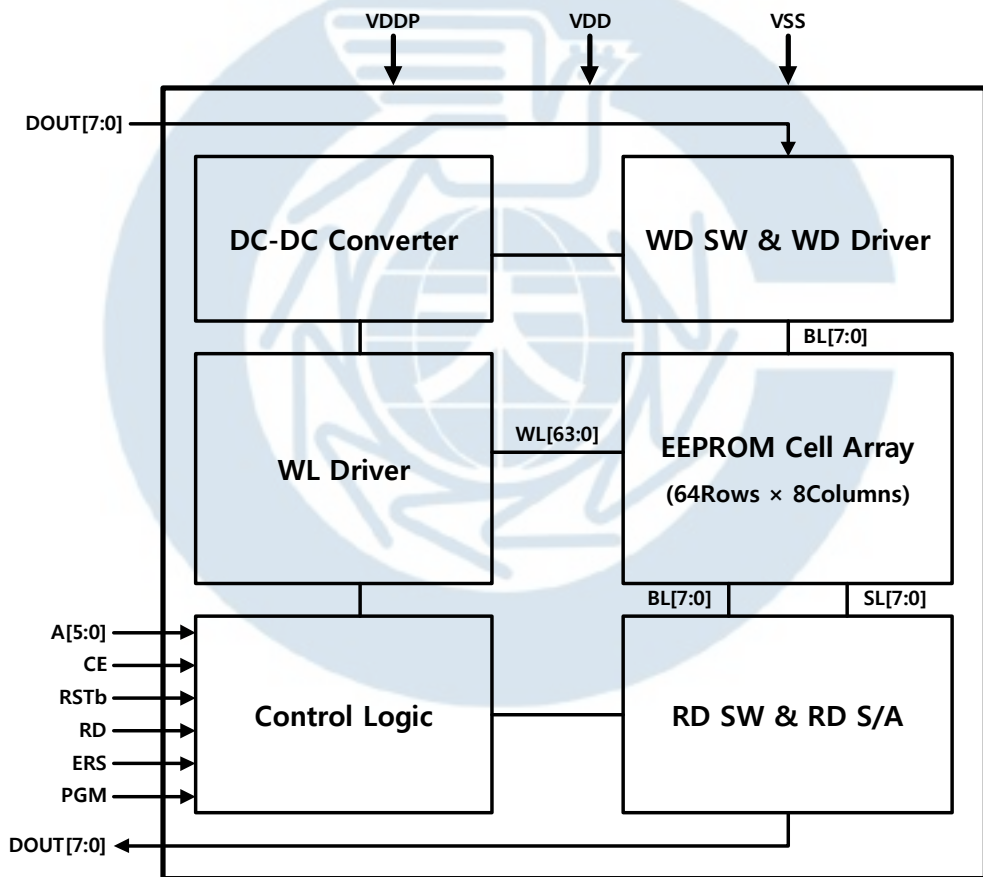


그림 3-5. 512bit EEPROM의 블록도.

Fig. 3-5. Block diagram of 512-bit EEPROM.

설계된 512bit EEPROM의 블록도는 그림 3-5에서 보는 바와 같이 64행 × 8열의 EEPROM 셀 어레이, 행 어드레스 A[5:0]을 디코딩하여 64행의 WL 중 하나를 선택해주는 WL 구동회로, 동작모드에 따라 제어 신호를 발생시키는 제어로직, 입력 데이터를 셀에 구동하는 WD (Write Data) 구동회로, 셀로부터 데이터를 감지하여 읽어내는 RD (Read Data) 감지 증폭기 및 EEPROM의 쓰기 기능을 수행하기 위해 필요한 고전압인 VPP, VPPL을 공급해주기 위한 DC-DC 변환기로 구성되어 있다. 인터페이스 신호는 크게 명령어 제어 신호, 어드레스 신호, 입력 데이터, 출력 데이터가 있다. 명령어 제어 신호인 CE(Chip Enable), ERS(Erase), PGM(Program), RD(Read), RSTb(Reset bar) 신호가 있다. 어드레스는 A[5:0]의 6 bit 어드레스에 의해 64 바이트(Byte) 중의 한 바이트가 선택되며, 분리된 I/O (Separate I/O)로 DIN[7:0]과 DOUT[7:0]이 분리되어 있다. 제어 신호에 따라 프로그램, 지우기, 읽기, 리셋 모드가 결정된다.

설계된 EEPROM의 동작모드는 지우기, 프로그램, 읽기와 리셋 모드로 구분되어 있다. 쓰기모드의 타이밍 다이어그램은 그림 3-6과 같이 셀을 프로그램 하기 전에 지우기 모드를 선행해야한다[6]. 지우기 동작은 지워야할 어드레스인 A[5:0]를 먼저 인가한 상태에서 ERS 신호가 high로 활성화되면 선택되는 1byte EEPROM 셀의 데이터는 지워진다. 이때 PGM 신호는 0V를 유지해야 한다. 그리고 프로그램 동작은 어드레스 A[5:0]와 입력 데이터 DIN[7:0]를 먼저 인가한 상태에서 PGM 신호가 high로 활성화되면 선택되는 1byte EEPROM 셀에 입력 데이터 DIN[7:0]을 프로그램 하게 된다. 그림 3-6의 t_{ERS} (Erase Time)와 t_{PGM} (Program Time)은 모두 2.7ms이다.

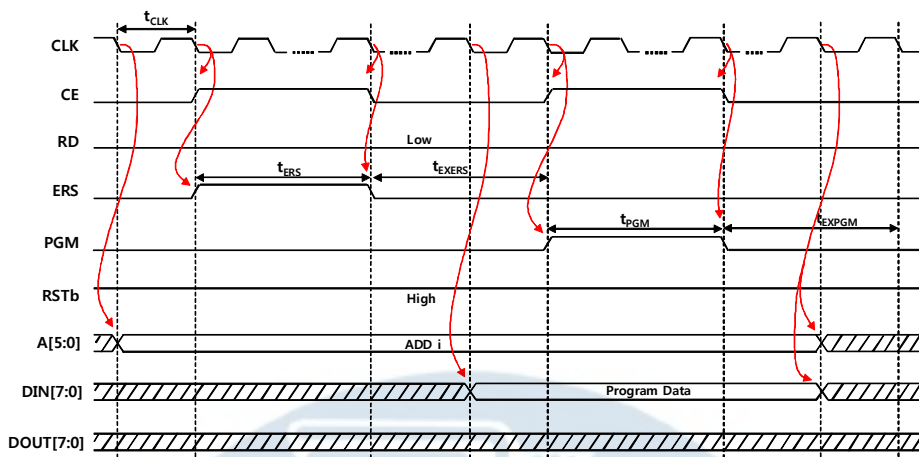


그림 3-6. EEPROM의 쓰기 타이밍 다이어그램.

Fig. 3-6. Write timing diagram of EEPROM.

프로그램 하기 전에 지우기 동작을 하지 않을 경우, Data=1인 셀에 Data=0을 프로그램하게 되면 문턱전압이 높아져 있는 셀의 플로팅 게이트에 전자가 그대로 유지되어 있으므로 프로그램이 되지 않는 현상이 발생하므로 항상 지우기 동작이 선행되어야 한다. 또한, 프로그램이나 지우기 동작에서 셀의 BL에 VPP나 VPPL의 고전압이 걸리게 되는데, exit 시간 없이 다음 동작을 수행하게 되면 완전히 방전되지 않은 BL의 영향으로 데이터 센싱 오류가 발생될 수 있다[23].

그림 3-7은 설계된 EEPROM의 읽기모드 타이밍 다이어그램이다. 읽기 동작은 읽어낼 어드레스 A[5:0]를 먼저 인가한 후 RD 신호를 high로 활성화시키면 선택된 byte의 데이터가 t_{AC} (Access Time)이 지난 이후 DOUT[7:0] 포트로 출력된다. 이때 ERS와 PGM 신호는 모두 low상태를 유지해야 하며, DIN[7:0]의 데이터는 어떠한 상태이든 (Don't-Care) 데이터를 읽어 들이는데 관계가 없다.

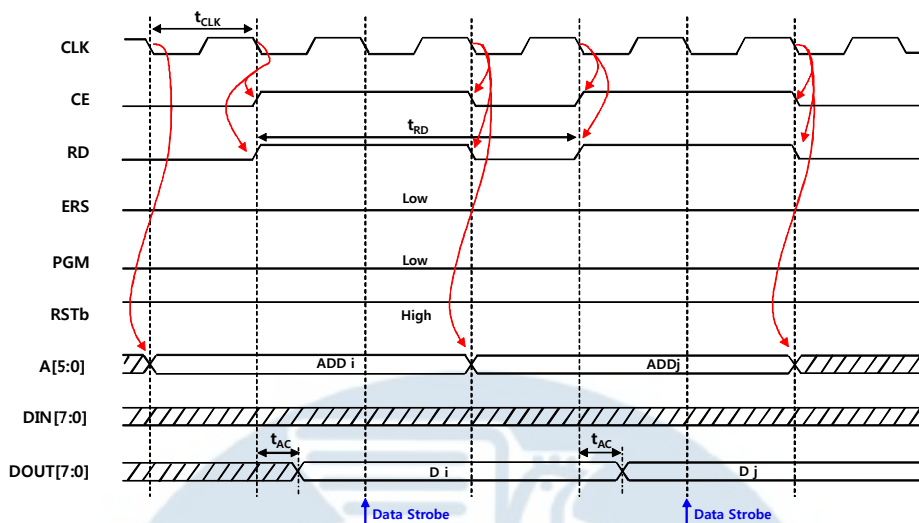


그림 3-7. EEPROM의 읽기 타이밍 다이어그램.

Fig. 3-7. Read timing diagram of EEPROM.

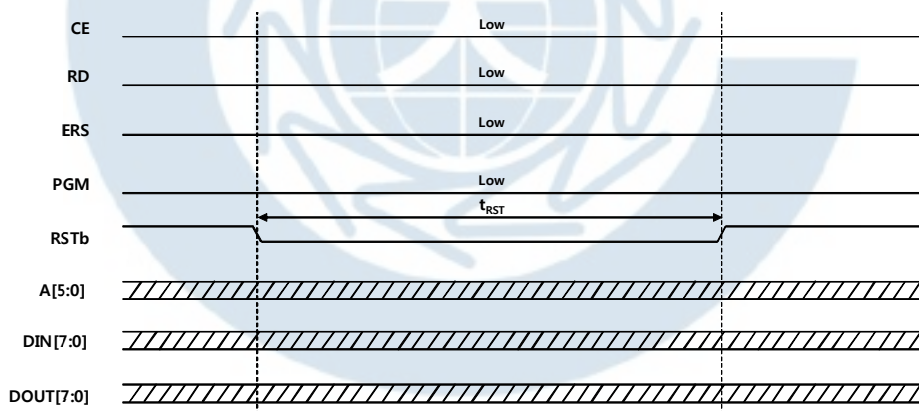


그림 3-8. EEPROM의 리셋 타이밍 다이어그램.

Fig. 3-8. Reset timing diagram of EEPROM.

리셋 모드의 타이밍 다이어그램은 그림 3-8과 같이 RSTb 신호에 t_{RST} (Reset Time) 만큼 low pulse를 인가하면, 회로적으로 DC-DC converter 회로를 차단시키는 동시에 EEPROM 메모리를 stand-by 상태로 만든다.

3.3 EEPROM 주변회로 설계

64byte의 EEPROM 셀 중 1byte를 선택하여 선택된 셀에 데이터를 쓰거나 읽기 위해서는 A[5:0]의 6bit의 어드레스를 이용한 디코더 회로를 필요로 한다. 그림 3-9는 행 디코더의 블록도를 나타내었다.

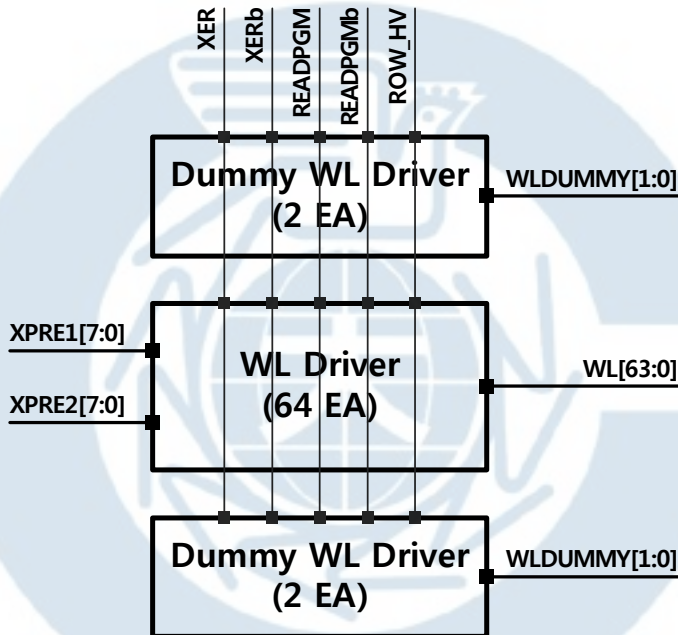


그림 3-9. 행 디코더의 블록도.

Fig. 3-9. Block diagram of row decoder.

그림 3-10은 어드레스 A[5:3]을 디코딩하여 XPRE1[7:0]을 만들어주는 디코더 회로이고, 그림 3-11은 어드레스 A[2:0]을 디코딩하여 XPRE2[7:0]를 만드는 디코더 회로이다. 그림 3-9의 행 디코더의 블록도 예서와 같이 출력되는 WL은 XPRE1[7:0]과 XPRE2[7:0]를 입력받아 64개의 WL 중 1개의 WL을 선택해준다.

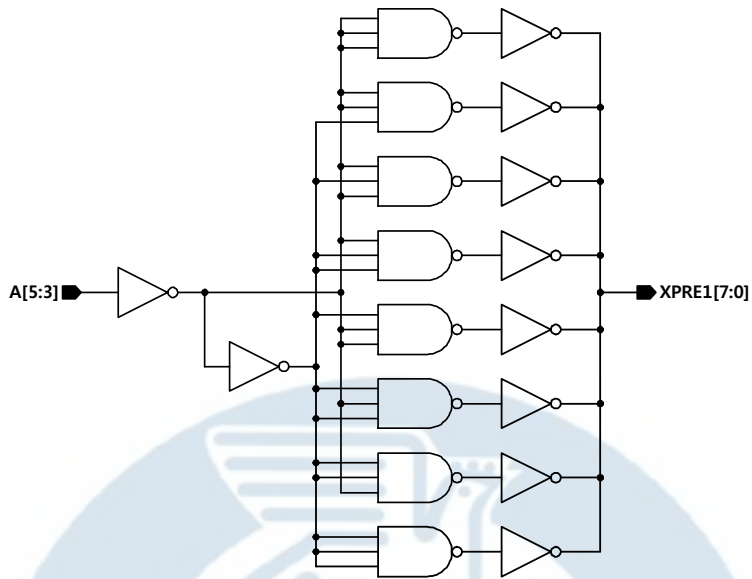


그림 3-10. XPRE1 프리디코더.

Fig. 3-10. Predecoder of XPRE1.

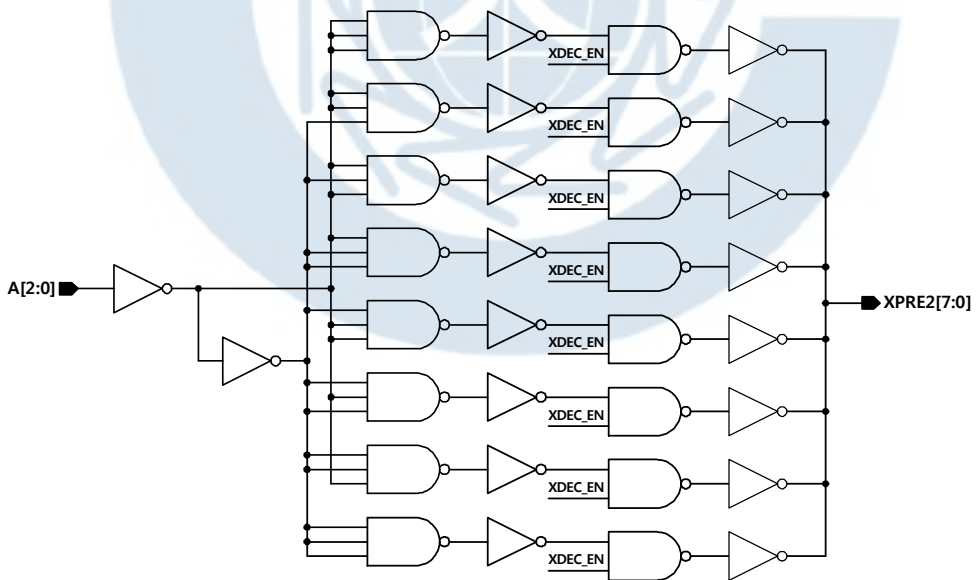


그림 3-11. XPRE2 프리디코더.

Fig. 3-11. Predecoder of XPRE2.

그림 3-12는 행 디코더에 사용되는 WL 구동회로의 회로도이다. DC-DC 변환기로부터 공급되는 ROW_HV (Row High-Voltage)는 지우기 모드에서 VPP 전압인 14V이고 프로그램 모드에서 VPPL 전압인 10V, 그리고 읽기 모드에서는 VDDP 전압인 3.15V이다. WL 구동회로는 지우기 모드에서는 XER 신호가 high이고 READPGM 신호가 low가 되어 선택된 WL은 0V, 선택되지 않은 WL은 VPPL 전압이 된다. 반대로 프로그램 모드 시 XER 신호가 high이고 READPGM 신호가 high가 되어 선택된 WL은 VPP, 선택되지 않은 WL은 0V가 된다. 읽기 모드에서는 프로그램 모드와 같이 XER 신호가 high이고 READPGM 신호가 high가 되어 선택된 WL은 VDDP, 선택되지 않은 WL은 0V를 출력한다.

기존의 EEPROM 회로는 그림 2-5에서 보는바와 같이 2행의 WL 구동 회로마다 행 어드레스 디코더를 공유하고, 각각의 WL 구동회로에서 최종 어드레스 디코딩 (Final Address Decoding)하는 회로를 사용하는 경우 WL 구동 회로의 레이아웃 폭은 $209.12\mu\text{m}$ 로 CMOS 디코딩 로직 회로가 차지하는 면적이 큰 단점이 있다. 본 논문에서는 저면적 EEPROM IP 설계를 위하여 디코딩 로직 회로를 단순화한 WL 구동 회로를 설계하였다. 그림 3-12는 설계된 WL 구동 회로를 보여주고 있으며 그림 2-4의 기존 WL 구동 회로에서와 같이 predecoding된 XPRE1, XPRE2를 디코딩한 DEC21과 XPRE0/XPRE0b를 한 번 더 최종 디코딩하지 않고 XPRE1, XPRE2를 디코딩하였다. 설계된 WL 구동회로의 레이아웃 폭은 $135.59\mu\text{m}$ 로 기존 회로 대비 35.2%를 줄였다.

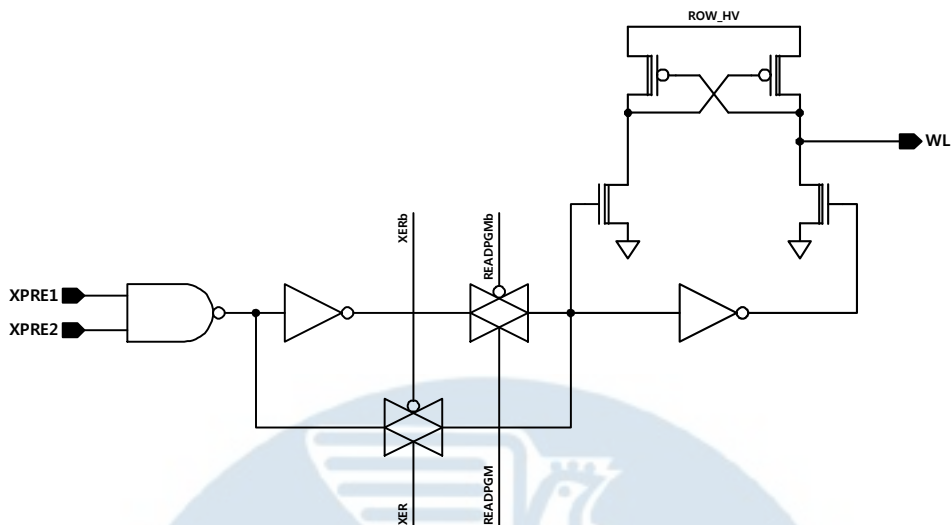


그림 3-12. 설계된 WL 구동 회로.

Fig. 3-12. Designed WL driver circuit.

그림 3-13은 프로그램 모드에서 쓰고자 하는 DIN 입력에 따라 WD (Write Data) 출력을 통해 BL에 인가할 전압을 결정하는 WD 구동회로이다. COL_HV (Column High-Voltage)의 전압은 동작 모드에 따라 달라진다. 지우기 모드에서는 VPP, 프로그램 모드에서는 VPPL 그리고 읽기 모드에서는 VDDP 전압이다. 프로그램 모드에서 DIN 입력이 low인 경우 COL_HV 전압인 VPPL 전압이 WD로 출력되고, DIN 입력이 high인 경우 WD에 0V의 전압이 출력된다. 지우기 모드에서 PGMD 신호 입력이 low가 되면 COL_HV 전압인 VPPL 전압이 WD로 출력된다.

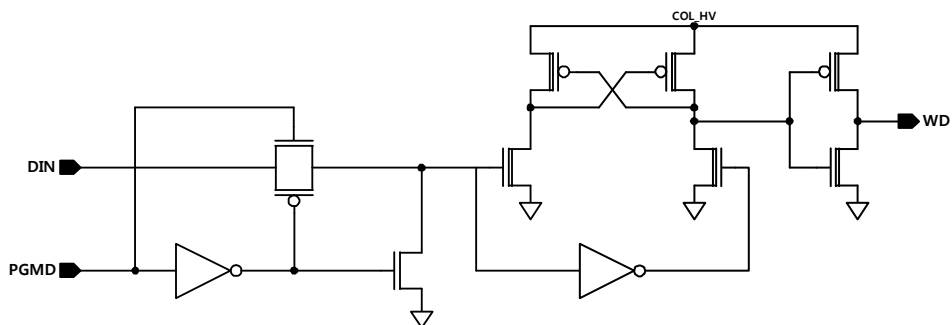


그림 3-13. WD (Write Data) 구동 회로.

Fig. 3-13. Write data driver circuit.

그림 3-14는 프로그램과 지우기 모드에서 BL과 WD를 연결시켜주는 WD 스위치 회로이며 선택된 셀의 BL에 고전압을 인가하는 WD 스위칭 트랜지스터부와 BLC_EN에 연결된 HV NMOS 트랜지스터에 의해 쓰기 모드에서 빠져나올 때 BL에 인가되었던 고전압을 방전시키기 위한 preconditioning 트랜지스터 부분으로 구성된다[11][21].

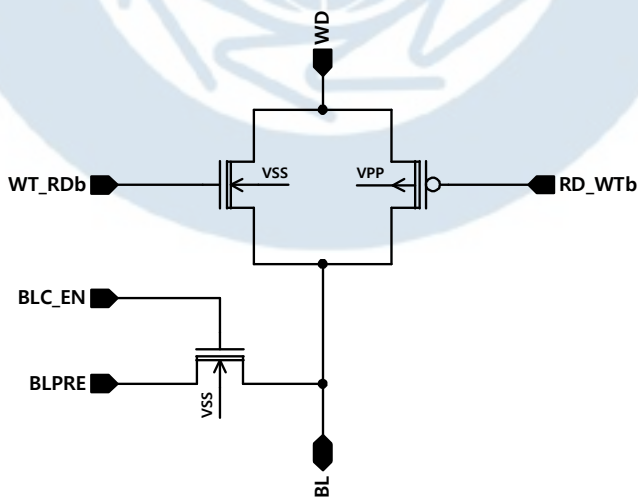


그림 3-14. WD 스위치 회로.

Fig. 3-14. Write data switch circuit.

WD 스위치 회로에 비대칭 (Asymmetric) 트랜지스터를 사용하는 경우 GIBL (Gate Induced Body Leakage) 현상에 의해 off-leakage current가 크게 흐르는 문제가 있다. 이 문제를 해결하기 위해 대칭 (Symmetric) 트랜지스터를 사용하였다.

읽기 모드에서 EEPROM 셀에 저장된 데이터를 읽어내기 위해 저전력 센싱 방식인 그림 3-15의 clocked inverter 방식의 RD (Read Data) 감지 증폭기를 사용하였다[24]. 읽기 모드에서 EEPROM 셀의 컨트롤 게이트 전압인 WL이 활성화되기 이전에 PCHARGE 신호에 short pulse가 인가되어 MP0에 의해 먼저 DLINE을 VDD로 프리차지 시킨 후 WL이 활성화 되면 프로그램 된 셀은 전류가 흐르지 않으므로 DLINE은 VDD를 유지하여 DOUT 출력으로 나오는 반면, 프로그램 되지 않은 셀은 on 전류가 흘러 DLINE은 약 0V의 값을 가진다. DLINE에 데이터가 충분히 전달 되면 clocked inverter의 SAENb (Sense Amplifier Enable bar) 신호가 0V로 활성화되어 DLINE의 데이터를 읽어낸다.

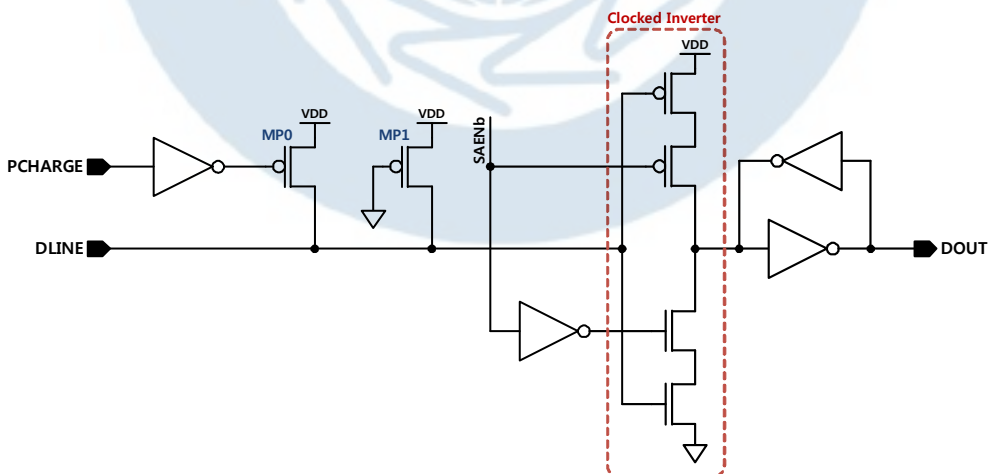


그림 3-15. RD (Read Data) 감지 증폭기 회로.

Fig. 3-15. Read data sense amplifier circuit.

부하 트랜지스터 (Load Transistor)인 MP1은 EEPROM 셀이 off 상태에서 누설전류에 의해 DLINE이 0V로 떨어지는 것을 방지하기 위한 하이 임피던스 (Hi-Z)의 능동 부하 (Active Load) 역할을 한다. 또한 MP1은 항상 on되어 있으므로 MP1의 스위칭에 의한 DLINE의 coupling noise를 제거함으로써 프로그램 된 셀의 잡음여유를 증가시켰다[21][25].

각 동작 모드별 HV 스위칭 파워 회로의 출력 전압을 표 3-4에 나타내었으며 이는 표 3-2에 나타낸 EEPROM 셀의 노드별 바이어스 조건을 만족한다.

표 3-4. HV 스위칭 파워의 동작 모드별 출력 전압.

Table 3-4. Output voltage of each HV switching power with respect to each operating mode.

HV switching power	Erase	Program	Read
ROW_HV	VPPL	VPP	VDDP
COL_HV	VPP	VPPL	VDDP
HPW	VPP	0V	0V
DNW	VPP	VDDP	VDDP

Fig. 3-16. Supply circuit of ROW_HV.



그림 3-18. DNW 공급 회로.

– 46 –

3.4 DC-DC 변환기 설계

EEPROM의 프로그램 모드 또는 지우기 모드에서는 셀을 구동하기 위한 로직 전압보다 높은 고전압이 필요하다. 이러한 독립된 고전압을 외부에서 공급받게 되면 별도의 전원 회로를 외부에 구성해야 하므로 시스템이 복잡해진다. 따라서 로직전압을 승압하여 사용하기 위해 DC-DC 변환기를 필요로 한다.

그림 3-19는 제안된 DC-DC 변환기의 블록 다이어그램으로 저항 분배기를 이용한 VREF 발생기, IVPP 레벨 검출기 (Level Detector), 링 발진기 (Ring Oscillator), IVPP 제어로직 (Control Logic), IVPP 전하펌프, IVPPL 전원 스위칭 회로, VPP 스위칭 회로와 VPPL 스위칭 회로로 구성되어 있다. 제안된 DC-DC 변환기에서는 쓰기 모드를 빠져나올 때 부스팅 전압인 IVPP (Internal VPP)와 IVPPL (Internal VPPL)에서 VDDP로 방전시키지 않고 공통 접지 (Common Ground)인 VSS로 방전하는 방식을 채택하였다. 표 3-5는 제안된 DC-DC 변환기의 동작 모드별 요구되는 전압을 보여주고 있다. 중요한 특징은 쓰기모드를 빠져나올 때 부스팅된 전압인 IVPP와 IVPPL을 VSS로 방전시킴으로써 부스팅된 전하가 VDDP로 전하 덩어리 (Charge Dump) 되는 것을 방지할 수 있다. VREF 전압은 표 3-5에서 보는바와 같이 프로그램 모드에서 1.231V, 지우기 모드에서 1.077V의 전압을 필요로 한다. VPP 전압이 동작 모드에 따라 목표 전압 (Target Voltage)보다 낮은 경우는 VPP 레벨 검출기의 출력신호인 VPP_EN이 high가 되어 링 발진기가 발진(Oscillation)하여 VPP 전하 펌프에 의해 양전하(Positive Charge)가 VPP 노드로 펌핑 되어 VPP 전압은 올라가게 된다. VPP 전압이 목표 전압 이상이 되면 VPP_EN 신호가 low가 되어 펌핑이 멈추는 부궤환(Negative Feedback) 방식을 사용하여

VPP는 목표 전압을 유지한다. VPP 레벨 검출기 회로는 13개의 고전압용 NMOS 다이오드를 직렬로 연결한 전압 분배기(Voltage Divider)를 이용하여 분배된 전압인 $VPP/13$ 과 VREF을 비교하여 VPP 전하펌프를 제어한다.

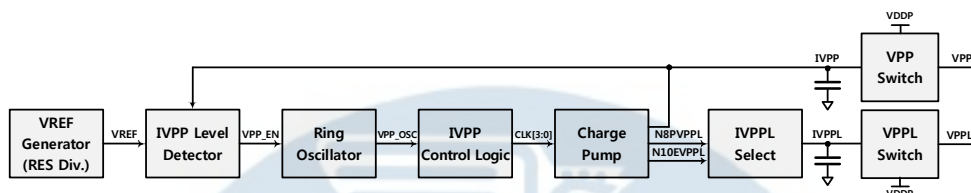


그림 3-19. 제안된 DC-DC 변환기의 블록 다이어그램.

Fig. 3-19. Block diagram of proposed DC-DC converter.

표 3-5. 동작 모드별 제안된 DC-DC 변환기에서 요구되는 전압.

Table 3-5. Voltages for proposed DC-DC converter according to operation modes.

Voltage Source	Program	Erase	Read	Remark
VDD	1.8V	1.8V	1.8V	Input
VDDP	3.15V	3.15V	3.15V	Input
VREF	1.231V	1.077V	0V	Reference
IVPP	16V	10V	0V	Output
IVPPL	14V	11V	0V	Output
VPP	16V	10V	VDDP	Output
VPPL	14V	11V	VDDP	Output

VPP 레벨 검출기 회로의 기준전압인 VREF를 생성하기 위해 그림 3-20과 같은 저항 분배기 형태의 VREF 발생기 회로를 설계하였다. 기존의 VREF 발생기 회로는 그림 2-6에서 보는바와 같이 BGR 회로를 사용하며 $0.18\mu\text{m}$ EEPROM 공정을 이용한 레이아웃 사이즈는 $18154.3\mu\text{m}^2$ 로 레이아웃 면적이 크다. 본 논문에서는 기준전압 발생기 회로가 차지하는 레이아웃 영역을 줄이기 위해 BGR 회로 대신 아날로그 파워 (Analog Power)인 VDD를 이용하여 저항 분배기로 기준전압 발생기 회로를 설계하였다. 저항 분배기의 power로 사용하는 VDD는 RFID 태그칩은 아날로그 블록에서 만들어지며, PVT 변동에 둔감함 VDD 전압을 공급할 수 있다[8]. 저항 분배기 형태의 기준전압 발생기의 레이아웃 사이즈는 $6717.2\mu\text{m}^2$ 로 BGR 회로 대비 63% 줄었다.

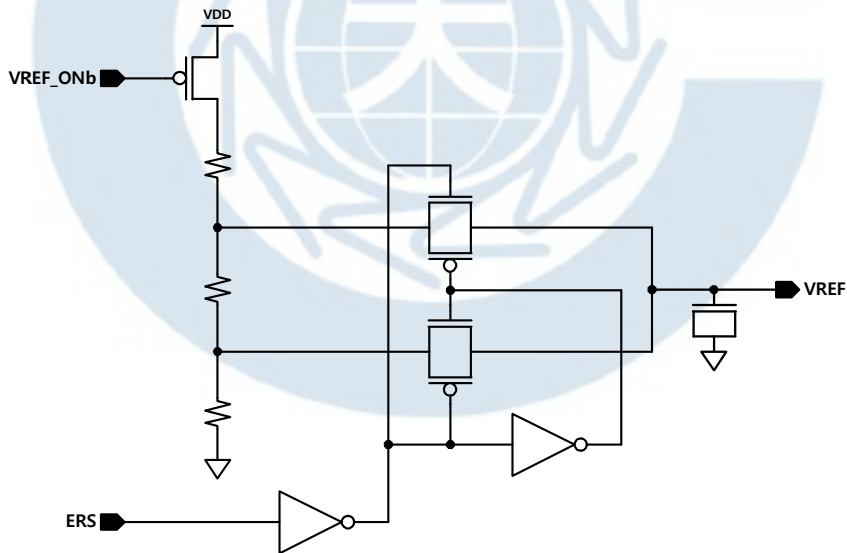


그림 3-20. 제안된 VREF 발생기 회로.

Fig. 3-20. Proposed VREF generator circuit.

Fig. 3-21. IVPP level detector circuit.

링 발진기 (Ring Oscillator)는 IVPP 레벨 검출기로부터 VPP_EN 신호를 받아 IVPP 전하펌프에 VPP_OSC 클럭을 제공하는 회로이다. 설계된 DC-DC 변환기는 IVPP 전압의 파워-업 (Power-Up) 시에 전류소모가 특히 크다. 많은 전류소모는 전원전압 (Supply Voltage)의 레벨이 감소하는 문제를 발생시키고 이로 인해 IVPP 전압을 목표치까지 승압 시키지 못하게 되어 데이터를 프로그램 할 수 없게 된다. 그래서 그림 3-22의 듀얼 클럭 (Dual Clock) 방식의 링 발진기를 사용함으로써 IVPP 파워-업 시간 동안 빠른 스위칭으로 인한 많은 전류소모를 분산시켜 과전류로 인해 전원전압의 레벨이 낮아지는 것을 방지한다[17]. 쓰기모드가 시작되면 VREF_ON 신호가 high로 활성화되고 IVPP 레벨 검출기로부터 VPP_EN 신호를 받아 VPP_OSC 클럭이 출력되어 IVPP 전압이 파워-업을 시작한다. 이때 VPP_500US 신호가 low 상태일 때는 정상상태보다 긴 주기의 클럭을 발생시켜 파워-업 시의 전류소모를 분산시키고 VPP_500US 신호가 low에서 high로 스위칭하면 정상상태의 클럭을 발생시킨다.

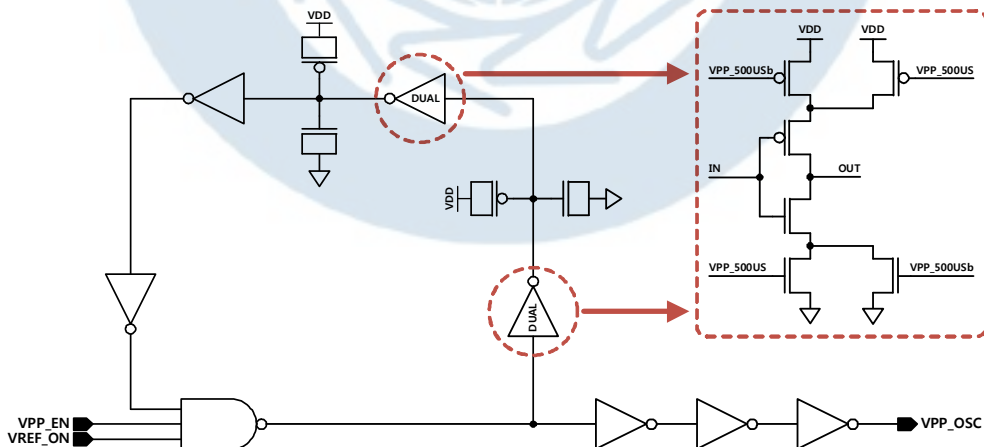


그림 3-22. 링 발진 회로.

Fig. 3-22. Ring oscillator circuit.

그림 3-23은 제안된 IVPP 전하 펌핑용 디스 전하펌프 회로이다 [5][6][17][22]. 디스 전하펌프의 경우 다이오드의 P-N 접합부의 문턱전압으로 인한 전압 손실이 발생함으로써 펌핑 단의 수가 늘어나는 단점이 있지만 구조가 간단하여 많이 이용되고 있는 회로이다. 커패시터와 다이오드를 한 쌍으로 하는 펌핑 단의 수가 하나씩 늘어나면 출력전압은 상승하지만 그에 따른 전력소모가 발생한다. 전하펌프의 펌핑 효율은 식(3-1)에, 전력 효율은 식(3-2)에 나타내었다.

$$\text{펌핑 효율} = \frac{1}{\text{펌핑 단의 수} + 1} \times 100 [\%] \quad (3-1)$$

$$\text{전력 효율} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times I_{IN}} \times 100 [\%] \quad (3-2)$$

1.8V의 VDD 전압에서 펌핑 단의 수를 줄임으로써 펌핑 효율을 높이고 면적을 줄이기 위해 P-N 접합 다이오드 대신 다이오드의 cut-in 전압이 낮은 N-type 쇼트키 다이오드 (Schottky Diode)를 사용하였다. 그리고 전하펌프에 사용되는 펌핑 커패시터는 16V 정도의 높은 펌핑 전압에도 신뢰성을 확보할 수 있는 MIM 커패시터를 사용하였다.

그림 3-24에 제안된 IVPPL 전원 스위칭 회로를 나타내었다. IVPPL 전압은 표 3-5에서 보는바와 같이 프로그램 모드에서는 IVPPL이 VPP-6V, 지우기 모드에서는 VPPL이 VPP-3V의 전압을 사용함으로써 동작 모드별 IVPP를 구현하기 위해 추가적인 DC-DC 변환기 회로를 필요로 하게 된다. 추가적인 DC-DC 변환기는 레이아웃 면적을 증가시킬 뿐만 아니라 전력소모도 증가하게 된다. 이 문제를 해결하기 위해 IVPP 전하펌프의 임의의 노드 전압인 N8PVPPL (=10V)과 N10EVPPL (=11V) 전압을 이용

하여 그림 3-24와 같이 프로그램 모드에서는 턴온 (Turn-on)된 MP0를 통해 N8PVPPL 전압이, 그리고 지우기 모드에서는 턴온된 MP1을 통해 N10EVPPL 전압이 VPPL에 공급되도록 하는 역할을 한다.

본 논문에서는 연속적인 write cycle에서 쓰기 모드를 빠져나올 때 부스팅 전압인 VPP와 VPPL에서 VDDP로 차지 덤프가 일어나는 것을 방지하기 위해 부스팅된 전압을 공통 접지인 VSS로 방전하는 방식을 제안하였다. 쓰기 모드가 끝나고 대기 모드로 진입하면 VPP_ON 신호가 0V에서 VDD로 스위칭 하면서 그림 3-23의 MN1, MN2, MN3와 그림 3-24의 MN4가 턴온 되어 IVPP와 IVPPL 전압을 공통 접지인 VSS로 방전시켜준다. 이렇게 함으로써 연속적인 write cycle에서도 VDDP 전압이 5V 소자를 파괴할 정도로 올라가는 것을 방지하여 EEPROM의 신뢰성을 확보하였다.

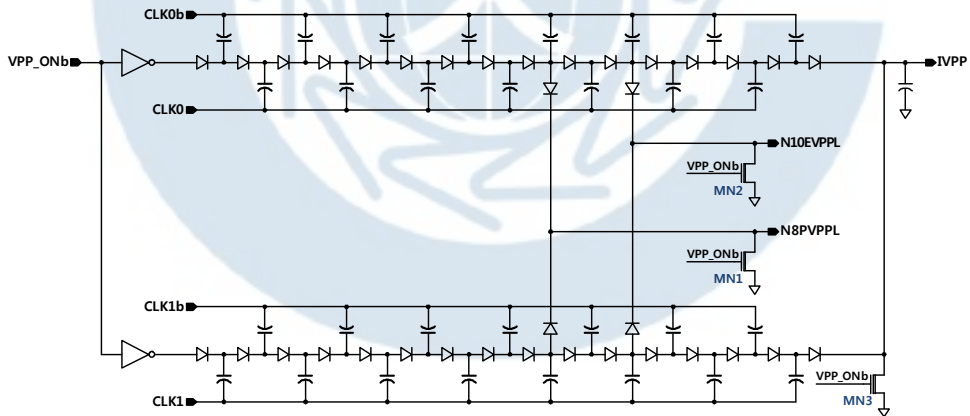


그림 3-23. 제안된 디슨 전하 펌프 회로.

Fig. 3-23. Proposed Dickson charge pump circuit.

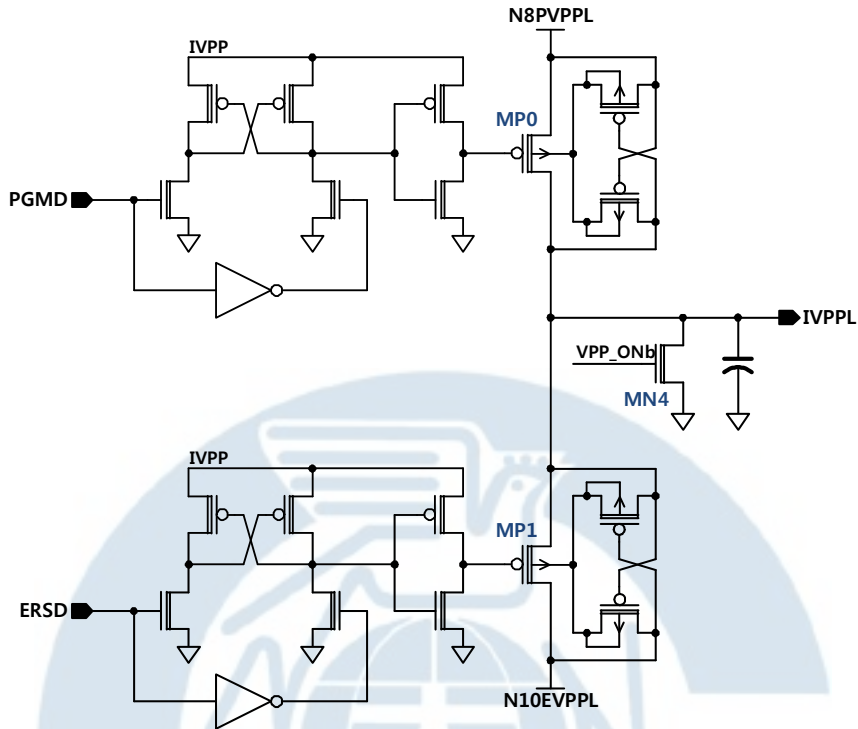


그림 3-24. 제안된 IVPPL 전원 스위칭 회로.

Fig. 3-24. Proposed IVPPL power switching circuit.

표 3-5에서 보는바와 같이 VPP와 VPPL 전압은 지우기 모드와 프로그램 모드에서 각각 IVPP와 IVPPL의 부스팅된 전압을 가지고, 읽기 모드에서는 VDDP 전압을 가진다. 따라서 그림 3-25(a)와 같이 IVPP와 VDDP, IVPPL과 VDDP 파워를 스위칭 하는 회로가 필요하다. 그림 3-25(a)와 그림 3-25(b)는 각각 VPP 스위칭 파워 회로와 VPPL 스위칭 파워 회로를 보여주고 있으며 기본적으로 스위칭 파워 회로는 2개의 입력 전압 중 높은 전압이 출력되는 회로이다.

그림 3-25(a)의 VPP 스위칭 회로는 프로그램 모드와 지우기 모드에서 부스팅된 전압인 IVPP 전압이 VDDP 전압보다 높으므로 VPP 전압은 IVPP 전압을 출력하고, 읽기 모드에서는 VDDP 전압이 0V의 전압을 가

지는 IVPP 보다 높으므로 VPP 전압은 VDDP 전압을 출력한다. 마찬가지로 그림 3-25(b)의 VPPL 스위칭 회로는 프로그램 모드와 지우기 모드에서 VPPL 전압은 부스팅된 전압인 IVPP 전압을 출력하고, 읽기 모드에서는 VDDP 전압을 출력한다. 이들 전압은 표 3-5와 같으며 표 3-2의 EEPROM 셀의 동작 모드별 바이어스 조건을 만족시켜준다.

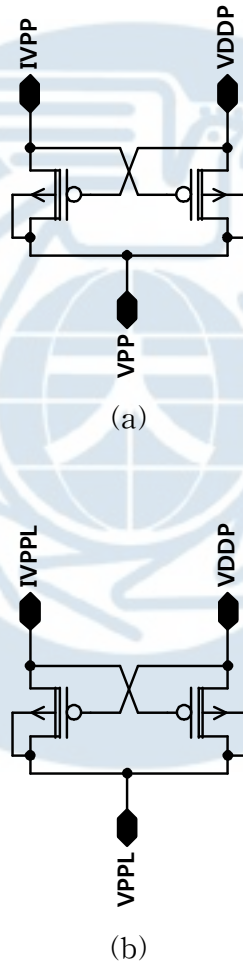


그림 3-25. 스위칭 파워회로 : (a) VPP 스위칭회로 (b) VPPL 스위칭회로.

Fig. 3-25. Switching power circuit : (a) VPP switching circuit and
(b) VPPL switching circuit.

제 4 장 모의실험 결과 및 레이아웃

본 장에서는 매그나칩 반도체의 $0.18\mu\text{m}$ EEPROM 공정을 이용하여 설계한 UHF RFID 태그칩용 512bit EEPROM의 모의실험을 하였다. 모의실험 결과 UHF RFID 태그칩에서 클럭 발생기 (Clock Generator)의 PVT 변동을 고려한 스펙을 만족할 수 있는 데이터 액세스 시간을 확인할 수 있었고, 전하 펌프의 방전방식 별 VDDP 전압 안정성에 대한 비교를 하였으며, 프로그램 모드와 지우기 모드에서 VPP, VPPL 전압의 레벨 및 리플전압을 확인하였다.

그림 4-1은 연속적인 program cycle에서 제안된 DC-DC 변환기의 모의실험 결과이다. 프로그램 모드가 끝날 때 VPP 전하펌프에서 출력되는 부스팅된 전압을 VDDP 전압으로 방전시키는 기존의 DC-DC 변환기는 그림 2-14의 모의실험 결과에서 보는바와 같이 연속적인 program cycle에서 부스팅된 전압인 VPP와 VPPL에서 VDDP 전압으로 차지 덤프 (Charge Dump)가 일어나면서 VDDP 전압이 상승하게 되어 5V 소자를 파괴시킬 수 있다. 이 문제를 해결하기 위해 프로그램 모드가 끝나고 대기모드로 진입할 때 IVPP 전하펌프에서 출력되는 부스팅된 전압을 공통 접지 (Common Ground)인 VSS로 방전 시키고 스위칭 파워 회로를 통해 각 모드별 요구되는 VPP와 VPPL 전압을 공급하는 제안된 방전방식에 대한 모의실험 결과 연속적인 program cycle에서도 3.15V의 DC 전압을 유지함으로써 고신뢰성을 구현하였다. 그리고 연속적인 프로그램 모드 모의 실험한 이유는 프로그램 모드에서 VPP 전압이 지우기 모드보다 더 높기 때문이다.

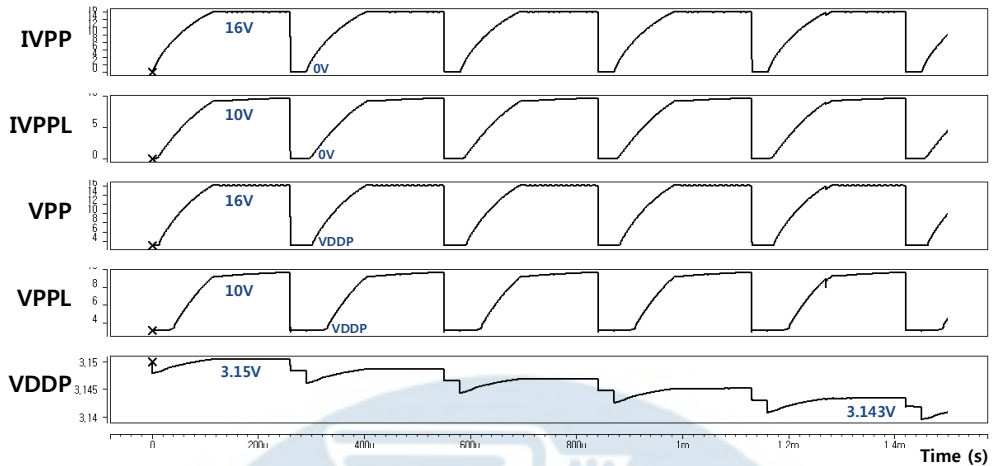


그림 4-1. 연속적인 program cycle에서 제안된 DC-DC 변환기 모의실험 결과.

Fig. 4-1. Proposed DC-DC converter simulation results of continuous program cycles.

그림 4-2와 4-3은 각각 기존의 DC-DC 변환기의 지우기 모드와 프로그램 모드시 VPP와 VPPL에 대한 파워-업 모의실험 결과로서 VPP의 리플전압은 지우기 모드에서 0.33V, 프로그램 모드에서 0.345V이다.

그림 4-4는 지우기 모드시 제안된 DC-DC 변환기에서 출력되는 VPP와 VPPL에 대한 파워-업 모의실험 결과이다. 표 3-5에서 보는바와 같이 VPP 전압은 14V이고 VPPL 전압은 11V이다. 그림 4-5는 프로그램 모드에서 제안된 DC-DC 변환기의 출력전압인 VPP와 VPPL의 파워-업 모의실험 결과로서 VPP 전압은 16V, VPPL 전압은 11V 이다. VPP의 리플전압은 지우기 모드에서 0.26V이고, 프로그램 모드에서 0.246V로 기존 DC-DC 변환기와 비교하여 안정적인 VPP 전압을 갖는다.

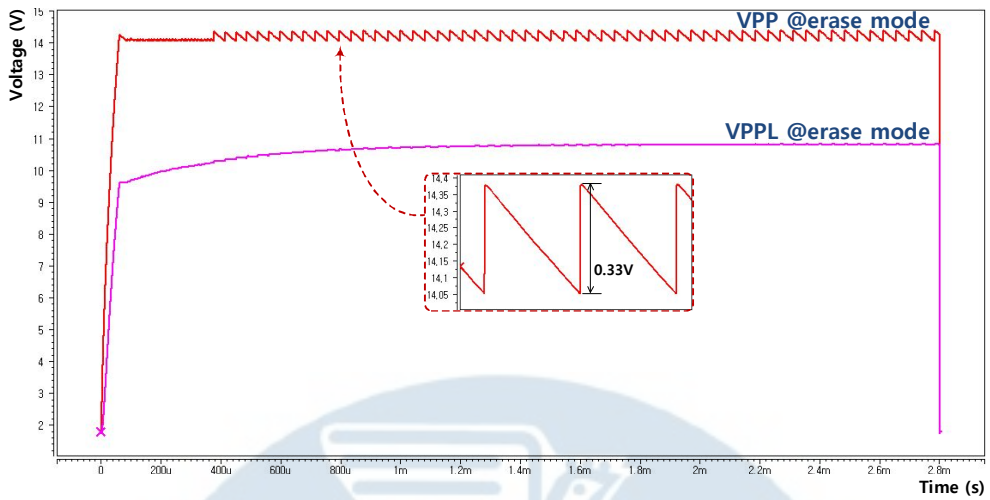


그림 4-2. 지우기 모드 시 기존 DC-DC 변환기의 모의실험 결과.

Fig. 4-2. Simulation results of conventional DC-DC converter in the erase mode.

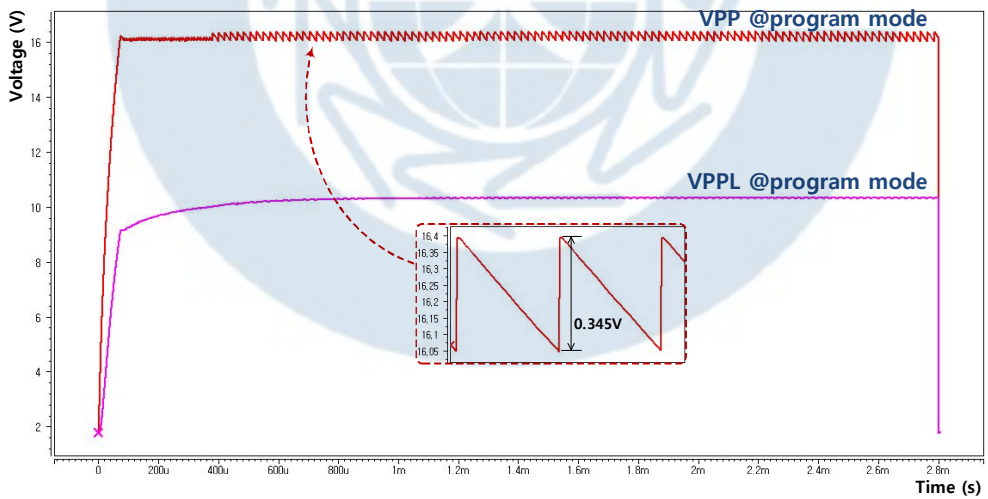


그림 4-3. 프로그램 모드 시 기존 DC-DC 변환기의 모의실험 결과.

Fig. 4-3. Simulation results of conventional DC-DC converter in the program mode.

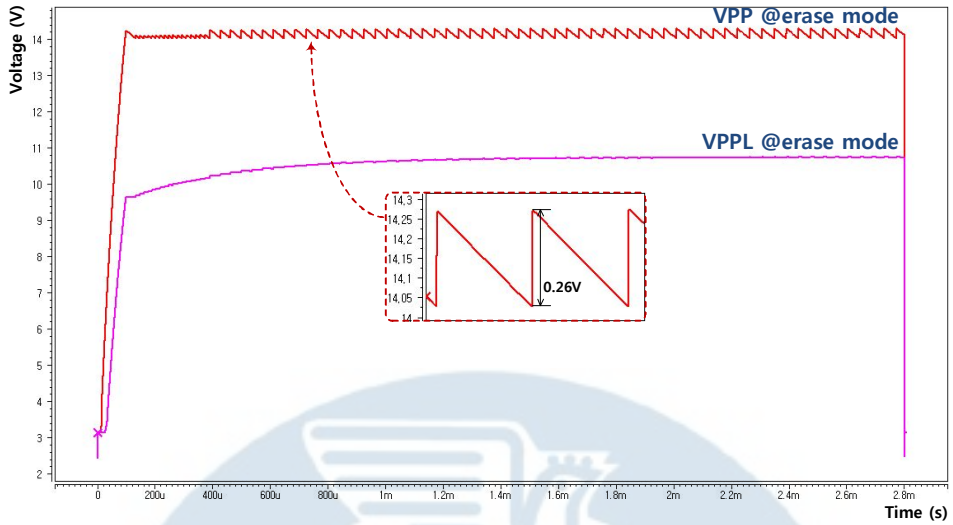


그림 4-4. 지우기 모드 시 제안된 DC-DC 변환기의 모의실험 결과.
 Fig. 4-4. Simulation results of proposed DC-DC converter in the erase mode.

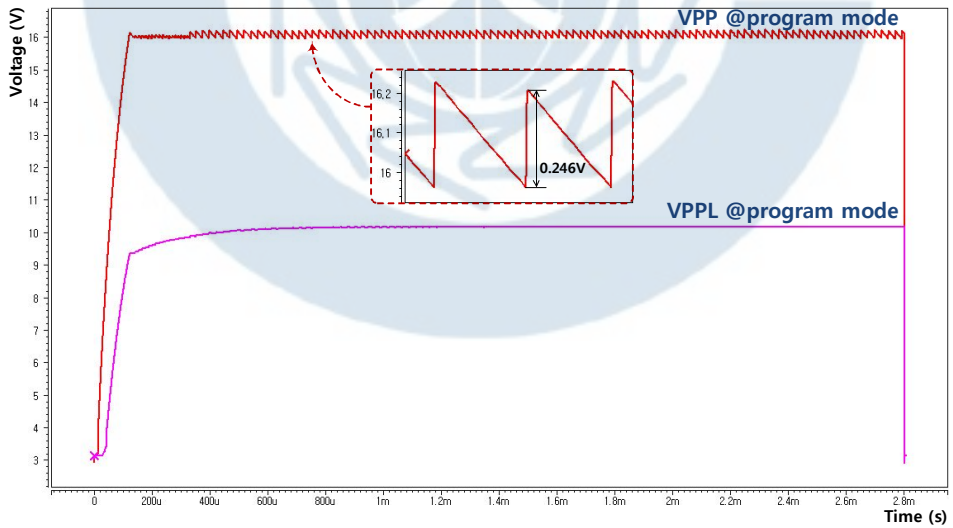
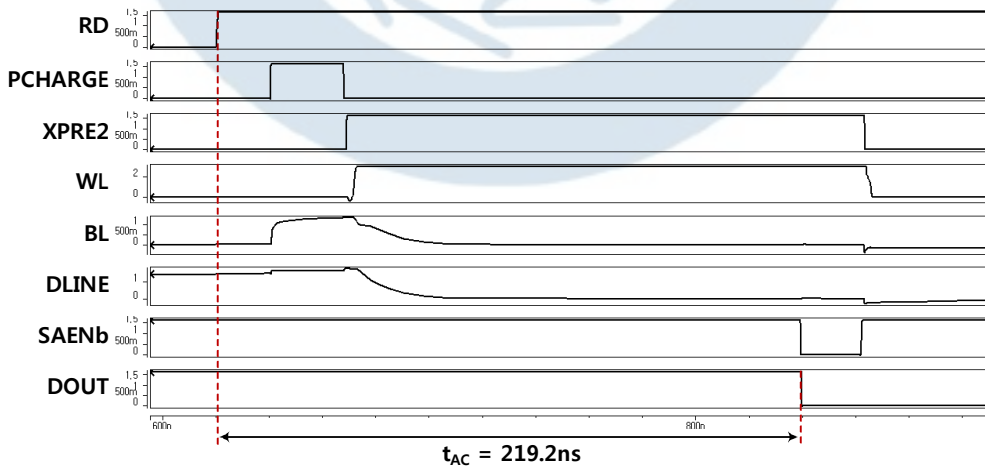


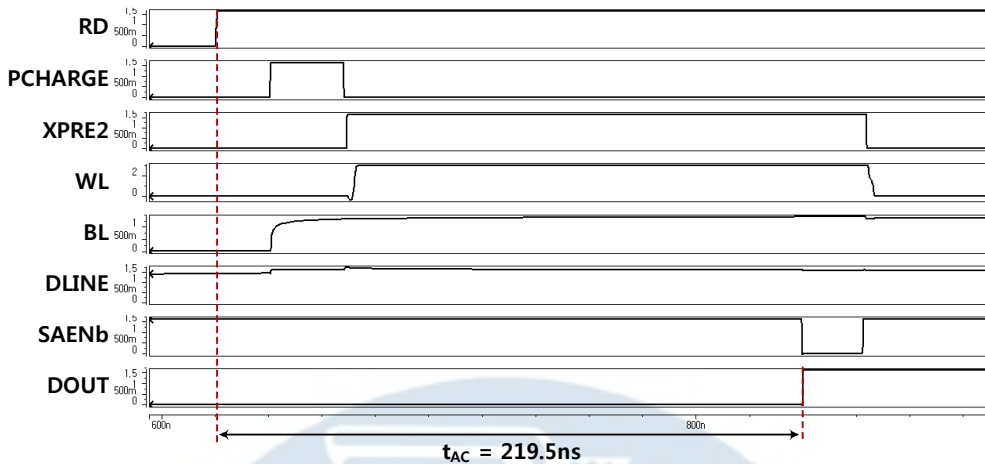
그림 4-5. 프로그램 모드 시 제안된 DC-DC 변환기의 모의실험 결과.
 Fig. 4-5. Simulation results of proposed DC-DC converter in the program mode.

읽기 모드에서의 모의실험 결과는 그림 4-6에서 보는바와 같으며, EEPROM 메모리로 들어오는 제어신호인 RD, WL 구동회로의 predecoding 신호인 XPRE2, EEPROM 셀의 WL과 BL, 그리고 RD 감지 증폭기와 관련된 PCHARGE, DLINE, SAENb와 DOUT 신호에 대한 파형을 볼 수 있다. 읽기 신호인 RD가 VDD로 활성화되면 PCHARGE 신호에 의해 BL과 DLINE 신호는 VDD로 프리차지 된다. 이후 선택되는 WL 전압은 ROW_HV (=VDDP)로 활성화됨으로써 EEPROM 셀의 프로그램 데이터에 따라 '0'로 프로그램된 셀의 BL은 low로 떨어지고, '1'로 프로그램된 셀의 BL은 high를 유지한다. EEPROM 셀의 read data가 RD 스위치를 통해 DLINE에 충분히 전달되면 RD 감지증폭기 회로는 SAENb가 low인 구간동안 DLINE의 read data를 DOUT 포트로 출력한다.

그림 4-6의 읽기모드 모의실험 조건은 VDD=1.62V, VDDP=3V, SS (Slow NMOS Slow PMOS) model parameter, 온도는 85℃의 worst case이며, 이 조건에서 액세스 시간은 219.5ns으로 UHF RFID 태그칩에 사용하기 충분하다.



(a)



(b)

그림 4-6. 읽기 모드에서 critical path에 대한 모의실험 결과 :

(a) '0'로 프로그램된 셀의 경우 (b) '1'로 프로그램 된 셀의 경우.

Fig. 4-6. Simulation results of the critical path in the read mode :

(a) in case that a cell is programmed by '0' and (b) in case that a cell is programmed by '1'.

표 4-1은 설계된 512bit EEPROM IP의 지우기, 프로그램, 읽기 모드에서 전류 소모량에 대한 모의실험 결과이다. 모의실험 조건은 VDD=1.98V, VDDP=3.3V, FF (Fast NMOS Fast PMOS) model parameter, -40℃로 각 모드별 전력 소모량은 지우기 모드에서 23.25 μ W, 프로그램 모드에서 32.24 μ W, 읽기 모드에서 18.89 μ W이다.

표 4-1. 설계된 512bit EEPROM IP의 전류 및 전력 소모량.

Table 4-1. The current and power dissipation of designed 512-bit EEPROM IP.

Operation Mode	Current Dissipation		Power Dissipation
	I(VDD)	I(VDDP)	
Erase	11.74 μ A	0.246nA	23.25 μ W
Program	16.28 μ A	0.674nA	32.24 μ W
Read	9.42 μ A	73.57nA	18.89 μ W

표 4-2. SAENb falling edge에서의 정규화된 DLINE 전압 : (a) '0'로 프로그램된 셀의 경우 (b) '1'로 프로그램된 셀의 경우.

Table 4-2. Normalized DLINE voltages at the falling edge of SAENb : (a) in case that a cell is programmed by '0' and (b) in case that a cell is programmed by '1'.

(a)

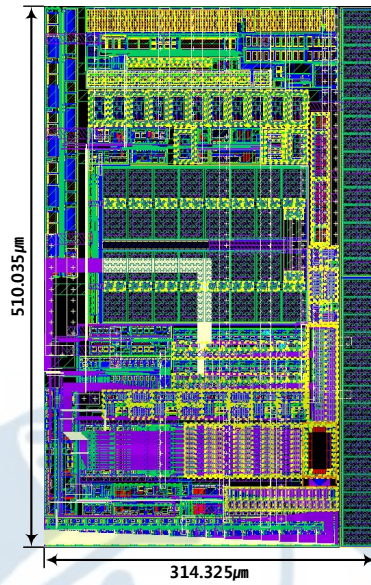
VDD	Temp. ($^{\circ}$ C)	Model Parameter				
		SS	SF	TT	FS	FF
1.62V	-40	0.0055	0.0073	0.0051	0.0035	0.0048
	25	0.0063	0.0083	0.0057	0.0040	0.0054
	85	0.0070	0.0092	0.0065	0.0046	0.0061
1.8V	-40	0.0065	0.0083	0.0060	0.0042	0.0055
	25	0.0074	0.0093	0.0067	0.0047	0.0060
	85	0.0082	0.0102	0.0074	0.0053	0.0068
1.98V	-40	0.0076	0.0094	0.0068	0.0050	0.0062
	25	0.0083	0.0103	0.0075	0.0055	0.0068
	85	0.0092	0.0111	0.0082	0.0060	0.0074

(b)

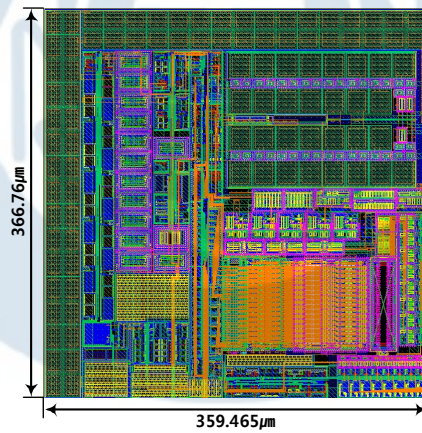
VDD	Temp. (°C)	Model Parameter				
		SS	SF	TT	FS	FF
1.62V	-40	0.9964	0.9962	0.9968	0.9973	0.9970
	25	0.9965	0.9959	0.9964	0.9962	0.9967
	85	0.9959	0.9964	0.9960	0.9920	0.9924
1.8V	-40	0.9982	0.9974	0.9976	0.9983	0.9979
	25	0.9973	0.9966	0.9969	0.9975	0.9965
	85	0.9969	0.9967	0.9971	0.9936	0.9929
1.98V	-40	0.9982	0.9972	0.9986	0.9992	0.9986
	25	0.9979	0.9969	0.9978	0.9983	0.9982
	85	0.9977	0.9968	0.9970	0.9955	0.9947

표 4-2는 SAENb가 활성화되어 DLINE 전압을 센싱할 때 정규화된 DLINE 전압을 나타낸 것이다. 모의실험 조건은 $1.8V \pm 10\%$ 의 VDD 전압과, -40°C , 25°C , 85°C 의 3가지 온도에서 SS, SF, TT, FS, FF model parameter를 사용하여 총 45가지 조건에서 확인하였다. 모의실험 결과 '0'로 프로그램된 경우 모든 조건에서 DLINE 전압이 $0.05V_{DD}$ 이하의 전압일 때 센싱되고, '1'로 프로그램된 경우 모든 조건에서 DLINE 전압이 $0.95V_{DD}$ 이상의 전압일 때 센싱 되는 것을 확인하였다.

그림 4-7은 매그나칩 $0.18\mu\text{m}$ EEPROM 공정을 이용한 기존 회로설계 기술을 이용한 512bit EEPROM IP와 제안된 회로설계 기술을 적용한 512bit EEPROM IP의 레이아웃 이미지를 비교한 것이다. 그림 4-7(b)에서 보는바와 같이 제안된 EEPROM IP의 레이아웃 면적은 $359.465\mu\text{m} \times 366.76\mu\text{m}$ 로서 그림 4-7(a)의 기존 EEPROM IP의 레이아웃 면적인 $314.325\mu\text{m} \times 510.035\mu\text{m}$ 와 비교하였을 때 17.8% 정도 면적을 감소시켰다.



(a)



(b)

그림 4-7. 512bit EEPROM IP의 레이아웃 이미지 : (a) 기존 EEPROM IP
(b) 제안된 EEPROM IP.

Fig. 4-7. Layout image of 512-bit EEPROM IP : (a) conventional EEPROM IP and (b) proposed EEPROM IP.

제 5 장 결 론

저가격, 초소형, 고기능의 RFID 태그를 구현하기 위해서는 태그칩, 안테나, 패키징 등의 기술이 중요하며 태그칩의 가격이 태그 가격의 40% 정도를 차지하고 있으므로 칩을 소형화 하고 수율을 높여 생산 단가를 낮추는 것이 중요하다. 이러한 조건을 충족시키기 위해 태그칩 내부의 메모리 블록을 구성하는 EEPROM의 소형화를 위한 메모리 설계 기술이 요구되어지고 있다.

따라서 본 논문에서는 UHF RFID 태그칩용 512bit EEPROM IP 설계를 위해 기존의 설계 기술의 문제점들을 분석하고 이를 반영하여 다음과 같은 저면적, 고신뢰성 구현을 위한 기술들을 적용 및 제안하였다. 저면적 회로설계 기술로는 디코딩 로직을 단순화한 WL 구동회로, BGR 회로 대신 저항 분배기를 이용한 VREF 생성기 회로이다. RFID 태그칩에서 VDD 전압은 PVT 변동에 둔감하기 때문에 저항 분배기를 이용하더라도 안정적인 VREF 전압을 공급할 수 있다. 매그나칩 0.18 μm EEPROM 공정을 이용하여 설계된 512bit EEPROM IP의 레이아웃 사이즈는 59.465 μm \times 366.76 μm 으로 기존 회로를 사용한 EEPROM 대비 17.8% 줄었다.

그리고 고신뢰성 설계 기술로는 쓰기 모드를 빠져나올 때 DC-DC 변환기에서 출력되는 부스팅된 출력전압을 기존에는 VDDP로 방전시켰으나, 본 논문에서는 공통 접지 (Common Ground)인 VSS로 방전시키는 방식을 제안하여 VDDP 전압을 일정하게 유지함으로써 5V 소자가 파괴되는 문제를 해결하였다.

본 논문에서 설계한 EEPROM IP는 현재 제작 중에 있으며 향후 메모리 회로 테스트를 할 예정이다. 테스트 후에는 메모리의 전력소모를 줄이고 저면적과 고용량의 EEPROM 설계를 중점적으로 연구할 계획이다.

참 고 문 헌

- [1] <http://www.eic.re.kr>, 전자정보센터.
- [2] C. S. Pyo et al., "RFID 시스템 기술," 전자파기술, Vol.15, No.2, pp.21-31, 2004.
- [3] R. Weinstein, "RFID : A technical overview and its application to the enterprise," IT Professional, vol.7, Issue 3, pp.27-33 May-June 2005.
- [4] U. Karthaus et al., "Fully Integrated Passive UHF RFID Transponder IC with 16.7 μ W Minimum RF Input Power," IEEE Journal of Solid-State Circuits, vol.38, pp.1602-1608, Oct. 2003.
- [5] W. J. Yi et al., "UHF RFID 태그칩용 저전력 EEPROM 설계," 한국해양정보통신학회논문지 제 10권 3호, pp.1226-6981, Mar. 2006.
- [6] S. M. Baek et al., "UHF RFID 태그칩용 저전력, 저면적 비동기식 EEPROM 설계," 한국해양정보통신학회논문지 제 11권 12호, pp.2366-2372, Dec. 2007.
- [7] 김지홍 , "RFID 태그 칩 용 512-bit EEPROM IP 설계에 관한 연구," 창원대학교 대학원 석사 학위 논문, 2007.
- [8] L. Jin et al., "Design of 512-bit logic process-based single poly EEPROM IP," J. Cent. South Univ. Technol., vol. 18, no. 6, pp.2036-2044, Dec. 2011.
- [9] 박홍준, CMOS 디지털 집적회로 설계, 홍릉과학출판사, 2008.

- [10] G. Yaron et al., "A 16K E2PROM employing new array architecture and designed-in reliability features," IEEE JSSC, vol. 17, Issue 5, pp.833-840, Oct. 1982.
- [11] 김영희, 반도체 메모리 설계, 창원대학교 출판부, Apr. 2009.
- [12] J. W. Lee et al., "A novel EEPROM cell for smart card application," Microelectric Engineering, vol. 71, Issue. 3-4, pp.283-287, May 2004.
- [13] Y. Roizin et al., "C-Falsh : An ultra-low power single poly logic NVM," NVSNW/ICMTD 2008, pp.90-92, May 2008.
- [14] S. Kobayashi et al., "Memory array architecture and decoding scheme for 3 V only sector erasable DINOR flash memory," IEEE J. Solid-State Circuits, vol. 29, no. 4, pp.454-460, Apr. 1994.
- [15] T. Kawahara et al., "Bit-line clamped sensing multiplex and accurate high-voltage generator for 0.25um flash memories," IEEE J. Solid-State Circuits, vol. 31, pp.1590-1600, Nov. 1996.
- [16] T. Tanzawa et al., "Circuit Technologies For A Single-1.8V Flash Memory," IEEE J. Solid State Circuits, vol. 31, no. 1, pp.84-89, June 1997.
- [17] J. F. Dickson, "On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique," IEEE JSSC, vol. 11, pp.374-378, June 1976.
- [18] Y. R. Wang et al., "A high-efficiency cross-coupled charge pump for flash memories," International Conference on Advanced

Computer Control(ICACC), vol. 3, pp.130-133, March 2010.

- [19] H. W. Hwang et al., "A low power cross-coupled charge pump with charge recycling scheme," Signals, Circuits and Systems (SCS), pp.1-5, Nov. 2009.
- [20] G. H. Lim et al., "Charge pump design for TFT-LCD driver IC using stack-MIM capacitor," IEICE TRANSACTIONS on Electronics, vol. E91-C, no. 6, pp.928-935, June 2006.
- [21] G. S. Cho et al., "터치스크린 컨트롤러용 저면적, 저전력, 고속 128Kb EEPROM IP 설계," 한국해양정보통신학회논문지, vol. 13, no. 12, pp.2633-2640, Dec. 2009.
- [22] T. Tazawa et al., "A dynamic analysis of the Dickson charge pump circuit," IEEE J. Solid State Circuits, vol. 32, no. 8, pp.1231-1240, Aug. 1997.
- [23] L. Jin et al., "Design of logic process based low-power 512-bit EEPROM for UHF RFID tag chip," ETRI Journal, vol. 30, no. 3, pp.347-354, June 2008.
- [24] J. H. Lee et al., "A low-power EEPROM design for UHF RFID tag chip," KIMICS of semiconductors & Communications, vol.10, no.3, pp.486-495, March 2006.
- [25] C. H. Lee et al., "저면적 1-kb PMOS Antifuse-Type OTP IP 설계," 한국해양정보통신학회논문지, vol. 13, no. 9, pp.1845-1850, Sep. 2009.

Abstract

Design of Small-Area and High-Reliability 512-Bit EEPROM IP for UHF RFID Tag Chips

by Dong-Hoon Lee

Dept. of Electronic Engineering

Graduate School of Changwon National University

Changwon, Korea

(Advisor : Professor Young-Hee Kim, Ph.D.)

RFID technology, which is a type of recognition technology that detects information on objects and surroundings by using radio communication technology from tags attached to objects, is forecasted to continually grow in the future as it is receiving attention as a technology which could lead the distribution industry by replacing bar codes that have been progressing in the existing stock management and distribution fields. RFID tags can be divided into the active type and the passive type according to the existence of a battery, with the passive RFID tag favorable for underpricing and miniaturization as it creates power by being supplied energy that is generated by a reader without a battery. The passive RFID tag consists of an antenna and a

tag chip, and the tag chip is composed of an analog block, a logic block, and a memory block. The memory block uses an EEPROM, which is a non-volatile memory, requiring a small area for its design to reduce the productions costs of the tag chip.

This thesis designed a small area and highly reliable 512-bit EEPROM IP for use in a UHF RFID tag chip. For a small area design, the WL driver was designed with a simplified decoding logic, and, by designing a VREF generator circuit in the form of a resistance divider in order to create VREF, which is standard voltage within the DC-DC converter, a smaller area was realized using the BGR (Bandgap Reference Voltage Generator), when compared to existing methods. Also, when getting out of write mode to improve reliability, a discharge scheme that discharged boosted voltage outputted from the DC-DC converter through VSS was proposed.

The conventional EEPROM circuit shares a row decoder for two lines of WL (Word Line) driver and when using a circuit that decodes the final address from each WL driver, there is big flaw in the CMOS decoding logic circuit occupying that area. To solve this problem, the layout width of the WL driver is reduced by simplifying the decoding logic circuit by means of applying the address signal of A[5:0] and the predecoded row address decoding signal to each WL driver. Also, previously BGR is used to create VREF voltage applied through the reference voltage of the VPP level detector. However, when designing the RFID tag chip, unnecessary layout area occurs because a BGR circuit for a voltage multiplier which creates VDD voltage from the

analog block as well as a BGR circuit supplying VREF reference voltage from EEPROM IP is necessary. Therefore, in this thesis, we designed the VREF reference voltage generator circuit in the form of a resistor divider by using the VDD which is analog power that is not sensitive to fluctuating PVT (Process-Voltage-Temperature) creates at the analog block of the RFID tag chip instead of the BGR circuit in order to reduce the layout area occupied by the VREF reference voltage generator.

In the conventional DC-DC converter designs, the boosted charge stored in the charge reservoir capacitor, while entering into the stand-by mode after exiting the write mode, begins to increase the VDDP voltage while the charge dumping of the VDDP, and, in continuous write cycles, the VDDP voltage may face the problem of rising enough to destroy the 5V device. Therefore, this thesis secured the reliability of the 5V devices by consistently maintaining the VDDP voltage even in the continuous write cycle by discharging the boosted voltage outputted from the DC-DC converter through VSS, which is common ground.

As the layout area of the 512-bit EEPROM IP for use in the UHF RFID tag chip designed by using the MagnaChip 0.18 μm EEPROM process was $359.465\mu\text{m} \times 366.76\mu\text{m}$ ($=0.1318\text{mm}^2$), when compared to the $314.325\mu\text{m} \times 510.035\mu\text{m}$ ($=0.16\text{mm}^2$) of the prior EEPROM IP, it is reduced by 17.8%. The results of the simulation showed that the VDDP voltage was consistently maintained even in the continuous write cycles, while data access time was 219.5ns even in the worst case.

감사의 글

2007년 8월, 단지 반도체 분야에 대한 흥미만 가지고 시작한 SoC 설계 연구실 생활이 어느덧 4년이 지났습니다. 그동안 많은 것을 배우고 많은 것을 느낄 수 있었던 소중한 시간을 가슴에 안고 사회라는 또 다른 시작 앞에 섰습니다. 지금 이 자리까지 올 수 있게 해주신 소중한 분들에게 감사의 마음을 전합니다. 부족한 저를 제자로 받아주시고 아낌없는 가르침과 창조적인 생각을 할 수 있도록 사랑과 열정으로 지도해주신 김영희 교수님께 진심으로 감사드립니다. 항상 관심을 가져주시고 지도해주신 하판봉 교수님께도 큰 감사를 드립니다. 그리고 꼼꼼하게 논문지도를 해주시고 격려해주신 진교홍 교수님과 항상 웃음으로 대해주셨던 최평석 교수님, 박승엽 교수님, 고봉진 교수님과 은재정 교수님께도 깊은 감사의 말씀을 드립니다. 또한 따뜻하게 다독여주시고 이끌어주시는 박무훈 교수님께 감사드립니다. 학교와는 다른 환경에서 잘 적응할 수 있도록 도움주시고 격려해주신 전기연구원의 김남균 센터장님과 서길수 팀장님, 항상 웃음으로 가르쳐주시고 때론 친형같이 힘을 주신 형우 형님과 기현 형님께도 감사의 말씀을 전합니다. 실험실 후배들을 챙겨주시고 조언해주시는 규호 선배와 태경선배, 실험실 생활에 큰 힘이 되어주신 재형 선배, 묵묵히 실험실 후배들을 이끌어주시는 형근 선배, 태호 선배, 정훈 선배, 지홍 선배에게 깊은 감사드립니다. 항상 실험실에 관심을 가져 주시는 정훈 선배, 태훈 선배, 민정 선배, 윤금 선배, 실험실 생활에 잘 적응할 수 있도록 도움주시는 두휘 선배에게도 감사의 말씀을 전합니다. 작은 일부터 큰일까지 많은 도움을 주고 웃음으로 대해준 지혜, 러연이와 억녕이, 그리고 항상 밝은 모습으로 생활하는 민성이, 건수, 영배와 인화, 실험실에서 동고동락 하며 서로의 부족함을 채워줬던 동기 광일이와 황곤이, 대학원 생활을 앞

두고 있는 명석이, 우영이, 현수에게 고마운 마음을 전합니다. 마지막으로
저의 결정을 믿어주시고 응원해주신 사랑하는 아버지와 어머니, 하나뿐인
내 동생 지은이에게도 깊은 감사드립니다.

앞으로도 SoC 실험실의 앞날에 무궁한 발전과 영광이 함께하길 바라며
모든 분들의 꿈이 이루어지기를 기원합니다.

2011년 12월

이 동 훈 드림

