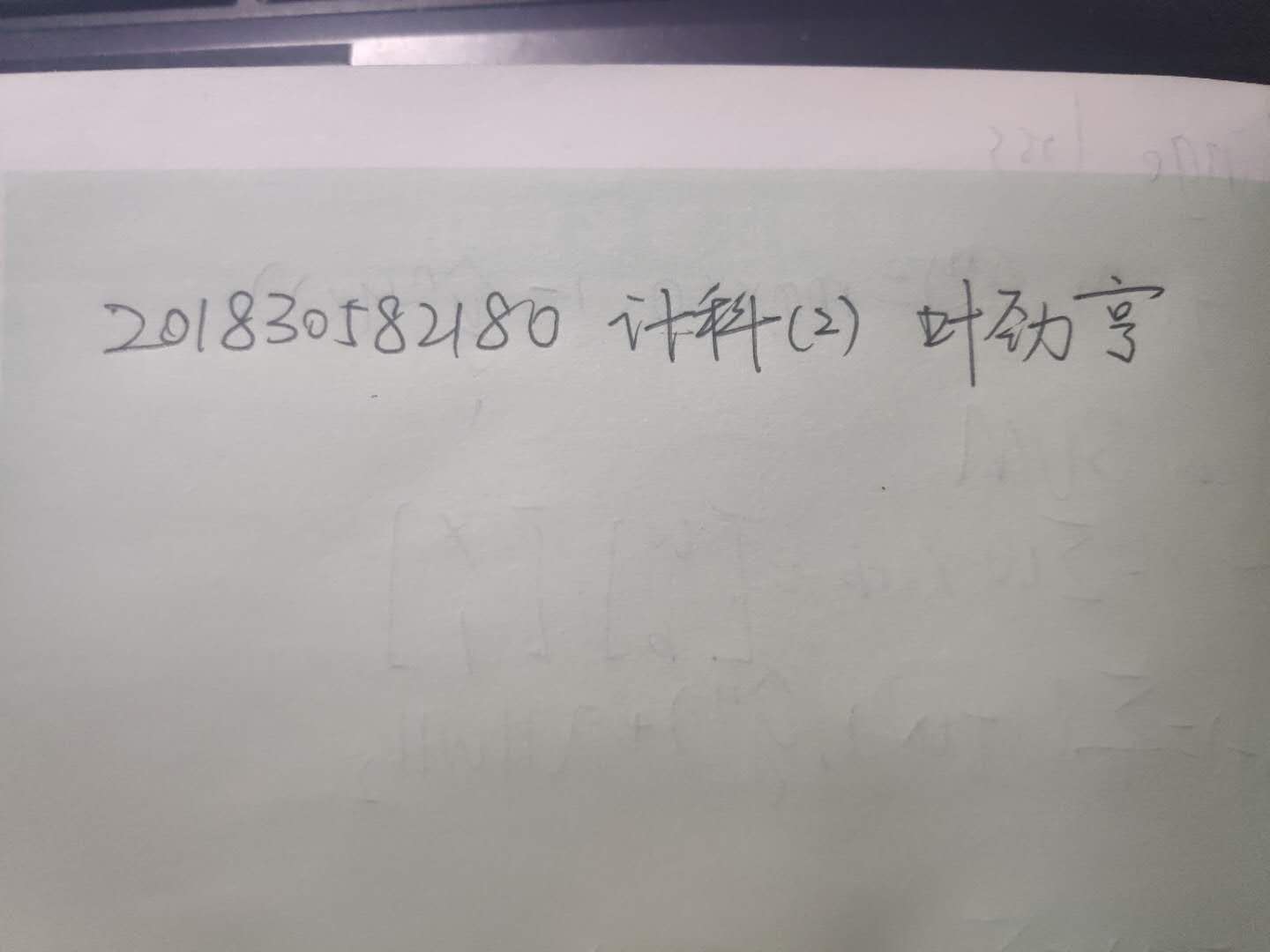
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 班级 | 2018级2班 | 姓名 | 叶劲亨 | 学号 | 201830582180 |
| 题目 | **总线与寄存器实验** | | | | |

****

**一、实验目的**

1、掌握总线以及数据通路的概念及传输特性。

2、理解锁存器、通用寄存器及移位寄存器的组成和功能。

**二、实验内容**

1、构建一条 8 位单总线的寄存器数据通路，将若干寄存器连接起来。

2、通 过拨码开 关输入原始数据到某 个寄存 器； 或者 从一个 寄存 器向另 一个 寄存 器赋 值。同时，利用移位寄存器实现数据的置数、左移、右移等功能 。

3、比 较 以下 各 组 器 件 之 间 的 异 同 ： 触 发器 74LS74和74LS175 ； 触 发 器 74LS175和 寄存器74LS273；寄存器 74LS273和74LS374；寄存器 74LS273和移位寄存器 74LS194。

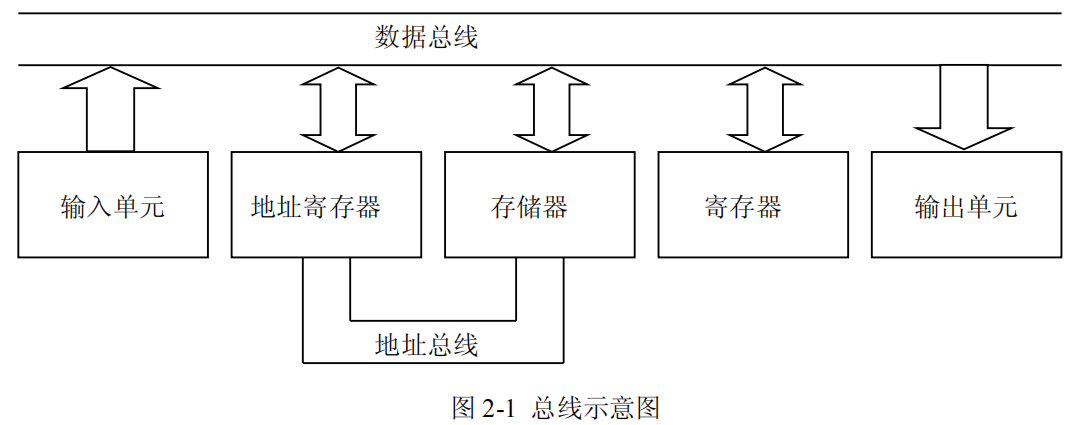
**三、实验器件**

1、D 触发器（74LS74、74LS175）、三态缓冲器（74LS244）。

2、寄存器（74LS273、74LS374）和移位寄存器（74LS194）。

**四、实验原理**

总线是多个系统部件之间进行数据传送的公共通路，是构成计算机系统的骨架。借助总线连接，计算机在系统各部件之间实现传送地址、数据和控制信息的操作。因此，所谓总线就是指能为多个功能部件服务的一组公用信息线。总线示意图如图 2-1 所示：输入单元、输出单元、寄存器、存储器及其地址寄存器等不同的设备挂在同一条总线上。这些设备都需要有三态输出控制，保证任何时刻总线上只有唯一的数据存在。



本实验的寄存器数据通路如图 2-2 所示，本通路包含了输入单元（拨码开关）、输出单元（数码显示管）和寄存器堆。输入单元如图 2-3 所示，本身就是一个 8 位的输入总线DIN\_[0..7]（如表 2-1 所示）。DIN 总线上挂靠的拨码开关和上拉电阻用来设置输入数据。低电平有效的开关 SW\_BUS\控制三态门 74LS244，实现总线 DIN\_[0..7]与数据总线 BUS\_[0..7]的连通。三态门 74LS244 逻辑功能如表 2-2 所示。输出单元即是一对数码管，用来显示数据总线 BUS\_[0..7]上的当前数据。

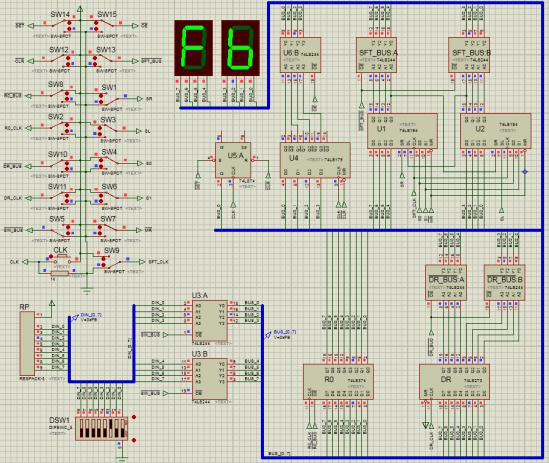


图 2-2 寄存器数据通路图

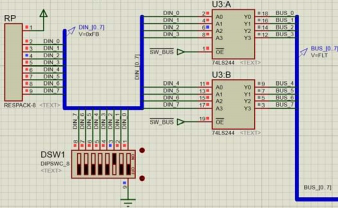
表 2-1 总线逻辑

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| DIN\_7 | DIN\_6 | DIN\_5 | DIN\_4 | DIN\_3 | DIN\_2 | DIN\_1 | DIN\_0 | 总线数据  (16 进制) |
| 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0xFB H |

表 2-2 74LS244 逻辑功能表

|  |  |  |
| --- | --- | --- |
| 输 入 | | 输 出 |
| A | OE | Y |
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| × | 1 | Z |

图 2-3 输入单元



寄存器堆由 D 触发器（74LS74、74LS175）构成的锁存器、通用寄存器 R0（74LS374）和 DR（74LS273）、移位寄存器（74LS194）构成。其中除了 74LS374 器件自带三态门结构外，其余锁存器和寄存器的输出都经过三态门（74LS244）和数据总线 BUS\_[0..7]相连，以确保按照信息传输的要求恰当有序的控制锁存器和寄存器的数据输出到总线，任何时刻总线数据都不会发生冲突。

图 2-2 中已将本实验需要连接的控制开关标明在左上方：其中除 CLK、R0\_CLK、DR\_CLK和SFT\_CLK 为上升沿控制信号，其余开关均为电平控制信号。

上升沿有效的开关CLK(74LS74和74LS175共用)、R0\_CLK(74LS374 使用)、DR\_CLK(74LS273使用)和SFT\_CLK（74LS194使用），负责把总线数据打入各自的器件；

低电平有效的开关 OE（74LS74、74LS175 的三态门控制）、R0\_BUS（74LS374 输出控制）、DR\_BUS（74LS273 的三态门控制）和SFT\_BUS（74LS194的三态门控制），负责各个器件输出所保存的数据到数据总线。

低电平有效的开关SET是74LS74的置1开关，低电平有效的开关CLR（74LS74和74LS175共用）、MR（74LS194使用）是各个器件相应的清零开关。注意的是：寄存器74LS374是没有清零功能的，74LS273有置0端MR，可以设置清零功能。但是，在本实验中MR接高电平，实际上 74LS273 取消了清零功能。

高电平有效的开关 SL、SR、S0、S1是移位寄存器74LS194 的专属开关，负责其置数、移位等功能的设置，具体详细见下文移位寄存器74LS194的功能列表。

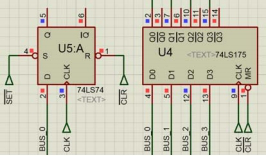
**维持-阻塞型 D 触发器：**

D 触发器逻辑功能如表 2-3：Sd 和Rd 端分别为异步置 1 端和置 0 端，CLK 为时钟脉冲端。CLK 脉冲上升沿触发。触发器的状态只取决于时钟到来前 D 端的状态，其输出状态的更新发生在 CLK 脉冲的上升沿。D 触发器可用作数字信号的寄存，移位寄存，分频和波形发生等。本实验使用的是单位 D 触发器 74LS74 和四位 D 触发器 74LS175，如图 2-3 所示。**74LS175相当于四个并行74LS74 组合，但是省略了置 1 端，保留了置 0 端用以清零。**

表 2-3 D 触发器逻辑功能表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输 入 | | | | 输 出 | |
| S  d | R  d | CLK | D | Qn＋1 | Q n＋1 |
| 0 | 1 | × | × | 1 | 0 |
| 1 | 0 | × | × | 0 | 1 |
| 0 | 0 | × | × | φ\* | φ\* |
| 1 | 1 | ↑ | 1 | 1 | 0 |
| 1 | 1 | ↑ | 0 | 0 | 1 |
| 1 | 1 | ↓ | × | Qn | Q n |

图 2-4 D 触发器



注：\* 这种情况下是不稳定的，即当 Sd 和 Rd 端回

到高电平时，输出状态将不能保持。

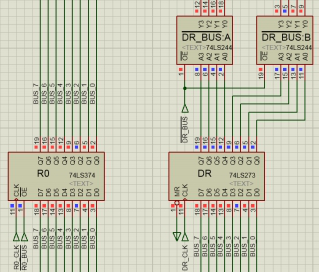
**通用寄存器：**

本实验中使用了 74LS273 和 74LS374 两款芯片作为通用寄存器，如图 2-5 所示。两者实现的功能基本相同：D0-D7为并行输入端，Q0-Q7为并行输出端，CLK 端为时钟脉冲（上升沿触发）；输出端 QX的状态只取决于 CLK 端时钟脉冲到来时刻输入端 DX的状态，输出状态的更新发生在 CLK 端脉冲的上升沿。**74LS374 自带三态门输出控制结构，比 74LS273 多了一个OE端输出使能，相当于“74LS273 + 74LS244”组合。74LS273 本身没有三态门输出控制，输出端必须经过 74LS244 接到数据总线 BUS。但是，74LS273 比 74LS374 多了一个 MR 端输出清零。**两者的逻辑功能如表 2-4 所示：

表 2-4 74LS273 & 374 逻辑 功能表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MR | OE | CLK | D | n+1 |
| 0 | 0 | × | × | 0 |
| 1 | 0 | ↑ | 0 | 0 |
| 1 | 0 | ↑ | 1 | 1 |
| 1 | 0 | 0 | × | Qn |
| 1 | 0 | 1 | × | Qn |
| × | 1 | × | × | Z |

图 2-5 通用寄存器



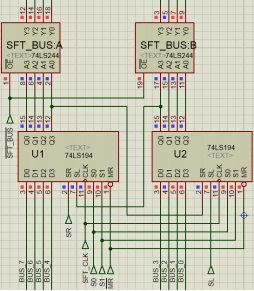
**移位寄存器：**

在数字系统中能寄存二进制信息，并进行移位的逻辑部件称为移位寄存器。本实验采用四位双向通用移位寄存器 74LSl94，如图 2-6 所示：D0、D1、D2、D3为并行输入端；Q0、Q1、Q2、Q3为并行输出端；SR为右移串行输入端；SL为左移串行输入端；S1、S0为操作模式控制端；MR 为直接无条件清零端（注：74LSl94 寄存或移位数据时，必须 MR=1）；CLK 为时钟输入端。寄存器有四种不同操作模式：①并行寄存；②右移(方向由 Q0->Q3)；③左移(方向由 Q3->Q0)；④保持。74LS194 的逻辑功能表如表 3\_5 所示。

表 2-5 74LS194 逻辑功能表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| CLK | MR\ | S  1 | S  0 | 功能 | Q Q Q Q  3 |
| × | O | × | × | 清除 | Q Q Q Q =0 |
| ↑ | 1 | l | 1 | 送数 | Q0 Q1 Q2 Q3 = D0 D1 D2 D3 |
| ↑ | 1 | O | 1 | 右移 | Q0 Q1 Q2 Q3 = SR Q0 Q1 Q2 |
| ↑ | l | l | 0 | 左移 | Q Q1 Q2 Q =  Q Q2 Q3 SL |
| ↑ | l | 0 | 0 | 保持 | D D D D =  Q0 Q1 Q2 Q3 |

图 2-6 移位寄存器



**五、实验步骤**

**实验 1：拨码开关输入数据至总线**

● SW\_BUS = R0\_BUS = DR\_BUS = SFT\_BUS = 1；手动操作总线DIN上的拨码开关，在总线DIN上置位数据0x55，缓冲器244阻断。比较总线DIN与BUS状态的异同。

解答：总线DIN上有传输数据0x55，而总线BUS处于高阻态，无传输数据。

● SW\_BUS=0，比较总线DIN与BUS状态的异同，记录BUS总线的数据：

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| BUS\_7 | BUS\_6 | BUS\_5 | BUS\_4 | BUS\_3 | BUS\_2 | BUS\_1 | BUS\_0 | BUS 总线 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0x55 |

**实验 2：D 触发器数据锁存实验**

● SW\_BUS = 0，R0\_BUS = DR\_BUS = SFT\_BUS =1；通过拨码开关改变74LS74的D端（即 BUS 总线的 BUS\_0）的状态，按照下表置位74LS74的端、端，观察并记录CLK端上升沿 、下降沿跳变时刻端、端的状态，填观测结果于表中。

解答：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | CLK | D |  |  |  |
| 0 1 | X | X | 0 | 1 | 0 |
| 1 | 1 | 0 |
| 1 0 | X | X | 0 | 0 | 1 |
| 1 | 0 | 1 |
| 1 1 | ↑ | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 |
| 1 1 | ↑ | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 |
| 1 1 | 0（1） | X | 0 | 0 | 1 |
| 1 | 1 | 0 |

● 74LS175的三态门244阻断（=1），拨码开关置位BUS总线数据，使74LS175的D端分别接高，低电平，观察并记录当CLK 上升沿、下降沿跳变时端、端的状态。

解答：

|  |  |  |  |
| --- | --- | --- | --- |
| D | CLK |  |  |
| 1 | ↑ | 1 | 0 |
| 0 | ↑ | 0 | 1 |

● 观察74LS175的端、端和74LS74的端、端的异同，观察当74LS175的端置0后（CLR = 0），输出端、端的变化。

解答：74LS175的端、端和74LS74的端、端相同，但74LS175有四个Q输出端，分别对应BUS[0-3]，而74LS74只有一个Q端，只对应BUS\_0

端置0后：

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |

**实验 3：通用寄存器实验**

● SW\_BUS = 0，R0\_BUS = DR\_BUS = SFT\_BUS = 1；操作拨码开关输入数据0xAA到总线，观测此时 74LS374 和 74LS273 输出端 QX的各自状态。

74LS374

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |

74LS273经过一个上升沿前输出端不变，经过一个上升沿后

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |

● 74LS374 的 CLK 端 R0\_CLK 上升沿跳变把总线上的 0xAA 数据存入 R0 寄存器（74LS374）。

● 拨码开关的三态门 244 阻断（SW\_BUS = 1），观察此时总线 BUS 上的状态。

解答：总线BUS处于高阻态

● 74LS374 的输出选通（R0\_BUS = 0），观测总线 BUS 的状态。

解答：BUS[0-7]均处于低电平

● 74LS273 的 CLK 端 DR\_CLK 上升沿跳变把总线上的 0xAA 数据存入 DR 寄存器（74LS273）。观察 74LS374 和 74LS273 输出端 QX的各自状态。

解答：74LS374的输出端保持，而74LS273输出端状态如下表

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |

**实验 4：移位寄存器实验**

● SW\_BUS = 0，R0\_BUS = DR\_BUS = SFT\_BUS = 1；通过拨码开关送入总线 BUS 任意八位二进制数，赋值74LS194的输入端D0D1D2D3。按照下表置位74LS194的MR端、S1端、S0 端、SL端、SR端，观察并记录CLK端上升沿、下降沿跳变时刻输出端 Q0Q1Q2Q3的状态，填观测结果于表中，并填写功能总结。

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 清除 | 模式 | | 时钟 | 串行 | | 输入 | 输出 | 功能总结 |
| MR | S1 | S0 | CLK | SL | SR | D0D1D2D3  3 | Q0Q 1Q2Q3 |  |
| 0 | × | × | × | × | × | ×××× | 0000 | 清除 |
| 1 | 1 | 1 | ↑ | × | × | abcd | abcd | 送数 |
| l | 0 | 1 | ↑ | × | 0 | ×××× | 0abc | 右移 |
| 1 | 0 | 1 | ↑ | × | l | ×××× | 10ab | 右移 |
| l | 0 | 1 | ↑ | × | 0 | ×××× | 010a | 右移 |
| 1 | 0 | 1 | ↑ | × | 0 | ×××× | 0010 | 右移 |
| 1 | 1 | 0 | ↑ | 1 | × | ×××× | 0101 | 左移 |
| 1 | l | 0 | ↑ | l | × | ×××× | 1011 | 左移 |
| 1 | 1 | 0 | ↑ | 1 | × | ×××× | 0111 | 左移 |
| l | 1 | 0 | ↑ | l | × | ×××× | 1111 | 左移 |
| 1 | 0 | 0 | ↑ | × | × | ×××× | 1111 | 保持 |

**思考题**

1、把 74LS175 的Q端接三态门244，拨码开关把数据0xAA打入74LS175。假设=0，SW\_BUS=0，会出现什么情况？为什么？

解答：如果拨码开关改变，数码显示器将会显示错误。因为三态门74LS244的端为0，所以输出的数据会传输到总线BUS上，又因为改变拨码开关后，总线的状态发生改变，导致与74LS244的输出端不一致，因此会出现错误。如果此时给74LS175一个上升沿，则会恢复正常。

2、拨码开关先打入数据 0xAA到R0寄存器（74LS374），R0\_BUS\=1；拨码开关再输入新的数据 0x55到总线BUS，会冲掉R0寄存器里保存的0xAA么？假设此时令R0\_BUS=0，会出现什么情况？为什么？

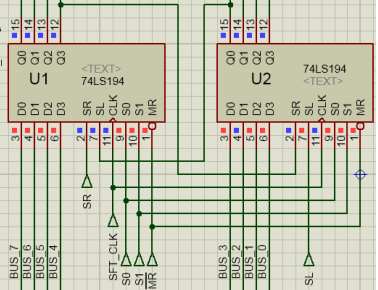
解答：拨码开关再输入新的数据 0x55到总线BUS，不会冲掉R0寄存器里保存的0xAA，因为没有时钟的上升沿。如果令R0\_BUS=0，则数码显示器将会无法正常显示，因为拨码开关传输给总线的数据和74LS374输出的数据不同，如果给74LS374一个时钟上升沿，则会恢复正常。

3、拨码开关分别打入数据0xAA和0x55到R0寄存器（74LS374）和DR寄存器（74LS273），假设此时令R0\_BUS = DR\_BUS = 0，会出现什么情况？可以同时打开多个寄存器输出到总线的三态门控制么？

解答：数码显示器将会显示错误。因为74LS374和74LS273两个寄存器存放的数据不一致，当两者同时输出到总线时将会发生错误，因此不可以同时打开多个寄存器输出到总线的三态门控制。

4、74LS194的SL端、SR端数据究竟是提供D0D1D2D3端移入数据还是保存D0D1D2D3端移出数据？假设要保存74LS194移位时D0D1D2D3端移出的数据，该怎么修改寄存器电路？

解答：提供D0D1D2D3端移入数据。再引入一个74LS194芯片，其S0、S1引脚与原74LS194的S0、S1引脚接在一起，SR端连接原芯片的Q3端，这样就可以保存74LS194右移位时D0D1D2D3端移出的数据；同理再引入一个74LS194芯片就可以保存74LS194左移位时D0D1D2D3端移出的数据。



**六、实验结果分析**

1、通过改变开关来控制三态门的状态，从而实现任何时刻总线上只有唯一的数据存在，并逐步完成以上所有实验步骤，最终得到实验结果。

2、如果违反了“任何时刻总线上只有唯一的数据存在”，则可能会导致总线上数据冲突，数码显示器无法工作。

3、在开关中要特别关注SW\_BUS、DR\_BUS、R0\_BUS、SFT\_BUS这几个，因为这几个开关控制三态门的使能端，最好确保同一时刻只有一个开关处于低电平。

**七、本次实验的体会和建议**

1、通过本次实验，我掌握总线以及数据通路的概念及传输特性。总线是多个系统部件之间进行数据传送的公共通路，是构成计算机系统的骨架。借助总线连接，计算机在系统各部件之间实现传送地址、数据和控制信息的操作。因此，所谓总线就是指能为多个功能部件服务的一组公用信息线。所有连接到总线的设备都需要有三态输出控制，保证任何时刻总线上只有唯一的数据存在。

2、理解了锁存器、通用寄存器及移位寄存器的组成和功能。寄存器是一类具有逻辑记忆功能的时序电路，只有在时钟上升沿到来时才改变寄存器存放的数据。在引入寄存器到总线时，要注意是否需要三态门的连接，保证任何时刻总线上只有唯一的数据存在。

3、由于是第一次进行计算机组成原理的实验，对于软件的使用还不是十分熟悉，在经过了多天的探索之后，大致了解了proteus的基本操作，对总线和芯片的理解上了一个新台阶。