

ЦИФРОВА СХЕМОТЕХНІКА

ЗАНЯТТЯ 5. ЛІЧИЛЬНИКИ, ЧАСОВІ ЗАТРИМКИ, ФОРМУВАННЯ
ТРИВАЛОСТІ ІМПУЛЬСУ



ЛІЧИЛЬНИКИ, ЧАСОВІ ЗАТРИМКИ, ФОРМУВАННЯ ТРИВАЛОСТІ ІМПУЛЬСУ

Лічильники, часові затримки та формувачі імпульсів — це ключові елементи цифрової схемотехніки, що використовуються в різних електронних пристроях для синхронізації, вимірювання часу, обробки сигналів і управління процесами.

Лічильники (Counter) – цифрові пристрої, що рахують імпульси та можуть зберігати кількість вхідних тактових сигналів. Вони бувають зростаючими (**up-counter**), спадаючими (**down-counter**) або двонапрямленими (**up/down-counter**) з керуючим сигналом.

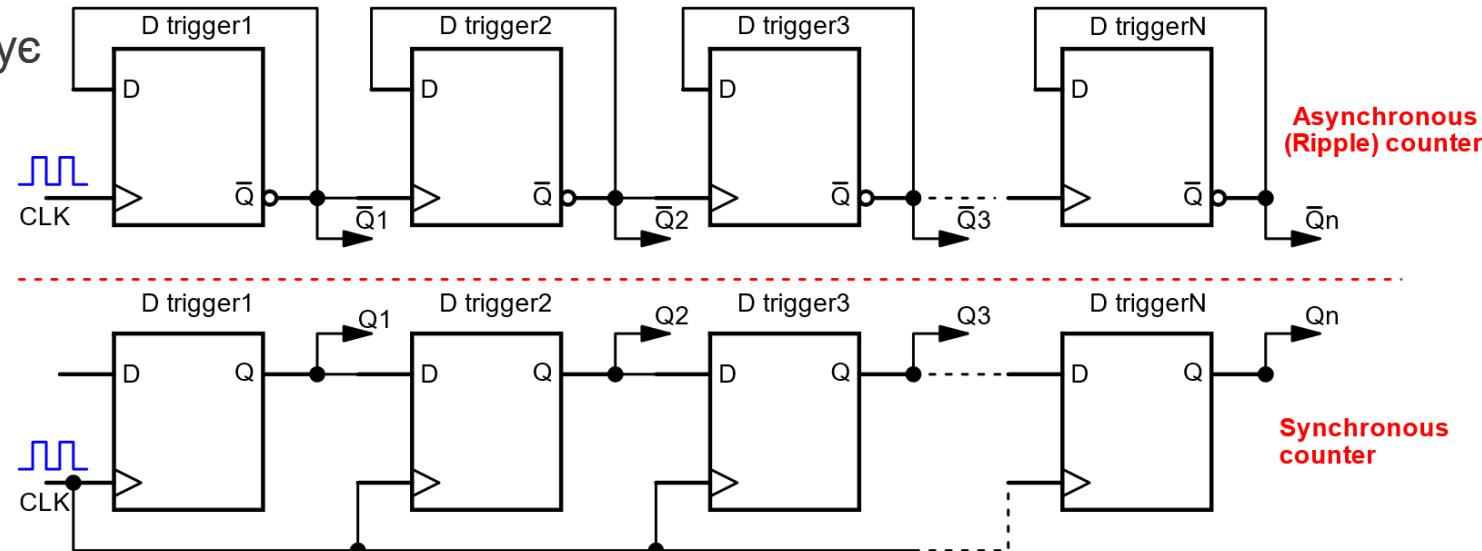
За способом організації зміни станів:

Асинхронний (Ripple Counter) – кожен тригер змінює свій стан після зміни попереднього, що спричиняє затримку (накопичення затримки з кожним бітовим розрядом).

Синхронний (Synchronous Counter) – усі тригери змінюють стан одночасно, що зменшує затримку та підвищує швидкодію.

Лічильники використовуються в цифрових системах для:

- Вимірювання часу та частоти
- Синхронізації процесів
- Адресації в пам'яті
- Керування послідовностями дій



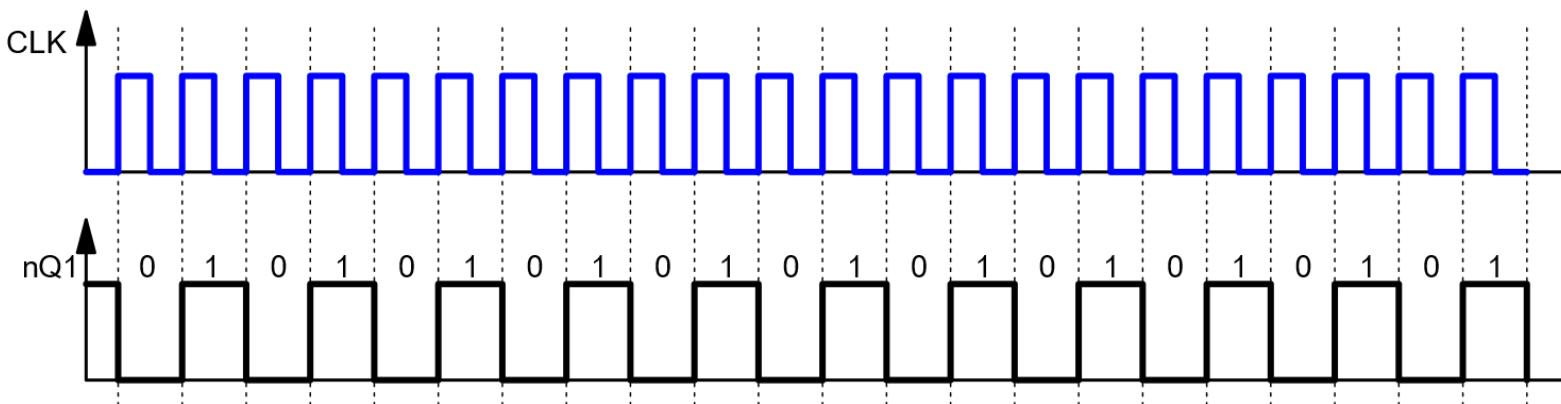
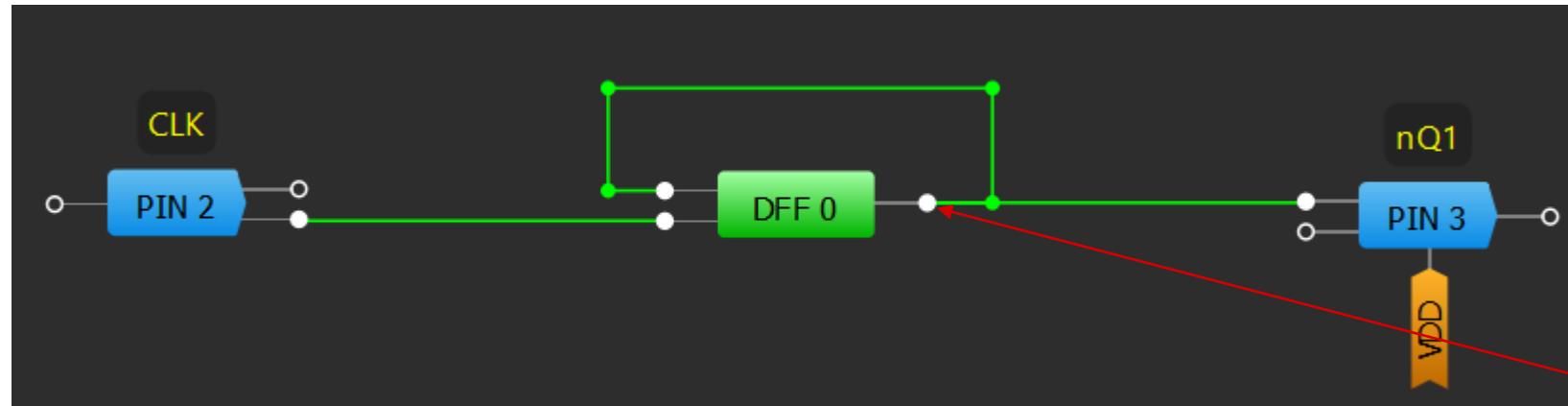
COUNTERS

1-BIT, 2-BITS, 3-BITS COUNTER

Почнемо ще раз з початку, а саме з Д тригера зі зворотнім зв'язком nQ на D.

Кожного разу при наростаючому рівні на вході CLK, стан вихіду nQ змінюється на протилежний $1 \rightarrow 0 \rightarrow 1 \rightarrow 0 \dots$

Ця операція називається Toggle (див. заняття про T і JK тригери)



Properties

2-bit LUT0/DFF/LATCH0

Type: DFF / LATCH

Mode: DFF

Second Q select: None

nSET/nRESET option: None

Initial polarity: Low

Q output polarity: **Inverted (nQ)**

Information

Normal operation

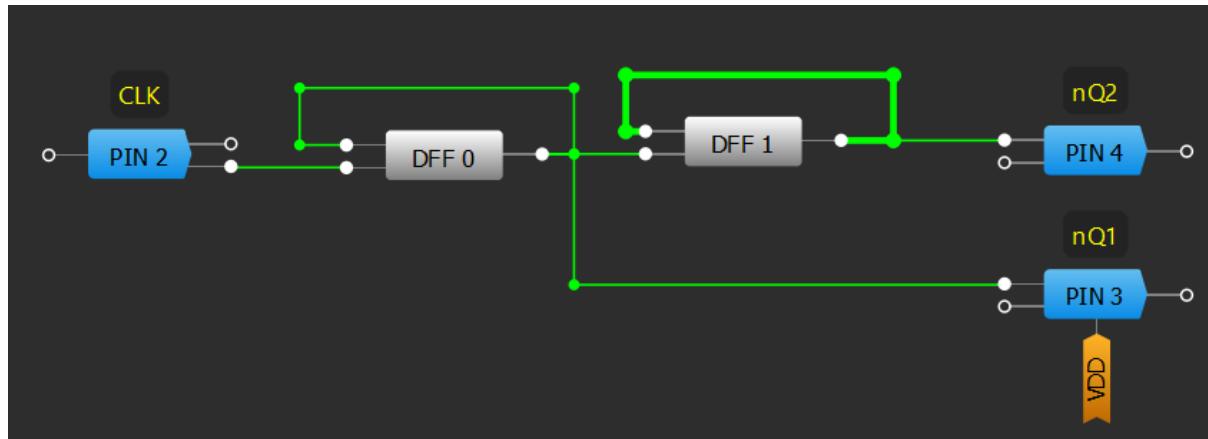
D	CLK	Q(t)	nQ(t)
0	↑	0	1
0	↓	t-1	t-1
1	↑	1	0
1	↓	t-1	t-1

t - previous state;



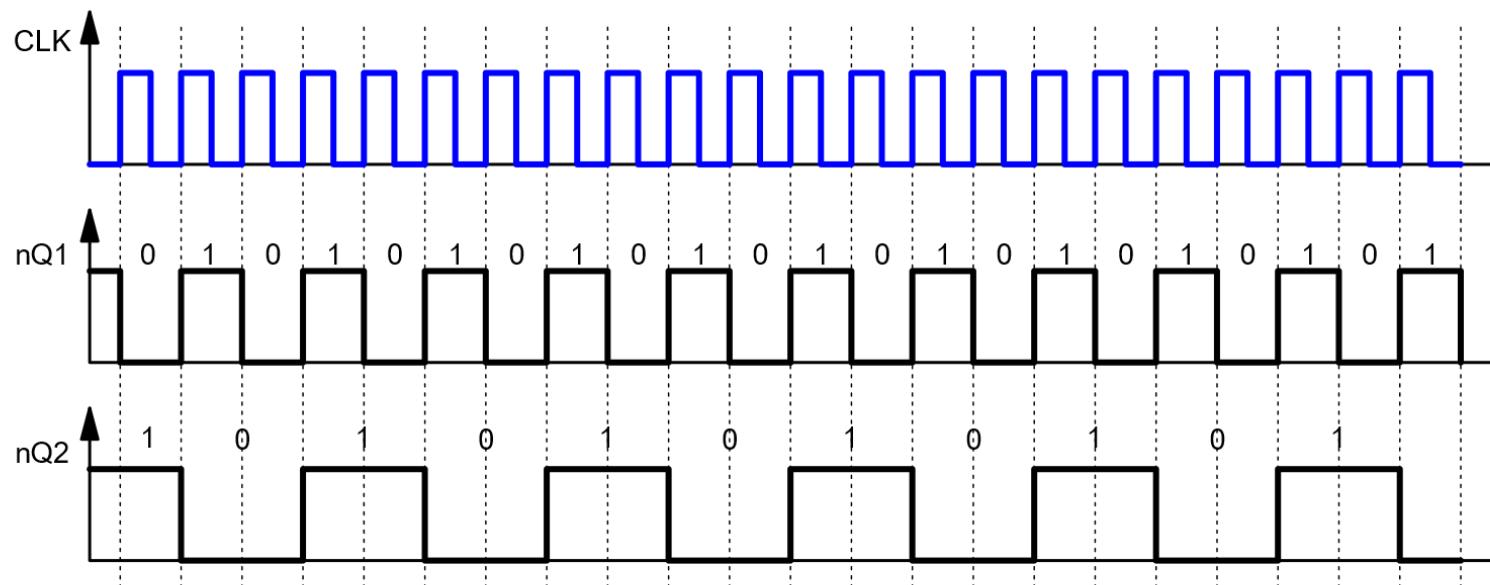
COUNTERS

1-BIT, 2-BITS, 3-BITS COUNTER



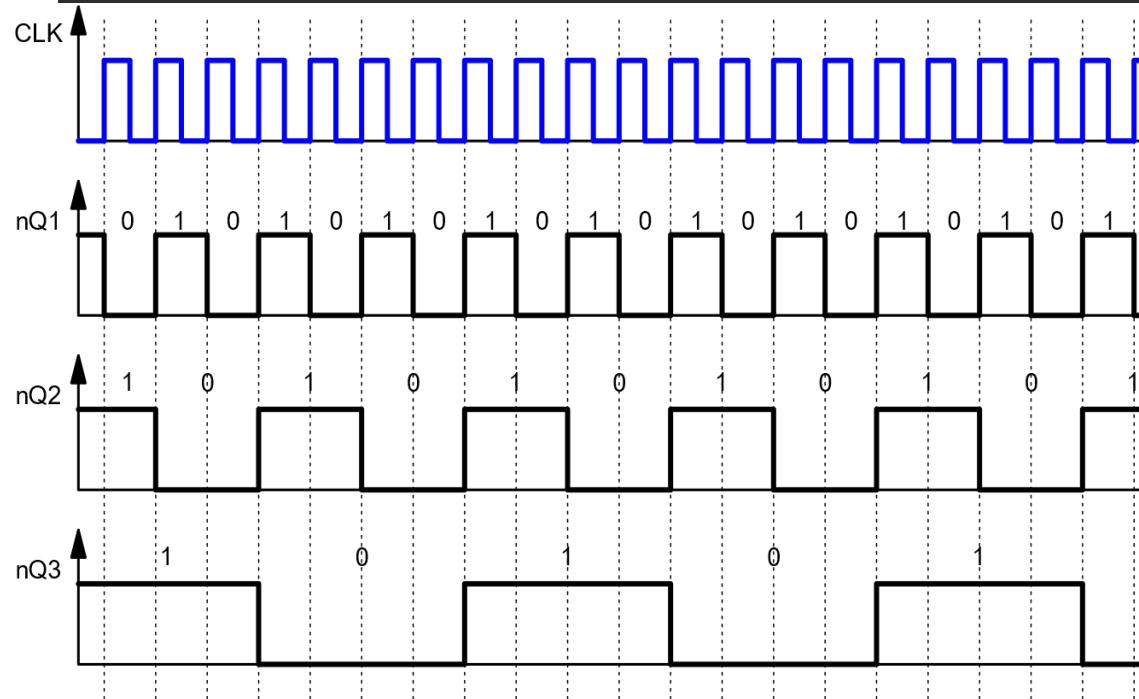
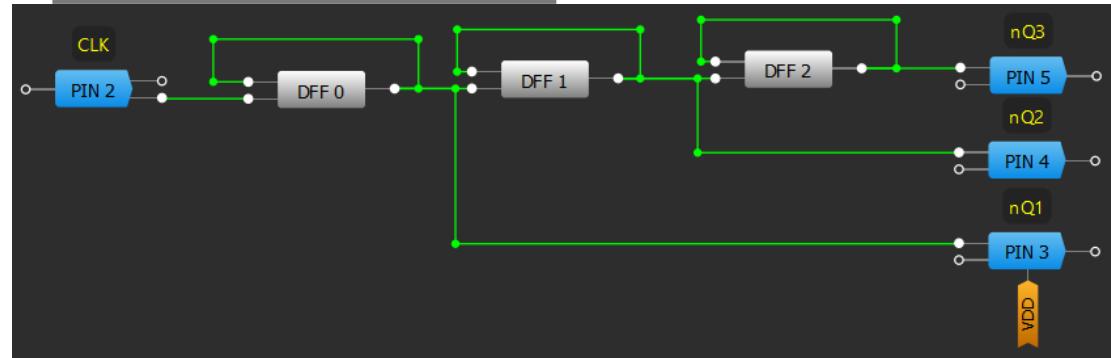
Додамо ще один Д тригер вхід CLK якого буде з'єднаний з виходом попереднього nQ1.

Отже, зміна стану nQ_1 по наростиючому фронту буде спричиняти зміну стану nQ_2



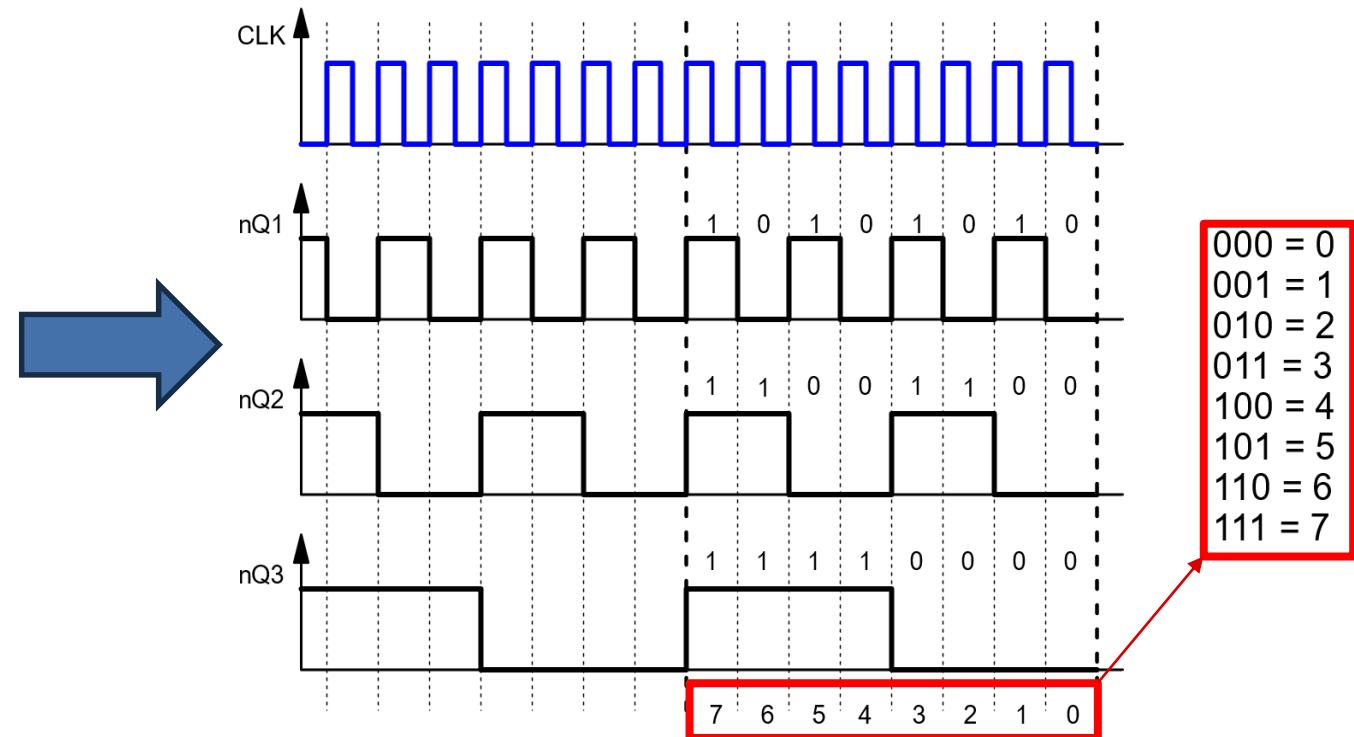
COUNTERS

1-BIT, 2-BITS, 3-BITS COUNTER



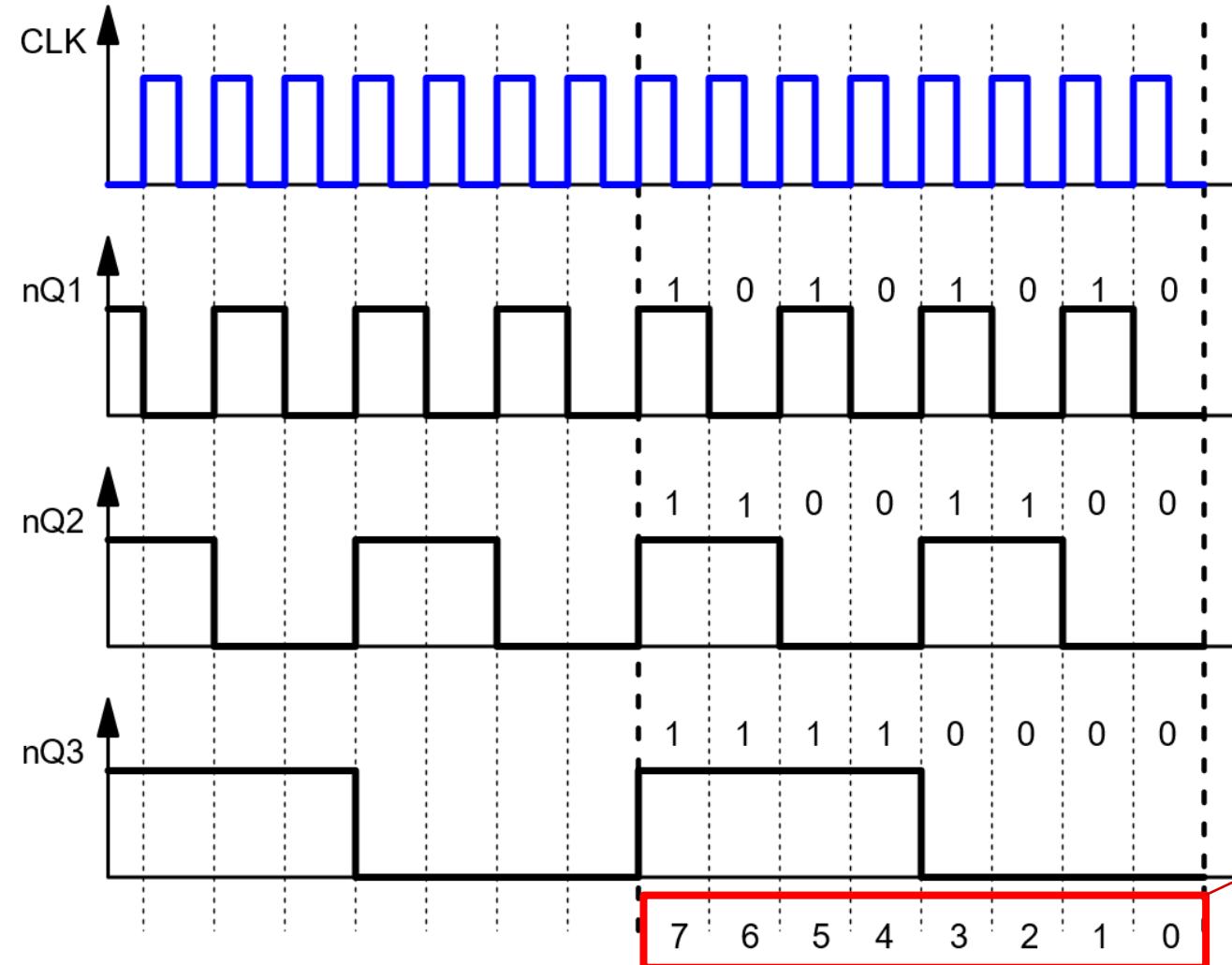
Як завжди ускладнюємо 😊

Додамо ще один Д триггер вхід CLK якого буде з'єднаний з виходом попереднього nQ2.



COUNTERS

1-BIT, 2-BITS, 3-BITS COUNTER



Висновок:

1. 3-бітним асинхронним лічильником, можна циклічно рахувати від 0 до 7.
2. Вхідна частота CLK буде ділิตся на 2^N , N – кількість послідовно підключених Д тригерів. $F_{Qn} = F_{clk}/2^N$

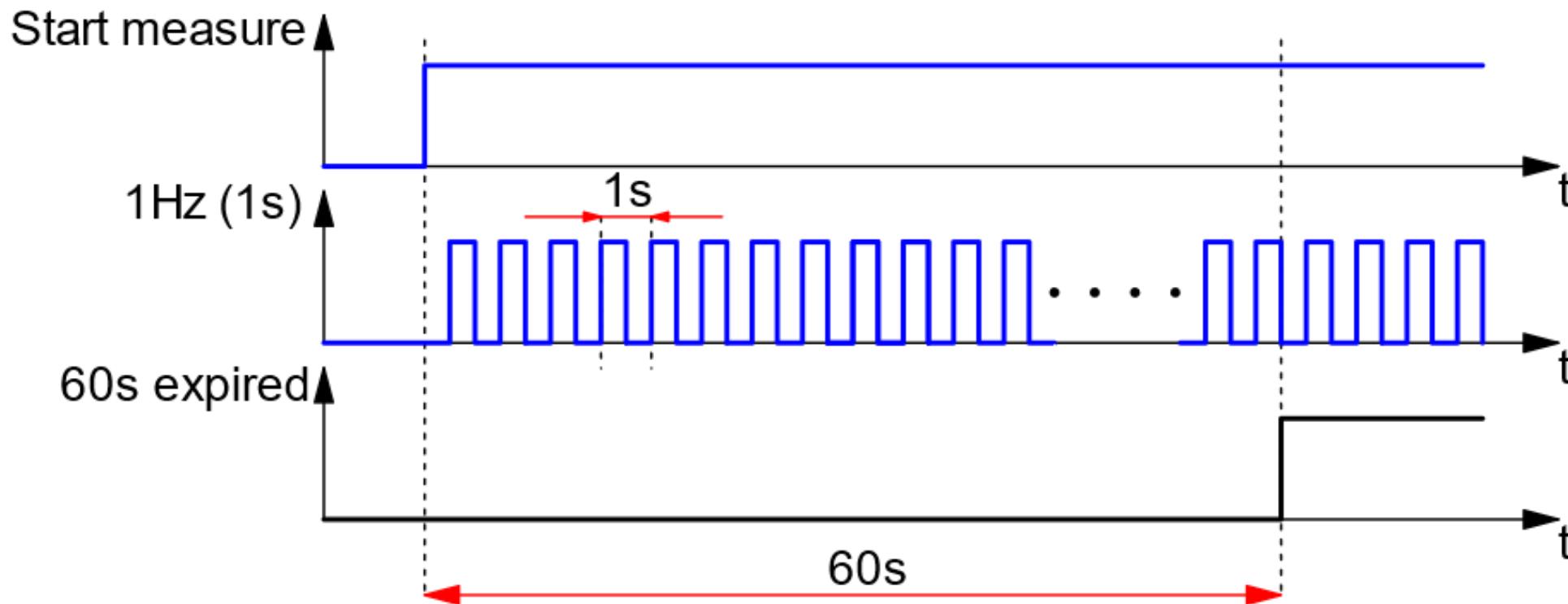
000 = 0
001 = 1
010 = 2
011 = 3
100 = 4
101 = 5
110 = 6
111 = 7

Ліричний відступ в сторону, щоб
поговорити про практичну роботу 😎

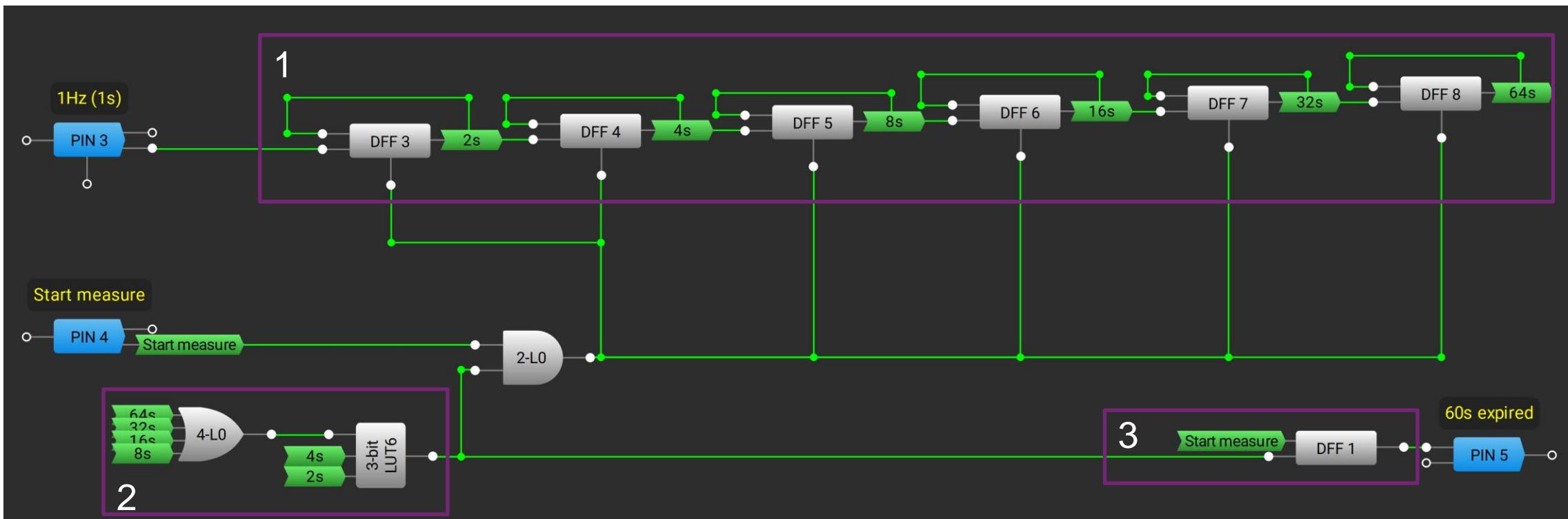
COUNTERS. HOMEWORK EXAMPLE

Приклад, який дасть (принаймі, я так задумував) додаткове розуміння, як робити практичну роботу №4

Уявимо, що на вхід лічильника приходить частота 1Hz (період $T=1\text{с}$, як в звичайному годиннику😊). Спробуємо зробити затримку на 1хв



COUNTERS. HOMEWORK EXAMPLE



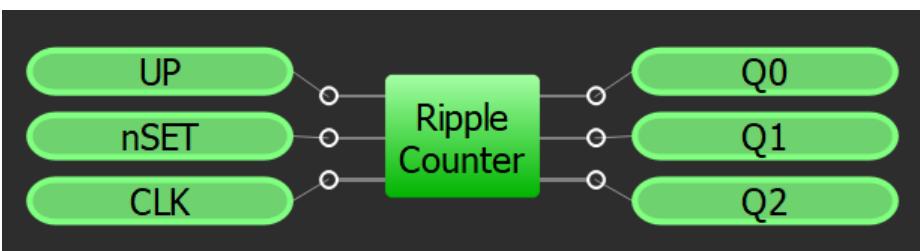
1. Асинхронний лічильник до 2^8
2. Декодер числа 60 і умова скидання лічильника
3. Запам'ятовування стану **60s expired**

Вертаємось назад до теми заняття 😎

COUNTERS

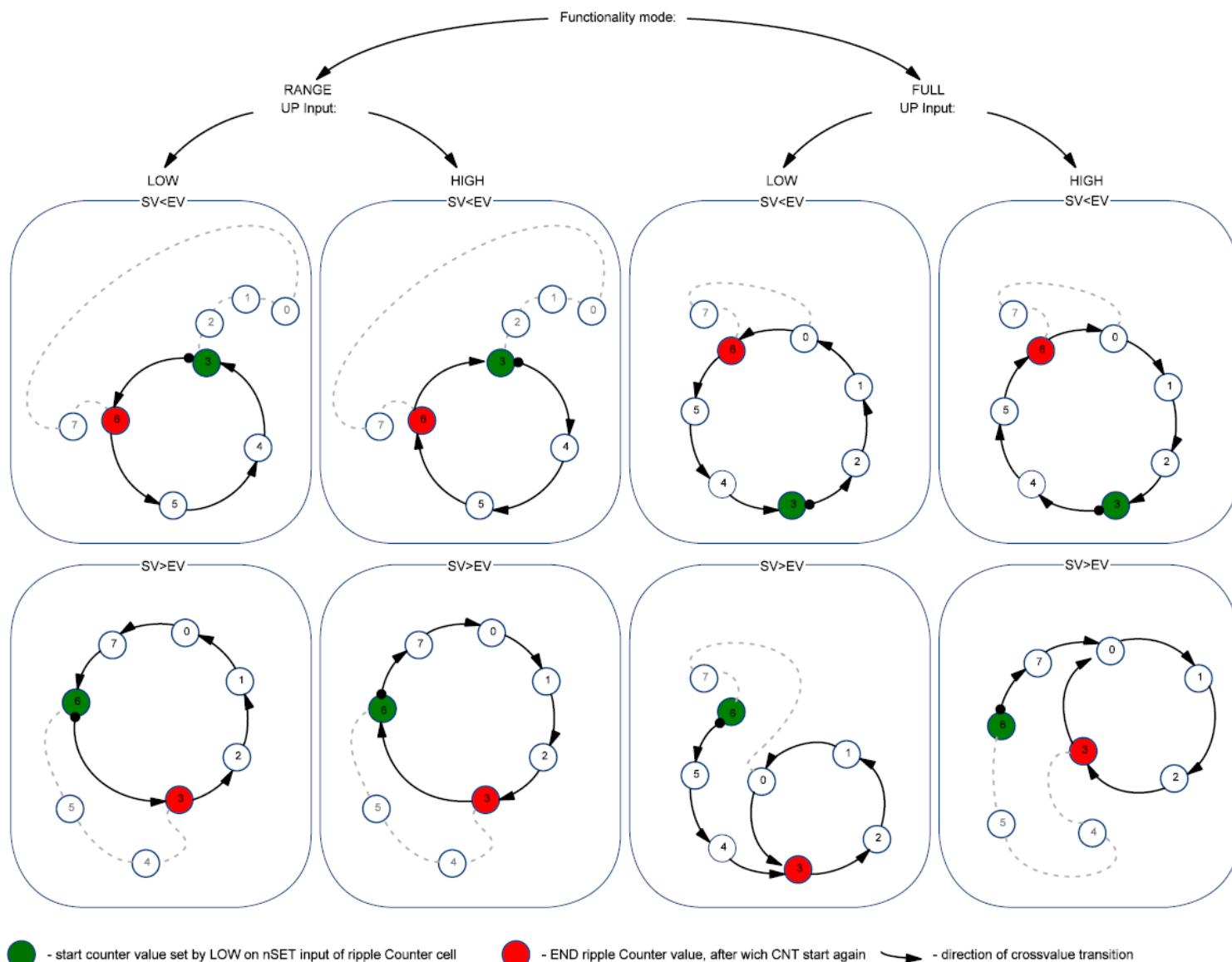
RIPPLE COUNTER IN GPAK

1. Може рахувати, як вниз, так і вверх, динамічно змінюючи напрямок рахунку
2. Два режими роботи – **RANGE** (лічильник рахує між SV та EV) та **FULL** (лічильник переходить через 0 і продовжує рахунок від EV).



Properties	
3-bit LUT6/Pipe Delay/Ripple Counter	
Type:	Ripple Counter
nSET value (SV):	0
End value (EV):	0
Functionality mode:	Full: 0-EV/EV-0 cyc

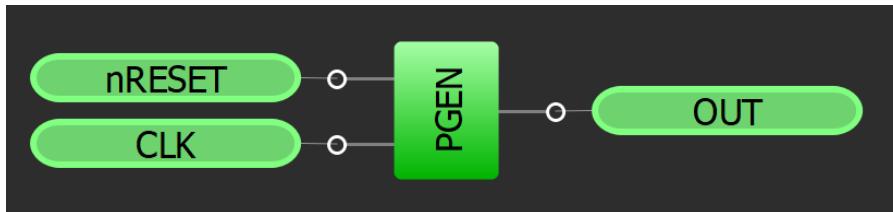
000 = 0
 001 = 1
 010 = 2
 011 = 3
 100 = 4
 101 = 5
 110 = 6
 111 = 7



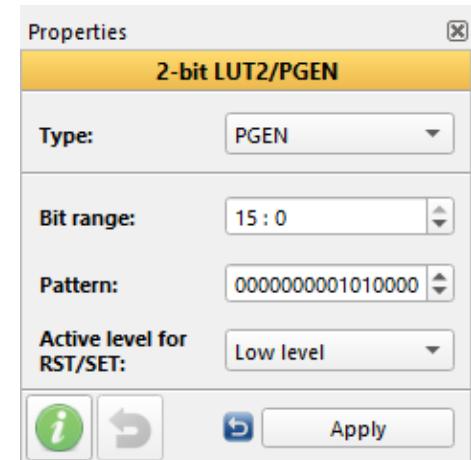
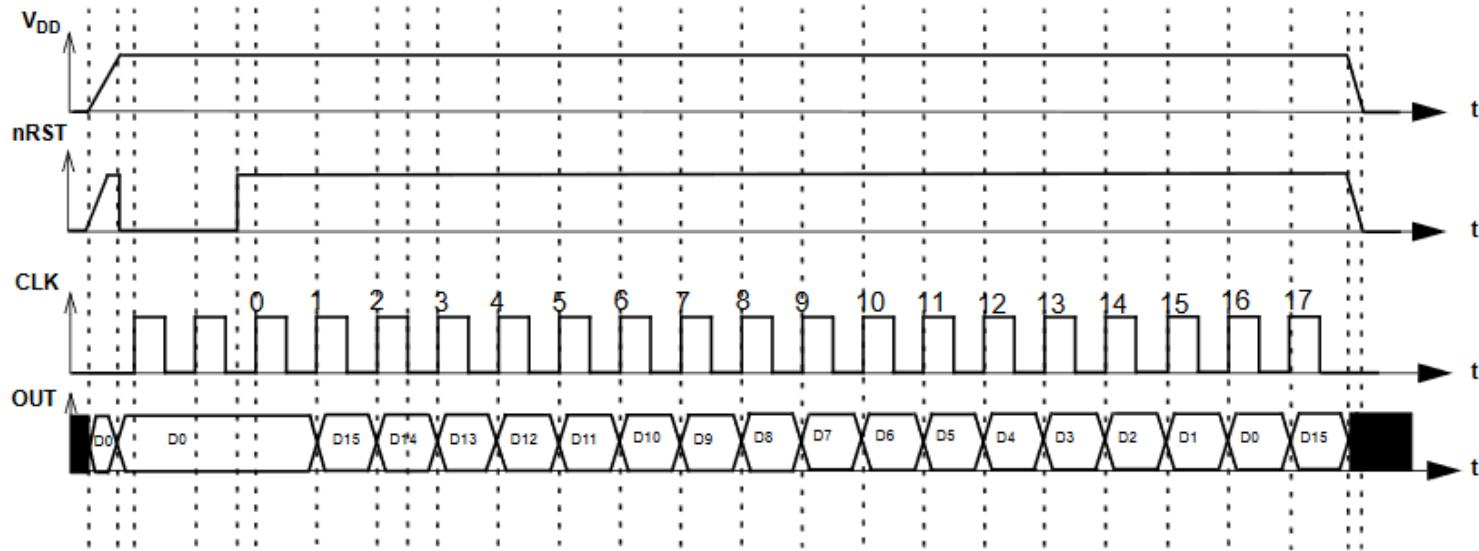
PGEN

PGEN генерує повторюваний рядок до 16 бітів, які змінюються передній фронт тактового сигналу.

Може бути використаний, як дільник частоти 😊 до 16

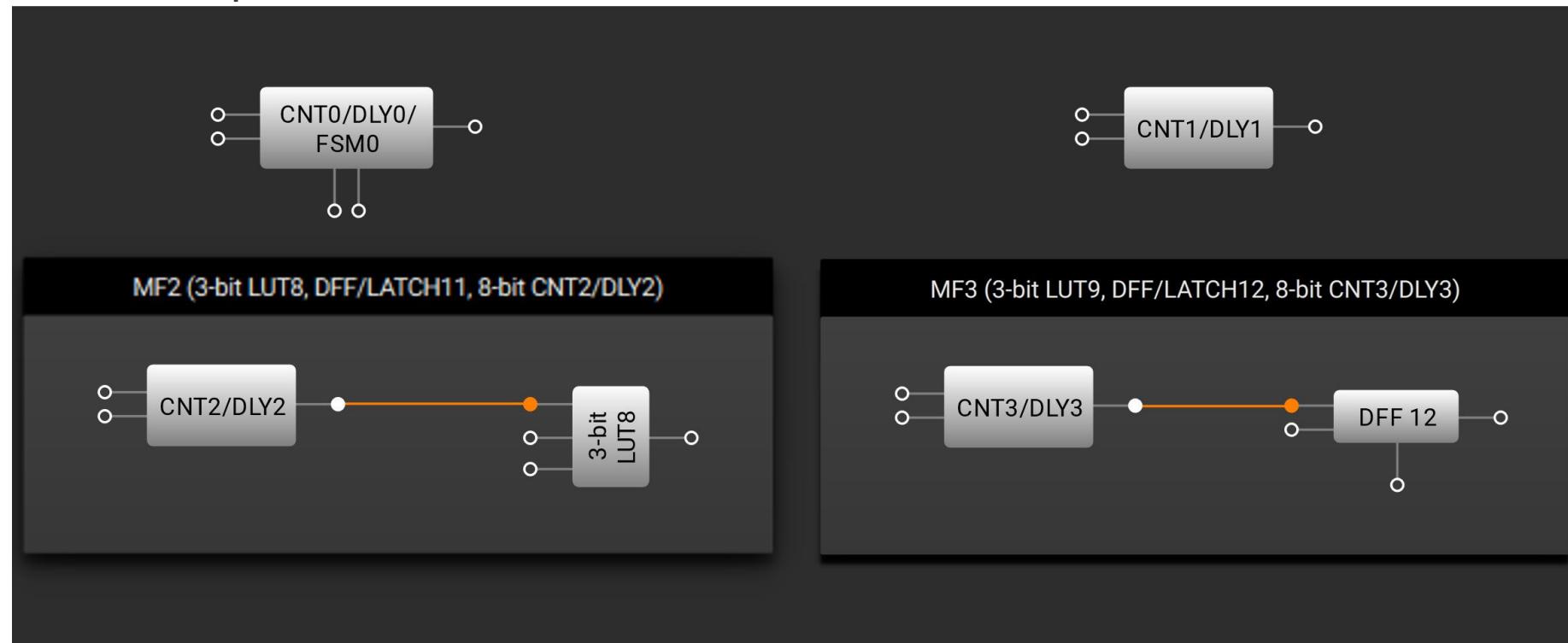


- Якщо на виводі nRESET є сигнал HIGH, PGEN згенерує рядок бітів, в іншому випадку він збереже стан 0-біт
- **Bit range** задає кількість бітів в послідовності
- **Pattern** задає саму послідовність
- Можливість змінити активний рівень для RST/SET



COUNTER DELAY (CNT/DLY) BLOCKS

- CNT/DLY macrocells allow diverse customization of timing sequences
- Configuration modes to match unique behavior
 - Delay
 - One-shot
 - Frequency Detect
 - Reset Counter
 - Edge Detect
 - Delayed Edge Detect



CNT/DLY BLOCK ON EXAMPLE SLG46826

DELAY MODE

Properties

8-bit CNT1/DLY1 (MF1)

Multi-function mode: CNT/DLY

Mode: Delay

Counter data: 1
(Range: 1 - 255)

Delay time (typical): 976.563 ns
Formula

Edge select: Both

DLY IN init. value: Bypass the initial

Output polarity: Non-inverted (OUT)

Up signal sync.: None

Keep signal sync.: None

Mode signal sync.: Bypass

Connections

Clock: OSC1

Clock source: OSC1 Freq.

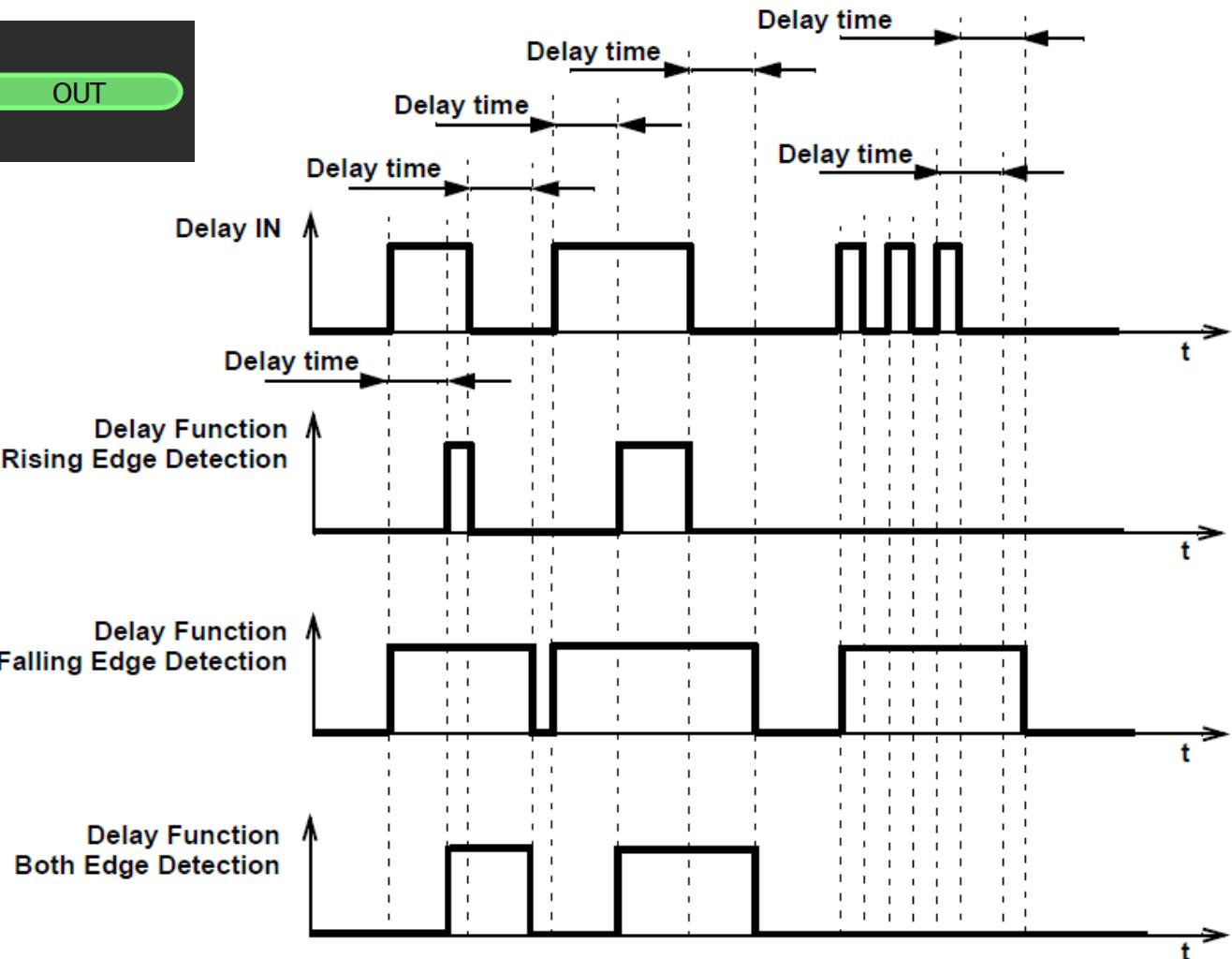
Clock frequency: 2.048 MHz

Counter data: 255
(Range: 1 - 255)

Delay time (typical): 125 us
Formula

Bypass the initial
Initial 0
Initial 1

OSC2
OSC2 /4
OSC1
OSC1 /8
OSC1 /64
OSC1 /512
OSCO
OSCO /8
OSCO /64
OSCO /512
OSCO /4096
OSCO /32768
OSCO /262144
CNT0/DLY0/ FSM0 (OUT)
Ext. Clk. (From matrix)



CNT/DLY BLOCK ON EXAMPLE SLG46826

COUNTER/FSM MODE

Properties

16-bit CNT0/DLY0/FSM0 (MFO)

Multi-function mode: CNT/DLY

Type: CNT/DLY

Mode: Counter/FSM

Counter data: 1
(Range: 1 - 65535)

Output period (typical): 976.563 ns [Formula](#)

Edge select: Both

DLY IN init. value: Bypass the initial

Output polarity: Non-inverted (OU⁺)

Up signal sync.: Bypass

Keep signal sync.: Bypass

Mode signal sync.: Bypass

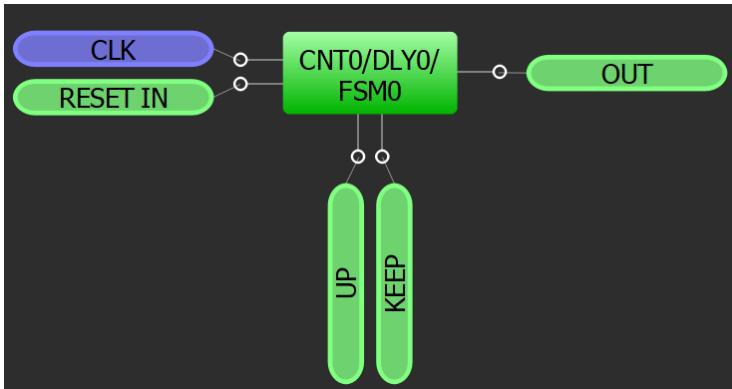
FSM SET/RST Selection: Reset to 0

Connections

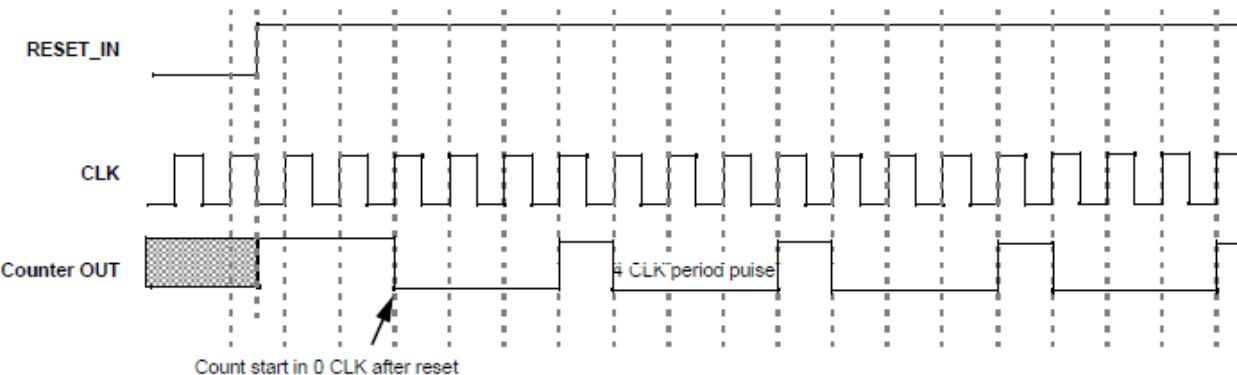
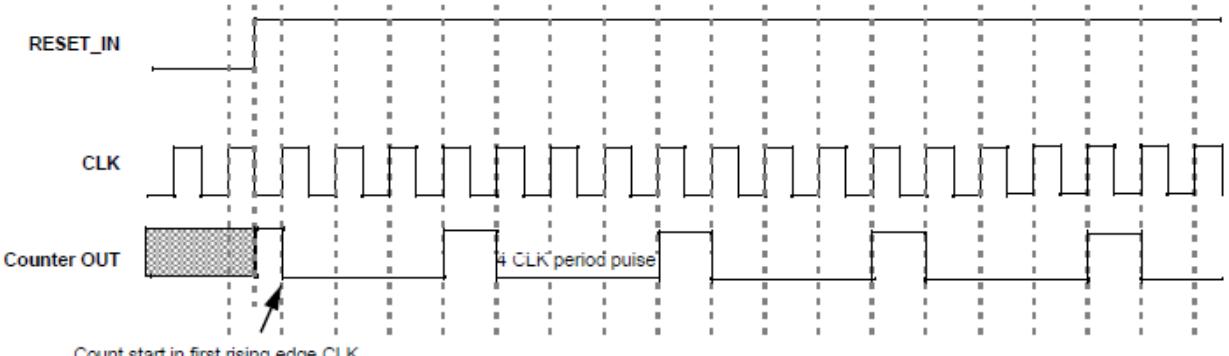
Clock: OSC1

Clock source: OSC1 Freq.

Clock frequency: 2.048 MHz



- Bypass**
After two dff
- Reset to 0**
Set to data



CNT/DLY BLOCK ON EXAMPLE SLG46826

ONE SHOT MODE

Properties

8-bit CNT1/DLY1 (MF1)

Multi-function mode: CNT/DLY

Mode: One shot

Counter data: 1
(Range: 1 - 255)

Pulse width (typical): 976.563 ns [Formula](#)

Edge select: Both

DLY IN init. value: Bypass the initial

Output polarity: Non-inverted (OU)

Up signal sync.: None

Keep signal sync.: None

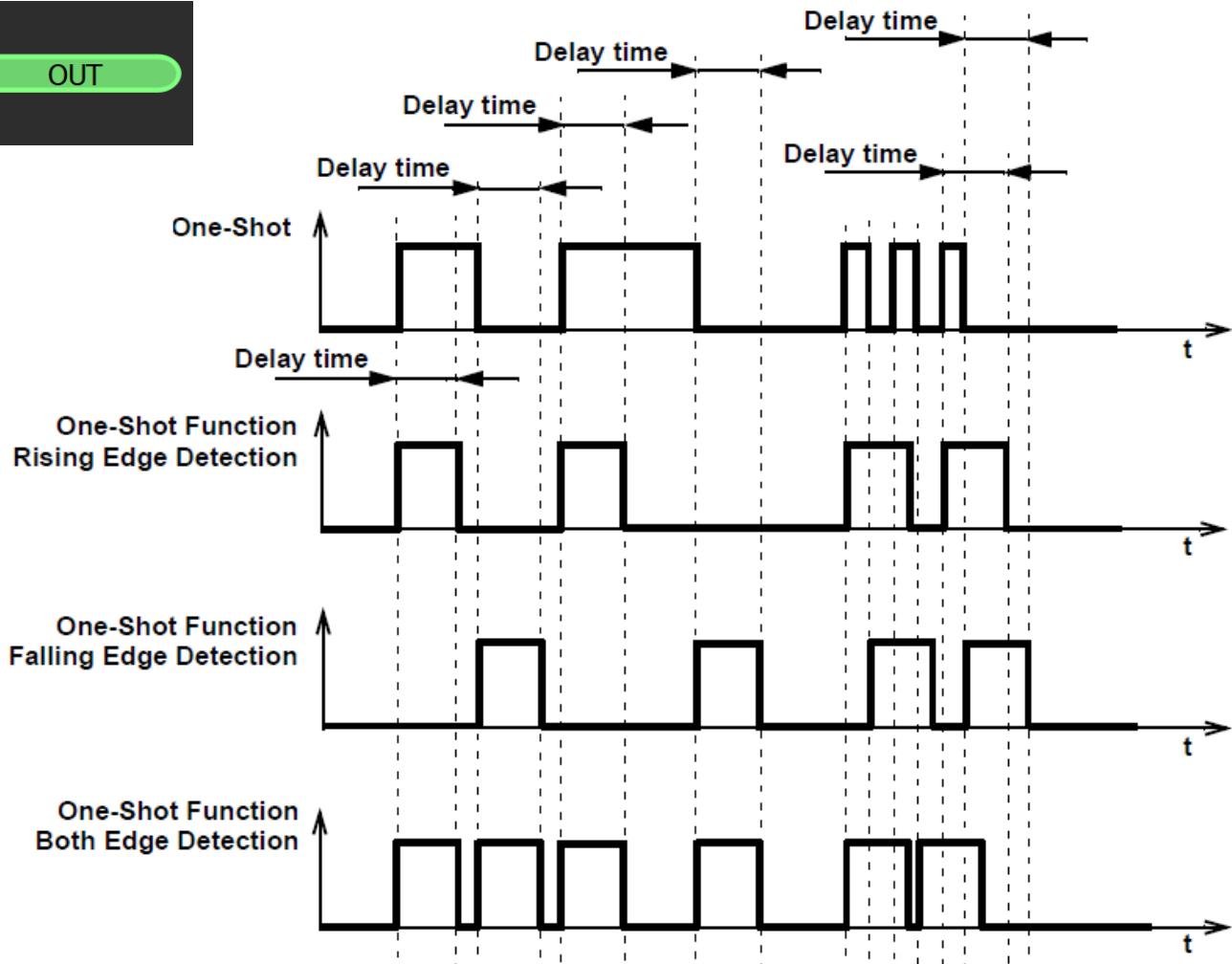
Mode signal sync.: Bypass

Connections

Clock: OSC1

Clock source: OSC1 Freq.

Clock frequency: 2.048 MHz



CNT/DLY BLOCK ON EXAMPLE SLG46826

FREQUENCY DETECT MODE

Properties

8-bit CNT1/DLY1 (MF1)

Multi-function mode: CNT/DLY

Mode: Frequency detect

Counter data: 1 (Range: 1 - 255)

Period (typical): 976.563 ns Formula

Edge select: Both

DLY IN init. value: Bypass the initial

Output polarity: Non-inverted (OU)

Up signal sync.: None

Keep signal sync.: None

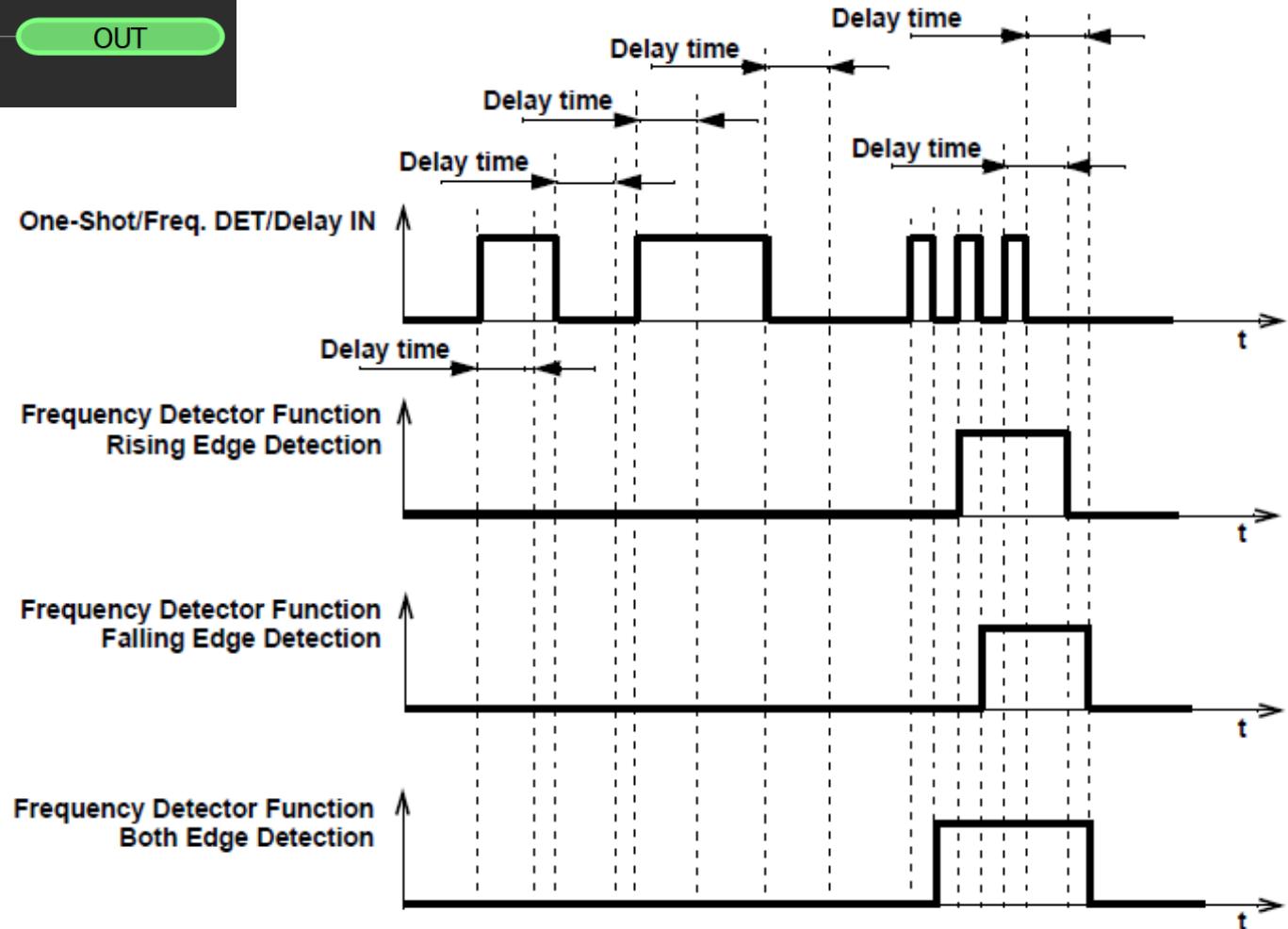
Mode signal sync.: Bypass

Connections

Clock: OSC1

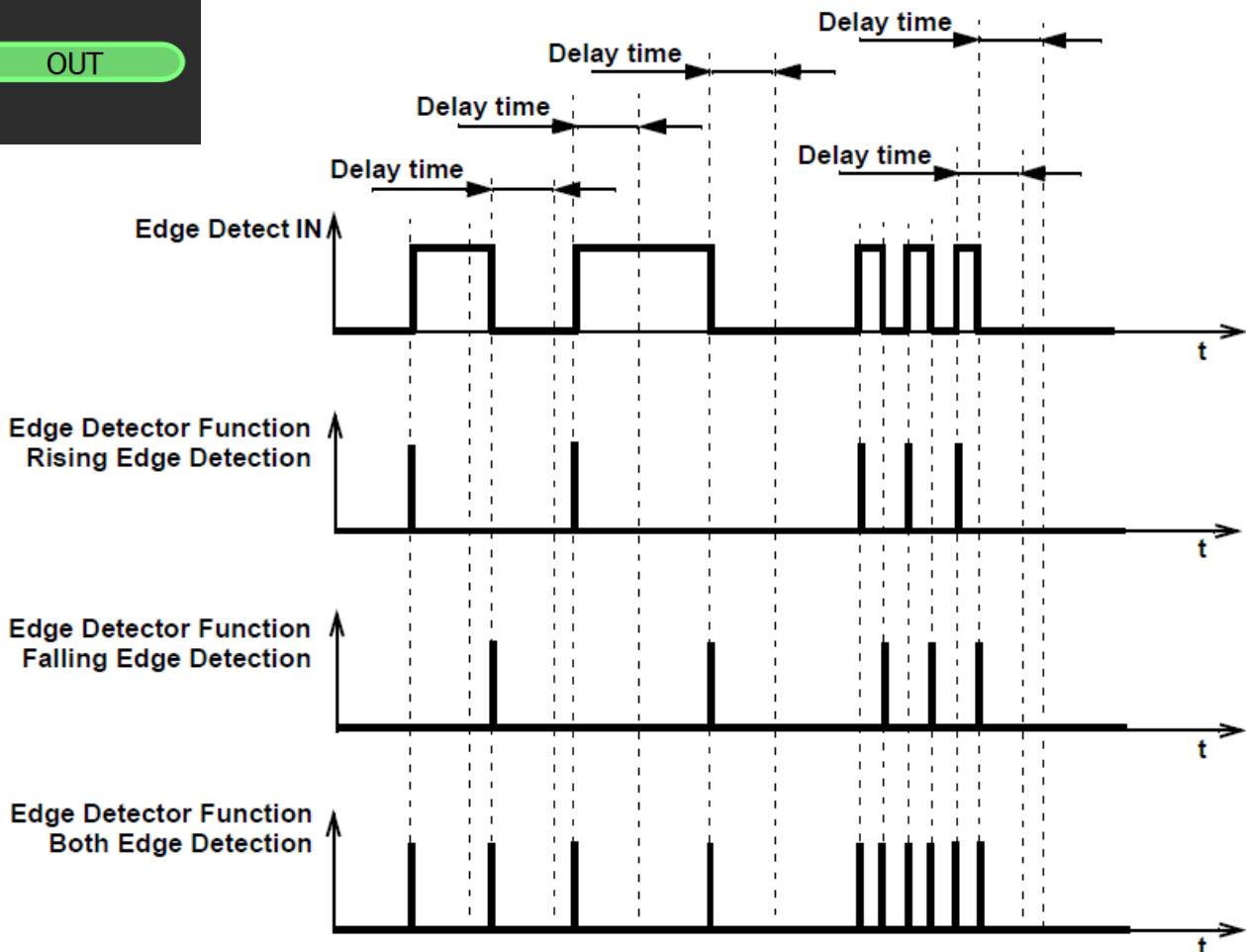
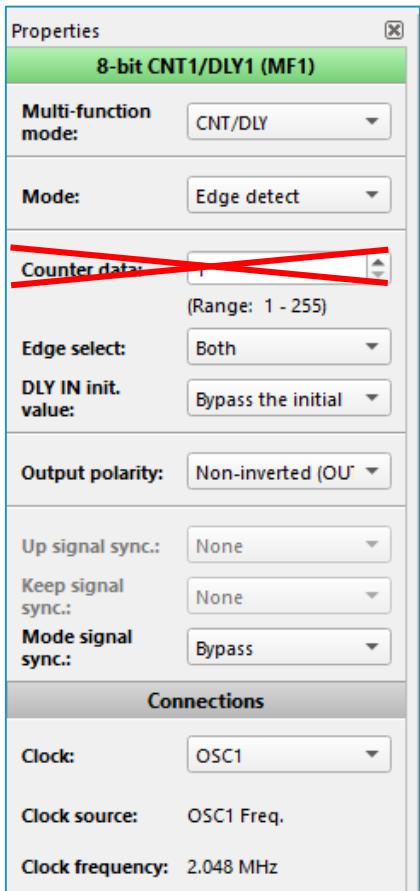
Clock source: OSC1 Freq.

Clock frequency: 2.048 MHz



CNT/DLY BLOCK ON EXAMPLE SLG46826

EDGE DETECT MODE

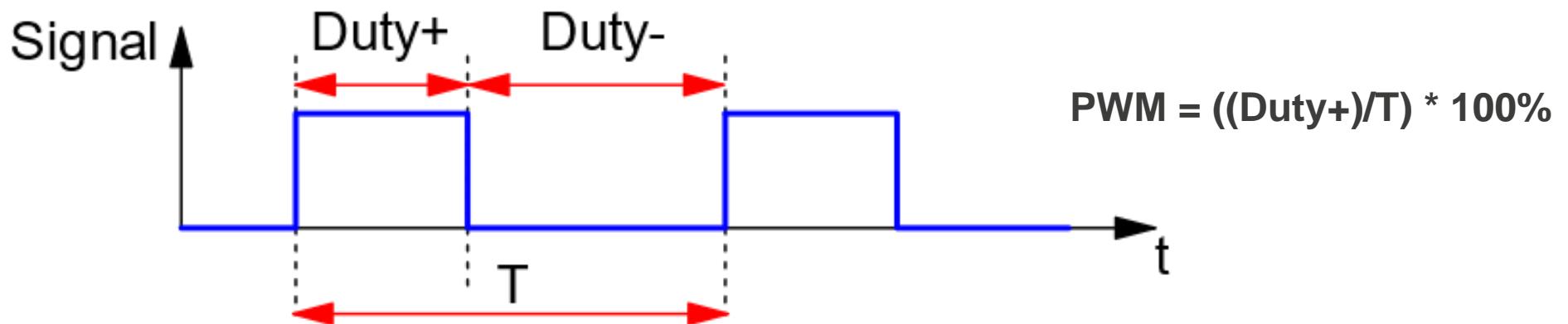


ШИРОТНО-ІМПУЛЬСНА МОДУЛЯЦІЯ

Що таке PWM?

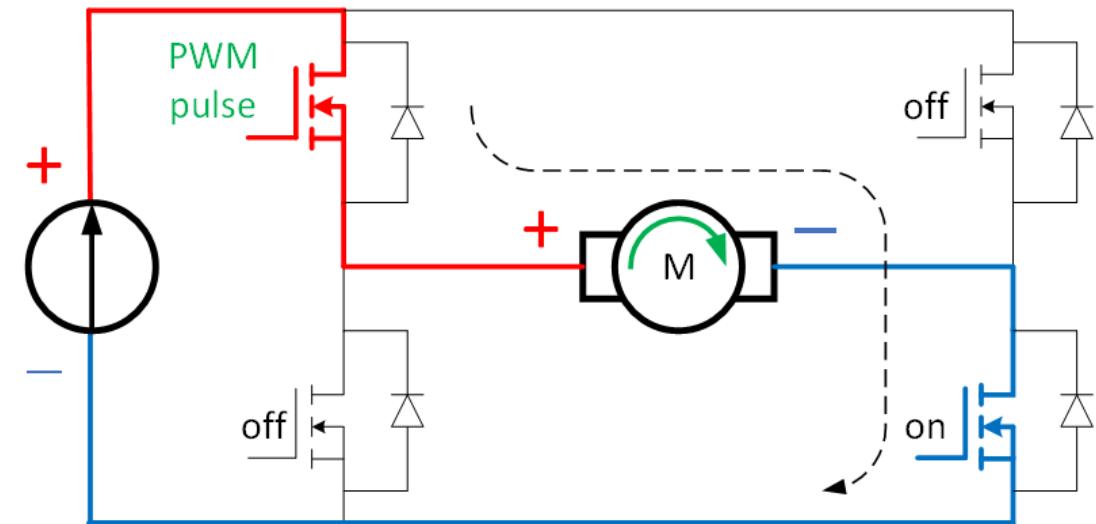
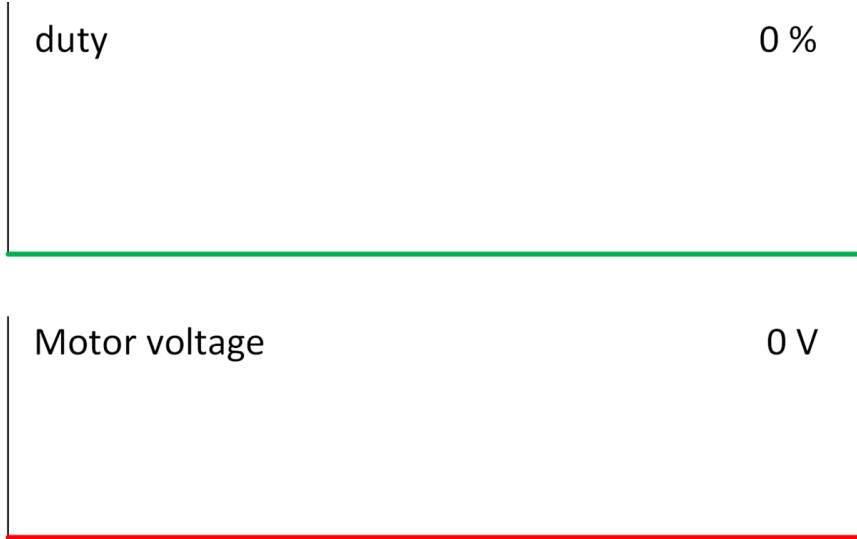
Широтно-імпульсна модуляція (Pulse Width Modulation, PWM) – це метод управління сигналами шляхом зміни тривалості імпульсів при постійній частоті. Вона широко використовується для:

- керування потужністю (LEDs, motor, temperature regulation)
- генерації та обробка сигналів (аудіообробка D class, генерація аналогових сигналів)
- енергоефективності в керування живленням (DC-DC, інвертори)
- телекомуникації та зв'язку (modуляція сигналів, інфрачервоні пульти)



PWM DC MOTOR CONTROL TECHNIQUES

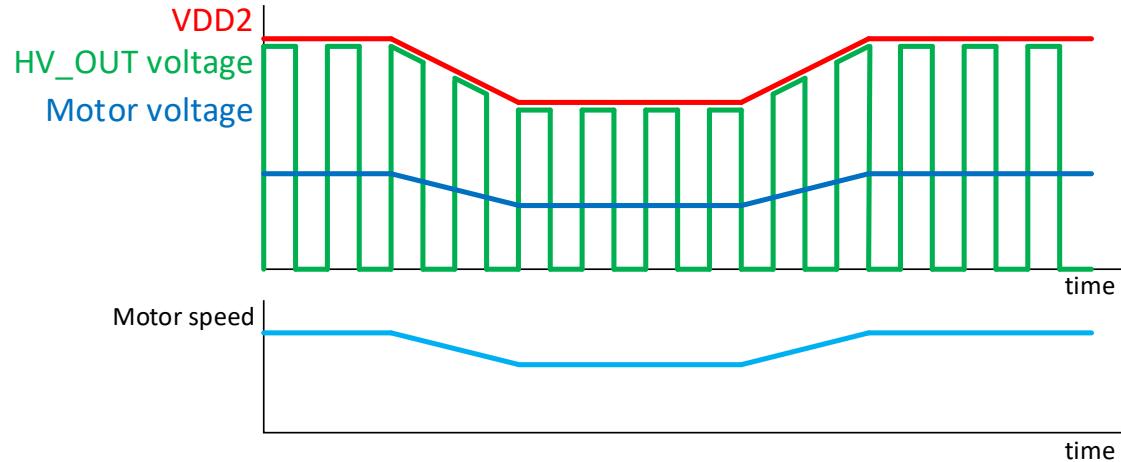
PWM SPEED CONTROL



- The motor speed is determined by the voltage applied to the motor.
- We can change it using PWM to high or low bridge side of the HVPAK.

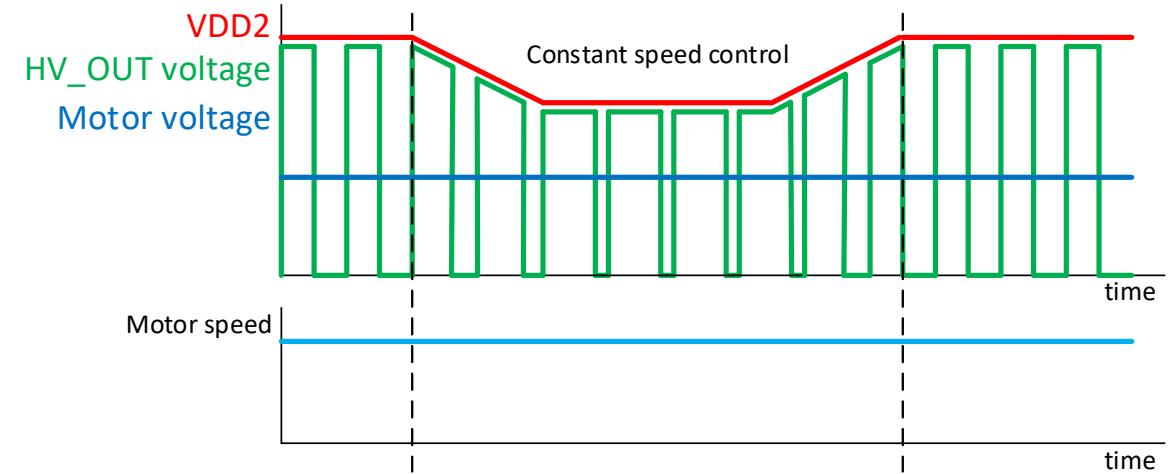
DC MOTOR CONTROL TECHNIQUES

Supply voltage speed dependency



The motor speed is proportional to the **HV_OUT** average voltage.

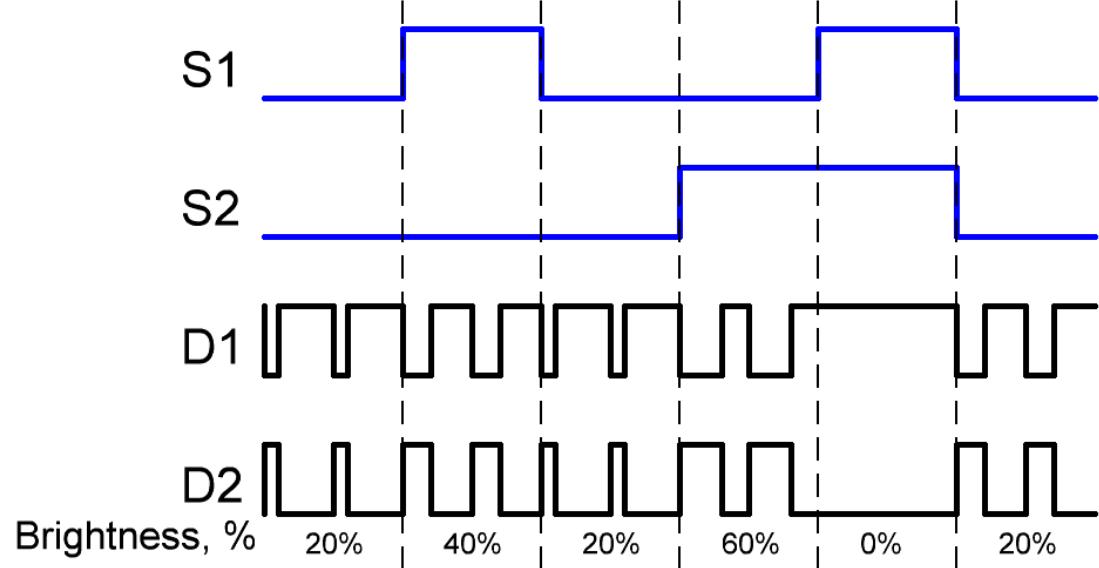
Constant Voltage Control



compensation the average voltage on the motor using PWM duty cycle and control motor speed stays constant.

PWM APPLICATION EXAMPLE

PWM LED Control example

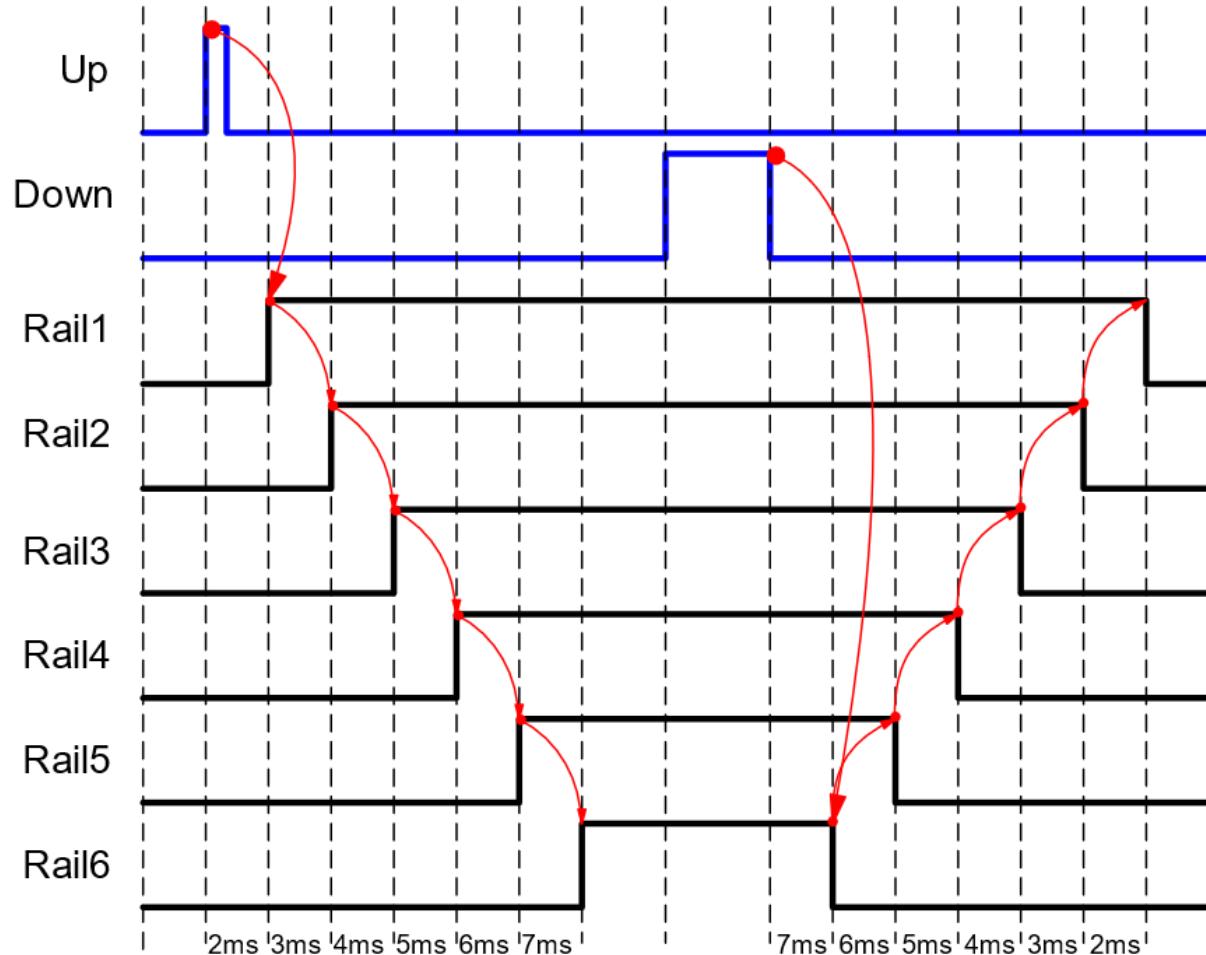


- Static or dynamic PWM duty cycle control to change LED brightness
- PWM frequency equals 20kHz
- LED connection to VDD or GND
- Open Drain (or Push Pull) outputs
- *For Open Drain (Push Pull) sinking current parameters please refer to datasheet to calculate the resistors R1 and R2



POWER SEQUENCER APPLICATION EXAMPLE

6 Rails Power Sequencer

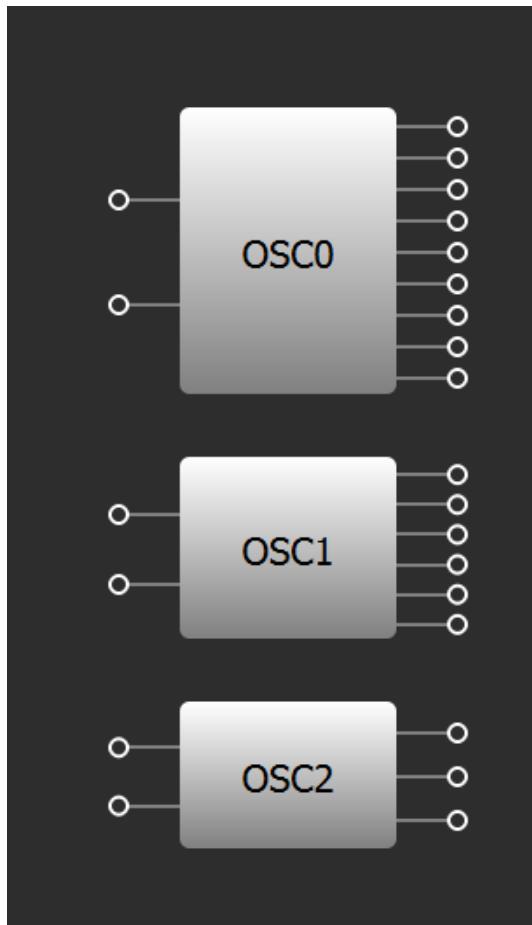


- Create different power up/down sequences
- Up and Down inputs to start and finish sequencing
- Different time between the rails



OSCILLATORS...

- Most GreenPAK devices have at least two oscillators
- Newest devices have three oscillators
- SLG46824/826 have three oscillators
 - 2kHz low speed, low power oscillator
 - 2MHz medium speed
 - 25MHz high speed
- *Auto-power on* option allows you to turn off the oscillator when the clock is not needed
 - Great way to save power
- Oscillator outputs have several pre-dividers to allow you flexibility in clocking



Renesas.com