

# ЦИФРОВА СХЕМОТЕХНІКА

## ЗАНЯТТЯ 4



# TRIGGERS (FLIP FLOPS, LATCHES)

---

## Що таке тригер?

**Тригер (trigger, flip flop, latch)** – це елемент цифрової логіки, який має два стабільні стани та зберігає свій стан, доки не отримає сигнал для перемикавання.

Тригер використовується для зберігання та обробки бітів інформації, формування часових затримок, генерації імпульсів.

### Основні характеристики тригерів:

- Два стани - "0" (логічний нуль) і "1" (логічна одиниця).
- Здатність зберігати інформацію.
- Спрацьовування за рівнем або фронтом сигналу.
- Часові параметри: **затримка перемикавання, час встановлення і утримання сигналу.**

# TRIGGERS (FLIP FLOPS, LATCHES)

Тригери поділяються за:

## **1. Способом керування:**

- Асинхронні (керуються зміною входів у будь-який момент часу).
- Синхронні (перемикаються за тактовим сигналом CLK).

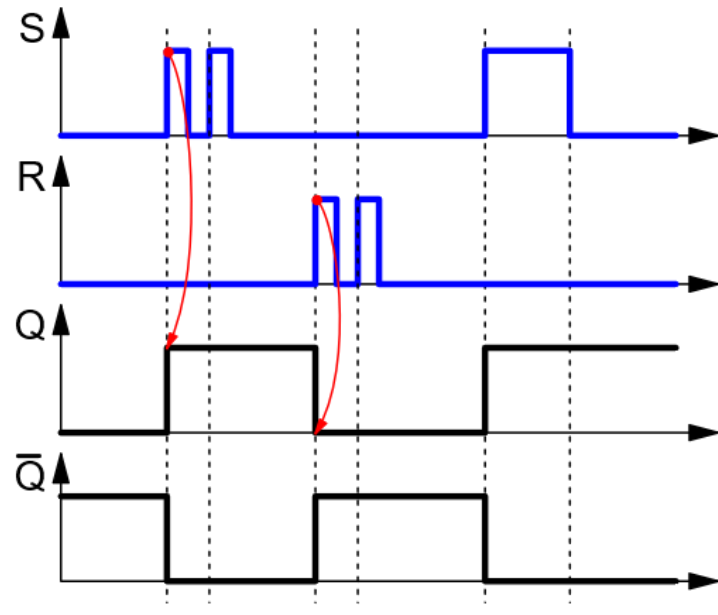
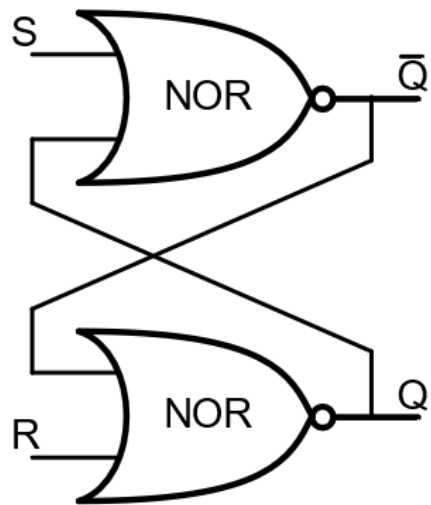
## **2. Принципом роботи:**

- RS-тригер (Set-Reset)
- D-тригер (Data)
- T-тригер (Toggle)
- JK-тригер

# TRIGGERS (FLIP FLOPS, LATCHES)

**RS trigger** - це базова двійкова пам'ять, яка може зберігати один біт інформації.

Він має два входи: **Set (S)** і **Reset (R)**, а також два виходи: прямий (**Q**) і інверсний ( **$\bar{Q}$** ).



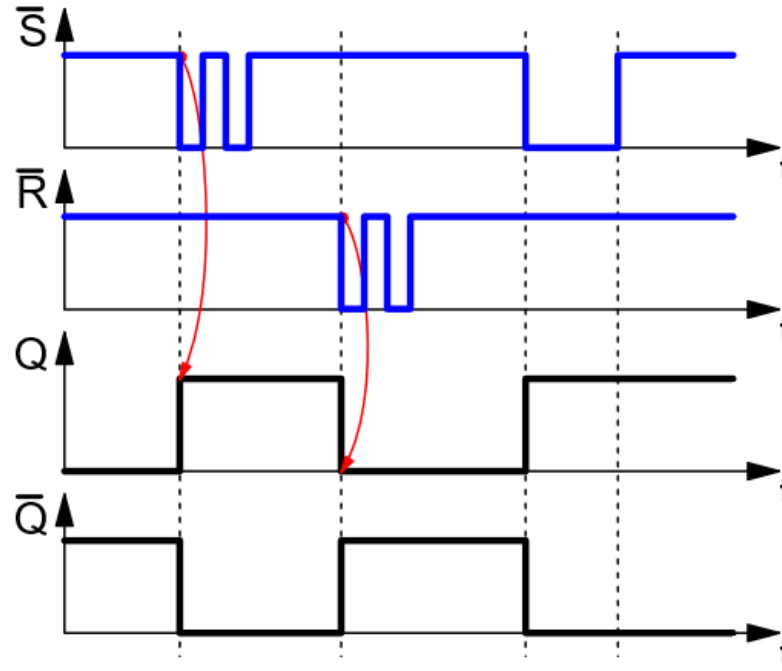
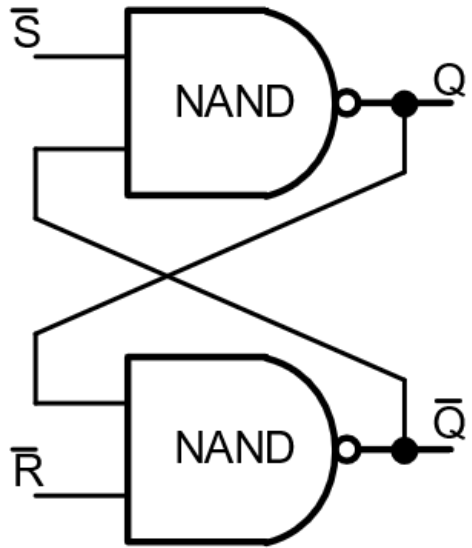
S	R	Q	$\bar{Q}$
0	0	$t-1$	$t-1$
0	1	0	1
1	0	1	0
1	1	0	0

Forbidden state

*\* $t-1$  - previous state*

# TRIGGERS (FLIP FLOPS, LATCHES)

RS trigger створений на двох NAND gate



Forbidden state

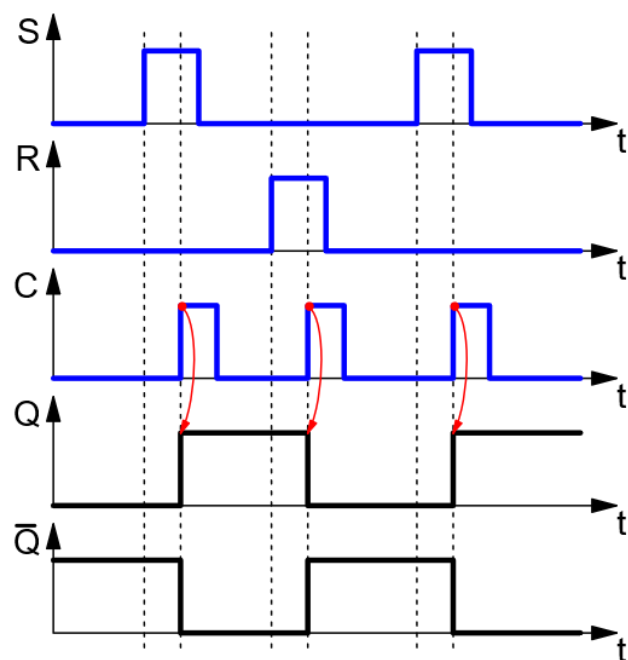
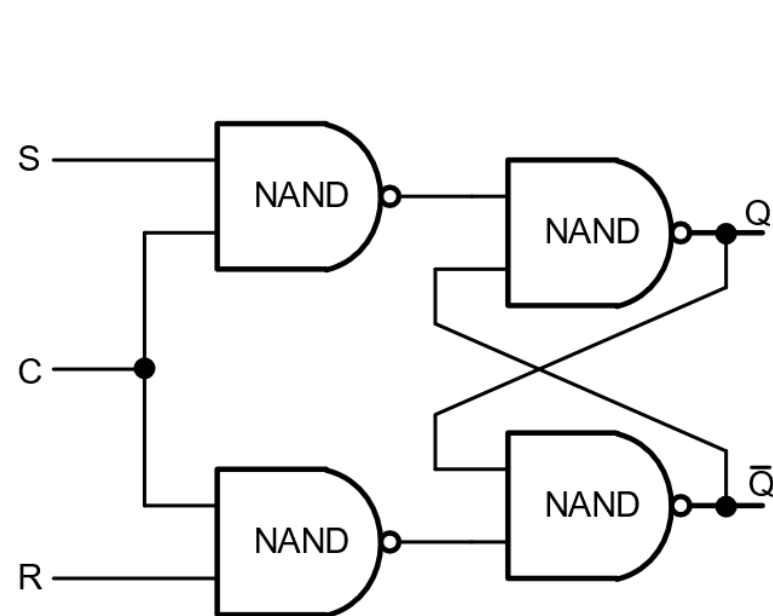
S	R	Q	Q̄
0	0	1	1
0	1	1	0
1	0	0	1
1	1	t-1	t-1

## Особливості RS-тригера:

1. Простий у реалізації.
2. Використовується для зберігання одного біта інформації.
3. Невизначений стан ( $S=1, R=1$  для NOR та  $S=0, R=0$  для NAND) вимагає додаткових обмежень або схем.

# TRIGGERS (FLIP FLOPS, LATCHES)

**Synchronous RS trigger** - це тригер, який реагує на сигнали встановлення (S) та скидання (R) тільки в момент наявності активного сигналу синхронізації **C** (CLK). Це дає змогу уникнути небажаних змін стану і робить тригер керованим у часі.

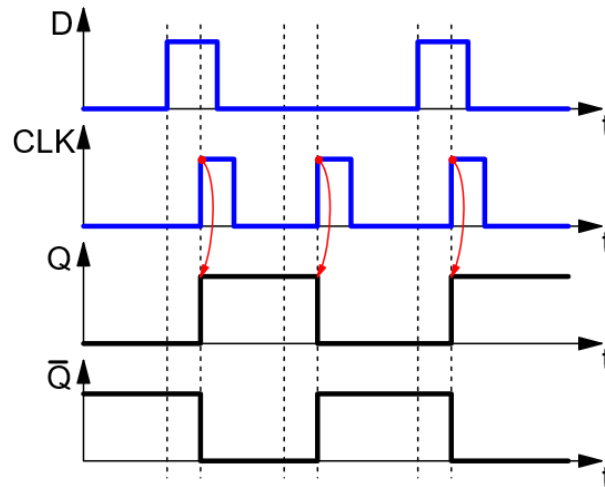
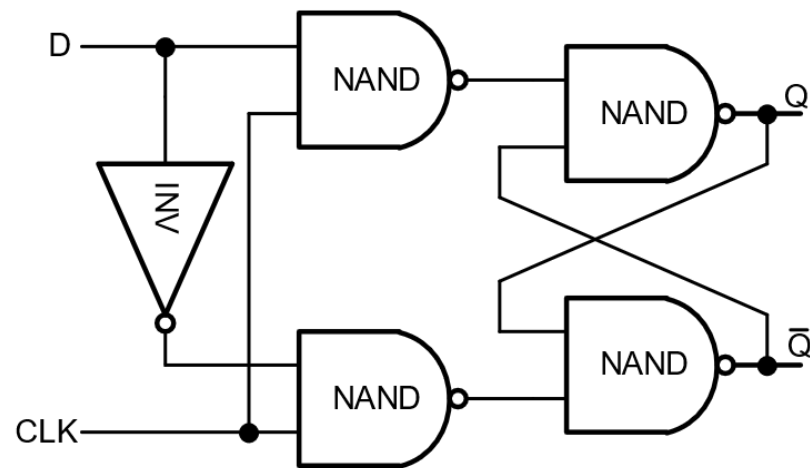


CLK	S	R	Q	$\bar{Q}$
0	0	0	t-1	t-1
0	0	1	t-1	t-1
0	1	0	t-1	t-1
0	1	1	t-1	t-1
↑	0	0	t-1	t-1
↑	0	1	0	1
↑	1	0	1	0
↑	1	1	1	1

Forbidden state

# TRIGGERS (FLIP FLOPS, LATCHES)

**D-тригер** реалізується шляхом перетворення RS-тригера. Вхід D підключається до S, а його інверсія до R. Це усуває ситуацію, коли обидва входи (S і R) одночасно рівні 1.



CLK	D	Q	$\bar{Q}$
0	0	t-1	t-1
↑	0	0	1
↑	1	1	0

Символ ↑ означає активний фронт сигналу CLK (зростаючий фронт).

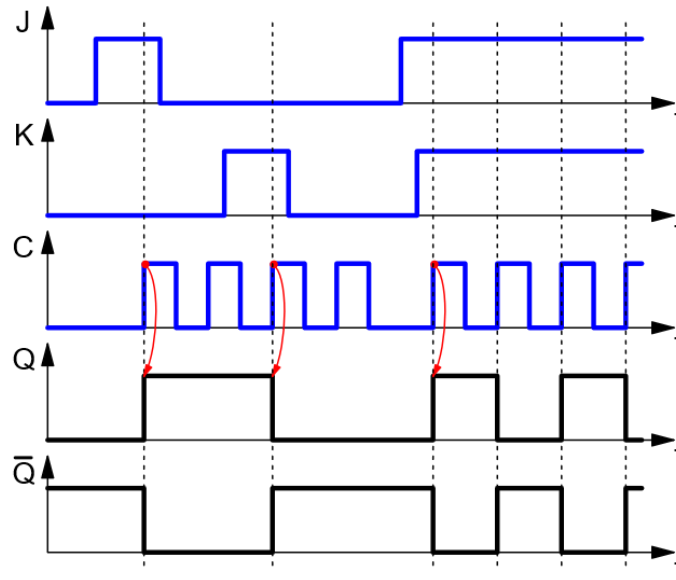
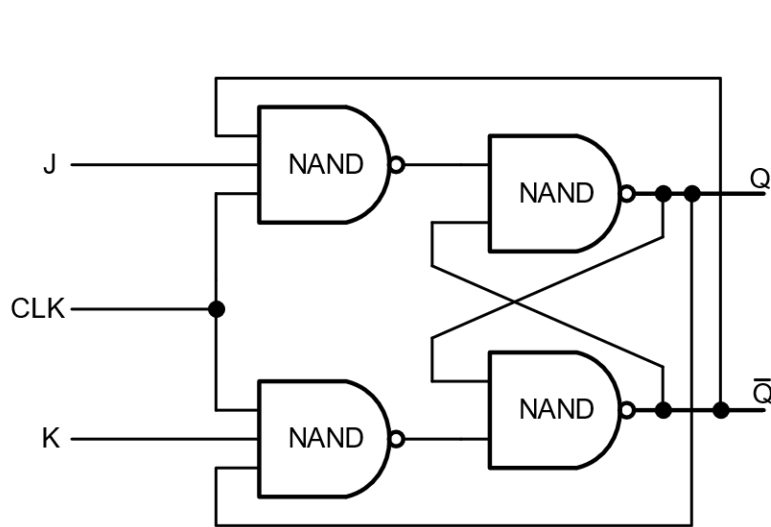
**D-тригер зберігає (записує) значення входу D по наростаючому сигналу (rising edge) на вході CLK**

**Особливості D-тригера:**

- 1.Зберігає один біт даних.** Значення на D зберігається до наступного активного фронту CLK, що використовується реалізації регістрів пам'яті та буферів.
- 2.Стабільність.** Завдяки одному входу (D), уникнуто проблему невизначеного стану, як у RS-тригері.
- 3.Синхронізація.** Тригер змінює стан тільки в момент активного сигналу синхронізації, тобто при наростанні CLK

# TRIGGERS (FLIP FLOPS, LATCHES)

**JK-тригер** модифікує RS-тригер, додаючи зворотні зв'язки від виходів  $Q$  і  $\bar{Q}$  до входів  $J$  і  $K$ .



CLK	J	K	Q	Q̄
↑	0	0	t-1	t-1
↑	1	0	1	0
↑	0	1	0	1
↑	1	1	Toggle	Toggle

## Переваги JK-тригера:

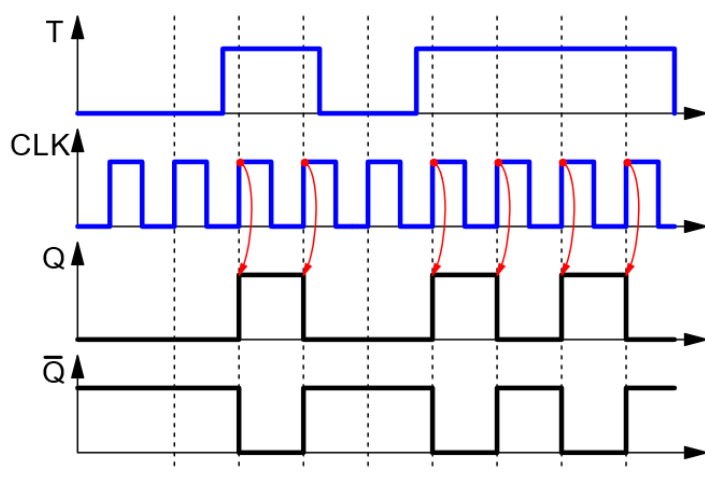
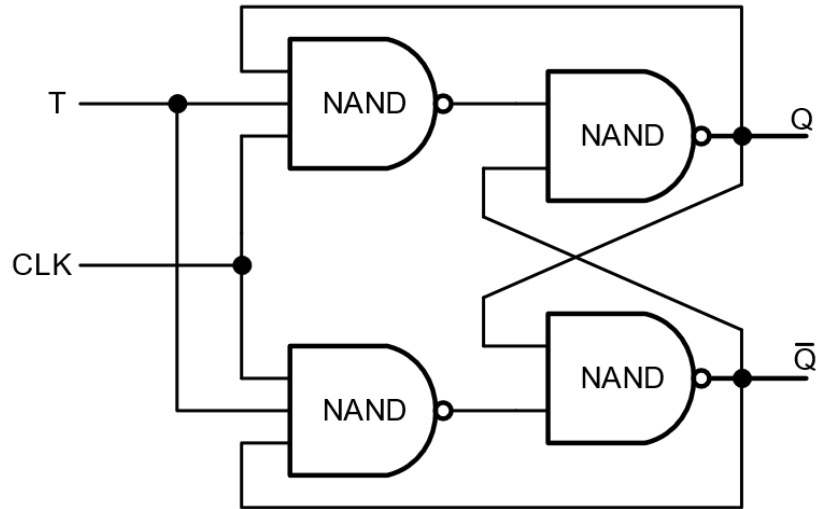
1. **Універсальність.** оскільки може працювати, як D-тригер (коли  $J=D$ ,  $K=\bar{D}$ ) або T-тригер (коли  $J=K=1$ ).
2. Здатність виконувати тогл-операцію.
3. Використовується в синхронних лічильниках, регістрах і інших цифрових системах😊.



# TRIGGERS (FLIP FLOPS, LATCHES)

**Т-тригер** можна зробити закоротивши J і K входи разом. Також частотої реалізації можна добитися використовуючи D тригер з відємним зворотнім зв'язом з  $\bar{Q}$  на D.

T trigger



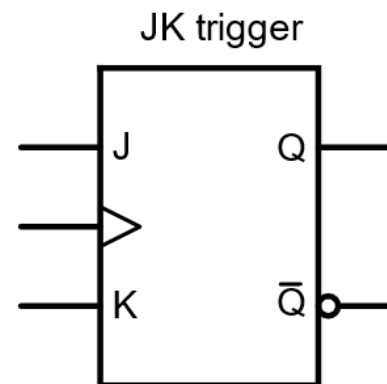
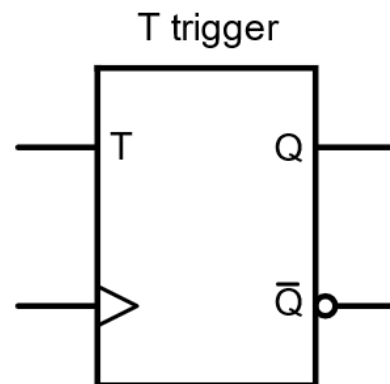
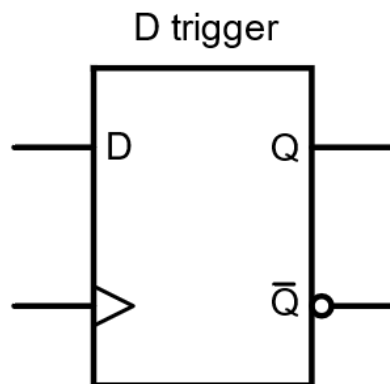
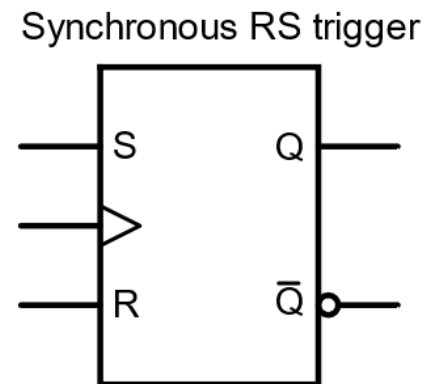
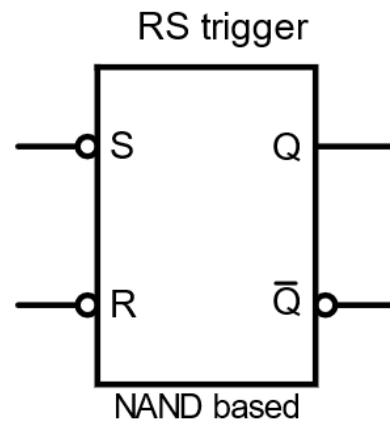
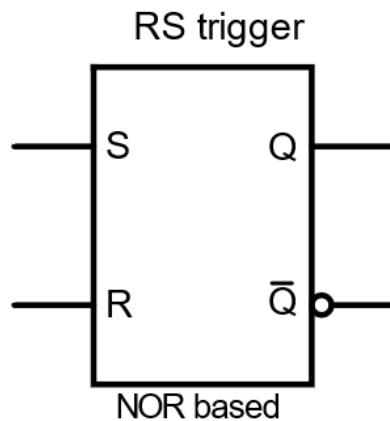
CLK	T	Q	$\bar{Q}$
↑	0	t-1	t-1
↑	1	Toggle	Toggle

## Область застосування Т-тригера:

- використовується для побудови бінарних і подільникових лічильників. Наприклад, у двійковому лічильнику кожен наступний тригер працює від виходу попереднього.
- генерація тактових сигналів, для ділення частоти вхідного сигналу на 2 (Frequency Divider).
- перемикачі станів (Toggle Mechanisms) в схемах комутації або переключення режимів роботи.

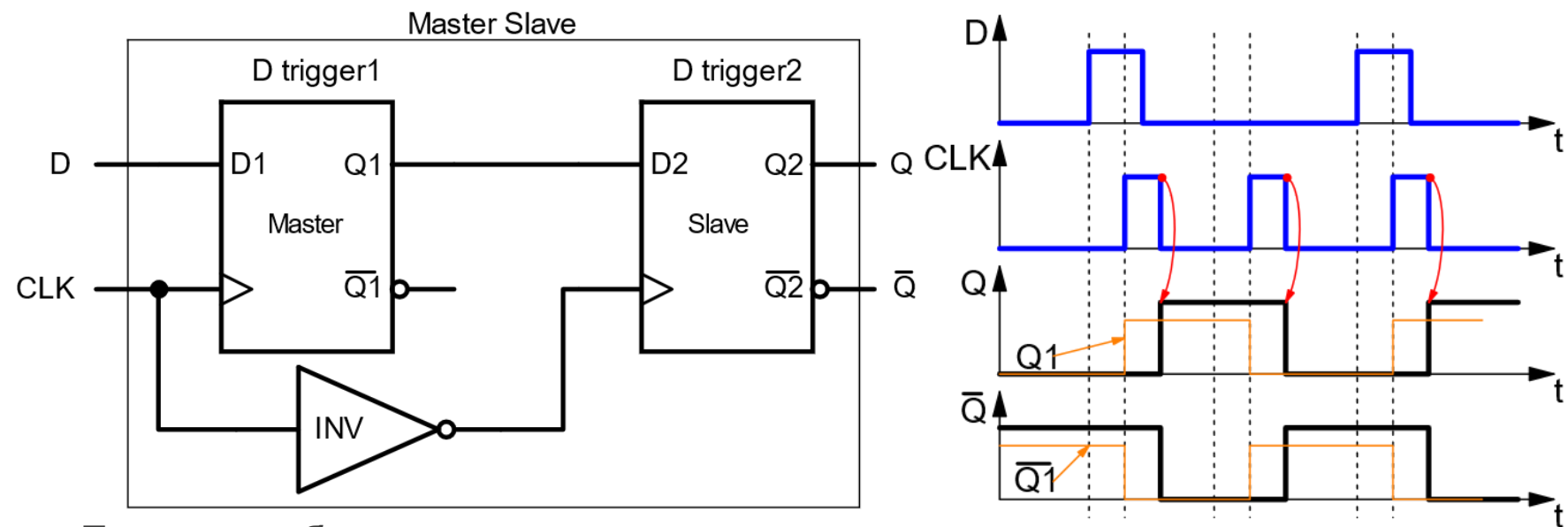
# TRIGGERS (FLIP FLOPS, LATCHES)

Підсумки вивченого...



# TRIGGERS (FLIP FLOPS, LATCHES)

**Master-Slave Flip-Flop** — це тип тригера, який реалізується за допомогою двох тригерів, з'єднаних послідовно. Перший тригер називається **Master**, а другий — **Slave**. Основна ідея полягає в тому, що зміни на виході тригера відбуваються лише у визначений момент часу, контрольований сигналом синхронізації (CLK).



CLK	D	Q	Q̄
0	0	t-1	t-1
↑	0	0	1
↑	1	1	0

**Принцип роботи:**

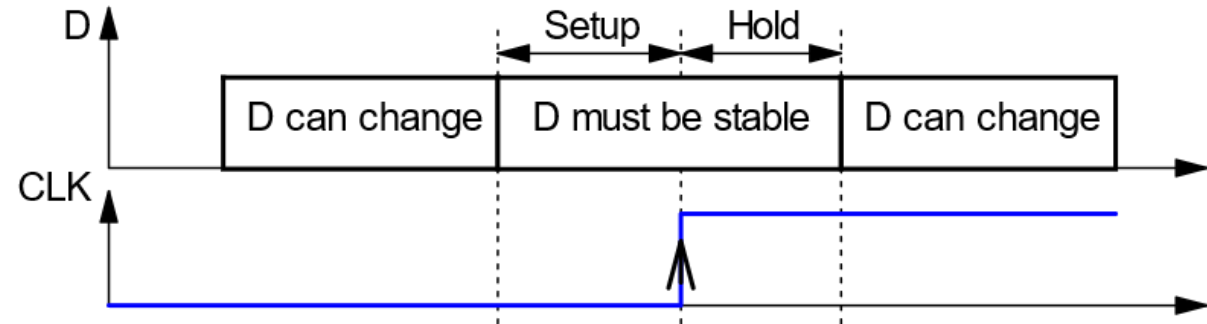
- 1.Майстер-тригер** активується під час першого стану сигналу синхронізації (CLK=1). Він "захоплює" вхідні дані, але не передає їх далі.
- 2.Слейв-тригер** активується під час другого стану сигналу синхронізації (CLK=0), зчитує дані з майстер-тригера і оновлює вихід.

Таким чином, вихід оновлюється лише після завершення одного повного циклу CLK, що запобігає "гонки" між сигналами.

# TRIGGERS (FLIP FLOPS, LATCHES)

Параметри тригерів, які впливають на їхню роботу в цифрових схемах:

## 1. Час встановлення і утримання (Setup and hold time ( $t_{su}$ , $t_h$ ))



\*D trigger example

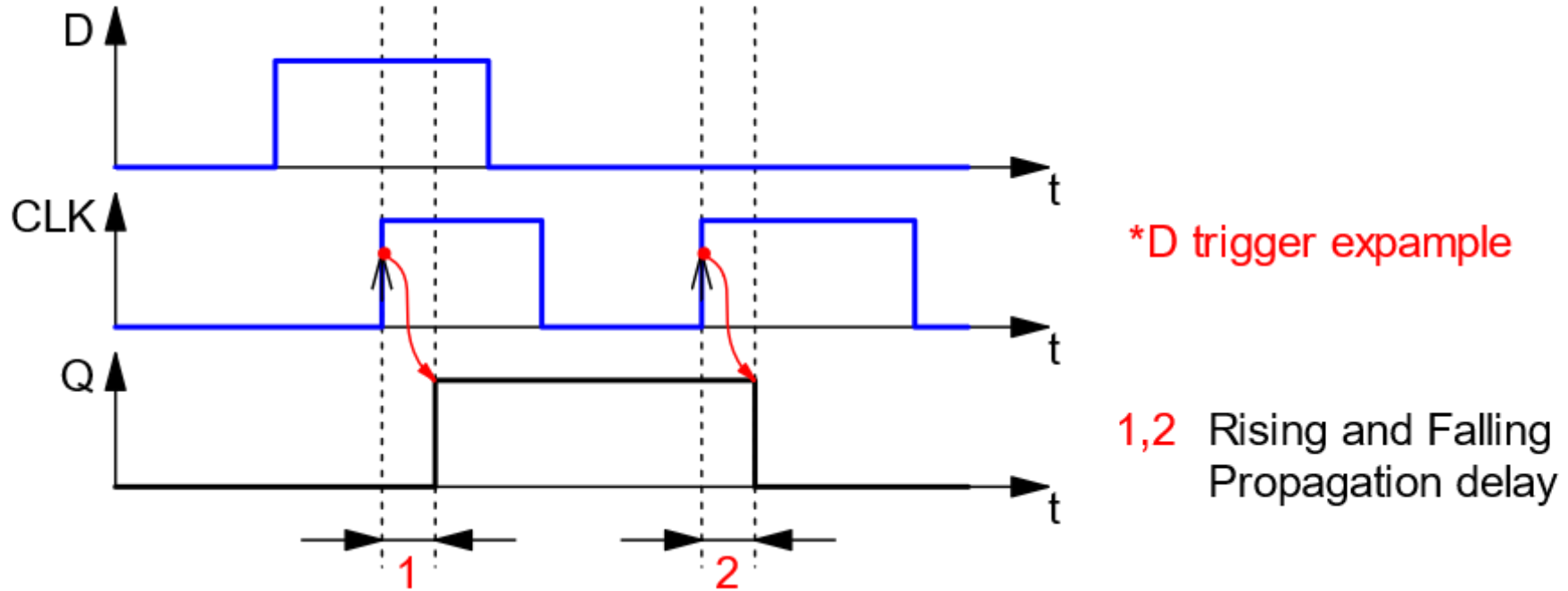
**Setup time** - це мінімальний час, протягом якого сигнал на вході D має бути стабільним перед приходом фронту тактового сигналу (CLK). Якщо вхідний сигнал зміниться занадто пізно **перед** тактовим імпульсом, тригер може не зафіксувати правильне значення.

**Hold time** – це мінімальний час, протягом якого сигнал D має залишатися стабільним після приходу фронту тактового сигналу. Якщо вхідний сигнал зміниться занадто рано **після** тактового імпульсу, тригер може зафіксувати неправильне значення.

Якщо порушується **setup time** або **hold time**, це може призвести до метастабільності, коли тригер опиняється у невизначеному стані. Це особливо критично при роботі на високих частотах або при передачі сигналів між різними тактовими доменами.

# TRIGGERS (FLIP FLOPS, LATCHES)

2. **Затримка розповсюдження (Propagation Delay ( $t_{pd}$ ))** - це час, за який зміна вхідного сигналу відображається на виході тригера. Визначається як час між зміною сигналу на вході (наприклад, фронт CLK) і відповідною зміною на виході Q.



- Чим менший  $t_{pd}$ , тим швидше працює тригер.
- Важливо при проектуванні високошвидкісних схем, особливо з послідовним з'єднанням тригерів (наприклад, у зсувних регістрах чи лічильниках, які будемо розглядати на наступних заняттях😊).

# TRIGGERS (FLIP FLOPS, LATCHES)

3. **Максимальна тактова частота (Maximum Clock Frequency ( $f_{\max}$ ))** - визначає, з якою максимальною швидкістю може працювати тригер без порушення часових параметрів.

$$f_{\max} = 1/(t_{pd} + t_{su})$$

4. **Тривалість імпульсу (Pulse Width ( $t_w$ ))** визначає мінімальний час, протягом якого тактовий сигнал **CLK** повинен залишатися у високому або низькому стані, щоб тригер міг коректно сприйняти зміну стану.

5. **Динамічна розсіювана потужність** (Power Dissipation capacitance,  $C_{PD}$ )

$C_{PD}$  is used to determine the dynamic power dissipation ( $P_D$  in  $\mu W$ ).  $P_D = C_{PD} \times V_{CC}^2 \times f_i \times N + \Sigma(C_L \times V_{CC}^2 \times f_o)$  where:

$f_i$  = input frequency in MHz;  $f_o$  = output frequency in MHz;

$C_L$  = output load capacitance in pF;  $V_{CC}$  = supply voltage in V;

$N$  = number of inputs switching;  $\Sigma(C_L \times V_{CC}^2 \times f_o)$  = sum of outputs.

Рекомендую полистати White Paper, де є трохи більше інформації про потужність споживання мікросхем і оптимізацію споживання

<https://www.renesas.com/en/document/whp/current-consumption-reduction-solutions?r=1570446>

# TRIGGERS (FLIP FLOPS, LATCHES)

А тепер від теорії перейдемо трохи до практики  
використання тригерів...

Як завжди будемо розглядати її використовуючи  
конфігуровані мікросхеми GreenPAK□

# TRIGGERS (FLIP FLOPS, LATCHES)

Properties

2-bit LUT0/DFF/LATCH0

Type: DFF / LATCH

Mode: DFF

Second Q select: None

nSET/nRESET option: None

Initial polarity: Low

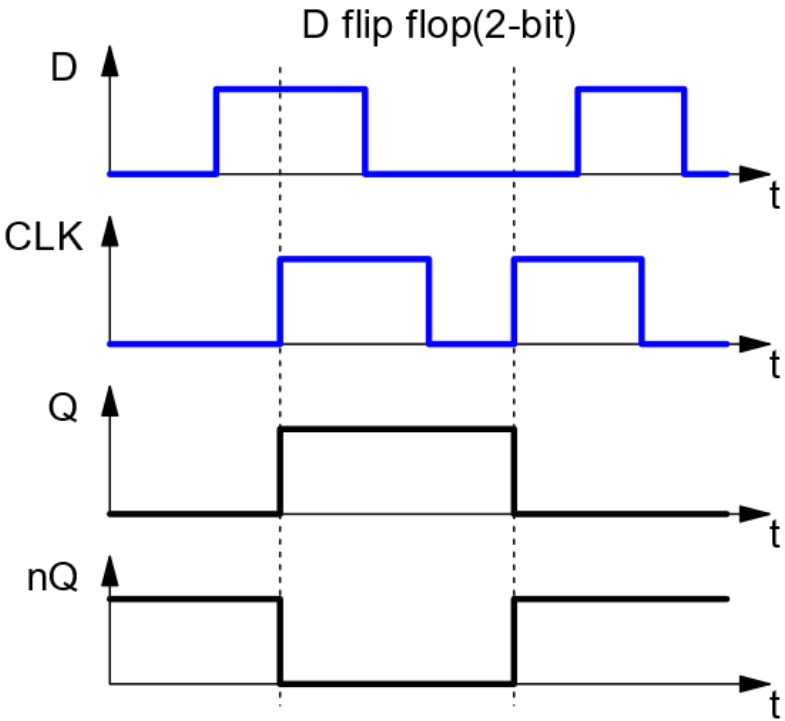
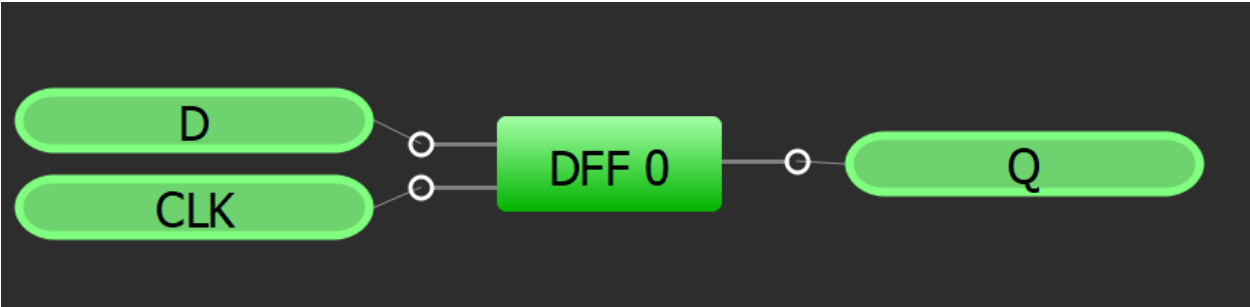
Q output polarity: Non-inverted (Q)

Information

Normal operation

D	CLK	Q(t)	nQ(t)
0	↑	0	1
0	↓	t - 1	t - 1
1	↑	1	0
1	↓	t - 1	t - 1

t - 1 - previous state;



D тригер завжди працює по наростаючому фронту сигналу



# TRIGGERS (FLIP FLOPS, LATCHES)

Properties

3-bit LUT2/DFF/LATCH5

Type: DFF / LATCH

Mode: DFF

Second Q select: None

nSET/nRESET option: nRESET

Initial polarity: Low

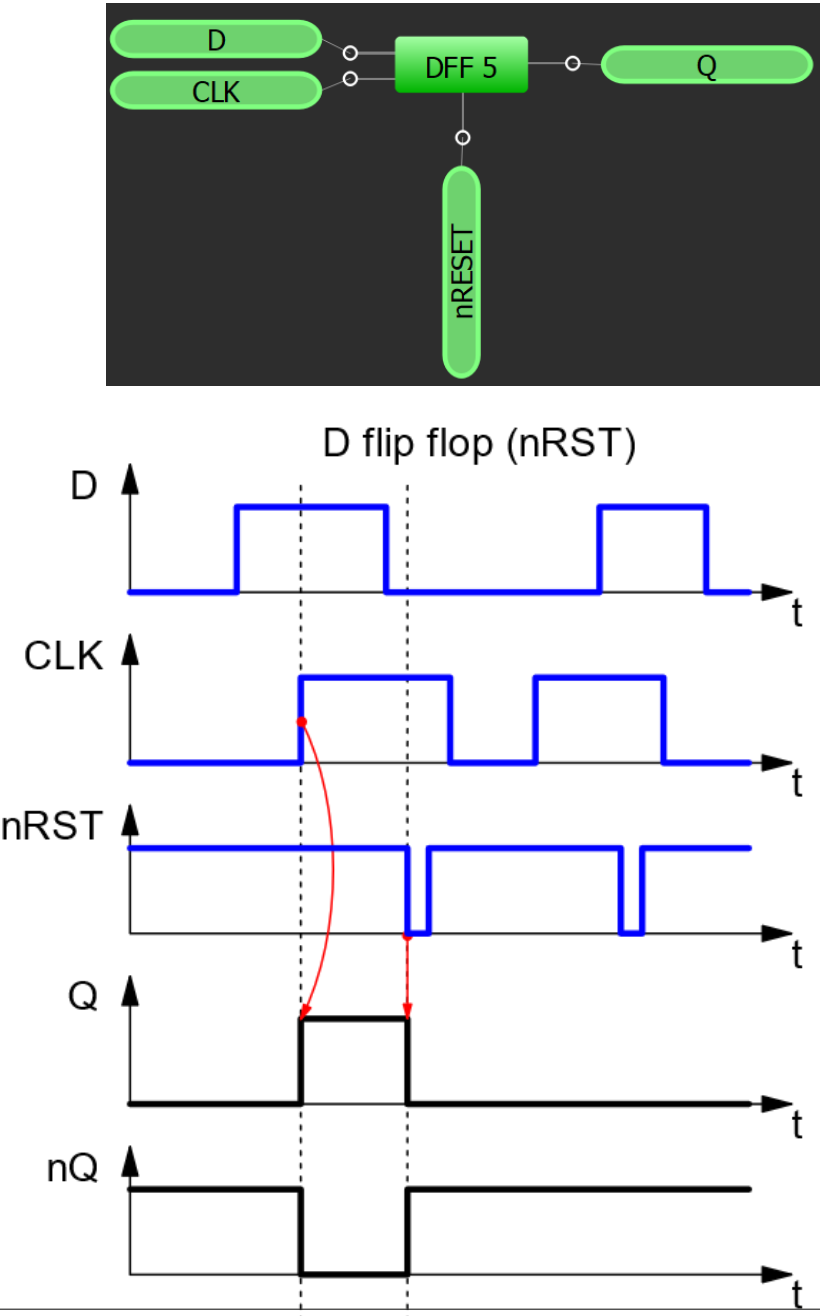
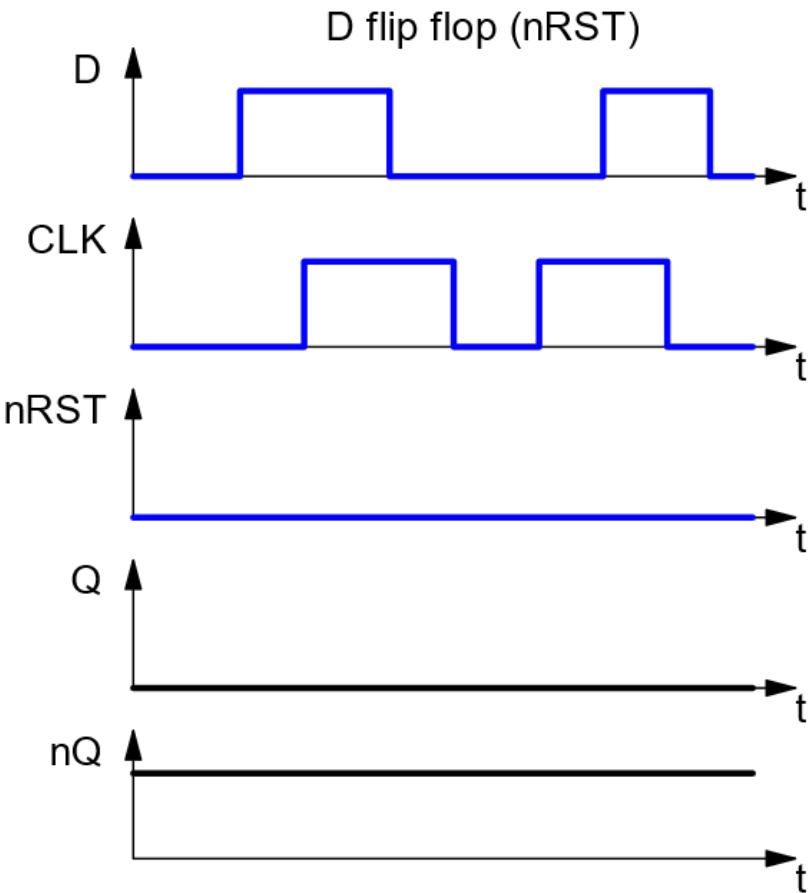
Q output polarity: Non-inverted (Q)

Information

Normal operation

D	CLK	Q(t)	nQ(t)
0	↑	0	1
0	↓	t - 1	t - 1
1	↑	1	0
1	↓	t - 1	t - 1

t - 1 - previous state;  
nRESET = 0 => Q = 0; nQ = 1;  
nRESET = 1 => normal operation;  
nSET = 0 => Q = 1; nQ = 0;  
nSET = 1 => normal operation;



# TRIGGERS (FLIP FLOPS, LATCHES)

Properties

3-bit LUT2/DFF/LATCH5

Type: DFF / LATCH

Mode: DFF

Second Q select: None

nSET/nRESET option: nSET

Initial polarity: Low

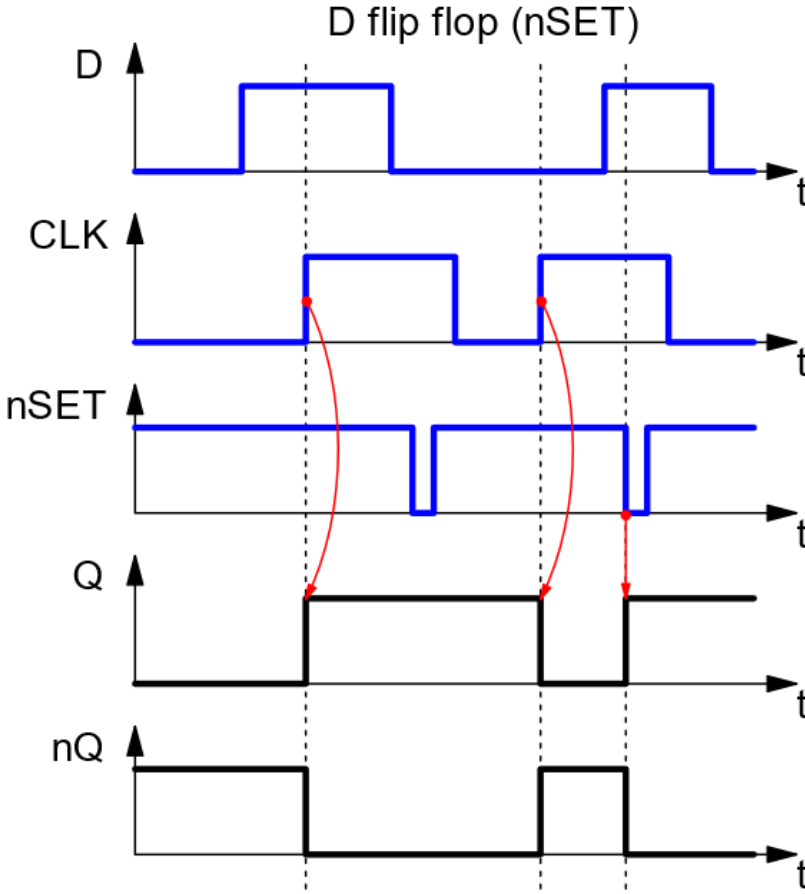
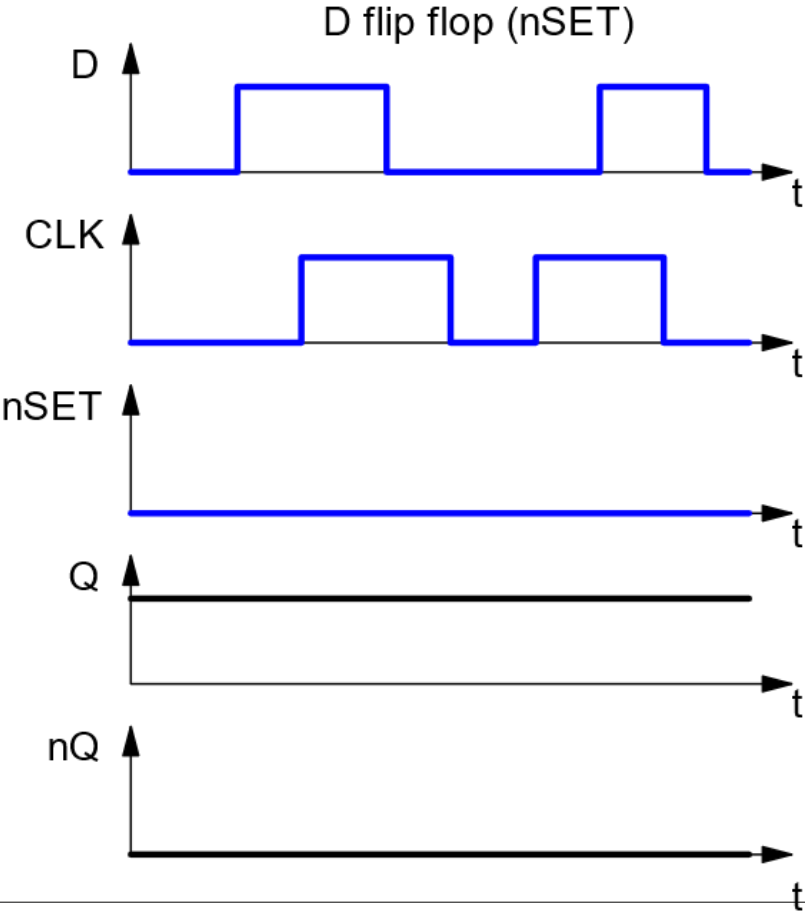
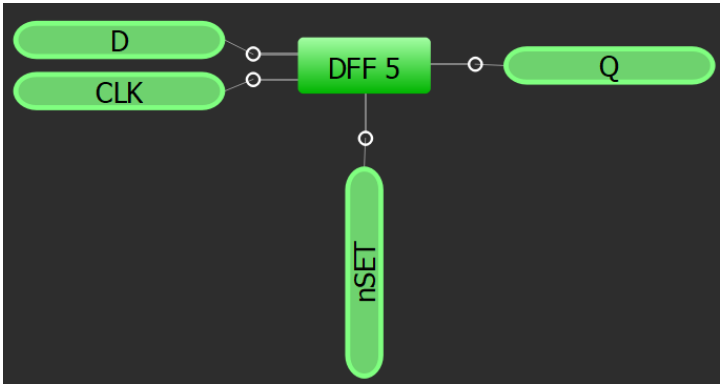
Q output polarity: Non-inverted (Q)

Information

Normal operation

D	CLK	Q(t)	nQ(t)
0	↑	0	1
0	↓	t - 1	t - 1
1	↑	1	0
1	↓	t - 1	t - 1

t - 1 - previous state;  
nRESET = 0 => Q = 0; nQ = 1;  
nRESET = 1 => normal operation;  
nSET = 0 => Q = 1; nQ = 0;  
nSET = 1 => normal operation;



# TRIGGERS (FLIP FLOPS, LATCHES)

Properties

2-bit LUT0/DFF/LATCH0

Type: DFF / LATCH

Mode: LATCH

Second Q select: None

nSET/nRESET option: None

Initial polarity: Low

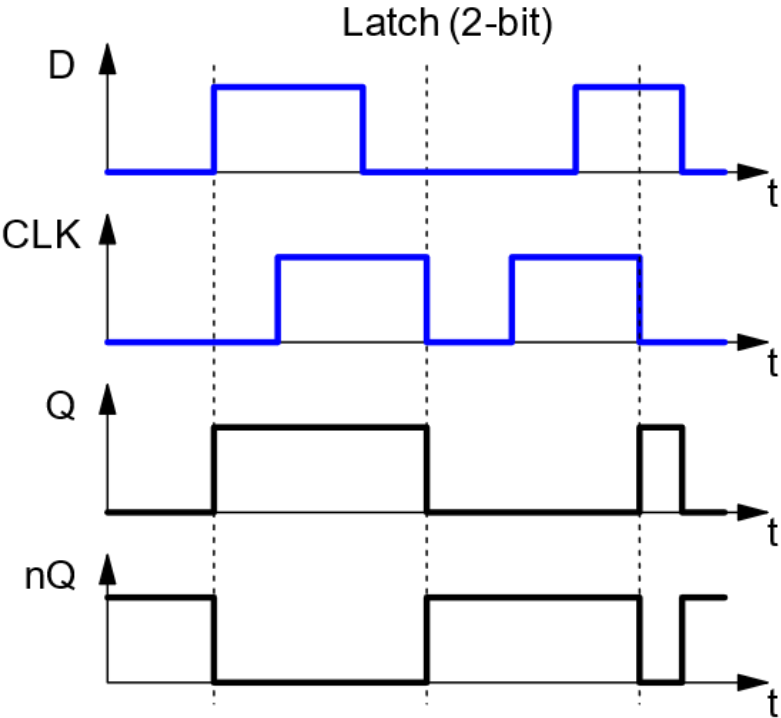
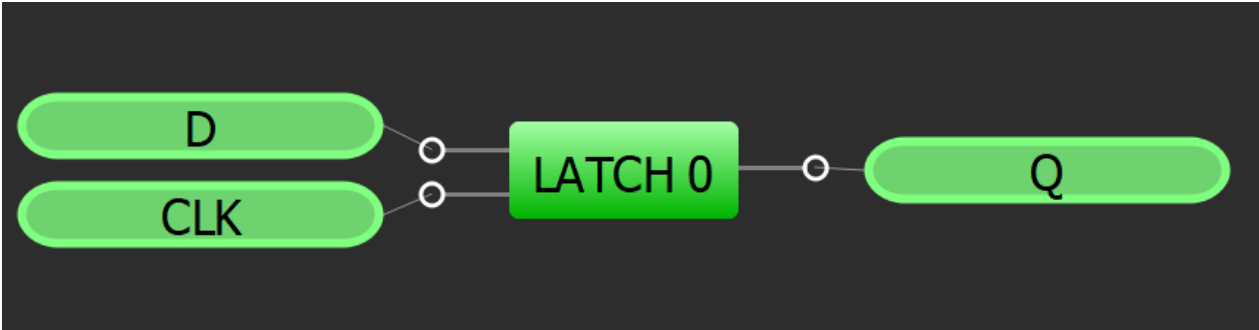
Q output polarity: Non-inverted (Q)

Information

Normal operation

D	CLK	Q(t)	nQ(t)
0	0	0	1
1	0	1	0
0	1	t - 1	t - 1
1	1	t - 1	t - 1

t - 1 - previous state;  
0 - logic LOW;  
1 - logic HIGH;



Latch завжди працює за рівнем сигналу

# TRIGGERS (FLIP FLOPS, LATCHES)

Properties

3-bit LUT2/DFF/LATCH5

Type: DFF / LATCH

Mode: LATCH

Second Q select: None

nSET/nRESET option: nRESET

Initial polarity: Low

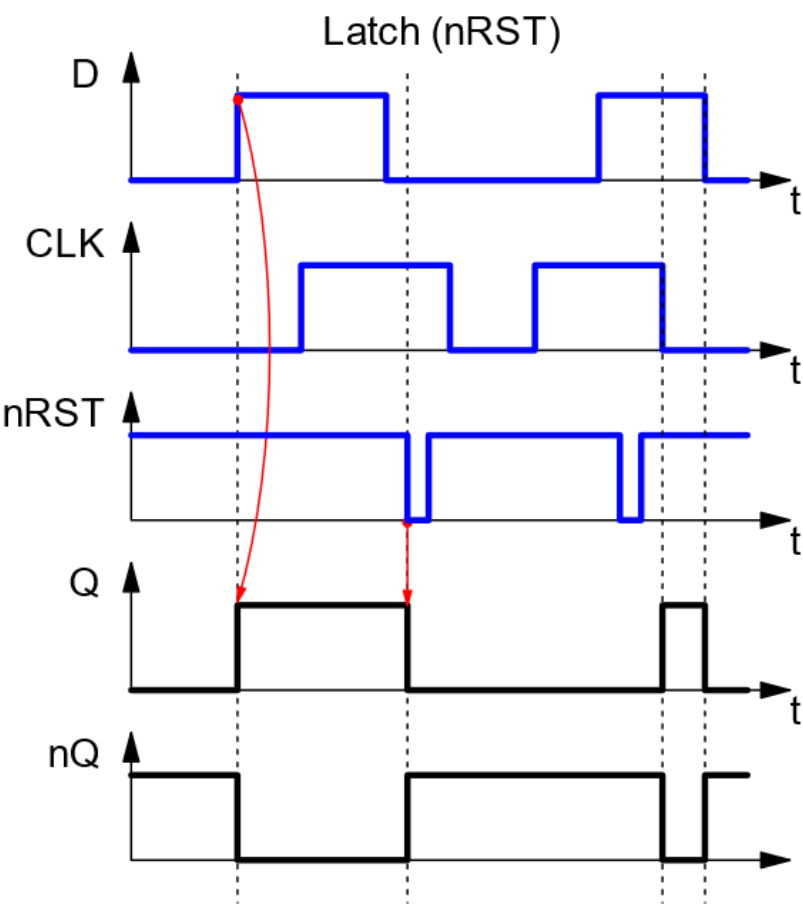
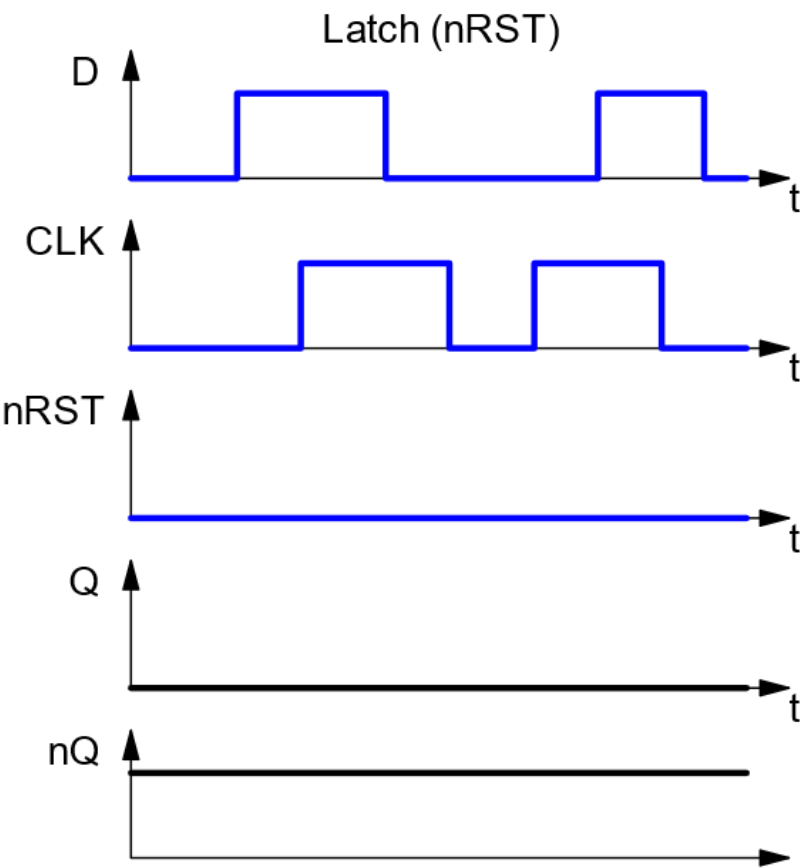
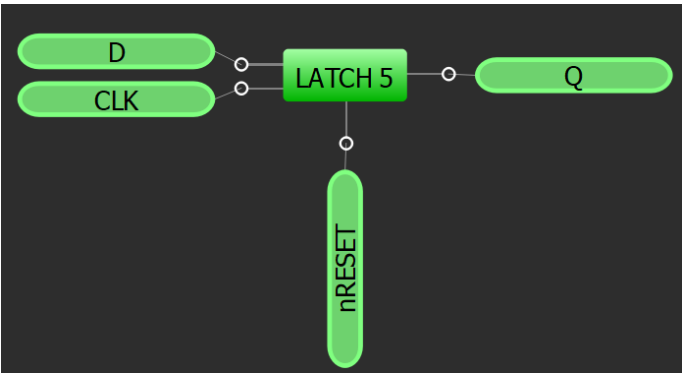
Q output polarity: Non-inverted (Q)

Information

Normal operation

D	CLK	Q(t)	nQ(t)
0	0	0	1
1	0	1	0
0	1	t - 1	t - 1
1	1	t - 1	t - 1

t - 1 - previous state;  
nSET/nRESET - connect to VDD;  
0 - logic LOW;  
1 - logic HIGH;



# TRIGGERS (FLIP FLOPS, LATCHES)

Properties

3-bit LUT2/DFF/LATCH5

Type: DFF / LATCH

Mode: LATCH

Second Q select: None

nSET/nRESET option: nSET

Initial polarity: Low

Q output polarity: Non-inverted (Q)

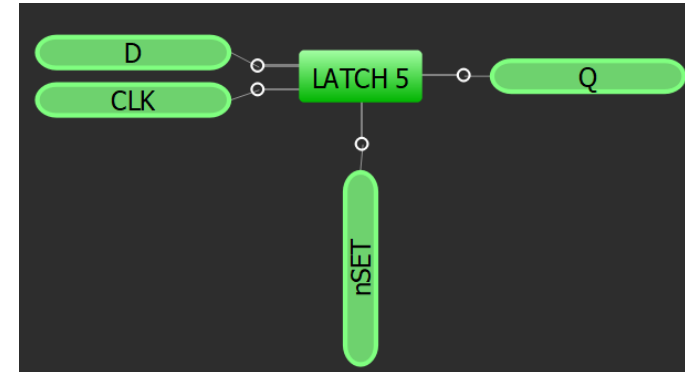
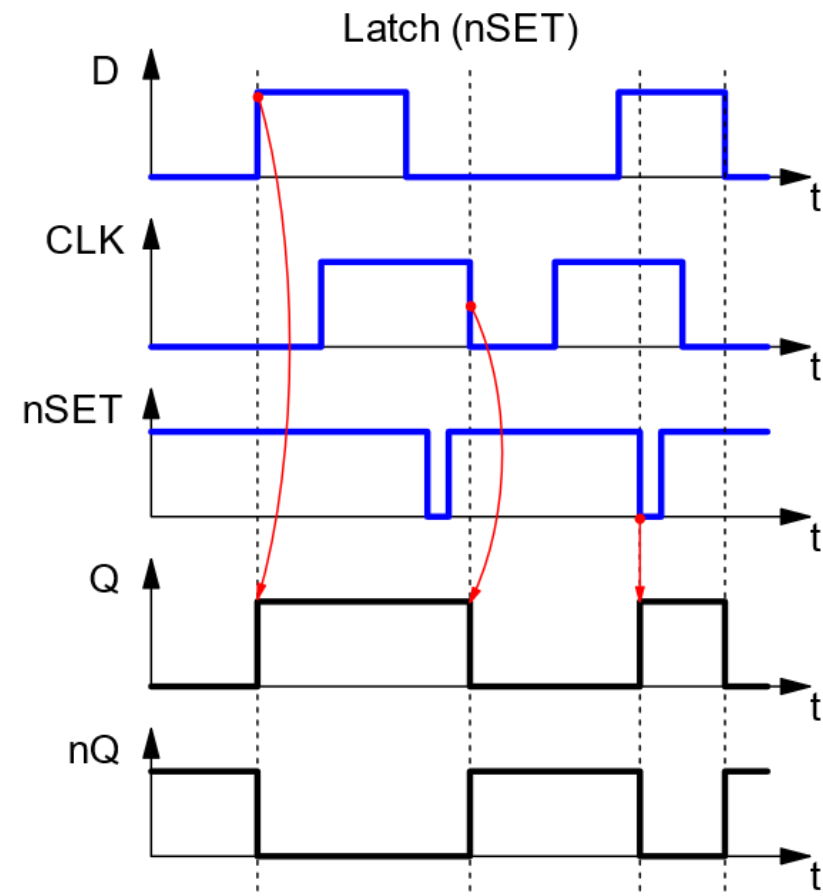
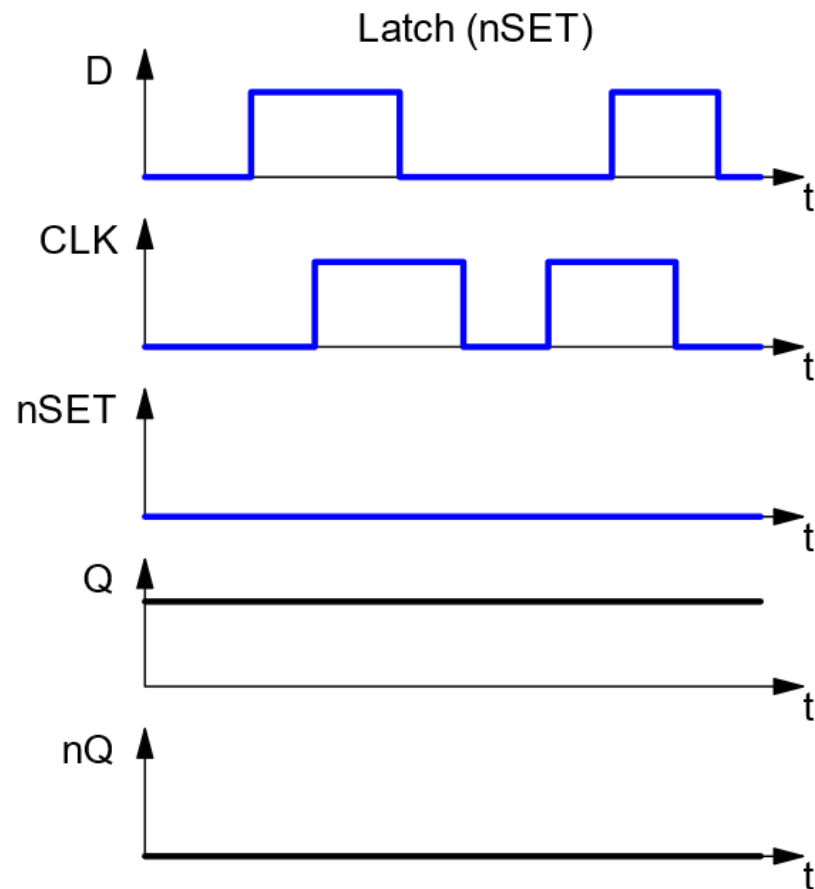
Information

Normal operation

D	CLK	Q(t)	nQ(t)
0	0	0	1
1	0	1	0
0	1	t - 1	t - 1
1	1	t - 1	t - 1

t - 1 - previous state;  
nSET/nRESET - connect to VDD;  
0 - logic LOW;  
1 - logic HIGH;

Apply



---

[Renesas.com](https://www.renesas.com)