



# HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG



## CHƯƠNG 2

# Các thành phần phần cứng của hệ thống nhúng và vi xử lý 8051

Giảng viên:

Bộ môn:

Email:

Ths. Đinh Xuân Trường

Khoa học máy tính - Khoa CNTT1

[truongdx@ptit.edu.vn](mailto:truongdx@ptit.edu.vn)

2.1 Bộ xử lý trung tâm -CPU

2.2 Bộ nhớ và thiết kế bộ nhớ

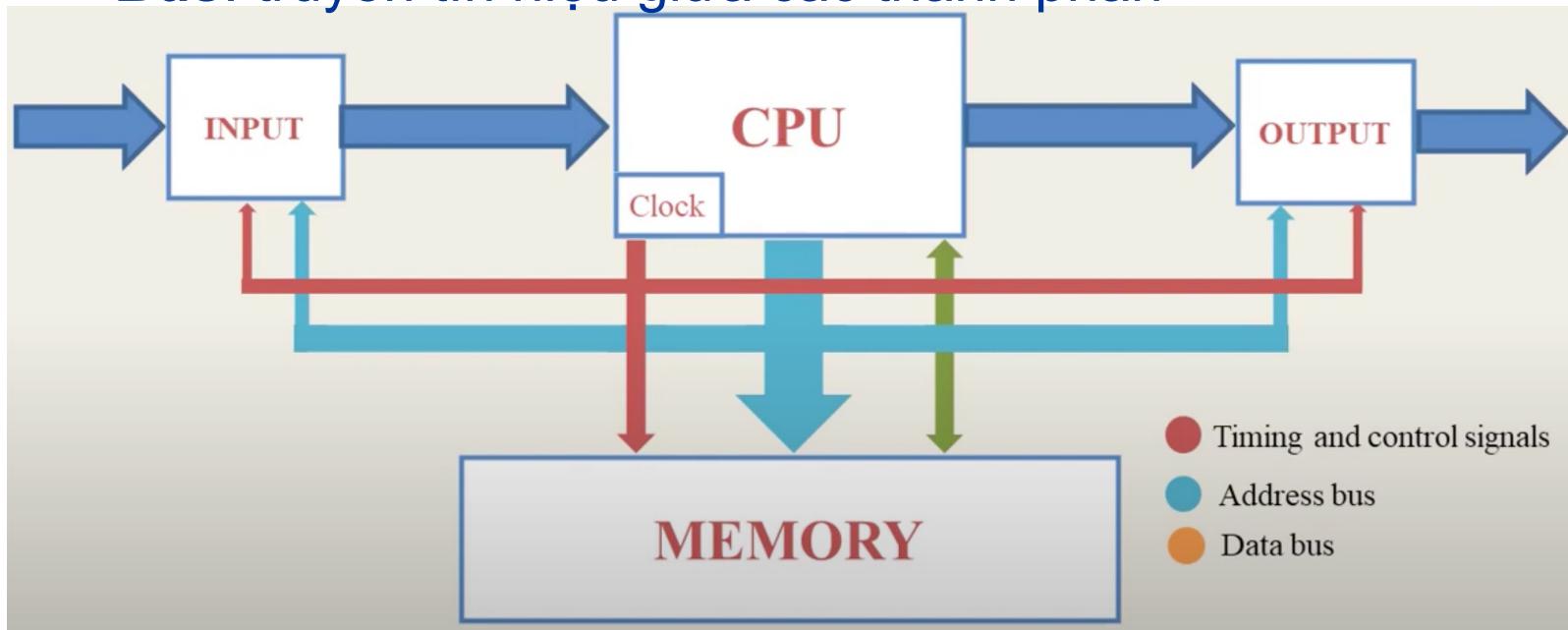
2.3 Ghép nối với thiết bị ngoại vi

2.4 Vi xử lý 8051: Kiến trúc, bộ nhớ và giao diện thực tế

# TỔNG QUAN PHẦN CỨNG HTN

## ❖ Tổng quan phần cứng của Hệ thống nhúng

- **CPU** (Bộ xử lý trung tâm): Thực hiện lệnh và xử lý dữ liệu
- **Memory**: Bộ nhớ chương trình và dữ liệu
- **Ngoại vi**: Input / output devices
- **Bus**: truyền tín hiệu giữa các thành phần

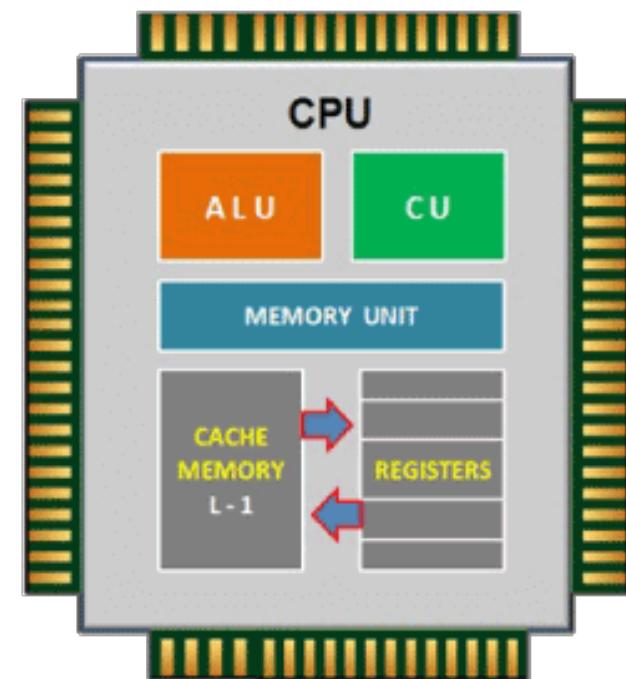


## 2.1: Bộ xử lý trung tâm CPU

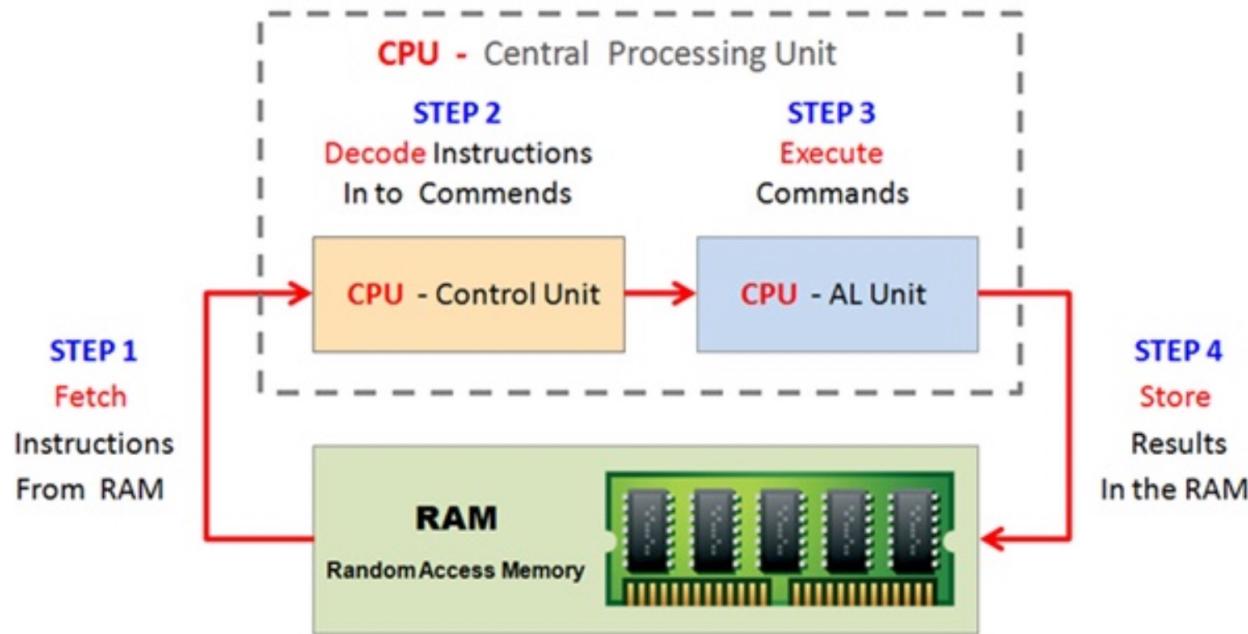
❖ Sơ đồ khái niệm cơ bản CPU gồm:

- **ALU**: Đơn vị tính toán và logic
- **CU**: Đơn vị điều khiển
- **Memory Unit**: Một số bộ nhớ được tích hợp trong CPU để hỗ trợ lưu trữ và tính toán nhanh. Gồm các thanh ghi và Cache.

Central Processing Unit



- ❖ Quá trình thực thi một lệnh:
  1. Nạp lệnh từ bộ nhớ vào CU
  2. CU Giải mã lệnh
  3. ALU thực thi lệnh
  4. Kết quả được lưu vào bộ nhớ

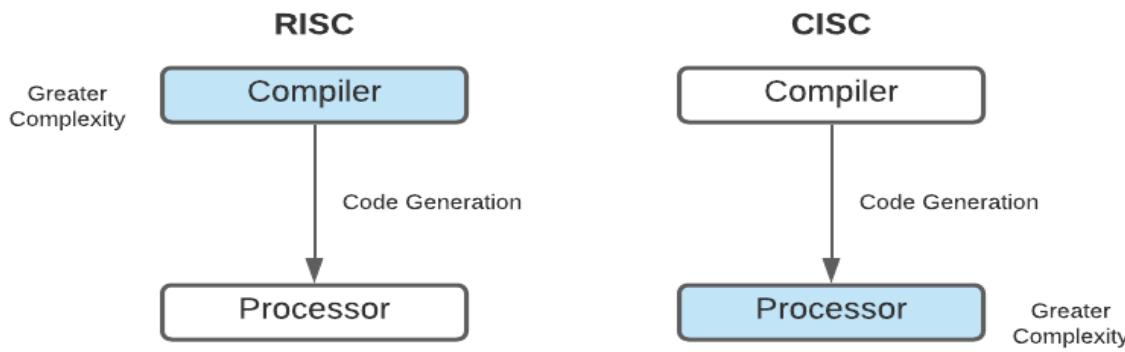
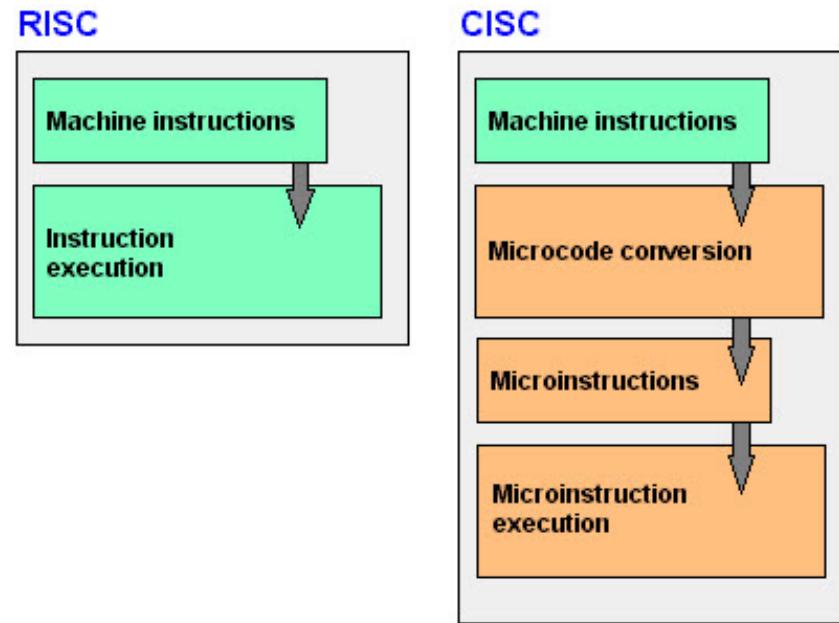


# BỘ XỬ LÝ TRUNG TÂM CPU

- ❖ Kiến trúc tập lệnh ISA (Instruction Set Architecture):

Có hai loại kiến trúc tập lệnh:

- ❖ CISC (Complex Instruction Set Computing)
- ❖ RISC (Reduce Instruction Set Computing) - ARM



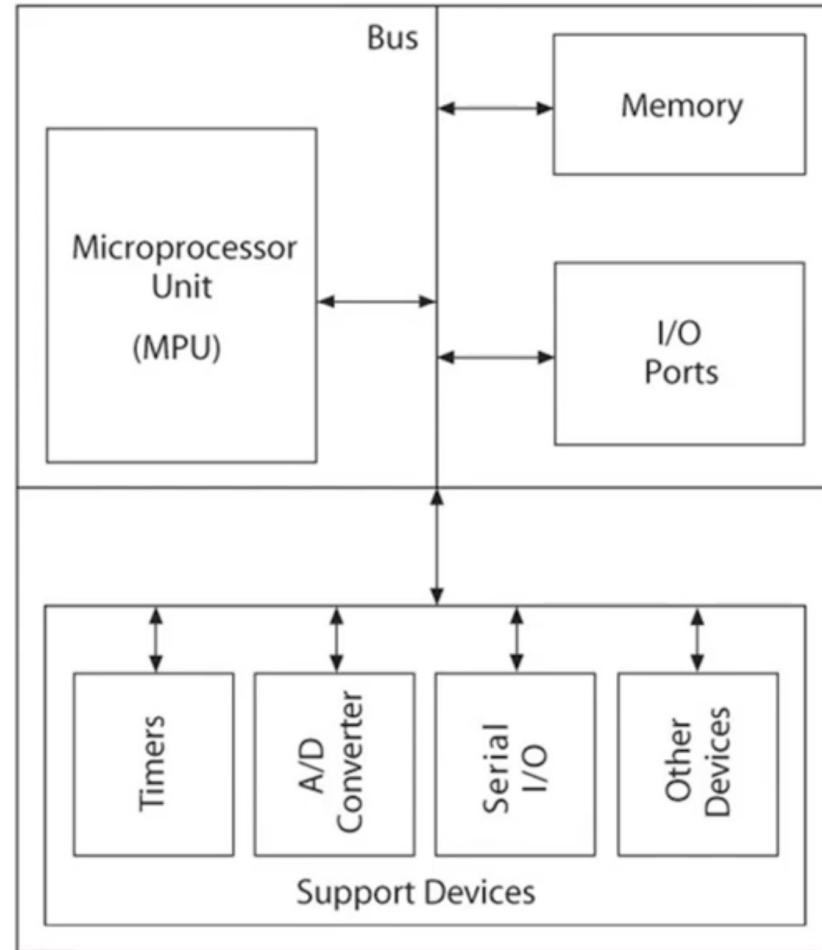
# BỘ XỬ LÝ TRUNG TÂM CPU

❖ **Vi điều khiển** xem như một mạch tích hợp đầy đủ các thành phần:

- Vi xử lý
- Bộ nhớ
- Ngoại vi (GPIO, Timer, SPI...)

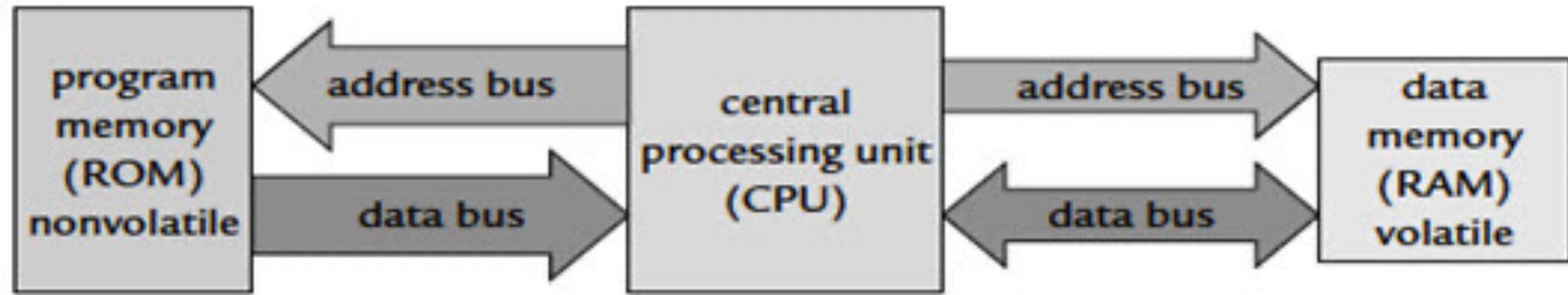
❖ **Ví dụ:**

- Vi xử lý: Core i3, i5, i7...
- Vi điều khiển: PIC, AVR...

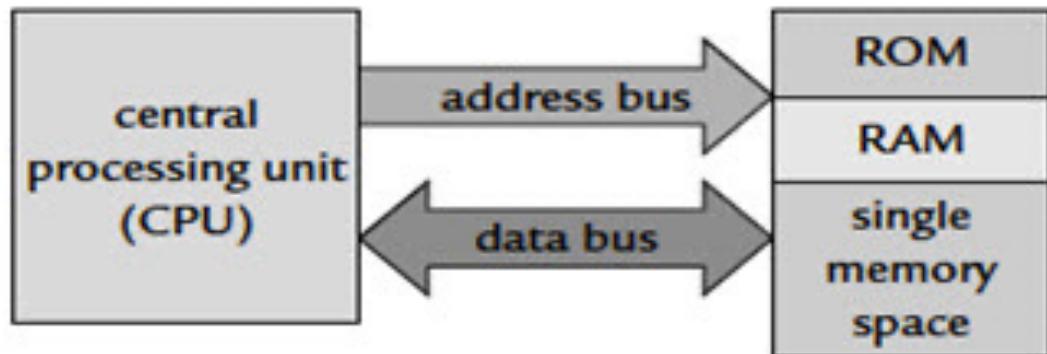


## Von-Neumann &amp; Harvard

(a) Harvard architecture



(b) von Neumann architecture



## 2.2: Bộ nhớ và thiết kế bộ nhớ

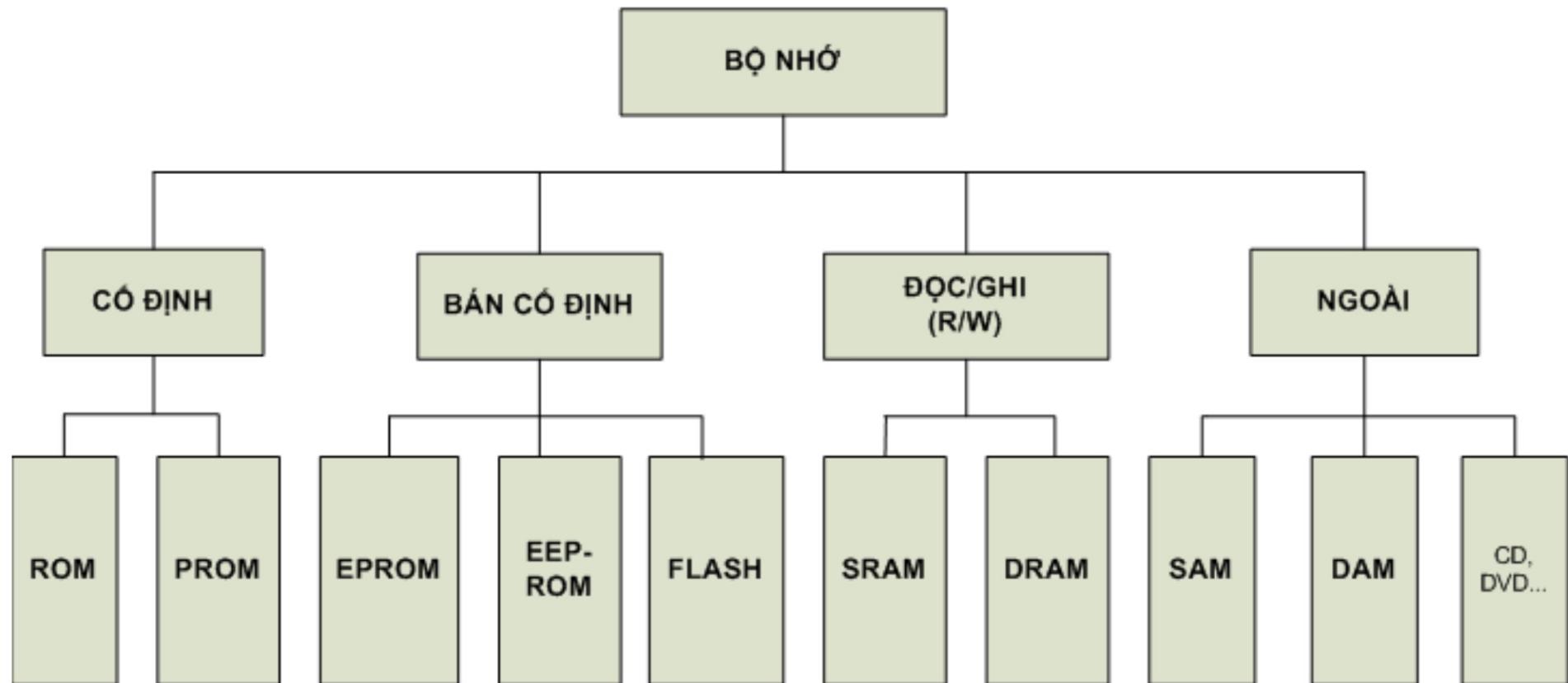
# BỘ NHỚ VÀ THIẾT KẾ BỘ NHỚ

- ❖ Bộ nhớ là phương tiện lưu trữ thông tin bao gồm chương trình và số liệu.
- ❖ Một số thông tin cơ bản về bộ nhớ máy tính:

Memory Type	Access Time	Cost /MB	Typical Amount Used	Typical Cost
Registers	1ns		1KB	
Cache	5-20 ns		1MB	
Main memory	60-80ns		MB	
Disk memory	10 ms		GB	

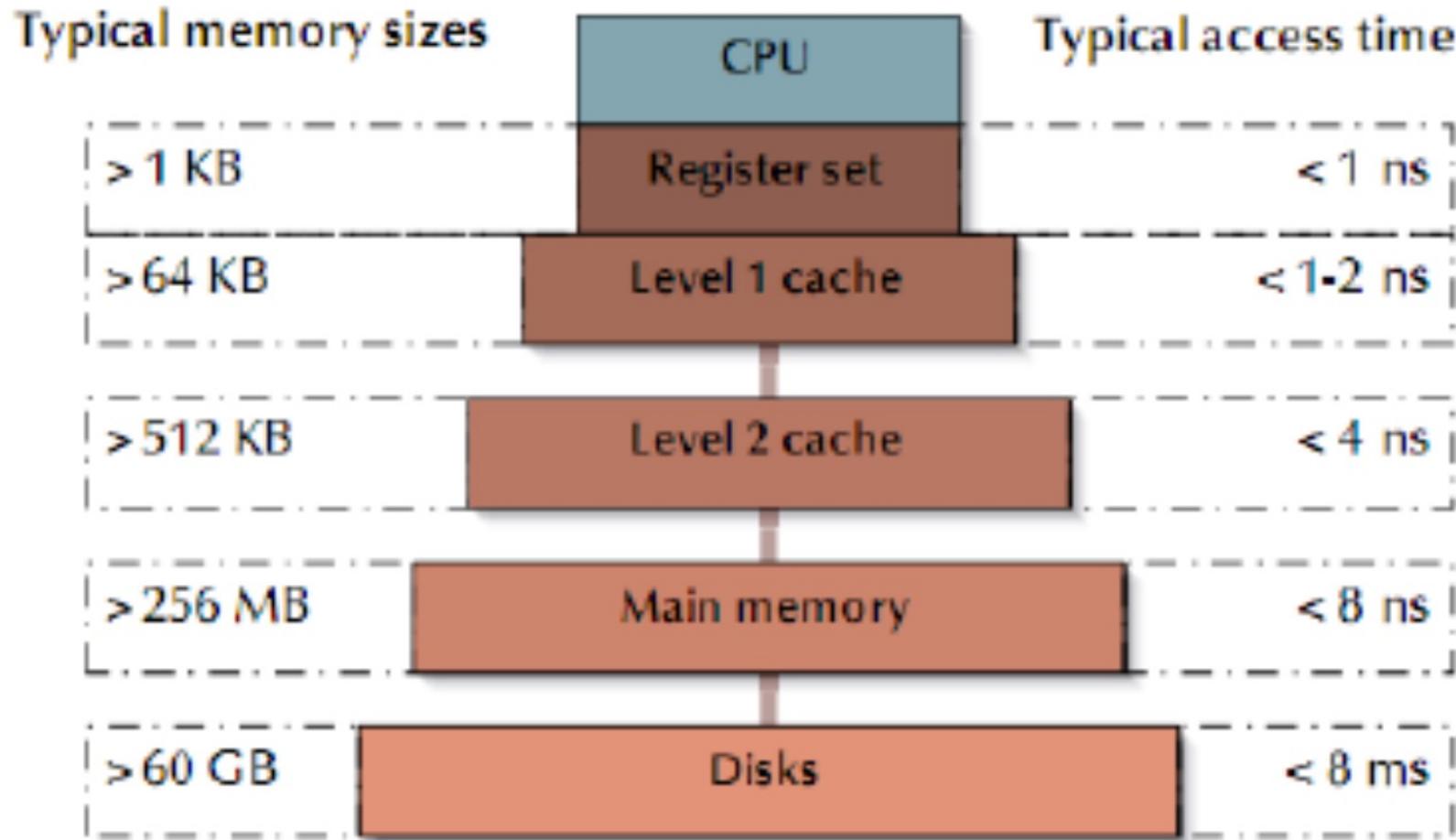
# BỘ NHỚ VÀ THIẾT KẾ BỘ NHỚ

## ❖ Phân loại bộ nhớ:



# BỘ NHỚ VÀ THIẾT KẾ BỘ NHỚ

## ❖ Mô hình phân cấp bộ nhớ:



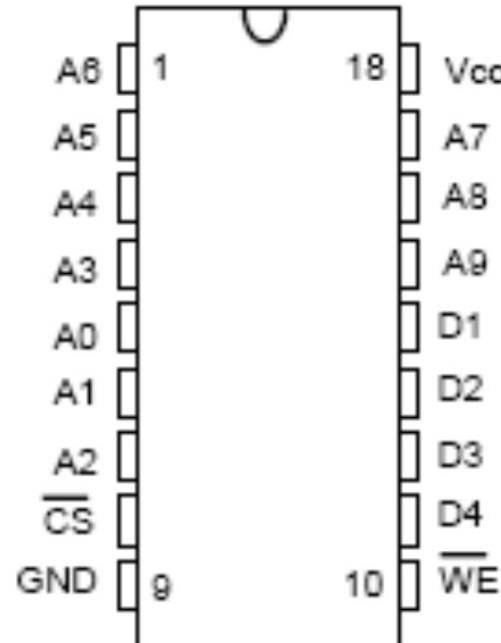
# Tổ chức bộ nhớ vật lý và thiết kế bộ nhớ

- ❖ Chip nhớ là một vi mạch cụ thể, được bố trí các chân cơ bản.
- ❖ Các chân của một chip nhớ thông thường gồm các lối vào của BUS địa chỉ, lối dữ liệu, các chân điều khiển chọn chip, ghi/đọc và các chân nguồn.

**Ví dụ :** một RAM tĩnh 1Kx4 (1024 “tù nhớ”, mỗi từ có độ dài 4 bit

A0 ÷ A9	Các chân địa chỉ
D1 ÷ D4	Các chân dữ liệu
CS	Chân chọn chip
WE	Điều khiển Ghi/Đọc
Vcc	Chân nguồn nuôi +5V
GND	Chân nối đất

Hình III.8 Sơ đồ nối chân một vi mạch nhớ  
RAM 1Kx4



# Tổ chức bộ nhớ vật lý và thiết kế bộ nhớ

❖ Thiết kế bộ nhớ từ các chip nhớ có sẵn có các bước sau:

1. Xác định số chip nhớ, để tạo được dung lượng nhớ theo yêu cầu theo công thức:

$$M = Q/D, \text{ trong đó}$$

Q là dung lượng của bộ nhớ.

D là dung lượng của mỗi chip

M là số chip nhớ cần thiết.

2. Xác định số dây địa chỉ cơ sở (tức là số dây địa chỉ thấp được nối trực tiếp vào chip nhớ hoặc chip liên thông): theo biểu thức sau:

$$2^m = D, \text{ trong đó}$$

m là số dây của địa chỉ cơ sở.

D là dung lượng của mỗi chip

3. Xác định số dây địa chỉ tạo chọn chip theo biểu thức sau:

$$2^i = M, \text{ trong đó}$$

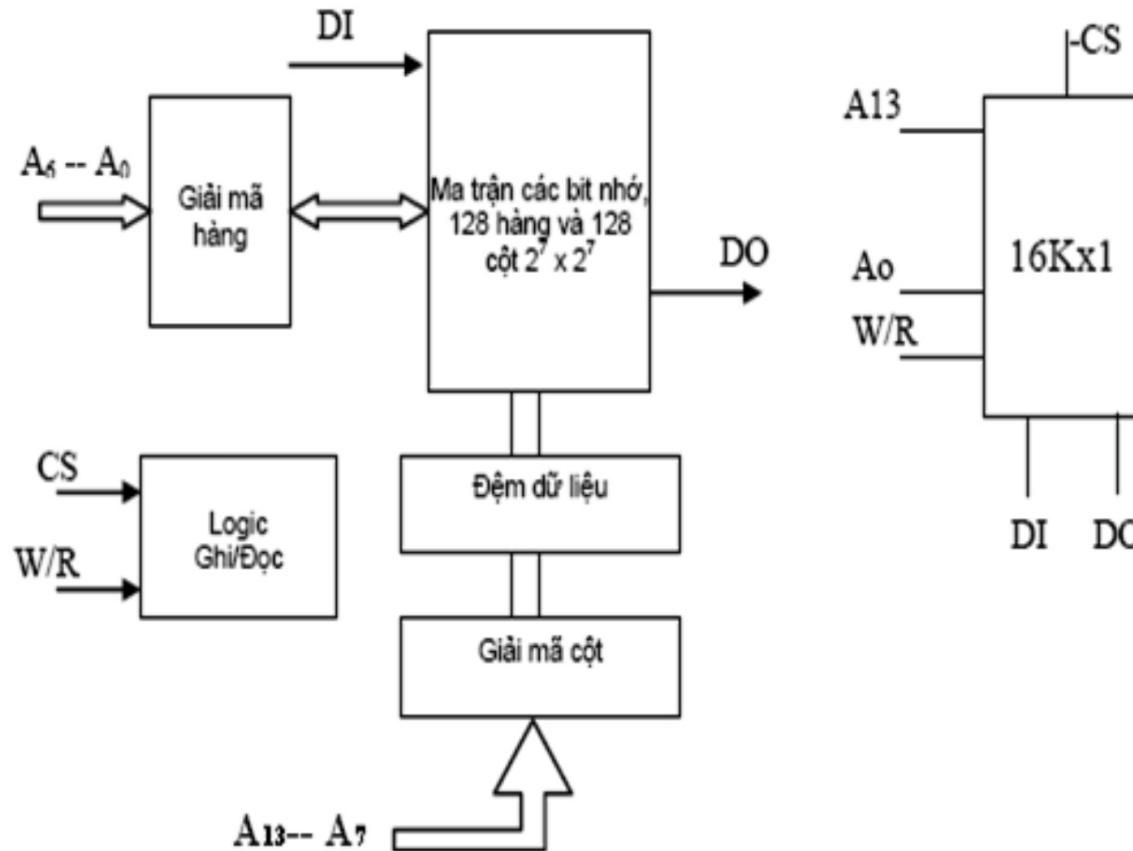
D là dung lượng của mỗi chip

i là số dây cần để giải mã xác định các tín hiệu chọn chip (Cs)

# Tổ chức bộ nhớ vật lý và thiết kế bộ nhớ

## ❖ Thiết kế RAM tĩnh (Static RAM)

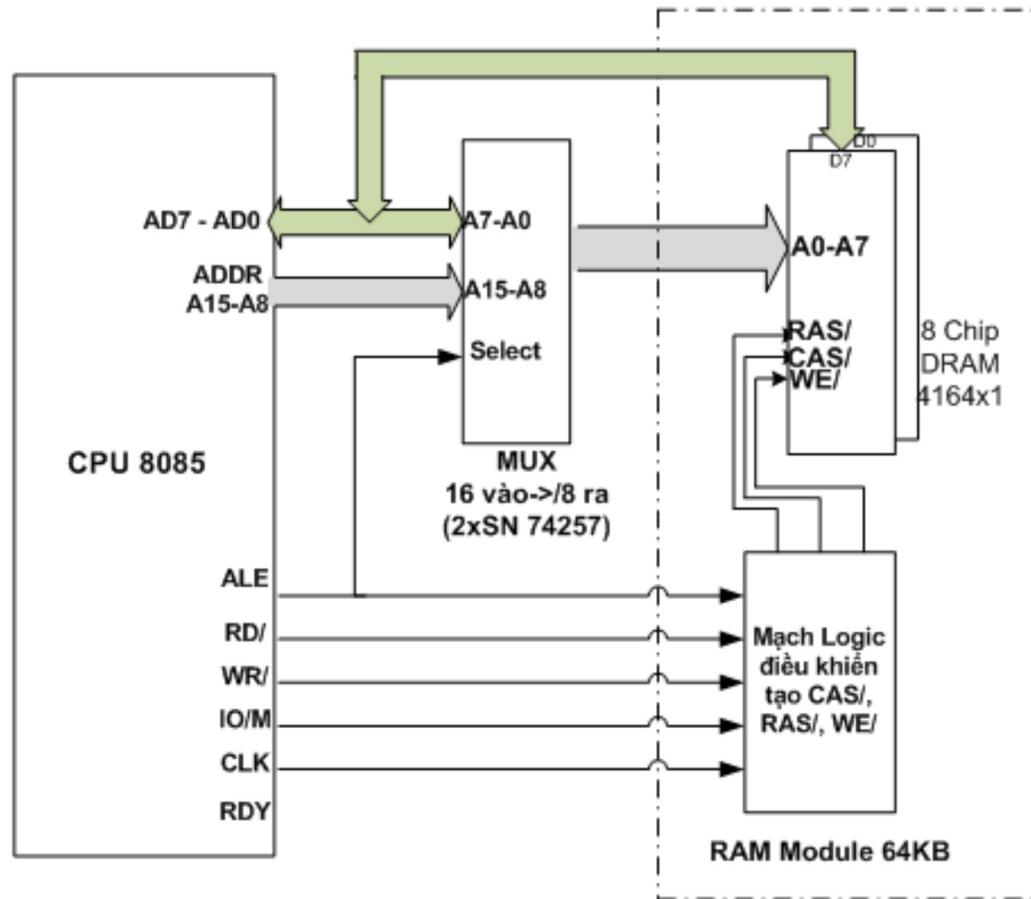
Xây dựng một bộ nhớ kích thước 16Kbyte trên cơ sở các chíp SRAM loại 16Kx1bit. Băng nhớ SRAM 16Kbyte được xây dựng trên cơ sở 8 chíp SRAM loại 16K x 1bit, để có được ô nhớ có độ dài 8 bits.



# Tổ chức bộ nhớ vật lý và thiết kế bộ nhớ

## ❖ Thiết kế RAM động (DRAM)

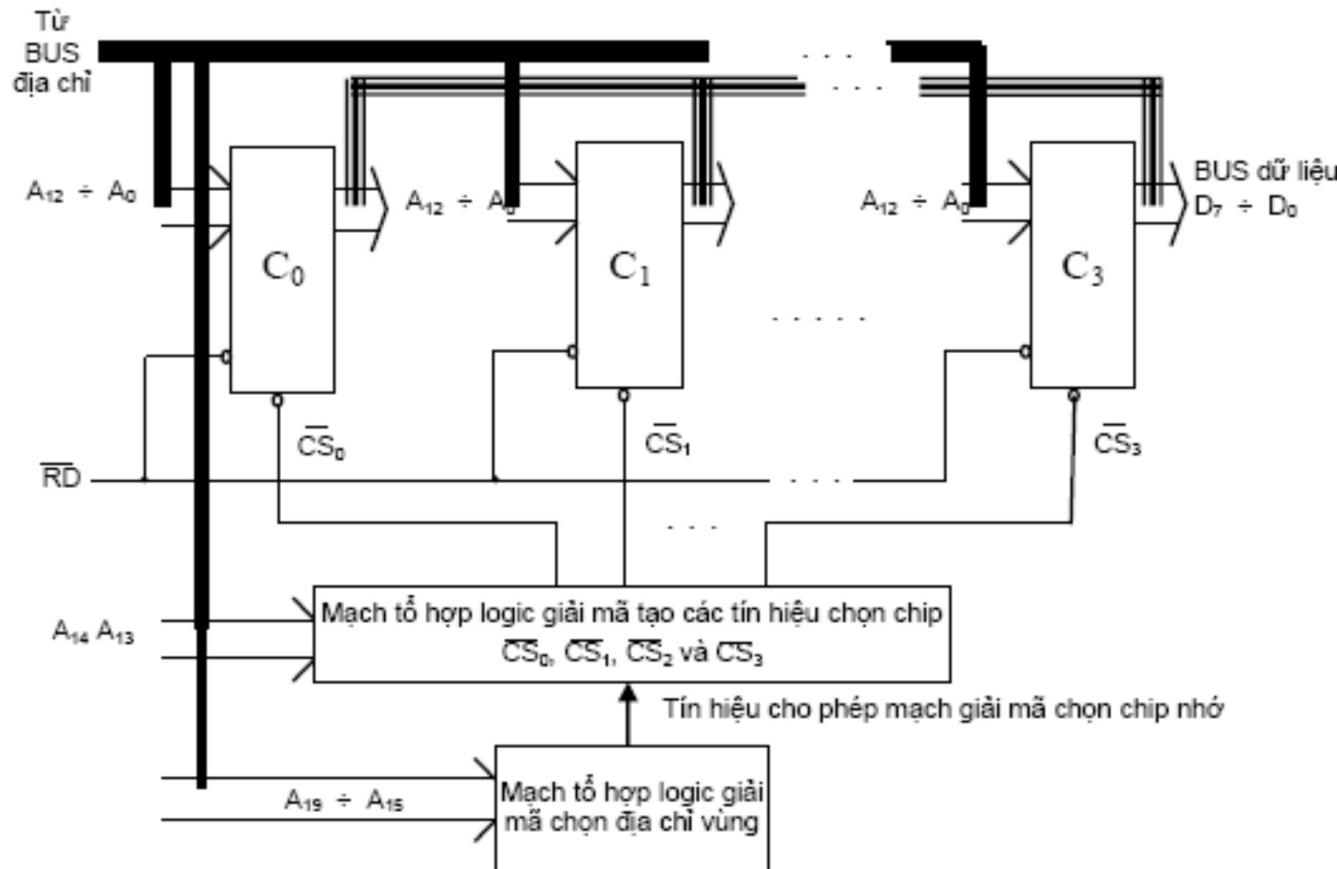
DRAM MK 4164 là DRAM 64K bit trong 1 Chip. Giả định sẽ thiết kế RAM cho CPU 8085 với RAM tối đa 64 KB, sẽ cần 8 Chip.



# Tổ chức bộ nhớ vật lý và thiết kế bộ nhớ

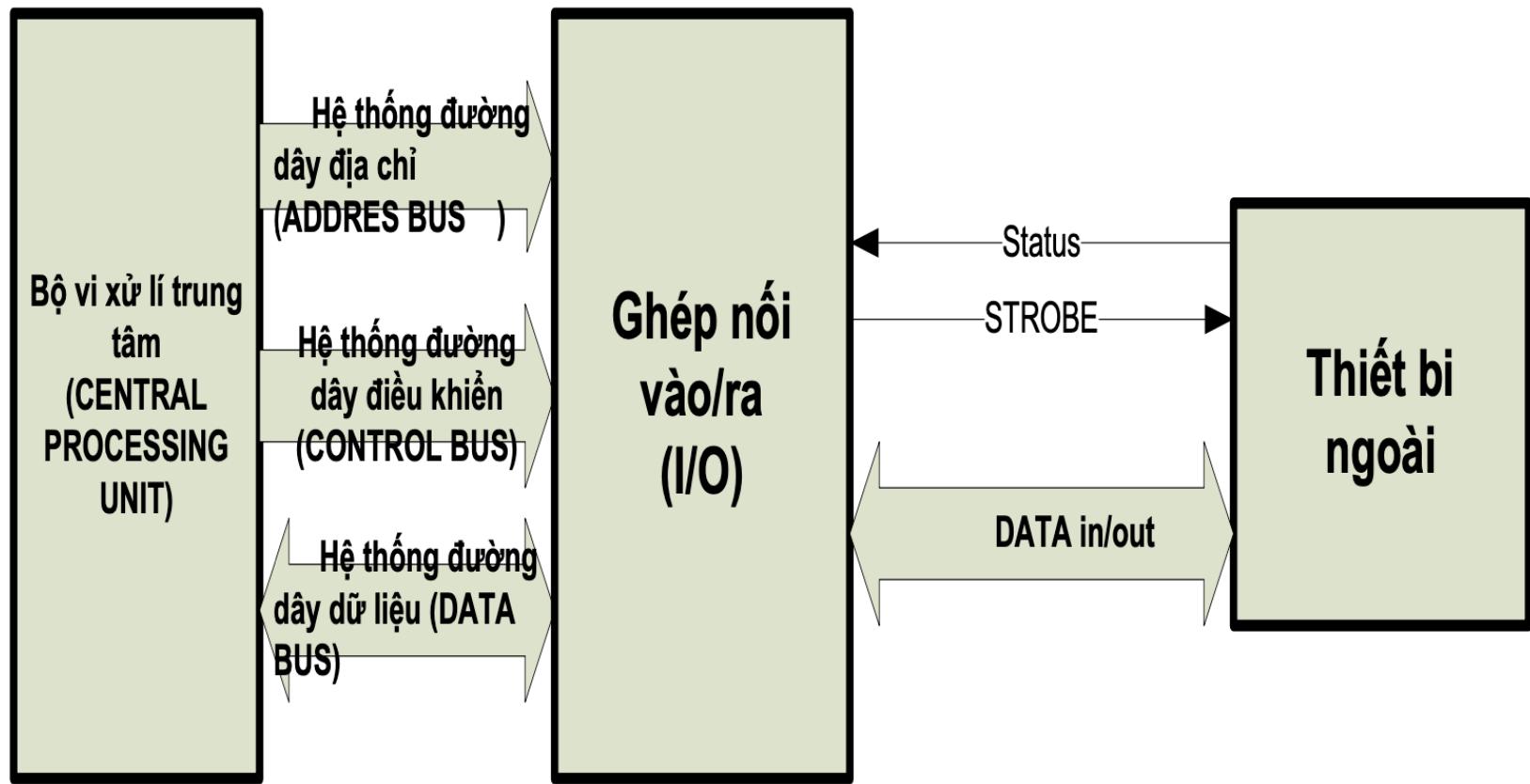
## ❖ Thiết kế ROM/EPROM

Xây dựng module ROM có dung lượng 32KB, sử dụng Chip 2764 8K x 8 bit, địa chỉ đầu là 20000hex. Chương trình ứng dụng nạp vào module này.

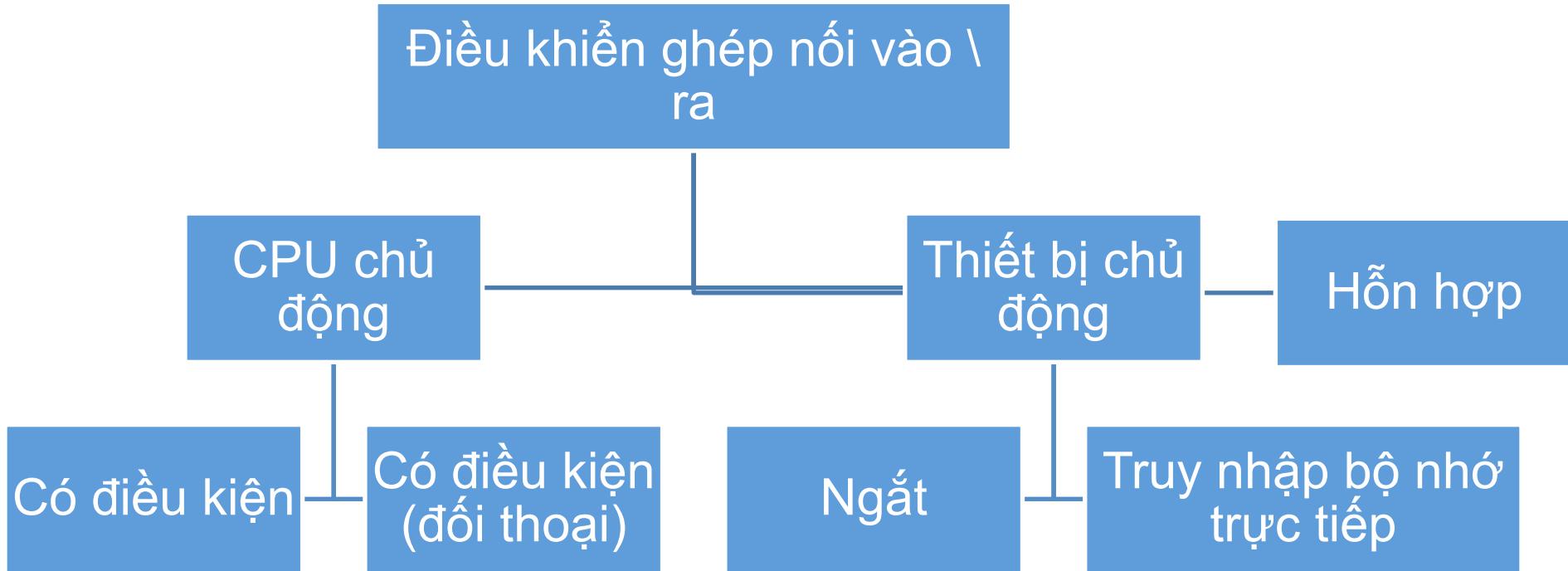


## 2.3: Ghép nối với thiết bị ngoại vi

## Mô hình kỹ thuật ghép nối



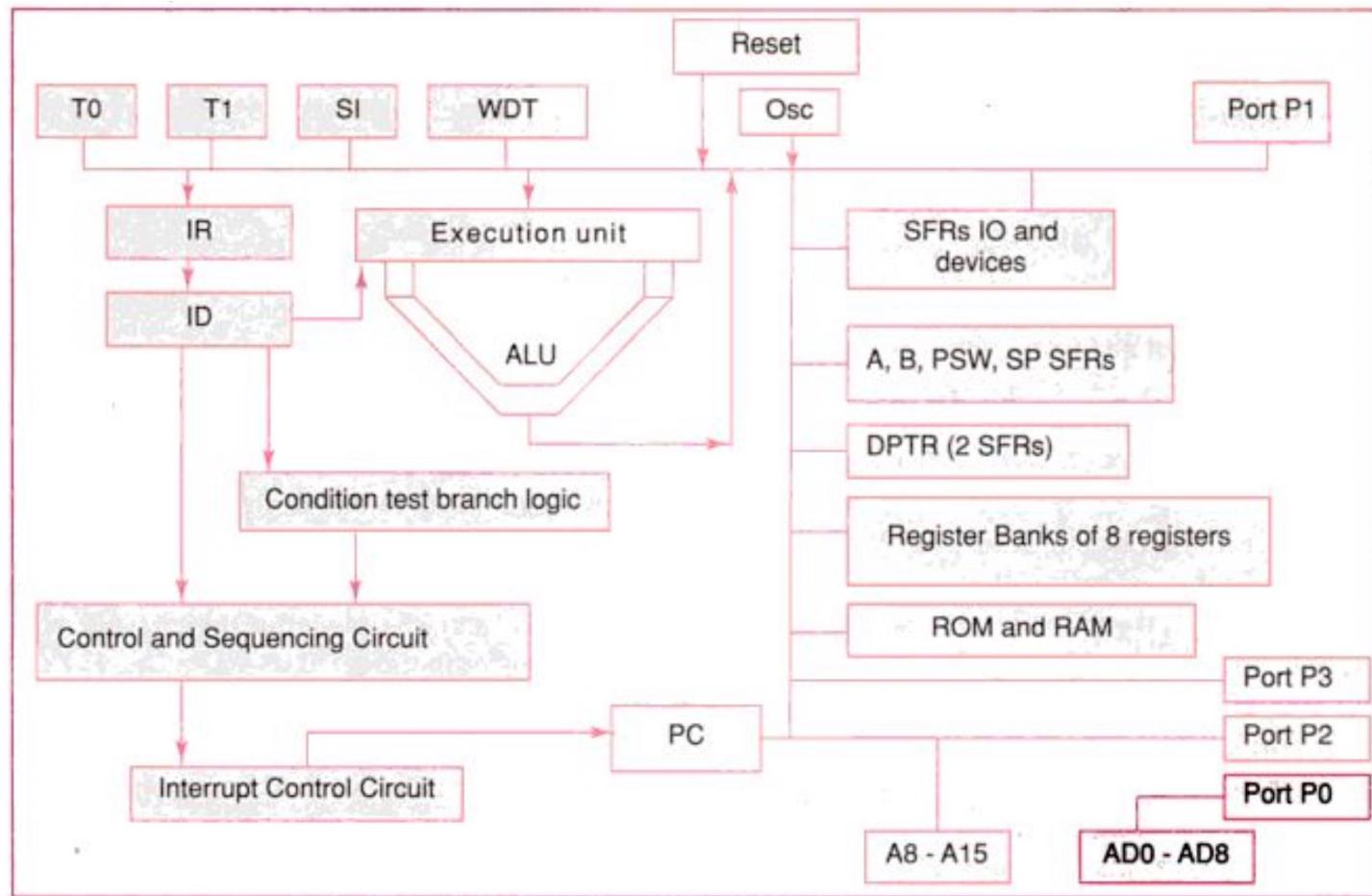
## Các kiểu ghép nối



## 2.4: Vi xử lý 8051: Kiến trúc, bộ nhớ và giao diện thực tế

# Kiến trúc vi điều khiển 8051

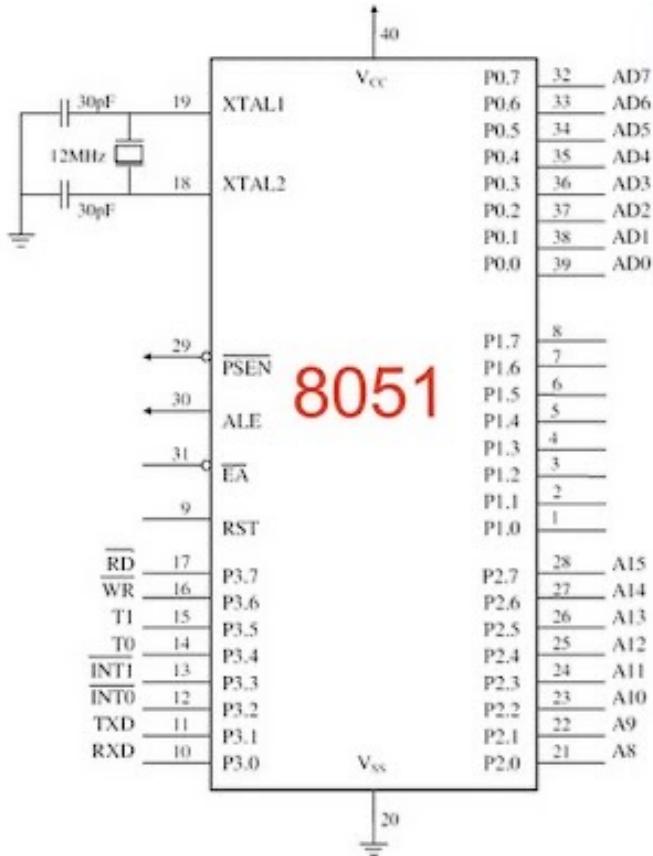
- ❖ Kiến trúc cơ bản 8051: vi xử lý, thanh ghi, bộ nhớ (trong kiến trúc Harvard) và các cổng, Bộ đếm/bộ đếm thời gian, I/O và thiết bị xử lý ngắt.



# Kiến trúc vi điều khiển 8051

## ❖ Đặc điểm của VĐK 8051

- Xung nhịp 12 MHz. Thời gian chu kỳ lệnh của bộ xử lý 1 µs.
- ALU-8bit
- Kiến trúc bộ nhớ Harvard
- Internal-bus dữ liệu 8-bit và Internal-bus địa chỉ 16-bit
- Kiến trúc tập lệnh CISC

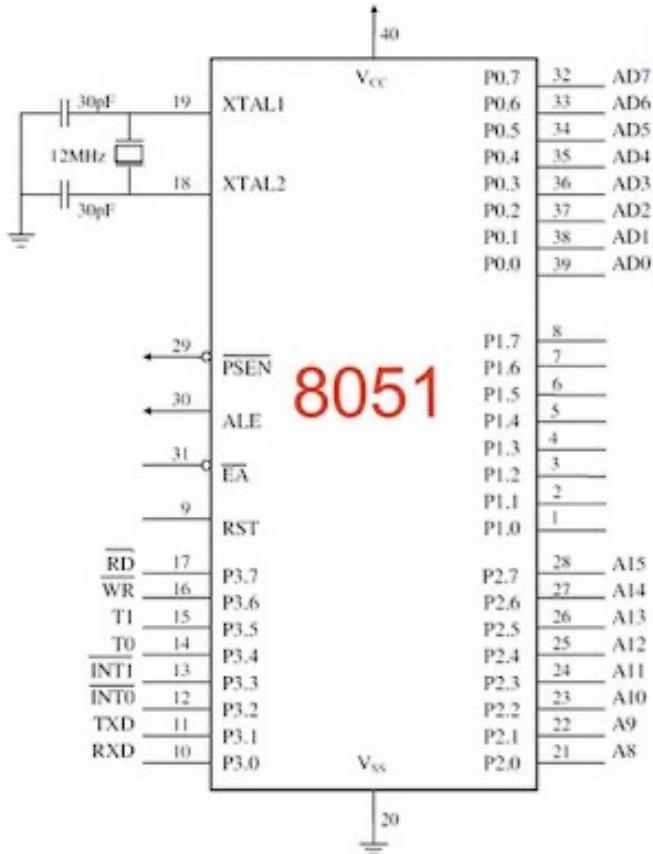


# Kiến trúc vi điều khiển 8051

## ❖ Đặc điểm của VĐK 8051

### ▪ Các thanh ghi đặc biệt (SFR)

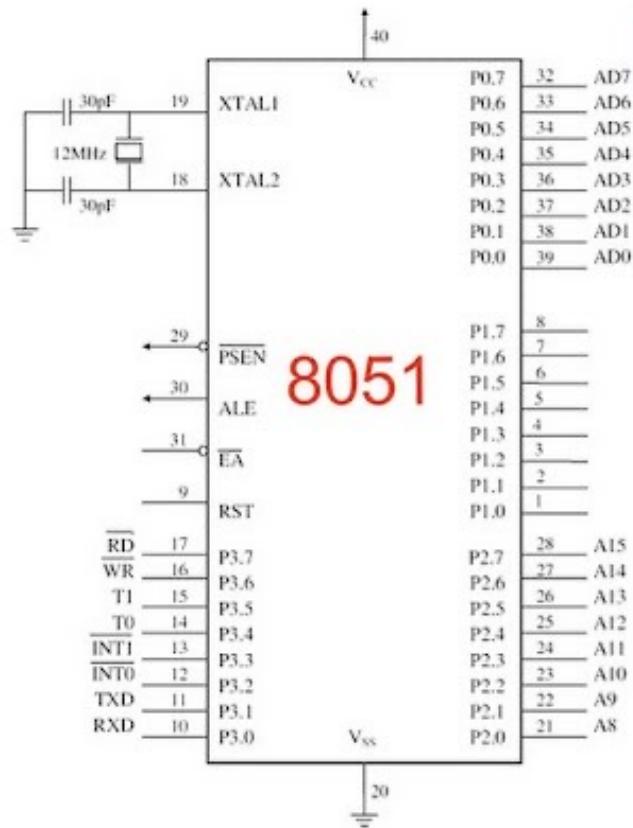
- PSW (tù trạng thái)
- A (tích lũy)
- Thanh ghi B, SP (con trỏ ngăn xếp)
- Các thanh ghi cho I/O, bộ định thời timer, cổng và trình xử lý ngắt
- Bộ đếm chương trình (PC) 16 bit với giá trị mặc định ban đầu là 0x0000.
- Con trỏ ngăn xếp (SP) 8 bit với giá trị mặc định ban đầu là 0x07



# Kiến trúc vi điều khiển 8051

## ❖ Đặc điểm của 8051 đơn giản:

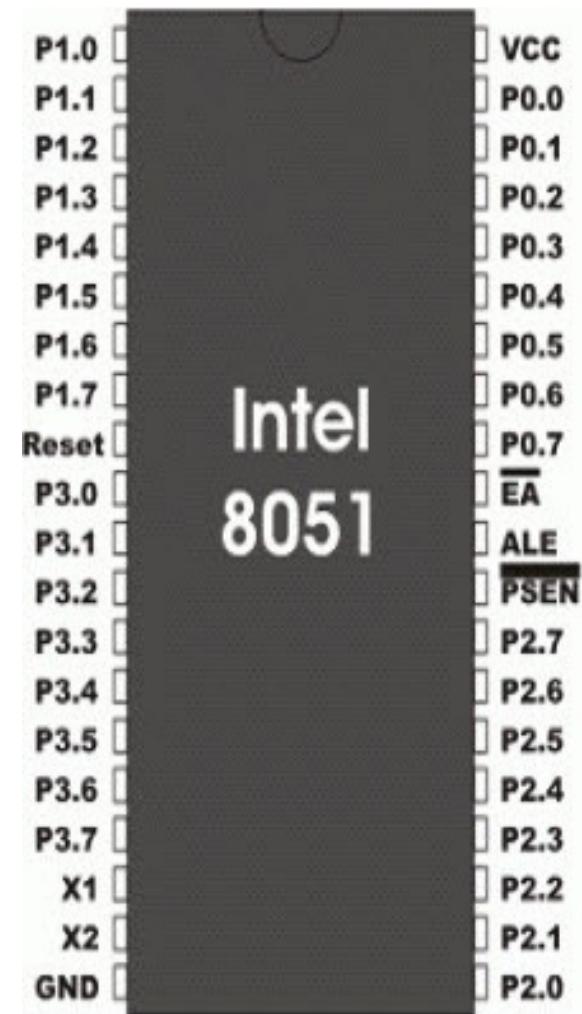
- Không xử lý dấu phẩy động,
- Không có bộ đệm Cache,
- Không có đơn vị quản lý bộ nhớ MMU,
- Không có đơn vị Thao tác nguyên tử (atomic operations unit)
- Không có kỹ thuật đường ống CPU Pipeline
- Không xử lý các lệnh song song.



# Kiến trúc vi điều khiển 8051

## ❖ Đặc điểm của VĐK 8051:

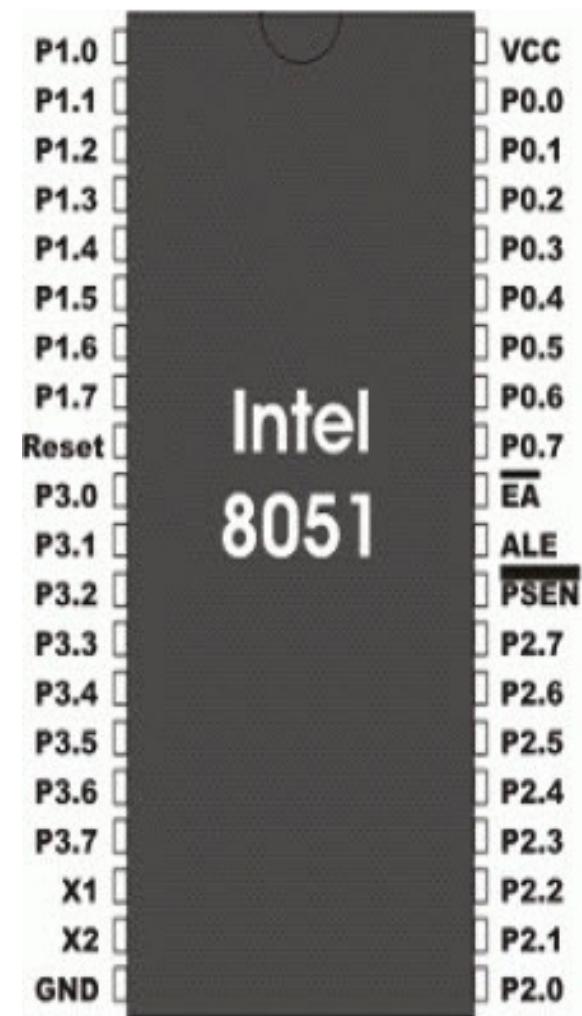
- RAM kích thước 128bytes
- 32 byte RAM được sử dụng làm bốn bộ thanh ghi (register-set / bank). Mỗi bộ thanh ghi (bank) có 8 thanh ghi.
- Bộ nhớ ngăn xếp/Bộ nhớ dữ liệu ngoài có thể được thêm tối đa 64 kB.



# Kiến trúc vi điều khiển 8051

## ❖ Một số phiên bản cải tiến 8051

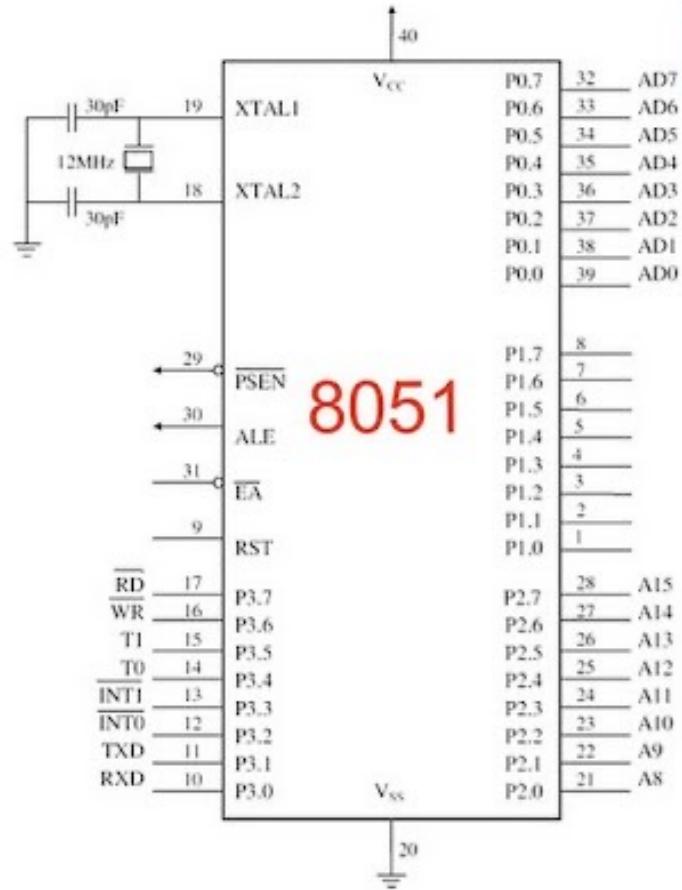
- Phiên bản 8351 có tích hợp ROM trên chip
- Phiên bản 8751 sử dụng EPROM
- Phiên bản 8951 sử dụng EEPROM trên chip hoặc bộ nhớ flash 4 kB.
- Trong các phiên bản 8051 mở rộng không gian địa chỉ được mở rộng lên đến 16 MB.



# Kiến trúc vi điều khiển 8051

## ❖ Đặc điểm của VĐK 8051:

- Hai chân ngắt số 12 và 13 INT0 và INT1.
- Bốn cổng 8 bit mỗi cổng (P0, P1, P2, P3)
- Hai bộ đếm thời gian (timer) T0, T1.
- Giao diện nối tiếp (SI) – có thể lập trình cho ba chế độ UART song công hoàn toàn cho I/O

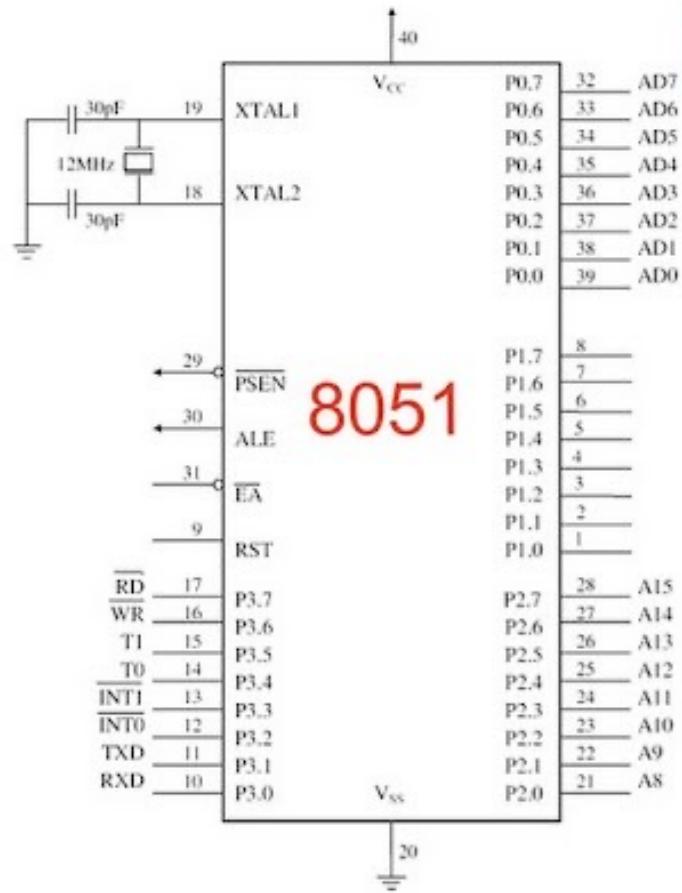


# Kiến trúc vi điều khiển 8051

## ❖ Đặc điểm của VĐK 8051:

- Trong một số phiên bản – có bộ điều khiển DMA, bộ điều chế độ rộng xung
- Trong một số phiên của 8051 cũng được tích hợp các modem, bộ đếm thời gian giám sát, ADC.

Ví dụ: Siemens SAB 80535-N hỗ trợ ADC với điện áp tham chiếu có thể lập trình.

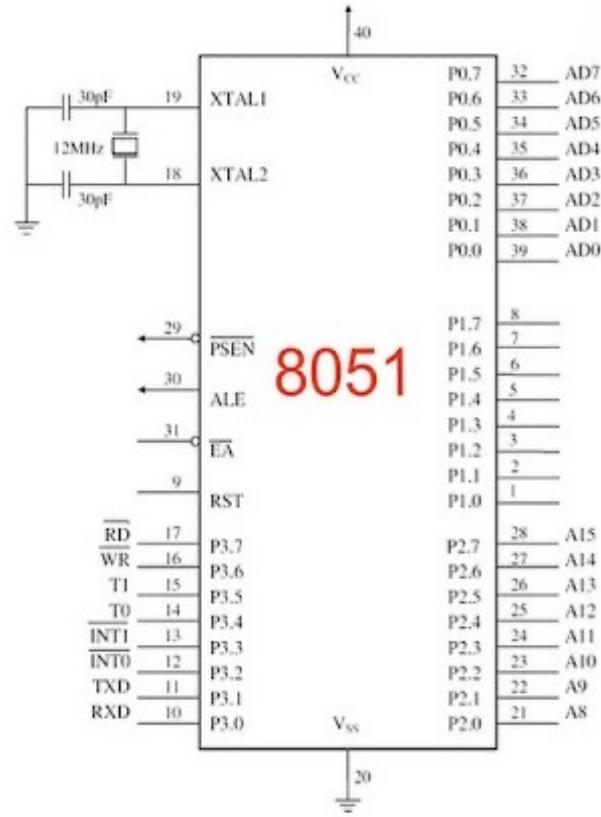


# Kiến trúc tập lệnh vi điều khiển 8051

## KIẾN TRÚC TẬP LỆNH 8051

### ❖ Các lệnh truyền dữ liệu là các lệnh:

- Di chuyển byte giữa thanh ghi A và thanh ghi khác
- Di chuyển byte từ một thanh ghi / từ RAM nội sang một thanh ghi khác
- Di chuyển gián tiếp:
  - MOVC *indirect*
  - MOVX *indirect*
- Di chuyển tức thì:
  - MOV *immediate* DPTR
- Push hoặc Pop *direct*

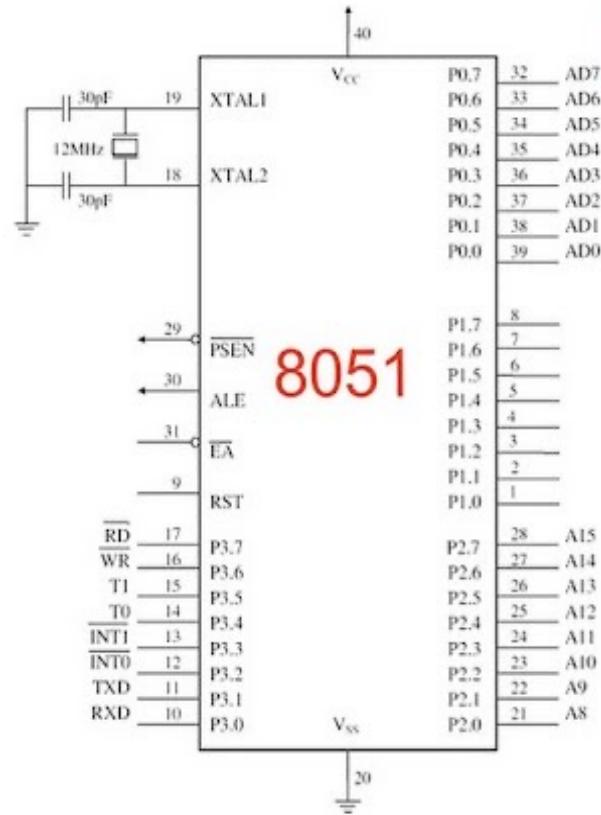


# Kiến trúc tập lệnh vi điều khiển 8051

## KIẾN TRÚC TẬP LỆNH 8051

### ❖ Thao tác với bit, byte và các lệnh logic

- Thao tác với bit:
  - Đặt giá trị, thêm giá trị bằng các lệnh như AND, OR hoặc MOV (Clr, Set, Mov...)
- Lệnh logic:
  - Các lệnh logic AND, OR, XOR
- Các thao tác với byte:
  - Lệnh xóa, thêm hoặc hoán đổi và các lệnh quay (CLR, RL, RC...)

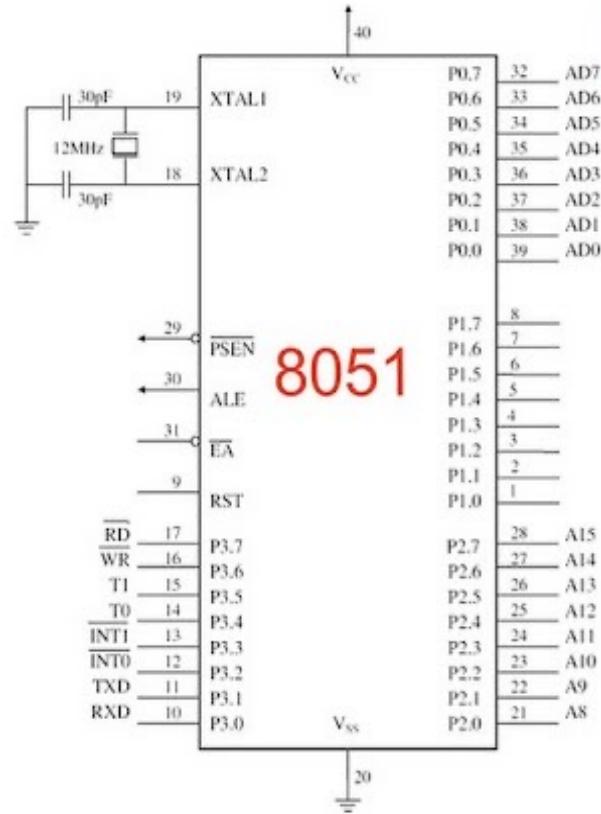


# Kiến trúc tập lệnh vi điều khiển 8051

## KIẾN TRÚC TẬP LỆNH 8051

### ❖ Các lệnh Toán học:

- Là các lệnh 8 bit
  - Cộng (Add), trừ (Sub), nhân (Mul), chia (div)
- Các lệnh tăng giảm:
  - Inc (Increment), Dec (Decrement)

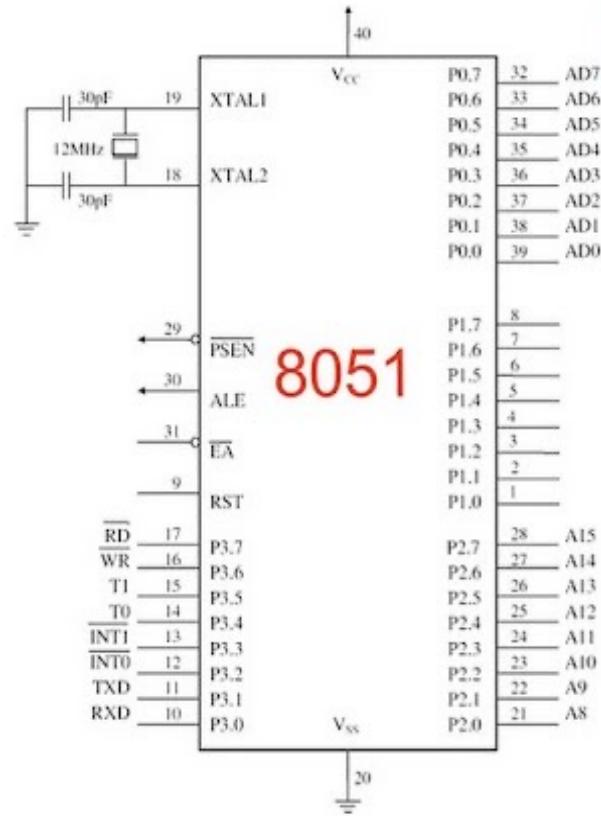


# Kiến trúc tập lệnh vi điều khiển 8051

## KIẾN TRÚC TẬP LỆNH 8051

### ❖ Các lệnh điều khiển luồng chương trình:

- Rẽ nhánh
- Lệnh nhảy có điều kiện
- Lệnh so sánh
- Lệnh gọi chương trình con
- Lệnh NOP
- Lệnh Delay
- Lệnh ngắt:
  - Điều khiển luồng ngắt mask bits, priority bits
  - RETI



# Các cổng vào ra của 8051

## 8051 I/O Port

### ❖ 8051 có 4 cổng vào ra là P0, P1, P2, P3:

- Là ác cổng vào ra 8 bit
- Địa chỉ lần lượt là 0x80, 0x90, 0xA0, 0xB0
  - Mỗi một bit của cổng P0 được ký hiệu là P0.0 đến P0.7 tương ứng với địa chỉ 0x80 đến 0x87.
  - Tương tự với P1 có 8 cổng P1.0 đến P1.7 tương ứng với địa chỉ 0x90 đến 0x97. P2.0 đến P2.7 là địa chỉ 0xA0 đến 0xA7, P3.0 đến P3.7 là địa chỉ 0xB0 đến 0xB7.
- Ví dụ:
  - MOV 0xA0, #0xF ;nghĩa là gán giá trị cho các bit của cổng P2 là 0000 1111<sub>2</sub>
  - INC 0xA0 ; P2 = 0000 1111<sub>2</sub> + 1 = 0001 0000<sub>2</sub>

# Các cổng vào ra của 8051

## 8051 I/O Port

### ❖ Các chân của cổng P0 và P1

P0

P0.0 P0.1 P0.2  
P0.3 P0.4 P0.5  
P0.6 P0.7  
Also as  
AD0- AD7

P1

P1.0 P1.1 P1.2  
P1.3 P1.4 P1.5  
P1.6 P1.7  
Also P1.6 as  
I<sup>2</sup>C clock, P1.7  
as I<sup>2</sup>C serial  
data, and P1.0  
and P1.1 for T2  
(8052)

- Các chân của P0 vừa là 8 bit thấp của bus địa chỉ và của bus dữ liệu

# Các cổng vào ra của 8051

## 8051 I/O Port

### ❖ Các chân của cổng P2 và P3

P2

P2.0 P2.1 P2.2  
P2.3 P2.4 P2.5  
P2.6 P2.7  
Also as  
A8- A15

P3

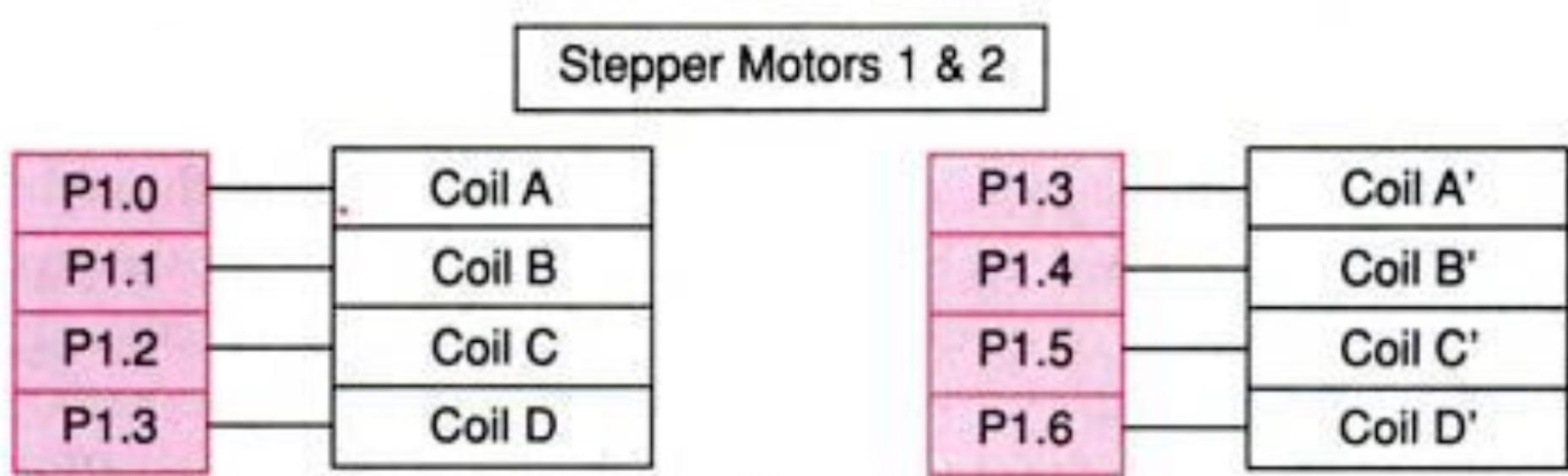
P3.0 P3.1 P3.2  
P3.3 P3.4 P3.5  
P3.6 P3.7  
Also  
RxD/SyncData,  
TxD/SyncClk,  
INT0/GT0,  
INT1/GT1, T0,  
T1, WR, RD

- Các chân của P2 là 8 bit cao của bus địa chỉ

# Mạch vào ra của 8051

## 8051 I/O Circuit

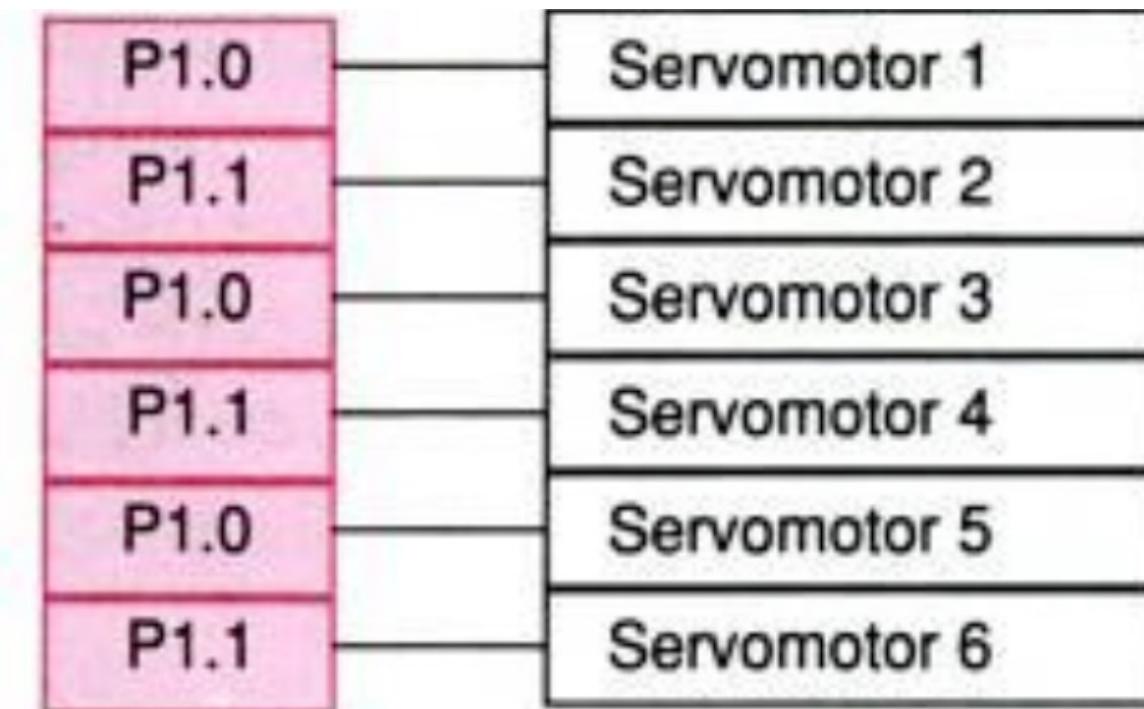
- ❖ Mạch các cổng vào ra điều khiển động cơ bước sử dụng trong máy in



# Mạch vào ra của 8051

## 8051 I/O Circuit

- ❖ Mạch các cổng vào ra cho sáu động cơ servo trong rô-bốt



## Lập trình theo byte bằng các cổng 8051

- ❖ Địa chỉ byte các cổng vào ra P0, P1, P2 và P3 của 8051 được sử dụng để truy cập và thực hiện đọc hoặc ghi hoặc các lệnh khác
- ❖ Địa chỉ 8 bit trực tiếp của mỗi địa chỉ được đưa ra trong các lệnh
  - Ví dụ: MOV 0xA0, #0x0F ;nghĩa là gán giá trị cho các bit của cổng P2 là 0000 1111<sub>2</sub>
- ❖ Địa chỉ của các byte tại P0, P1, P2 và P3 lần lượt là 0x80, 0x90, 0xA0 và 0xB0.

## Lập trình theo byte bằng các cổng 8051

### ❖ Ví dụ:

- MOV 0xA0, #0x0F ;
- INC 0xA0 ;

Nghĩa là gán giá trị cho các bit của cổng P2 là  $0000\ 1111_2$   
Sau đó cổng P2 sẽ được tăng lên 1 giá trị

$$P2 = 0000\ 1111_2 + 1 = 0001\ 0000_2$$

## Lập trình theo bit bằng các cổng 8051

- ❖ Mỗi cổng P0, P1, P2 và P3 có 8 bit
- ❖ Mỗi bit có địa chỉ để truy cập và thực hiện đọc hoặc ghi bằng cách sử dụng các lệnh thao tác bit.
- ❖ Địa chỉ là địa chỉ bit của các chân. Mỗi địa chỉ bit được chỉ định trong lệnh tương ứng.
  - Địa chỉ bit P0.0 to P0.7 tương ứng 0x80 đến 0x87.
  - Địa chỉ bit P1.0 to P1.7 tương ứng 0x80 đến 0x97.
  - Địa chỉ bit P2.0 to P2.7 tương ứng 0xA0 đến 0xA7.
  - Địa chỉ bit P3.0 to P3.7 tương ứng 0xB0 đến 0xB7.

## Lập trình theo bit bằng các cổng 8051

### ❖ Ví dụ:

- CPL 0x90 ; Cổng P1 được gán giá trị 0
- CLR 0x80 ; P0.0 có giá trị bằng 0.
- SETB 0x80; P0.0 có giá trị bằng 1.
- CLRB 0x80; Gán P0.0 cho giá trị bằng 1.

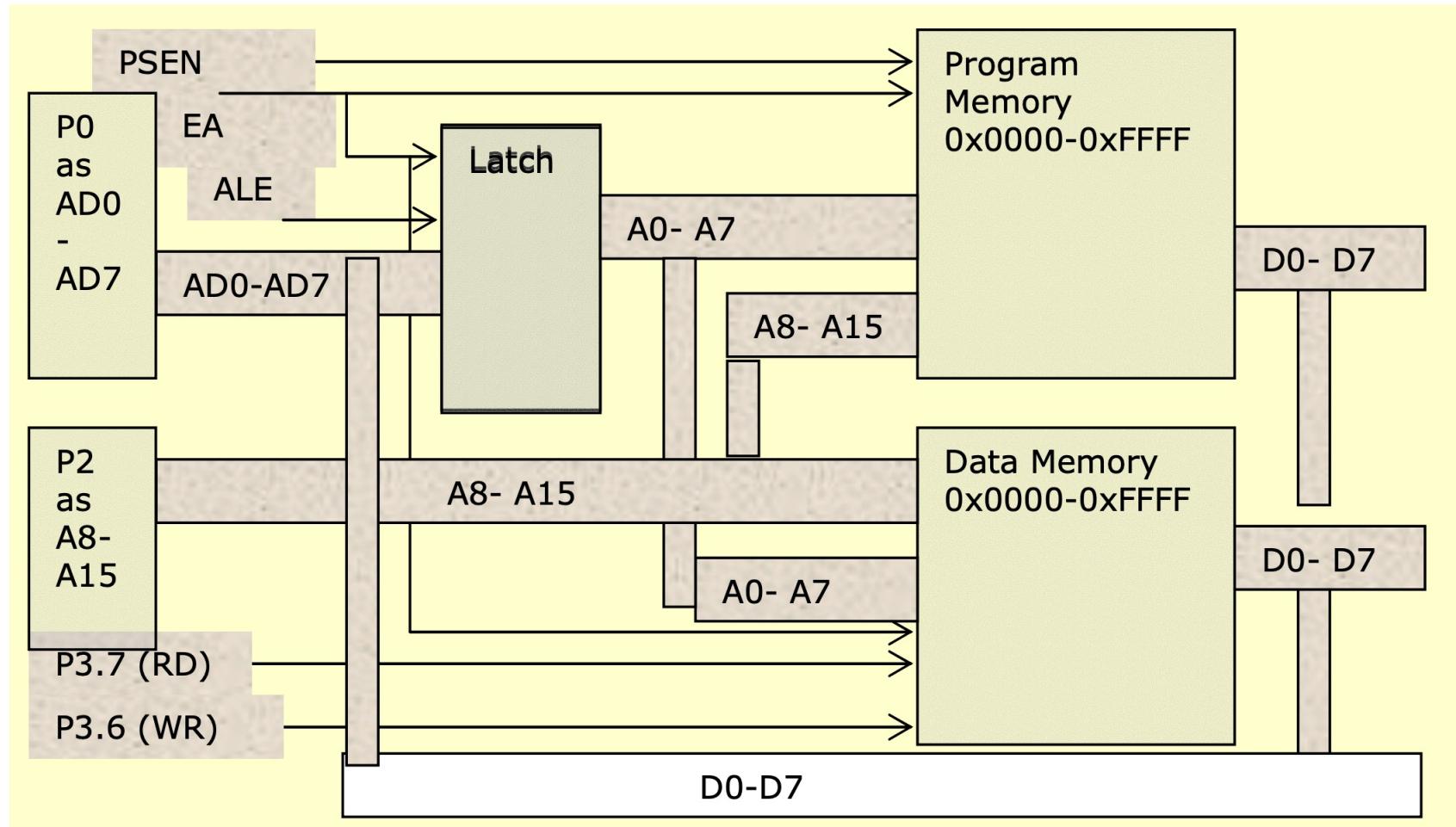
# Ghép nối với bộ nhớ ngoài

## Ánh xạ vào ra bộ nhớ

- ❖ Bộ nhớ và các cổng trong 8051 được đều gán địa chỉ, mỗi cổng có dải địa chỉ riêng trong không gian địa chỉ của bộ nhớ dữ liệu.
- ❖ Mạch giao tiếp được thiết kế giống hệt để bộ nhớ kết nối với các cổng bên ngoài và ngoại vi có thể lập trình (PPI).

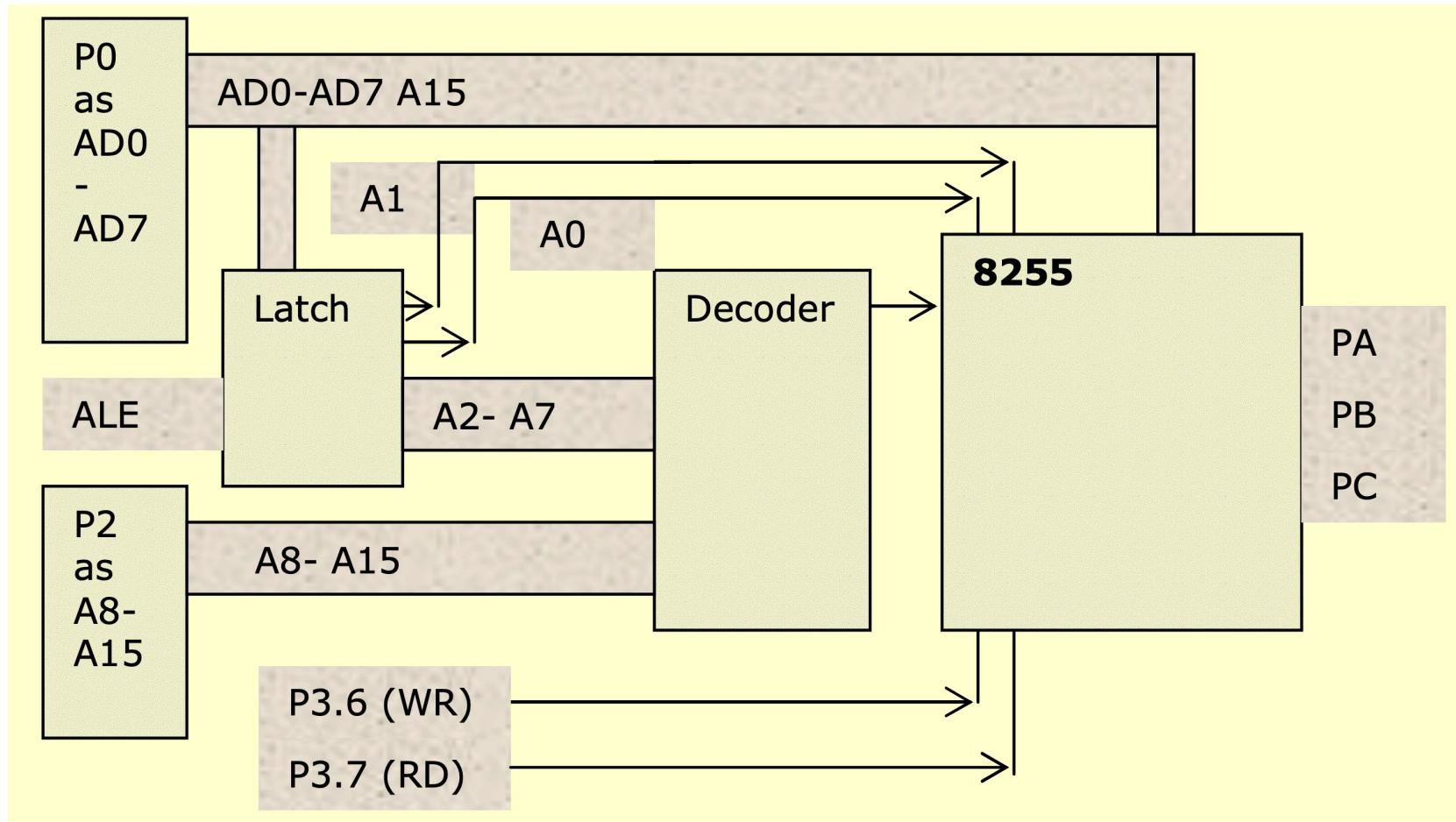
# Ghép nối với bộ nhớ ngoài

## Kết nối với chương trình bên ngoài và mạch bộ nhớ dữ liệu



# Ghép nối với bộ nhớ ngoài

## Giao diện sử dụng cổng ngoài PPI của 8051



## Cổng P0 trong chế độ mở rộng và tín hiệu ALE

- ❖ Các chân AD0-AD7 của cổng P0 là các tín hiệu ghép kênh của các bit địa chỉ thấp A0-A7 của bus địa chỉ và các bit D0-D7 của bus dữ liệu.
- ❖ Ghép kênh phân chia thời gian các tín hiệu A0-A7 và D0-D7 dựa theo tín hiệu của bộ xử lý kích hoạt ALE (address latch enable)

## Kiến trúc bộ nhớ theo kiểu Harvard

- ❖ Có hai bộ nhớ – bộ nhớ chương trình và bộ nhớ dữ liệu.
- ❖ Hai tín hiệu điều khiển – PSEN và RD để điều khiển đọc từ bộ nhớ chương trình hoặc bộ nhớ dữ liệu.
- ❖ Tín hiệu điều khiển ALE để điều khiển việc sử dụng AD0-AD7 làm địa chỉ hoặc dữ liệu tại một trường hợp nhất định

## Tín hiệu điều khiển EA

- ❖ Là tín hiệu mà khi nó được kích hoạt – bộ xử lý luôn truy cập các địa chỉ ngoài bộ nhớ thay vì bộ nhớ trong hoặc địa chỉ thanh ghi

## Địa chỉ bên ngoài RAM, Thanh ghi, bộ nhớ chương trình khi tín hiệu điều khiển EA không hoạt động

- ❖ VXL luôn truy cập bộ nhớ ngoài cho dù EA có hoạt động hay không.
- ❖ Địa chỉ RAM và các thanh ghi nằm giữa 0x00 và 0xFF giống như địa chỉ bộ nhớ dữ liệu ngoài là từ 0x0000 và 0xFFFF.
- ❖ Địa chỉ bộ nhớ chương trình bên trong từ 0x0000 đến 0xFFF (trong trường hợp ROM bên trong 4 kB) giống như địa chỉ bộ nhớ chương trình bên ngoài 0x0000 và 0xFFFF.