



CHƯƠNG 2

Các thành phần phần cứng của hệ thống nhúng và vi điều khiển 8051

Giảng viên:

Ths. Đinh Xuân Trường

Bộ môn:

Khoa học máy tính - Khoa CNTT1

Email:

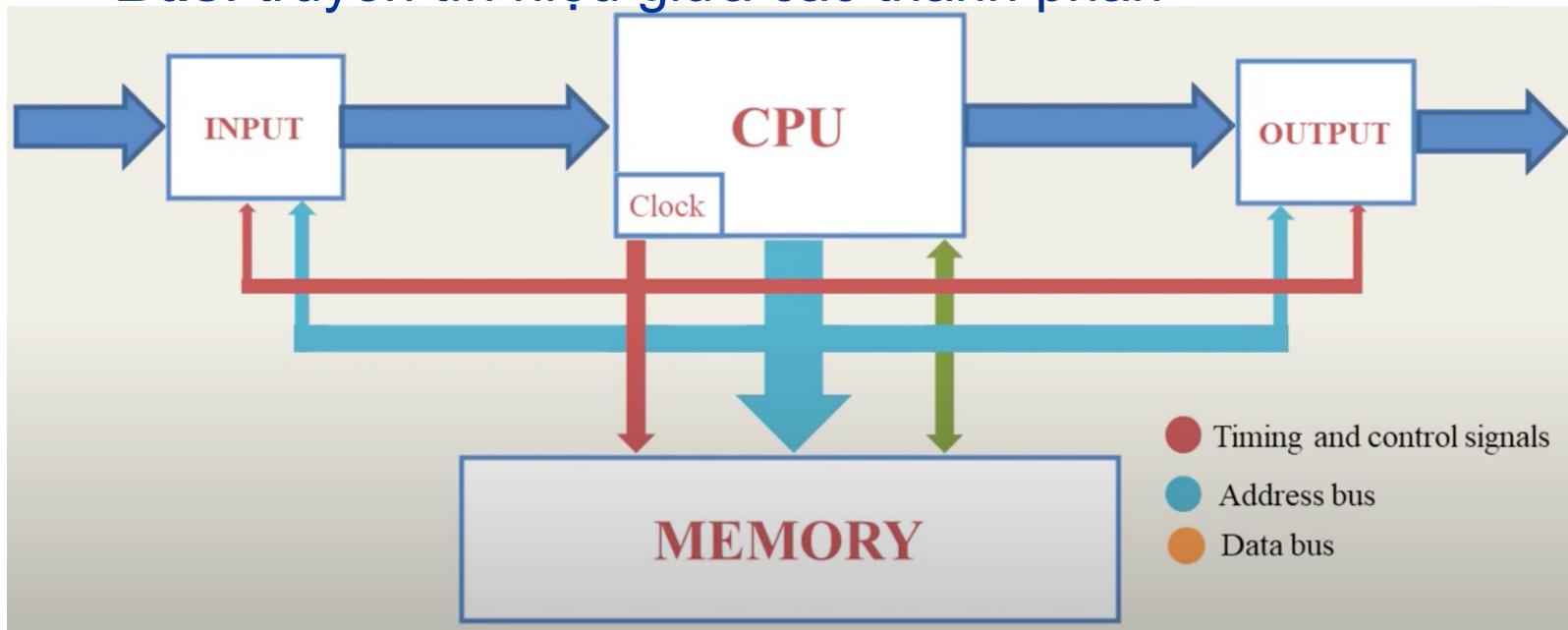
truongdx@ptit.edu.vn

- 2.1 Bộ xử lý trung tâm -CPU
- 2.2 Bộ nhớ và thiết kế bộ nhớ
- 2.3 Ghép nối với thiết bị ngoại vi
- 2.4 Vi xử lý 8051: Kiến trúc, bộ nhớ và giao diện thực tế

TỔNG QUAN PHẦN CỨNG HTN

❖ Tổng quan phần cứng của Hệ thống nhúng

- **CPU** (Bộ xử lý trung tâm): Thực hiện lệnh và xử lý dữ liệu
- **Memory**: Bộ nhớ chương trình và dữ liệu
- **Ngoại vi**: Input / output devices
- **Bus**: truyền tín hiệu giữa các thành phần

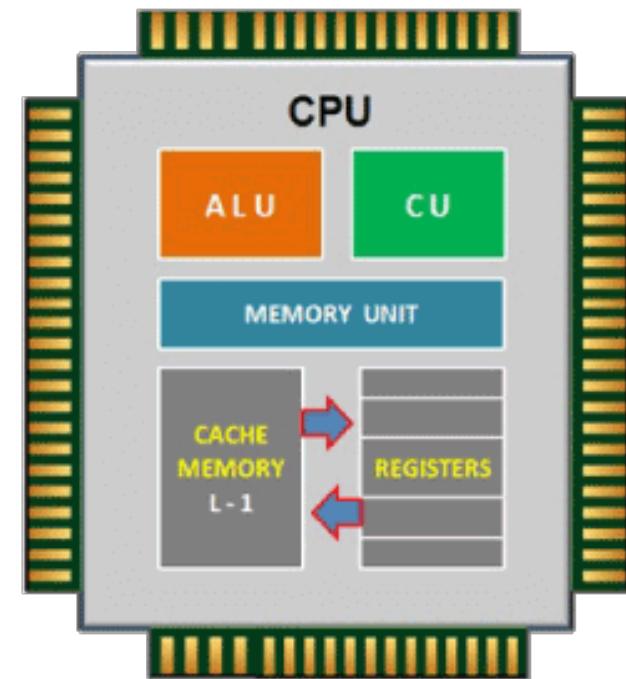


2.1: Bộ xử lý trung tâm CPU

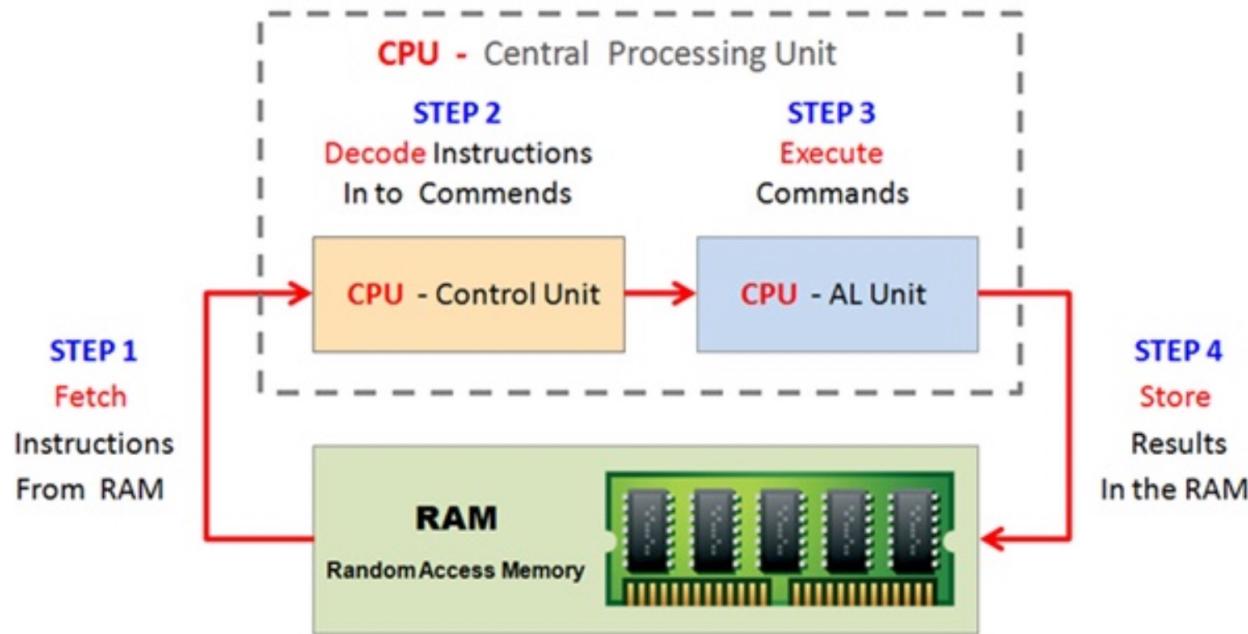
❖ Sơ đồ khái niệm cơ bản CPU gồm:

- **ALU**: Đơn vị tính toán và logic
- **CU**: Đơn vị điều khiển
- **Memory Unit**: Một số bộ nhớ được tích hợp trong CPU để hỗ trợ lưu trữ và tính toán nhanh. Gồm các thanh ghi và Cache.

Central Processing Unit



- ❖ Quá trình thực thi một lệnh:
 1. Nạp lệnh từ bộ nhớ vào CU
 2. CU Giải mã lệnh
 3. ALU thực thi lệnh
 4. Kết quả được lưu vào bộ nhớ

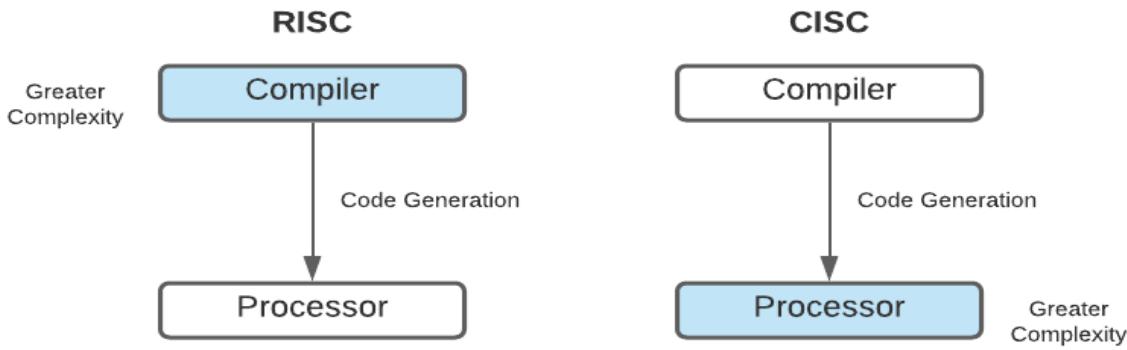
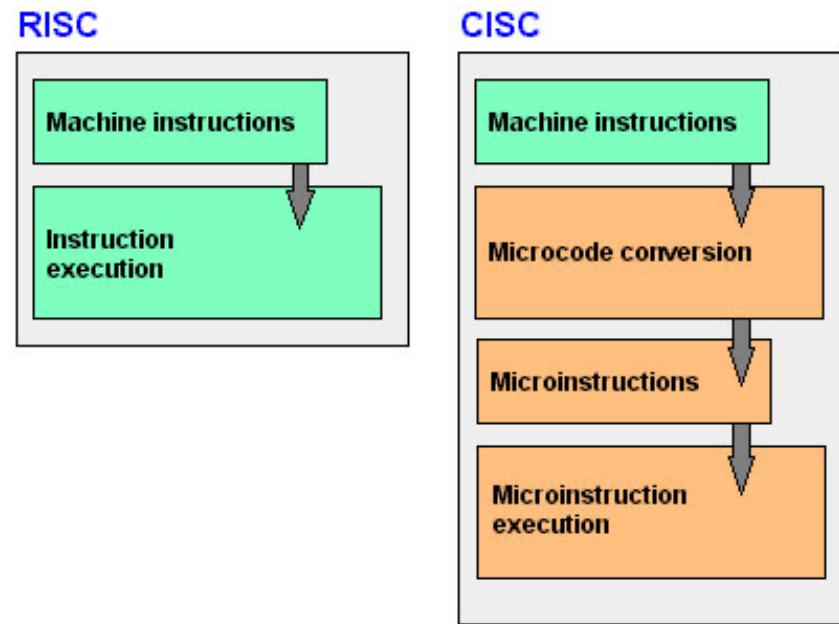


BỘ XỬ LÝ TRUNG TÂM CPU

- ❖ Kiến trúc tập lệnh ISA (Instruction Set Architecture):

Có hai loại kiến trúc tập lệnh:

- ❖ CISC (Complex Instruction Set Computing)
- ❖ RISC (Reduce Instruction Set Computing) - ARM



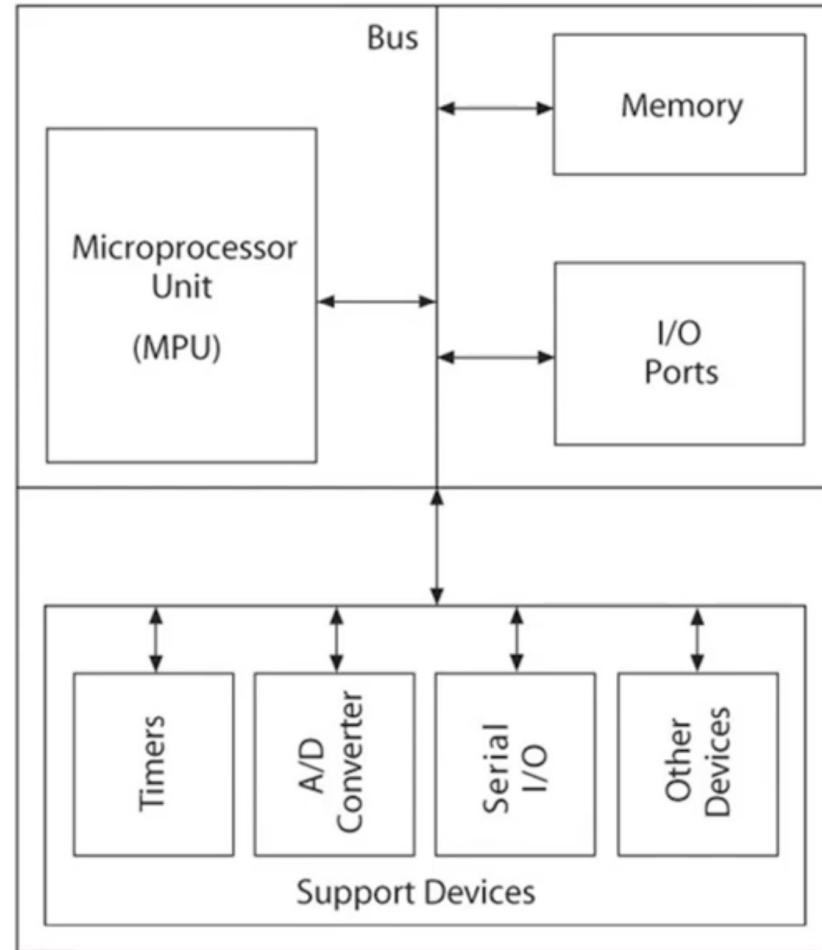
BỘ XỬ LÝ TRUNG TÂM CPU

❖ **Vi điều khiển** xem như một mạch tích hợp đầy đủ các thành phần:

- Vi xử lý
- Bộ nhớ
- Ngoại vi (GPIO, Timer, SPI...)

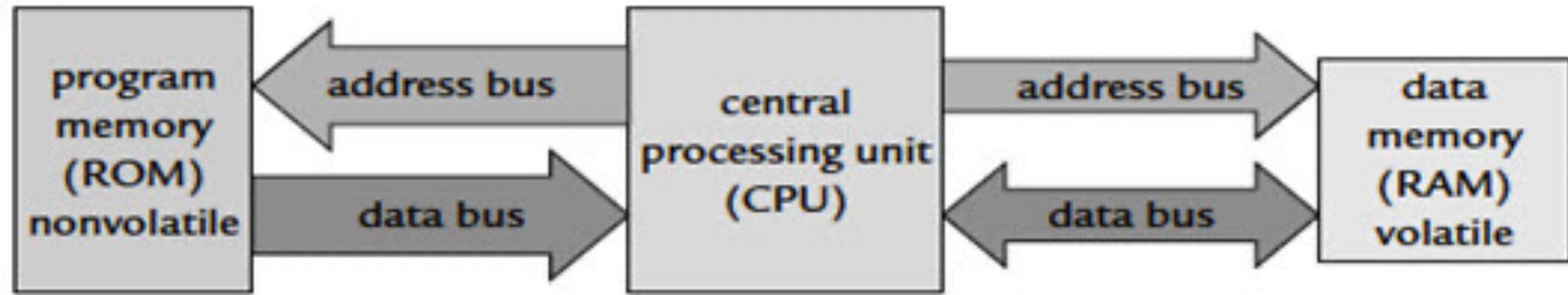
❖ **Ví dụ:**

- Vi xử lý: Core i3, i5, i7...
- Vi điều khiển: PIC, AVR...

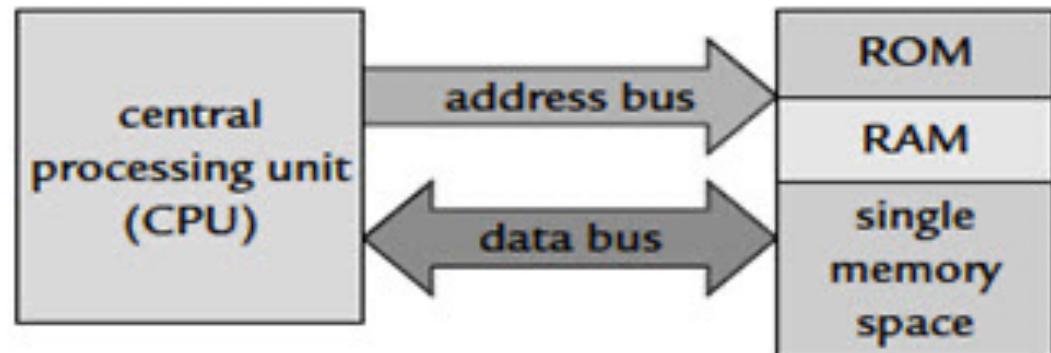


Von-Neumann & Harvard

(a) Harvard architecture



(b) von Neumann architecture



2.2: Bộ nhớ và thiết kế bộ nhớ

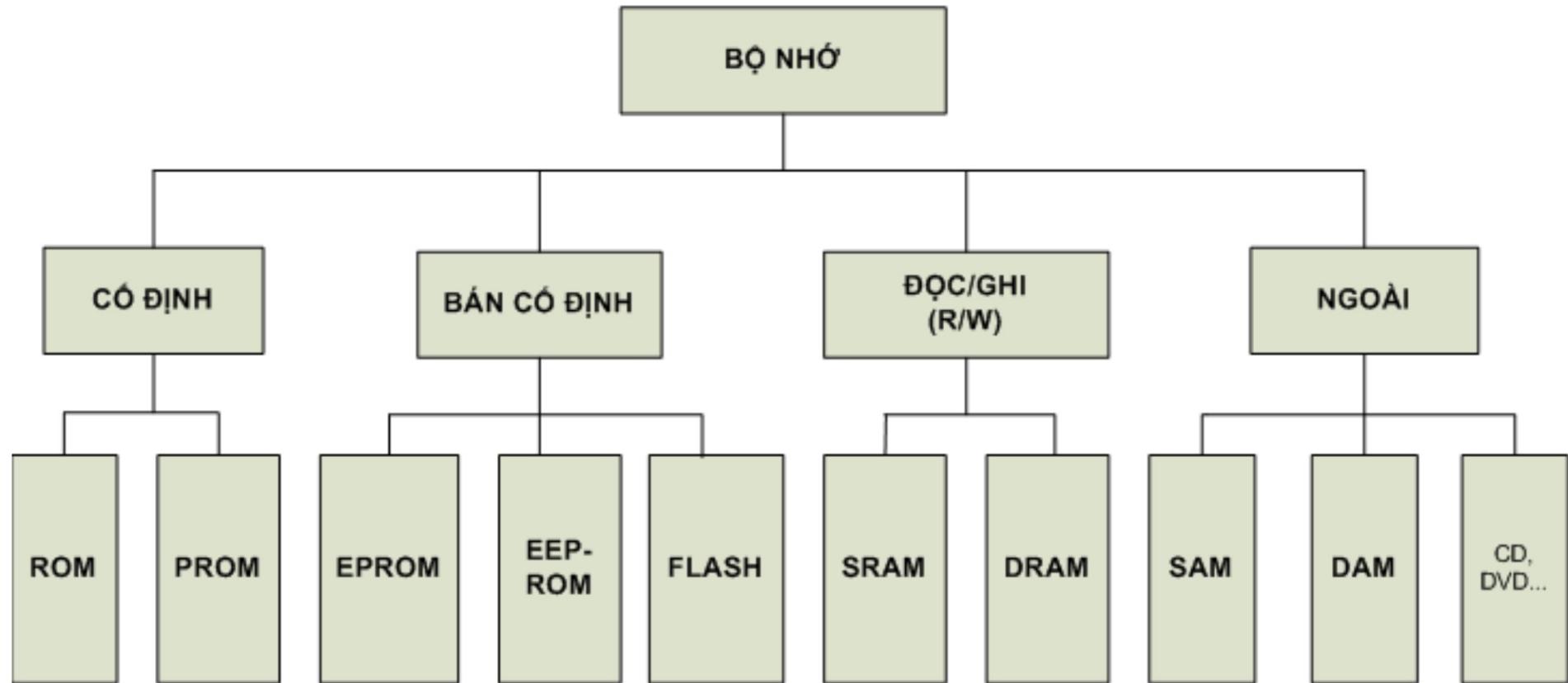
BỘ NHỚ VÀ THIẾT KẾ BỘ NHỚ

- ❖ Bộ nhớ là phương tiện lưu trữ thông tin bao gồm chương trình và số liệu.
- ❖ Một số thông tin cơ bản về bộ nhớ máy tính:

Memory Type	Access Time	Cost /MB	Typical Amount Used	Typical Cost
Registers	1ns		1KB	
Cache	5-20 ns		1MB	
Main memory	60-80ns		MB	
Disk memory	10 ms		GB	

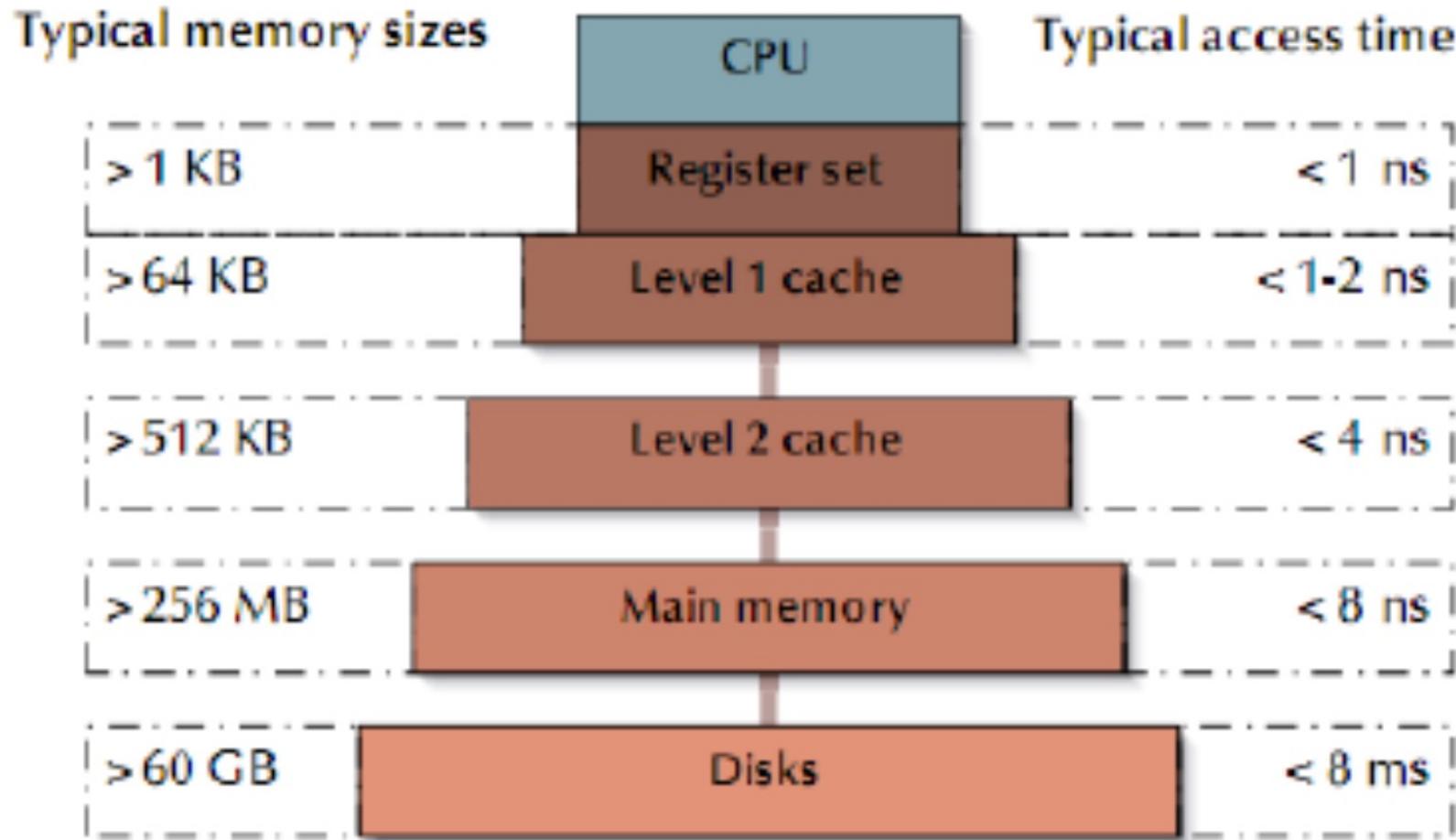
BỘ NHỚ VÀ THIẾT KẾ BỘ NHỚ

❖ Phân loại bộ nhớ:



BỘ NHỚ VÀ THIẾT KẾ BỘ NHỚ

❖ Mô hình phân cấp bộ nhớ:



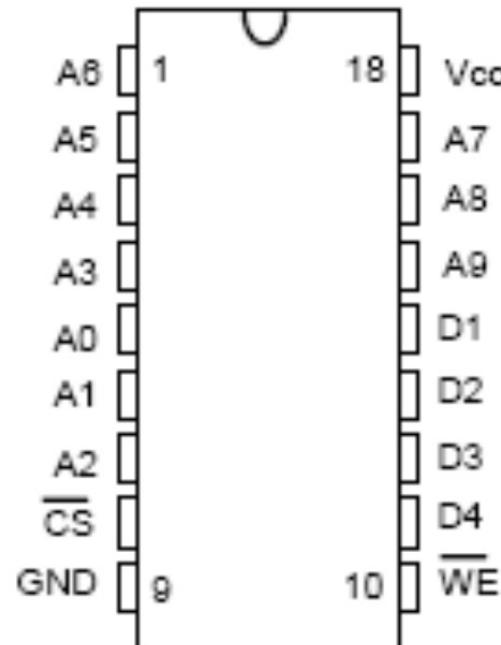
Tổ chức bộ nhớ vật lý và thiết kế bộ nhớ

- ❖ Chip nhớ là một vi mạch cụ thể, được bố trí các chân cơ bản.
- ❖ Các chân của một chip nhớ thông thường gồm các lối vào của BUS địa chỉ, lối dữ liệu, các chân điều khiển chọn chip, ghi/đọc và các chân nguồn.

Ví dụ : một RAM tĩnh 1Kx4 (1024 “tù nhớ”, mỗi từ có độ dài 4 bit

A0 ÷ A9	Các chân địa chỉ
D1 ÷ D4	Các chân dữ liệu
CS	Chân chọn chip
WE	Điều khiển Ghi/Đọc
Vcc	Chân nguồn nuôi +5V
GND	Chân nối đất

Hình III.8 Sơ đồ nối chân một vi mạch nhớ
RAM 1Kx4



Tổ chức bộ nhớ vật lý và thiết kế bộ nhớ

❖ Thiết kế bộ nhớ từ các chip nhớ có sẵn có các bước sau:

1. Xác định số chip nhớ, để tạo được dung lượng nhớ theo yêu cầu theo công thức:

$$M = Q/D, \text{ trong đó}$$

Q là dung lượng của bộ nhớ.

D là dung lượng của mỗi chip

M là số chip nhớ cần thiết.

2. Xác định số dây địa chỉ cơ sở (tức là số dây địa chỉ thấp được nối trực tiếp vào chip nhớ hoặc chip liên thông): theo biểu thức sau:

$$2^m = D, \text{ trong đó}$$

m là số dây của địa chỉ cơ sở.

D là dung lượng của mỗi chip

3. Xác định số dây địa chỉ tạo chọn chip theo biểu thức sau:

$$2^i = M, \text{ trong đó}$$

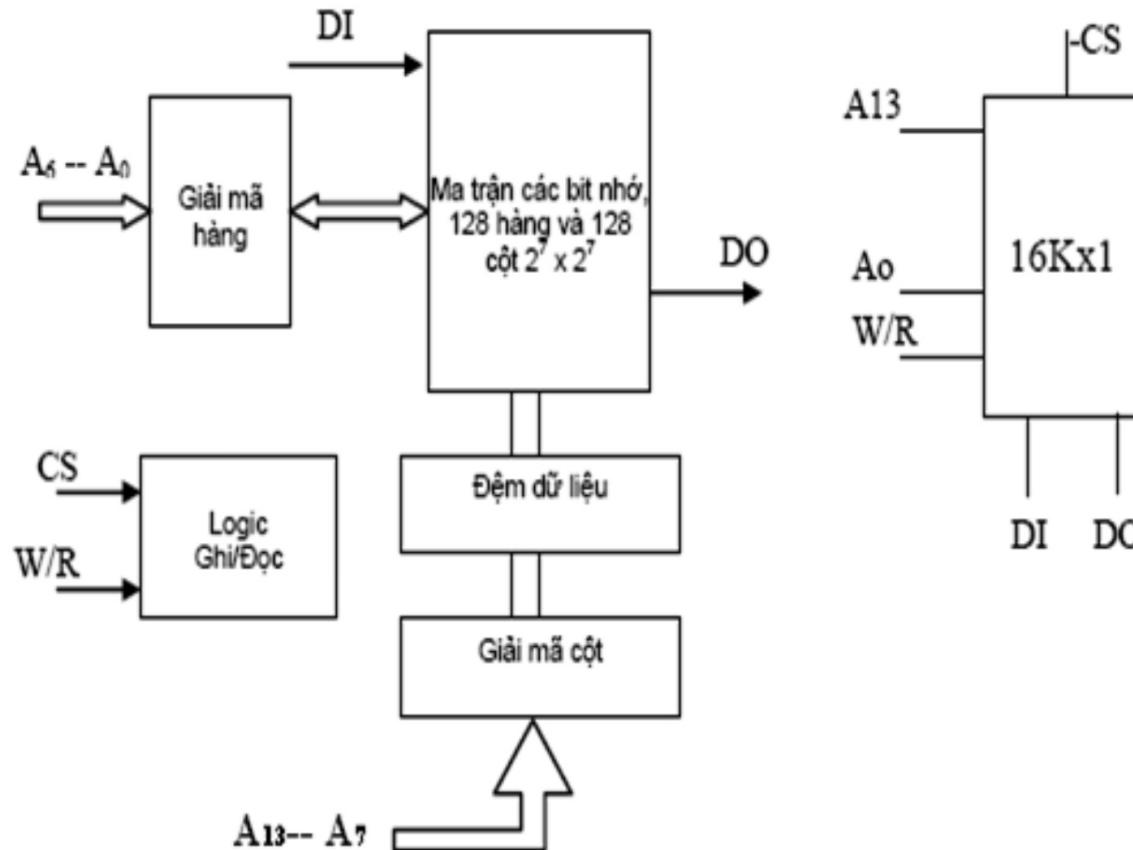
M là số lượng chip

i là số dây cần để giải mã xác định các tín hiệu chọn chip (Csi)

Tổ chức bộ nhớ vật lý và thiết kế bộ nhớ

❖ Thiết kế RAM tĩnh (Static RAM)

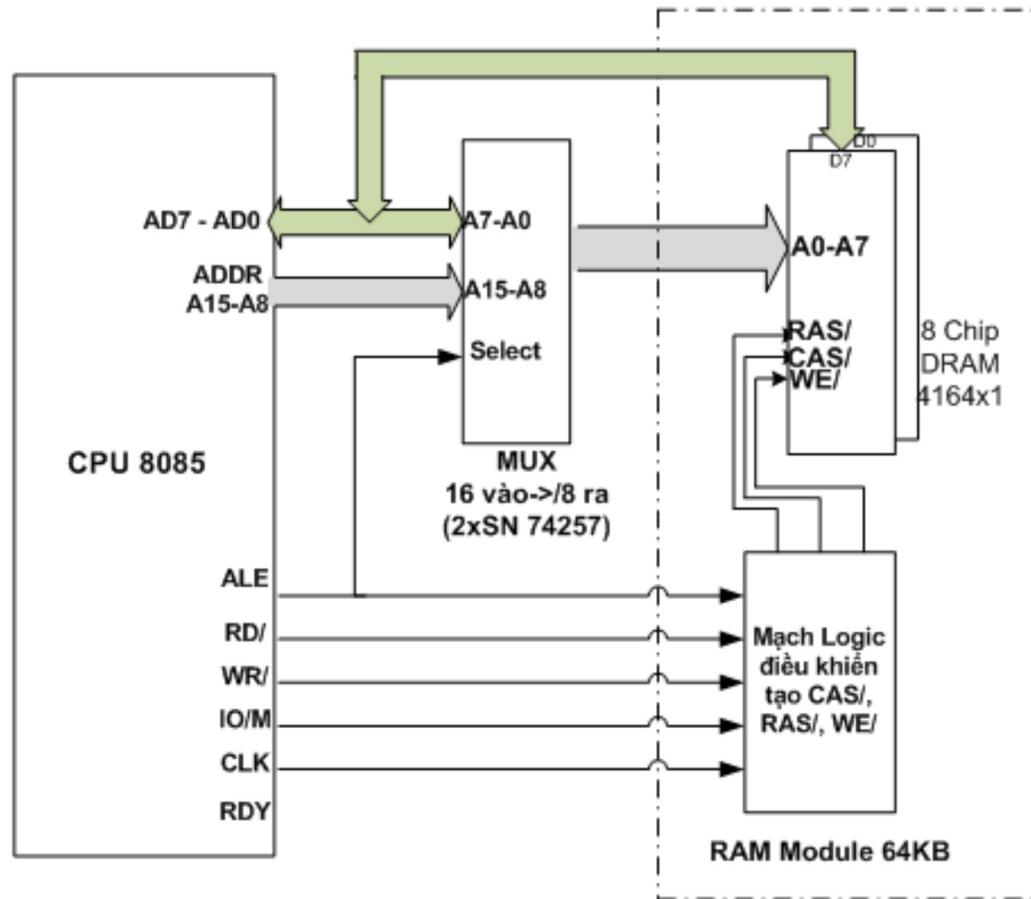
Xây dựng một bộ nhớ kích thước 16Kbyte trên cơ sở các chíp SRAM loại 16Kx1bit. Băng nhớ SRAM 16Kbyte được xây dựng trên cơ sở 8 chíp SRAM loại 16K x 1bit, để có được ô nhớ có độ dài 8 bits.



Tổ chức bộ nhớ vật lý và thiết kế bộ nhớ

❖ Thiết kế RAM động (DRAM)

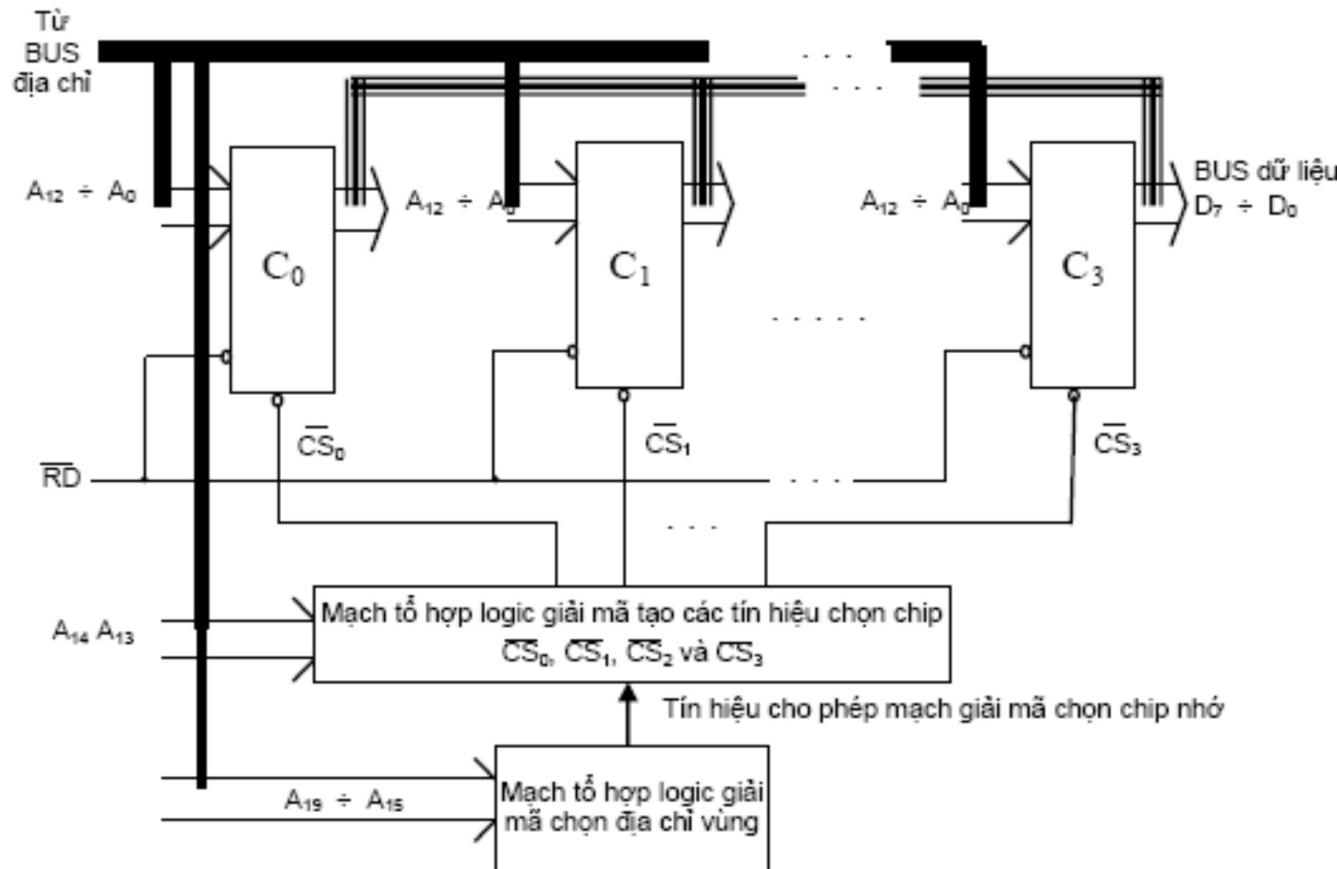
DRAM MK 4164 là DRAM 64K bit trong 1 Chip. Giả định sẽ thiết kế RAM cho CPU 8085 với RAM tối đa 64 KB, sẽ cần 8 Chip.



Tổ chức bộ nhớ vật lý và thiết kế bộ nhớ

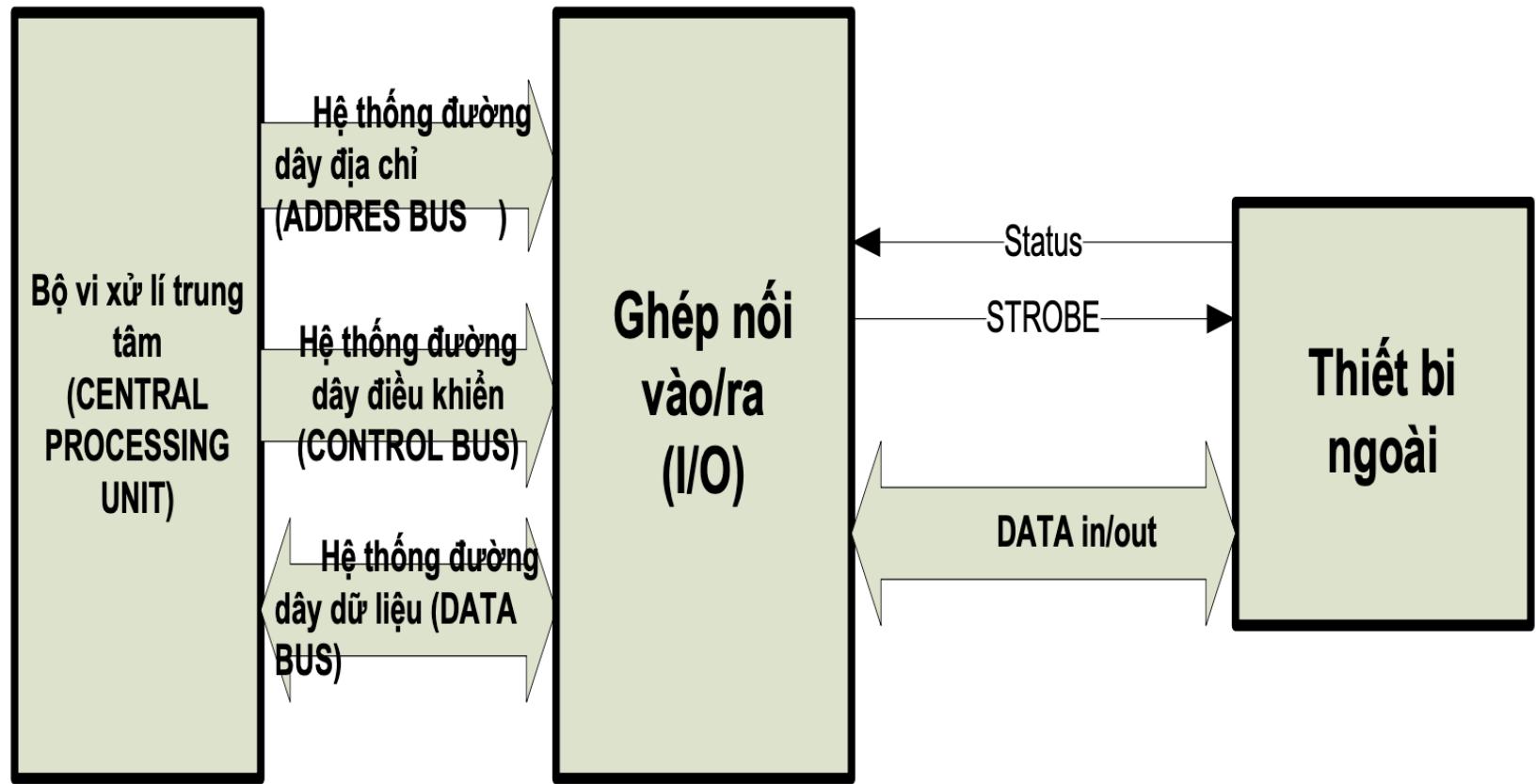
❖ Thiết kế ROM/EPROM

Xây dựng module ROM có dung lượng 32KB, sử dụng Chip 2764 8K x 8 bit, địa chỉ đầu là 20000hex. Chương trình ứng dụng nạp vào module này.

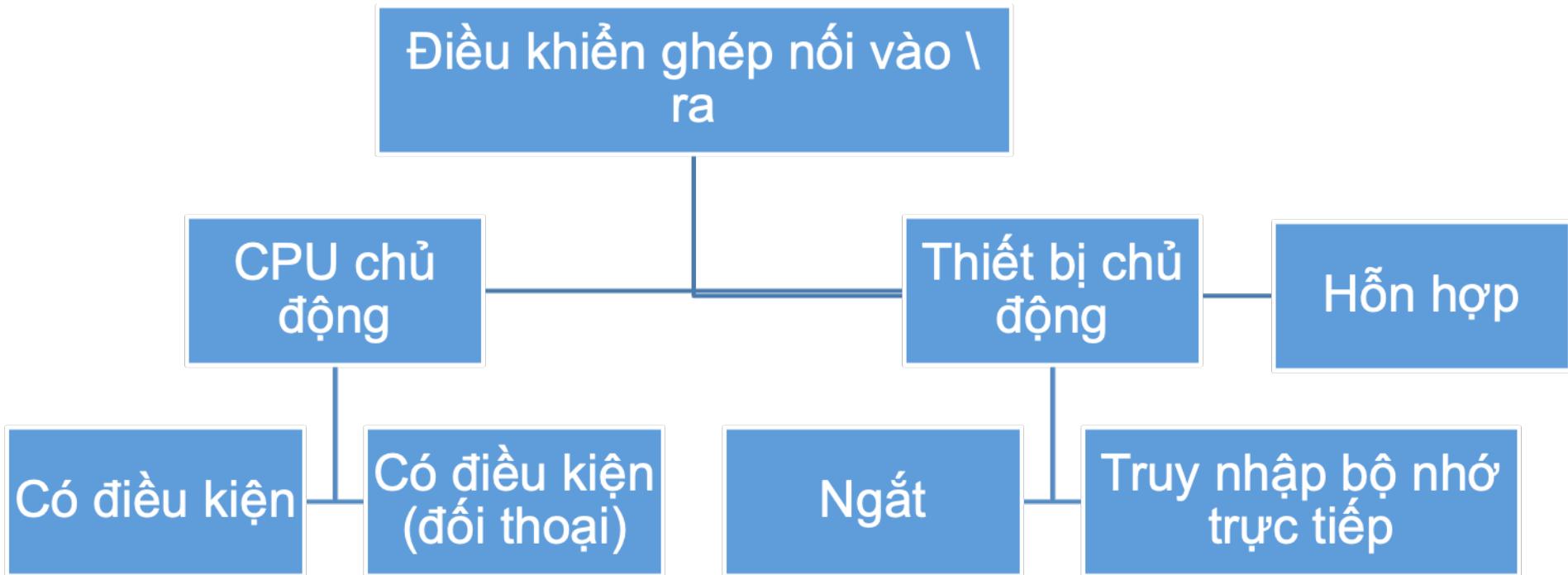


2.3: Ghép nối với thiết bị ngoại vi

Mô hình kỹ thuật ghép nối



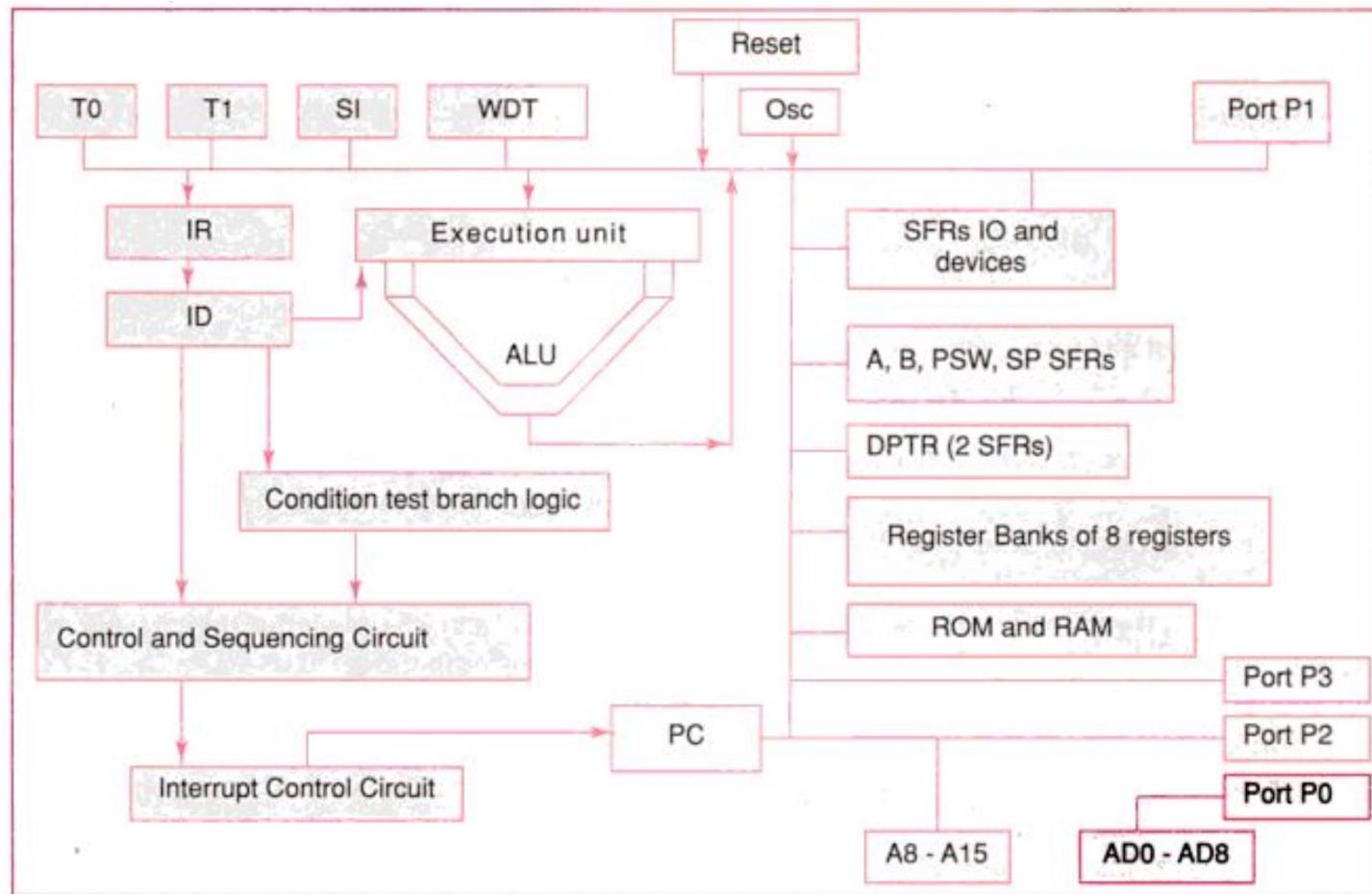
Các kiểu ghép nối



2.4: Vi điều khiển 8051: Kiến trúc, bộ nhớ và giao diện thực tế

Kiến trúc vi điều khiển 8051

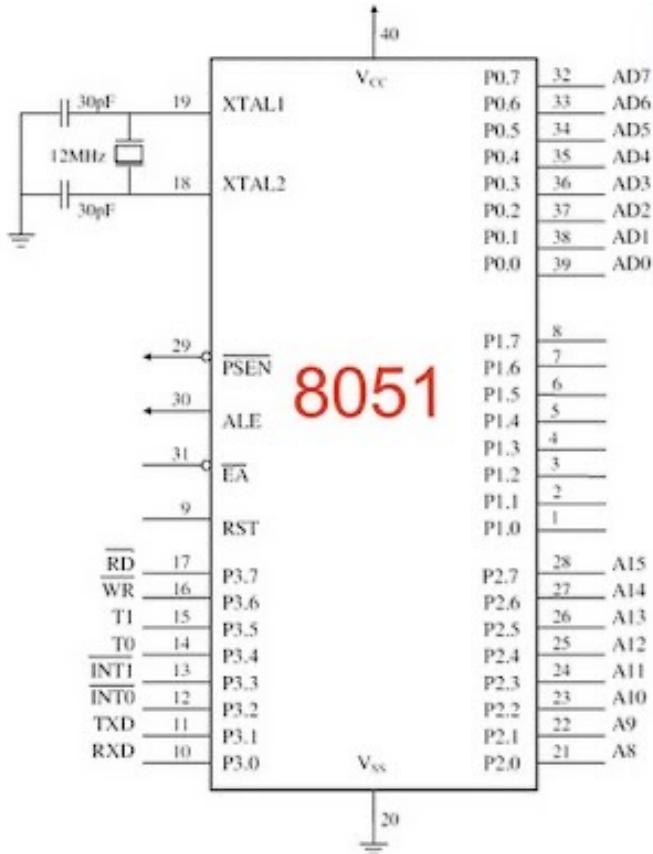
- ❖ Kiến trúc cơ bản 8051: vi xử lý, thanh ghi, bộ nhớ (trong kiến trúc Harvard) và các cổng, Bộ đếm/bộ đếm thời gian, I/O và thiết bị xử lý ngắt.



Kiến trúc vi điều khiển 8051

❖ Đặc điểm của VĐK 8051

- Xung nhịp 12 MHz. Thời gian chu kỳ lệnh của bộ xử lý 1 µs.
- ALU-8bit
- Kiến trúc bộ nhớ Harvard
- Internal-bus dữ liệu 8-bit và Internal-bus địa chỉ 16-bit
- Kiến trúc tập lệnh CISC

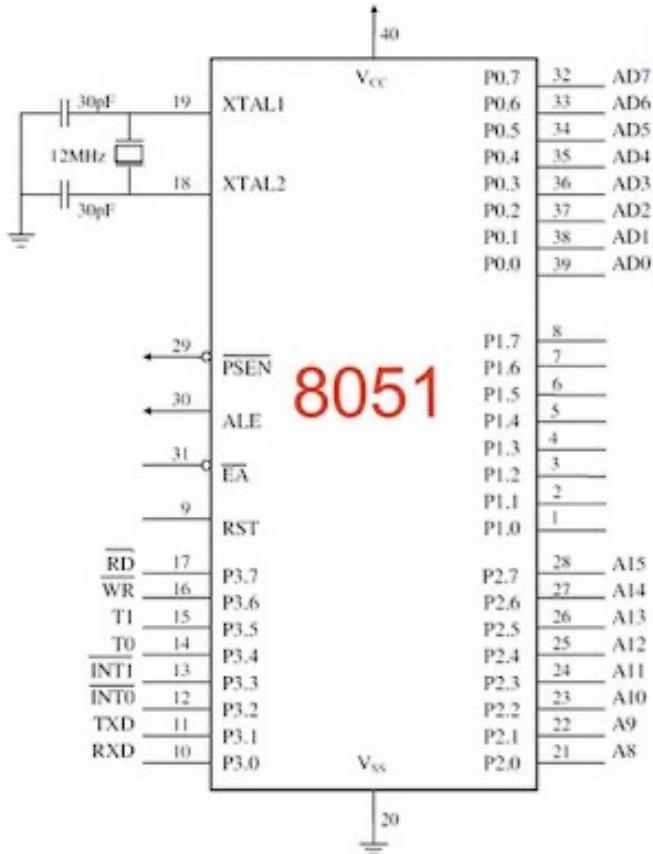


Kiến trúc vi điều khiển 8051

❖ Đặc điểm của VĐK 8051

▪ Các thanh ghi đặc biệt (SFR)

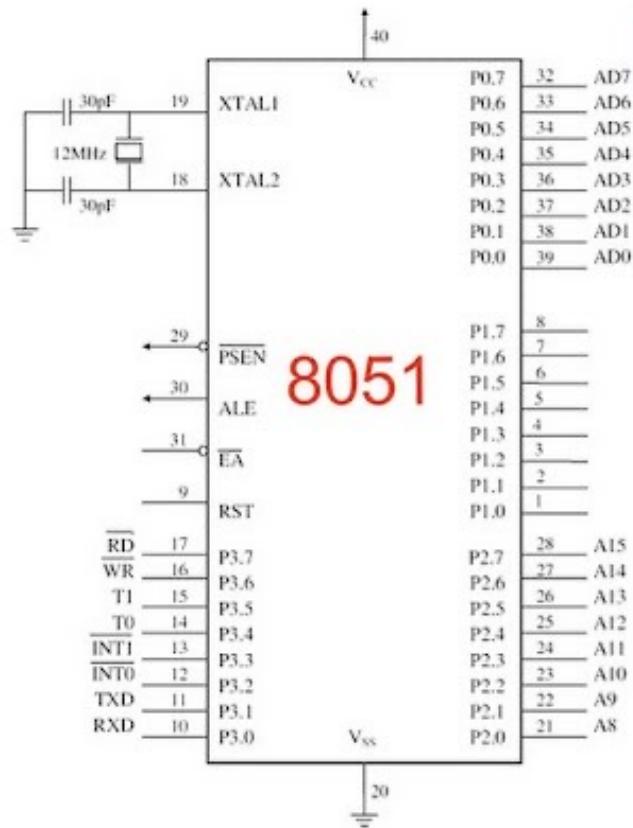
- PSW (tù trạng thái)
- A (tích lũy)
- Thanh ghi B, SP (con trỏ ngăn xếp)
- Các thanh ghi cho I/O, bộ định thời timer, cổng và trình xử lý ngắt
- Bộ đếm chương trình (PC) 16 bit với giá trị mặc định ban đầu là 0x0000.
- Con trỏ ngăn xếp (SP) 8 bit với giá trị mặc định ban đầu là 0x07



Kiến trúc vi điều khiển 8051

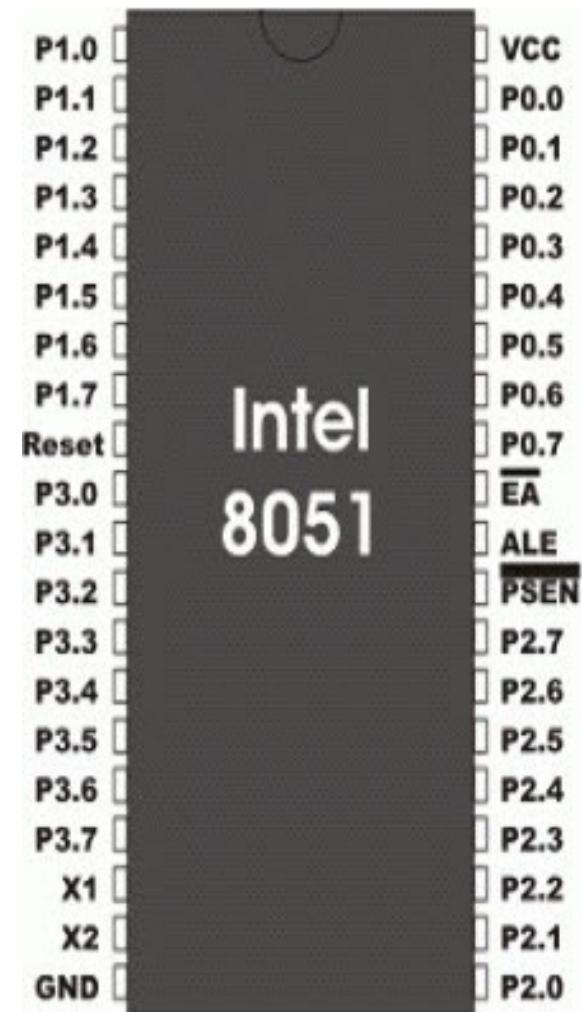
❖ Đặc điểm của 8051 đơn giản:

- Không xử lý dấu phẩy động,
- Không có bộ đệm Cache,
- Không có đơn vị quản lý bộ nhớ MMU,
- Không có đơn vị Thao tác nguyên tử (atomic operations unit)
- Không có kỹ thuật đường ống CPU Pipeline
- Không xử lý các lệnh song song.



❖ Đặc điểm của VĐK 8051:

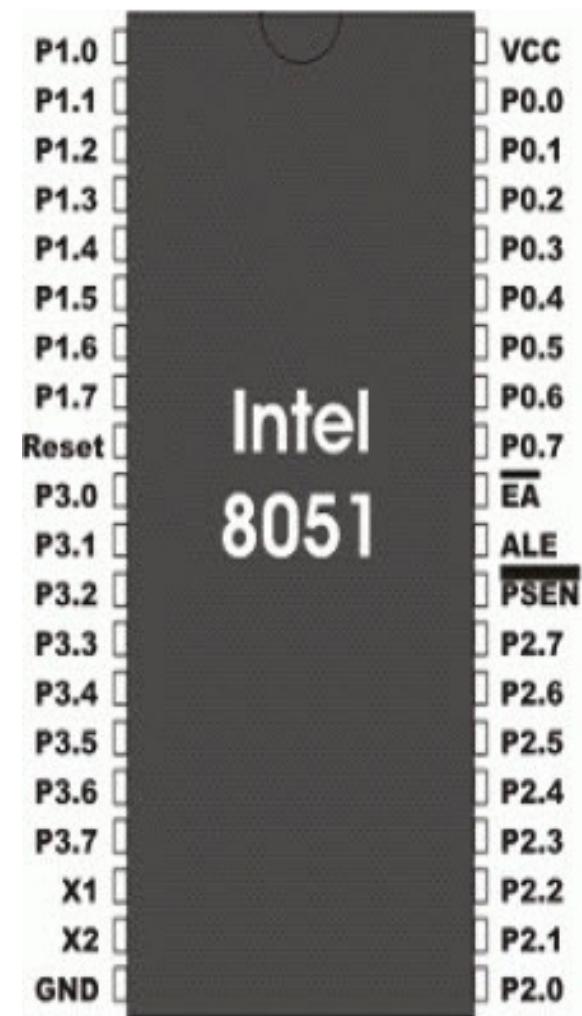
- RAM kích thước 128bytes
- 32 byte RAM được sử dụng làm bốn bộ thanh ghi (register-set / bank). Mỗi bộ thanh ghi (bank) có 8 thanh ghi.
- Bộ nhớ ngăn xếp/Bộ nhớ dữ liệu ngoài có thể được thêm tối đa 64 kB.



Kiến trúc vi điều khiển 8051

❖ Một số phiên bản cải tiến 8051

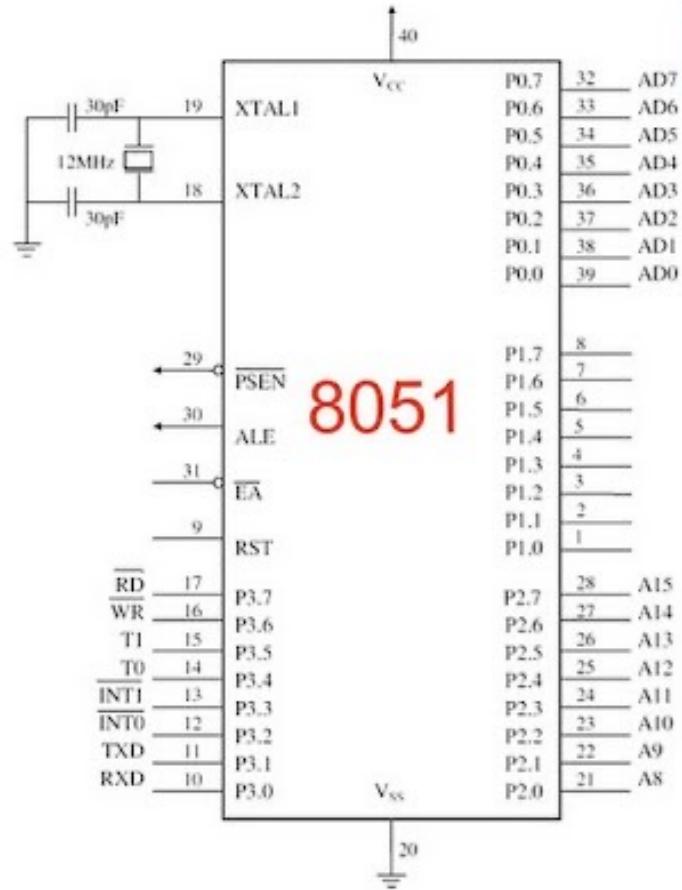
- Phiên bản 8351 có tích hợp ROM trên chip
- Phiên bản 8751 sử dụng EPROM
- Phiên bản 8951 sử dụng EEPROM trên chip hoặc bộ nhớ flash 4 kB.
- Trong các phiên bản 8051 mở rộng không gian địa chỉ được mở rộng lên đến 16 MB.



Kiến trúc vi điều khiển 8051

❖ Đặc điểm của VĐK 8051:

- Hai chân ngắt số 12 và 13 INT0 và INT1.
- Bốn cổng 8 bit mỗi cổng (P0, P1, P2, P3)
- Hai bộ đếm thời gian (timer) T0, T1.
- Giao diện nối tiếp (SI) – có thể lập trình cho ba chế độ UART song công hoàn toàn cho I/O

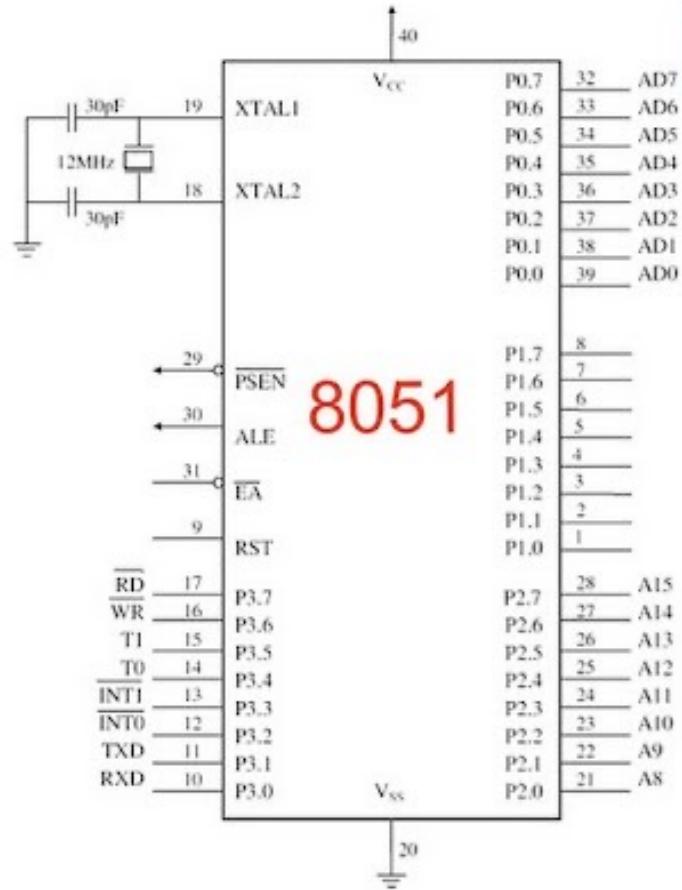


Kiến trúc vi điều khiển 8051

❖ Đặc điểm của VĐK 8051:

- Trong một số phiên bản – có bộ điều khiển DMA, bộ điều chế độ rộng xung
- Trong một số phiên của 8051 cũng được tích hợp các modem, bộ đếm thời gian giám sát, ADC.

Ví dụ: Siemens SAB 80535-N hỗ trợ ADC với điện áp tham chiếu có thể lập trình.

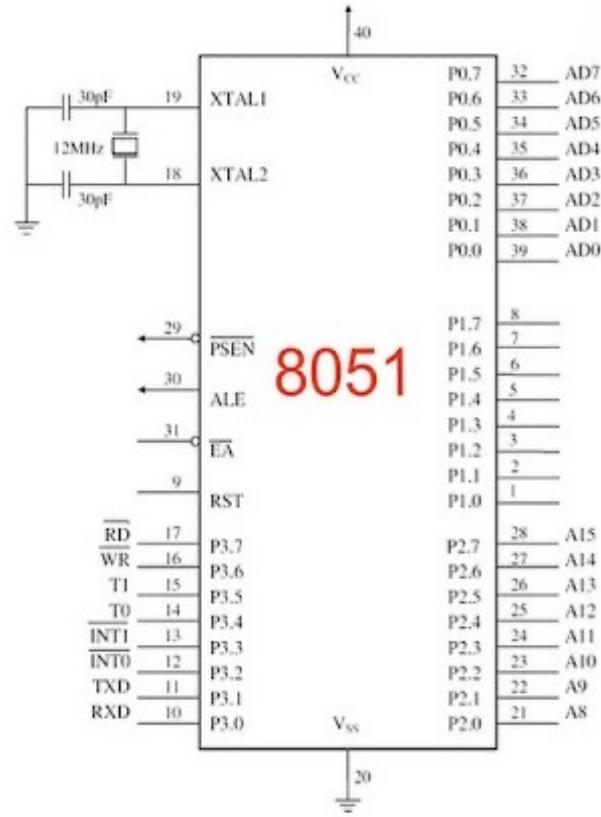


Kiến trúc tập lệnh vi điều khiển 8051

KIẾN TRÚC TẬP LỆNH 8051

❖ Các lệnh truyền dữ liệu là các lệnh:

- Di chuyển byte giữa thanh ghi A và thanh ghi khác
- Di chuyển byte từ một thanh ghi / từ RAM nội sang một thanh ghi khác
- Di chuyển gián tiếp:
 - MOVC *indirect*
 - MOVX *indirect*
- Di chuyển tức thì:
 - MOV *immediate* DPTR
- Push hoặc Pop *direct*

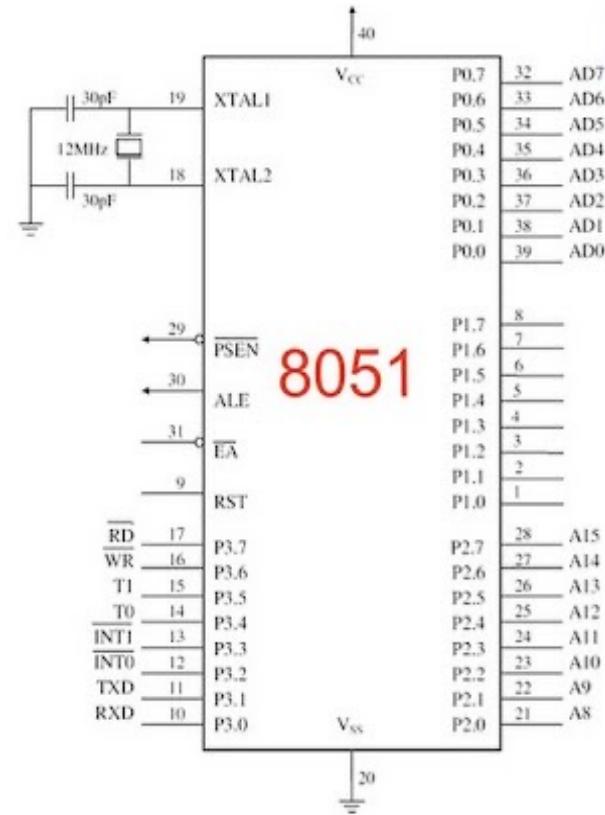


Kiến trúc tập lệnh vi điều khiển 8051

KIẾN TRÚC TẬP LỆNH 8051

❖ Thao tác với bit, byte và các lệnh logic

- Thao tác với bit:
 - Đặt giá trị, thêm giá trị bằng các lệnh như AND, OR hoặc MOV (Clr, Set, Mov...)
- Lệnh logic:
 - Các lệnh logic AND, OR, XOR
- Các thao tác với byte:
 - Lệnh xóa, thêm hoặc hoán đổi và các lệnh quay (CLR, RL, RC...)

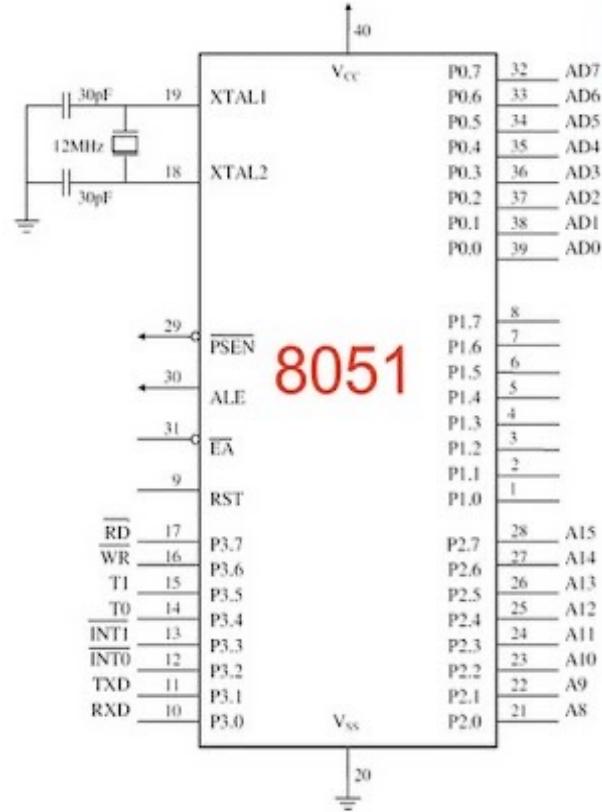


Kiến trúc tập lệnh vi điều khiển 8051

KIẾN TRÚC TẬP LỆNH 8051

❖ Các lệnh Toán học:

- Là các lệnh 8 bit
 - Cộng (Add), trừ (Sub), nhân (Mul), chia (div)
- Các lệnh tăng giảm:
 - Inc (Increment), Dec (Decrement)

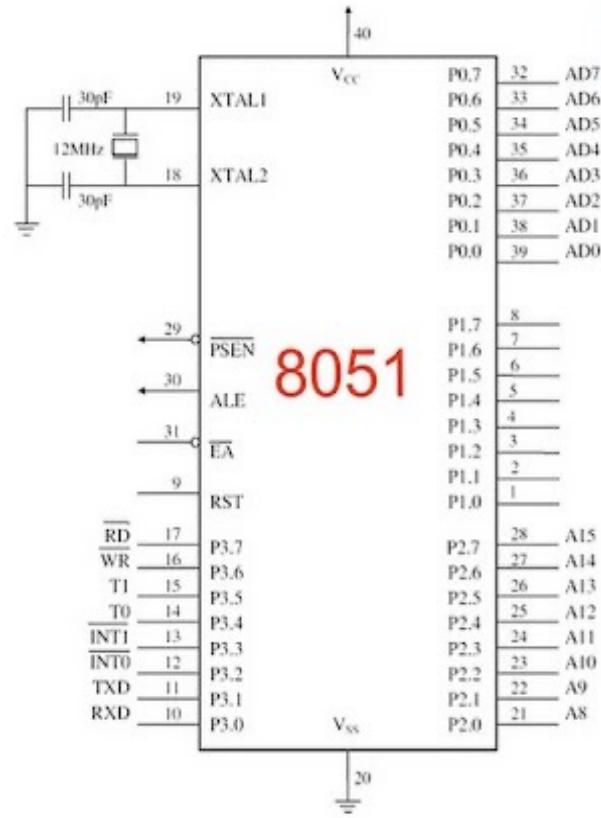


Kiến trúc tập lệnh vi điều khiển 8051

KIẾN TRÚC TẬP LỆNH 8051

❖ Các lệnh điều khiển luồng chương trình:

- Rẽ nhánh
- Lệnh nhảy có điều kiện
- Lệnh so sánh
- Lệnh gọi chương trình con
- Lệnh NOP
- Lệnh Delay
- Lệnh ngắt:
 - Điều khiển luồng ngắt mask bits, priority bits
 - RETI



Các cổng vào ra của 8051

8051 I/O Port

❖ 8051 có 4 cổng vào ra là P0, P1, P2, P3:

- Là ác cổng vào ra 8 bit
- Địa chỉ lần lượt là 0x80, 0x90, 0xA0, 0xB0
 - Mỗi một bit của cổng P0 được ký hiệu là P0.0 đến P0.7 tương ứng với địa chỉ 0x80 đến 0x87.
 - Tương tự với P1 có 8 cổng P1.0 đến P1.7 tương ứng với địa chỉ 0x90 đến 0x97. P2.0 đến P2.7 là địa chỉ 0xA0 đến 0xA7, P3.0 đến P3.7 là địa chỉ 0xB0 đến 0xB7.
- Ví dụ:
 - MOV 0xA0, #0xF ;nghĩa là gán giá trị cho các bit của cổng P2 là 0000 1111₂
 - INC 0xA0 ; P2 = 0000 1111₂ + 1 = 0001 0000₂

Các cổng vào ra của 8051

8051 I/O Port

❖ Các chân của cổng P0 và P1

P0

P0.0 P0.1 P0.2
P0.3 P0.4 P0.5
P0.6 P0.7
Also as
AD0- AD7

P1

P1.0 P1.1 P1.2
P1.3 P1.4 P1.5
P1.6 P1.7
Also P1.6 as
I²C clock, P1.7
as I²C serial
data, and P1.0
and P1.1 for T2
(8052)

- Các chân của P0 vừa là 8 bit thấp của bus địa chỉ và của bus dữ liệu

Các cổng vào ra của 8051

8051 I/O Port

❖ Các chân của cổng P2 và P3

P2

P2.0 P2.1 P2.2
P2.3 P2.4 P2.5
P2.6 P2.7
Also as
A8- A15

P3

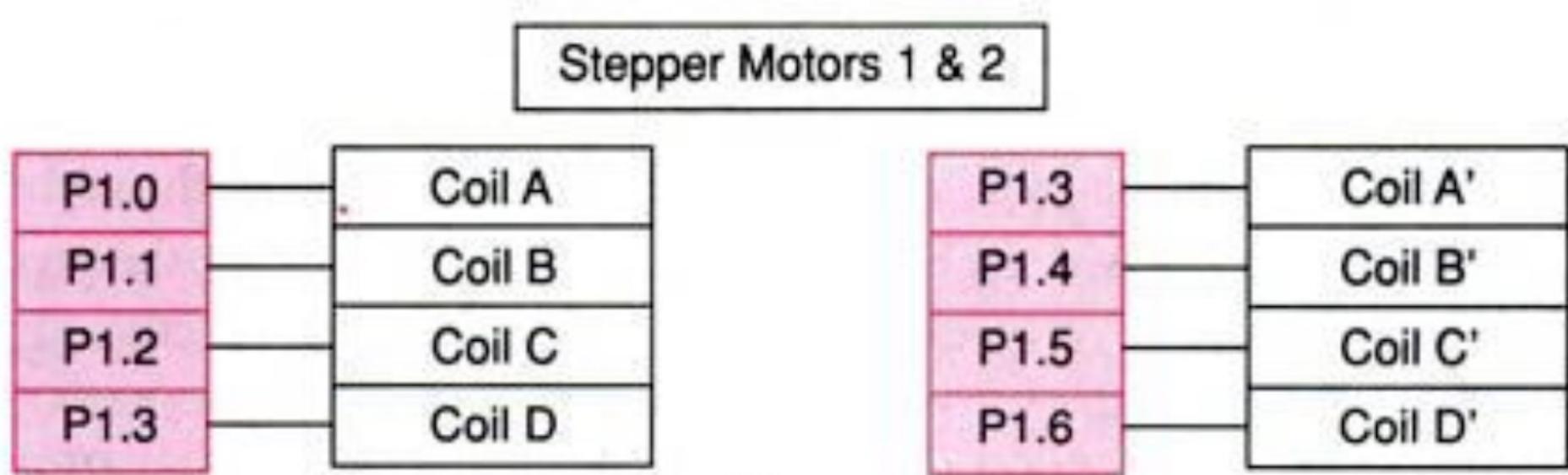
P3.0 P3.1 P3.2
P3.3 P3.4 P3.5
P3.6 P3.7
Also
RxD/SyncData,
TxD/SyncClk,
INT0/GT0,
INT1/GT1, T0,
T1, WR, RD

- Các chân của P2 là 8 bit cao của bus địa chỉ

Mạch vào ra của 8051

8051 I/O Circuit

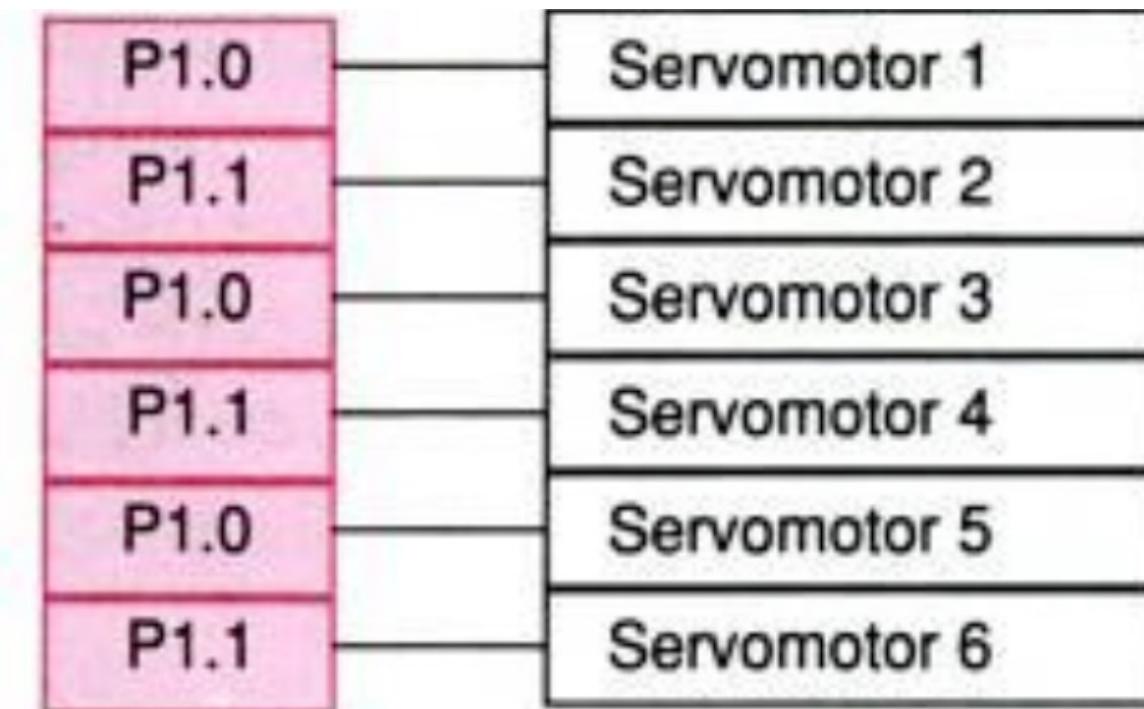
- ❖ Mạch các cổng vào ra điều khiển động cơ bước sử dụng trong máy in



Mạch vào ra của 8051

8051 I/O Circuit

- ❖ Mạch các cổng vào ra cho sáu động cơ servo trong rô-bốt



Lập trình theo byte bằng các cổng 8051

- ❖ Địa chỉ byte các cổng vào ra P0, P1, P2 và P3 của 8051 được sử dụng để truy cập và thực hiện đọc hoặc ghi hoặc các lệnh khác
- ❖ Địa chỉ 8 bit trực tiếp của mỗi địa chỉ được đưa ra trong các lệnh
 - Ví dụ: MOV 0xA0, #0x0F ;nghĩa là gán giá trị cho các bit của cổng P2 là 0000 1111₂
- ❖ Địa chỉ của các byte tại P0, P1, P2 và P3 lần lượt là 0x80, 0x90, 0xA0 và 0xB0.

Lập trình theo byte bằng các cổng 8051

❖ Ví dụ:

- MOV 0xA0, #0x0F ;
- INC 0xA0 ;

Nghĩa là gán giá trị cho các bit của cổng P2 là $0000\ 1111_2$
Sau đó cổng P2 sẽ được tăng lên 1 giá trị

$$P2 = 0000\ 1111_2 + 1 = 0001\ 0000_2$$

Lập trình theo bit bằng các cổng 8051

- ❖ Mỗi cổng P0, P1, P2 và P3 có 8 bit
- ❖ Mỗi bit có địa chỉ để truy cập và thực hiện đọc hoặc ghi bằng cách sử dụng các lệnh thao tác bit.
- ❖ Địa chỉ là địa chỉ bit của các chân. Mỗi địa chỉ bit được chỉ định trong lệnh tương ứng.
 - Địa chỉ bit P0.0 to P0.7 tương ứng 0x80 đến 0x87.
 - Địa chỉ bit P1.0 to P1.7 tương ứng 0x80 đến 0x97.
 - Địa chỉ bit P2.0 to P2.7 tương ứng 0xA0 đến 0xA7.
 - Địa chỉ bit P3.0 to P3.7 tương ứng 0xB0 đến 0xB7.

Lập trình theo bit bằng các cổng 8051

❖ Ví dụ:

- CPL 0x90 ; Cổng P1 được gán giá trị 0
- CLR 0x80 ; P0.0 có giá trị bằng 0.
- SETB 0x80; P0.0 có giá trị bằng 1.
- CLRB 0x80; Gán P0.0 cho giá trị bằng 1.

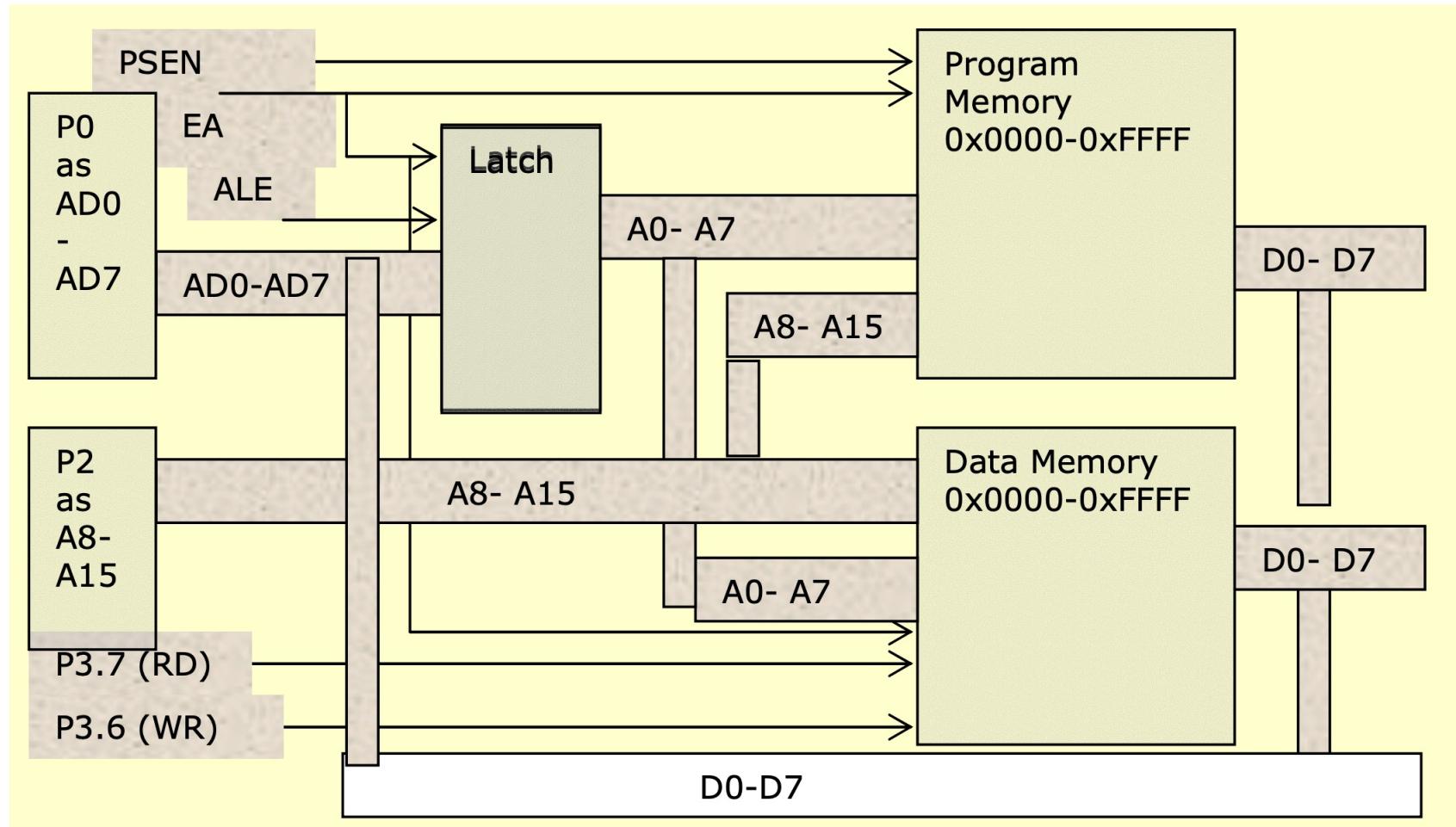
Ghép nối với bộ nhớ ngoài

Ánh xạ vào ra bộ nhớ

- ❖ Bộ nhớ và các cổng trong 8051 được đều gán địa chỉ, mỗi cổng có dải địa chỉ riêng trong không gian địa chỉ của bộ nhớ dữ liệu.
- ❖ Mạch giao tiếp được thiết kế giống hệt để bộ nhớ kết nối với các cổng bên ngoài và ngoại vi có thể lập trình (PPI).

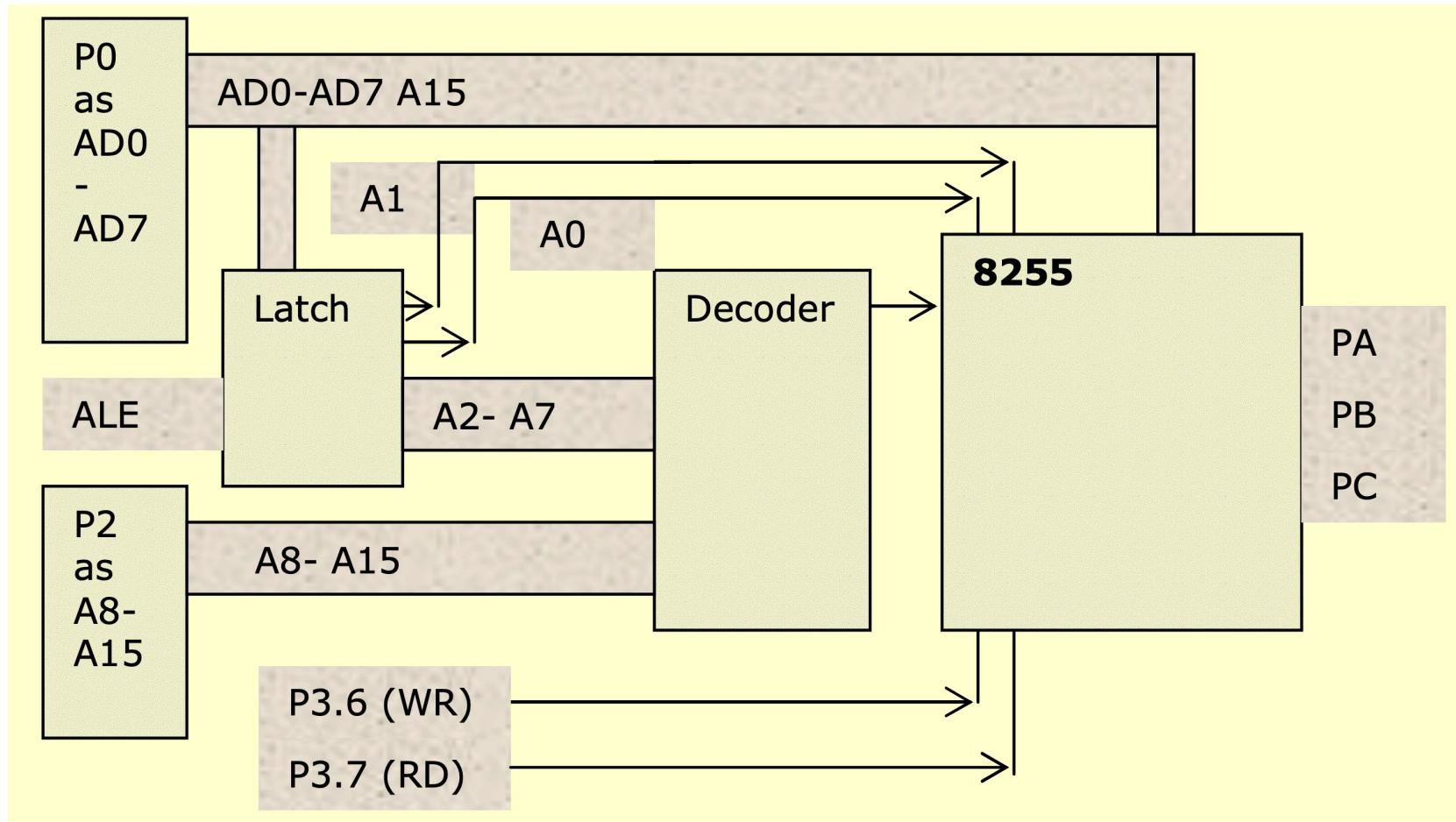
Ghép nối với bộ nhớ ngoài

Kết nối với chương trình bên ngoài và mạch bộ nhớ dữ liệu



Ghép nối với bộ nhớ ngoài

Giao diện sử dụng cổng ngoài PPI của 8051



Cổng P0 trong chế độ mở rộng và tín hiệu ALE

- ❖ Các chân AD0-AD7 của cổng P0 là các tín hiệu ghép kênh của các bit địa chỉ thấp A0-A7 của bus địa chỉ và các bit D0-D7 của bus dữ liệu.
- ❖ Ghép kênh phân chia thời gian các tín hiệu A0-A7 và D0-D7 dựa theo tín hiệu của bộ xử lý kích hoạt ALE (address latch enable)

Kiến trúc bộ nhớ theo kiểu Harvard

- ❖ Có hai bộ nhớ – bộ nhớ chương trình và bộ nhớ dữ liệu.
- ❖ Hai tín hiệu điều khiển – PSEN và RD để điều khiển đọc từ bộ nhớ chương trình hoặc bộ nhớ dữ liệu.
- ❖ Tín hiệu điều khiển ALE để điều khiển việc sử dụng AD0-AD7 làm địa chỉ hoặc dữ liệu tại một trường hợp nhất định

Tín hiệu điều khiển EA

- ❖ Là tín hiệu mà khi nó được kích hoạt – bộ xử lý luôn truy cập các địa chỉ ngoài bộ nhớ thay vì bộ nhớ trong hoặc địa chỉ thanh ghi

Địa chỉ bên ngoài RAM, Thanh ghi, bộ nhớ chương trình khi tín hiệu điều khiển EA không hoạt động

- ❖ VXL luôn truy cập bộ nhớ ngoài cho dù EA có hoạt động hay không.
- ❖ Địa chỉ RAM và các thanh ghi nằm giữa 0x00 và 0xFF giống như địa chỉ bộ nhớ dữ liệu ngoài là từ 0x0000 và 0xFFFF.
- ❖ Địa chỉ bộ nhớ chương trình bên trong từ 0x0000 đến 0xFFF (trong trường hợp ROM bên trong 4 kB) giống như địa chỉ bộ nhớ chương trình bên ngoài 0x0000 và 0xFFFF.

Các thiết bị đếm và định thời (counter/timer)

- ❖ Họ 8051 phiên bản ban đầu có hai bộ định thời T0 và T1
- ❖ Họ 8052 (phần mở rộng của 8051) có ba bộ định thời T0, T1 và T2

Thiết bị đếm/định thời sử dụng như bộ định thời

- ❖ Một thiết bị định thời để tính thời gian (timing device) khi các đầu vào để đếm được cung cấp bởi đồng hồ.
 - Các xung đồng hồ được đưa ra tại các khoảng thời gian xác định: hoạt động như một bộ đếm thời gian.

Thiết bị đếm/định thời sử dụng như bộ đếm

- ❖ Một thiết bị đếm (Counting device) khi các đầu vào để đếm. Bộ đếm được cung cấp đầu vào để đếm từ chân vào bên ngoài.

Counter và Timer

- ❖ Bộ đếm thời gian T0 và T1
- ❖ Thanh ghi đặc biệt TMOD
- ❖ Thanh ghi đặc biệt TCON trên Bốn bit
- ❖ Bốn chân P3 bên ngoài cho điều khiển bên ngoài và đầu vào đếm bên ngoài
- ❖ Chế độ 0, 1, 2, 3 của T0
- ❖ Chế độ 0, 1 và 2 của T1

Các thiết bị định thời và đếm Điều khiển bên ngoài để kích hoạt hoặc hủy kích hoạt chạy

- ❖ Khi các thiết bị định thời gian hoặc đếm được điều khiển bên ngoài bởi đầu vào cổng, khi GT0 hoặc GT1 được kích hoạt bên ngoài, thiết bị có thể hoạt động nếu nó sẽ tắt ở chế độ đầu vào cổng.
- ❖ Tín hiệu GT0 hoặc GT1 được đưa ra tại P3.2 và P3.3.

Thiết bị đếm/thời gian Đầu vào đếm bên ngoài ở chế độ bộ đếm

- ❖ T0 đếm T0 được cung cấp đầu vào để đếm từ chân T0 đầu vào bên ngoài tại P3.4.
- ❖ T1 đếm khi T1 được cung cấp đầu vào để đếm từ chân đầu vào bên ngoài T1 tại P3.5.

Hai thanh ghi đặc biệt TH1-TL1

- ❖ Để truy cập số lượng hoặc thời gian của các 8 bit cao hơn và 8 bit thấp của thiết bị T1
- ❖ Hai thanh ghi lưu trữ 16 bit của thiết bị T1.

Hai thanh ghi đặc biệt TH0-TL0

- ❖ Để truy cập số lượng hoặc thời gian của các 8 bit cao hơn và 8 bit thấp của thiết bị T0
- ❖ Hai thanh ghi lưu trữ 16 bit của thiết bị T0.

Thanh ghi đặc biệt TMOD

- ❖ Điều khiển chế độ T1 và T0 bằng cách sử dụng 4 bit cho mỗi chế độ, lập trình đếm/thời gian của T1 và T0.
- ❖ Một bit trong mỗi điều khiển chức năng mà đầu vào cổng bên ngoài có điều khiển hay không.
- ❖ Một bit điều khiển chức năng mà chế độ bộ đếm hoặc hẹn giờ được sử dụng.
- ❖ Hai bit điều khiển chế độ chức năng của bộ định thời/bộ đếm như chế độ 0 hoặc 1 hoặc 2 hoặc một số hành động khác

Thanh ghi đặc biệt TCON Bit điều khiển và trạng thái T1 và T0

- ❖ Bốn bit 4 phía trên lập trình các chế độ của thiết bị đếm/thời gian T1 và T0.
- ❖ TCON.7 và TCON.5 hiển thị trạng thái tràn bộ định thời/bộ đếm tương ứng cho T1 và T0.
- ❖ TCON.6 và TCON.4 điều khiển khởi động và dừng của bộ định thời/bộ đếm
- ❖ Các bit thấp hơn của TCON dành cho điều khiển ngắn cho INT0 và INT1

Timer/Counter T0

- ❖ 8 bit thanh ghi TMOD (4 bit thấp), TCON (bit 5 và 4), TL0 (bit đếm/thời gian), TH0 (bit đếm/thời gian)
- ❖ Bộ đếm với đầu vào tại P3.4 khi bit 2 TMOD = 1, bộ định thời với đầu vào định thời đồng hồ bên trong khi bit 2 TMOD = 0
- ❖ Khi chế độ được đặt = 0, chế độ bộ định thời/Bộ đếm 8 bit và TH0 được sử dụng và TL0 được sử dụng để chia tỷ lệ trước (chia) đầu vào cho 32
- ❖ Khi chế độ được đặt = 1, chế độ bộ định thời/bộ đếm 16 bit với TH0-TL0 được sử dụng để định thời hoặc đếm

Timer/Counter T1

- ❖ 8 bit đã sử dụng Thanh ghi TMOD (4 bit trên), TCON (bit 7 và 6), TL1 (bit đếm/thời gian), TH1 (bit đếm/thời gian)
- ❖ Bộ đếm với đầu vào ở P3.5 khi bit 6 TMOD = 1, bộ đếm thời gian với đầu vào định thời đồng hồ bên trong khi bit 6 TMOD = 0
- ❖ Khi chế độ được đặt = 0, chế độ bộ định thời/Bộ đếm 8 bit và TH1 được sử dụng và TL1 được sử dụng để chia tỷ lệ trước (chia) đầu vào cho 32
- ❖ Khi chế độ được đặt = 1, chế độ bộ định thời/bộ đếm 16 bit với TH1-TL1 được sử dụng để định thời hoặc đếm

Timer/Counter T1

- ❖ Khi chế độ được đặt = 2, bộ định thời/Bộ đếm 8 bit TH1 được sử dụng và TL1 được sử dụng để tự động tải lại TH1 sau khi hết thời gian sử dụng giá trị đặt trước tại TL1
- ❖ Khi chế độ được đặt = 3, T1 dừng vì TH0 hiện hoạt động thay cho T1.

- ❖ Chức năng giao diện nối tiếp (Serial Interface)
- ❖ Chế độ nối tiếp đồng bộ bán song công 0
- ❖ Chế độ UART không đồng bộ song công hoàn toàn 1, 2 hoặc 3
- ❖ SBUF
- ❖ SCON

Serial Interface SI

Lập trình cho:

- ❖ Giao diện nối tiếp SI
- ❖ chế độ UART không đồng bộ song công hoàn toàn

Hai thanh ghi 8-bit đặc biệt

- ❖ SBUF (8 bit nhận nối tiếp hoặc thanh ghi bit truyền tùy thuộc vào lệnh đang sử dụng SBUF làm nguồn hoặc đích)
- ❖ SCON (8-serial mode kiêm thanh ghi bit điều khiển) và SFR PCON.7 bit

SBUF

❖ Địa chỉ thanh ghi duy nhất cho bộ đệm byte truyền và nhận khi đầu ra hoặc đầu vào nối tiếp được gửi.

- 0x99 địa chỉ của bộ đệm SI.
- Thanh ghi giữ đường truyền SI 8-bit khi nó được viết.

Ví dụ:

- MOV 0x99, lệnh A ghi A vào bộ đệm truyền từ thanh ghi A
- MOV R1, đọc lệnh 0x99 Thanh ghi R1 từ bộ đệm nhận

SCON

- ❖ Thanh ghi để điều khiển giao diện SI.
- ❖ Ba bit trên lập trình các chế độ như 0 hoặc 1 hoặc 2 hoặc 3.
 - Chế độ 0 là đồng bộ song công.
 - Chế độ 1 hoặc 2 hoặc 3 là chế độ không đồng bộ song công hoàn toàn.
 - Bit SCON.4 bật hoặc tắt chức năng bộ thu SI.
 - Hai bit SCON.3 và SCON.2 chỉ định bit thứ 8 được truyền và bit thứ 8 được nhận khi chế độ là 2 hoặc 3. Một bit SCON.1 cho phép hoặc vô hiệu hóa các ngắt máy phát SI (TI) khi hoàn thành quá trình truyền.
 - Bit SCON.0 cho phép hoặc vô hiệu hóa các ngắt máy thu SI (RI) khi hoàn thành quá trình truyền.

Chức năng chế độ 0 – Đầu vào hoặc đầu ra

- ❖ Phụ thuộc vào hướng dẫn sử dụng SBUF làm nguồn hoặc đích
 - Dữ liệu chế độ nối tiếp đồng bộ và đầu vào đồng hồ
 - Dữ liệu chế độ nối tiếp đồng bộ và đầu ra đồng hồ
- ❖ Chế độ 0 khi bit SCON 7 và 6 (bit chế độ) là 00

Chế độ 1 – Đầu vào hoặc đầu ra

- ❖ 10 bit (bắt đầu cộng với 8- dữ liệu nối tiếp cộng với dừng tổng cộng 10 bit) Đầu vào hoặc đầu ra nối tiếp chế độ UART
- ❖ Đầu vào hoặc đầu ra cho dù SBUF được sử dụng để đọc hoặc viết lệnh
- ❖ Có thể lập trình tốc độ Baud bằng bộ định thời T1 hoặc T0 (T2 trong 8052)
- ❖ Chế độ 1 khi bit SCON 7 và 6 là 01

Chế độ 2 – Đầu vào hoặc đầu ra

- ❖ Mười một bit (bắt đầu cộng với 8- dữ liệu nối tiếp cộng với bit RB8 hoặc TB8 cộng với tổng dùng 11 bit) Đầu vào và đầu ra nối tiếp chế độ UART
- ❖ Đầu vào hoặc đầu ra cho dù SBUF được sử dụng để đọc hoặc viết lệnh
- ❖ Tốc độ truyền cố định là $(f/32) \div 12$ hoặc $(f/64) \div 12$ Mbaud/s trong đó $f =$ tần số tinh thể tùy thuộc vào PCON 7 bit SMOD = 1 hoặc 0, tương ứng

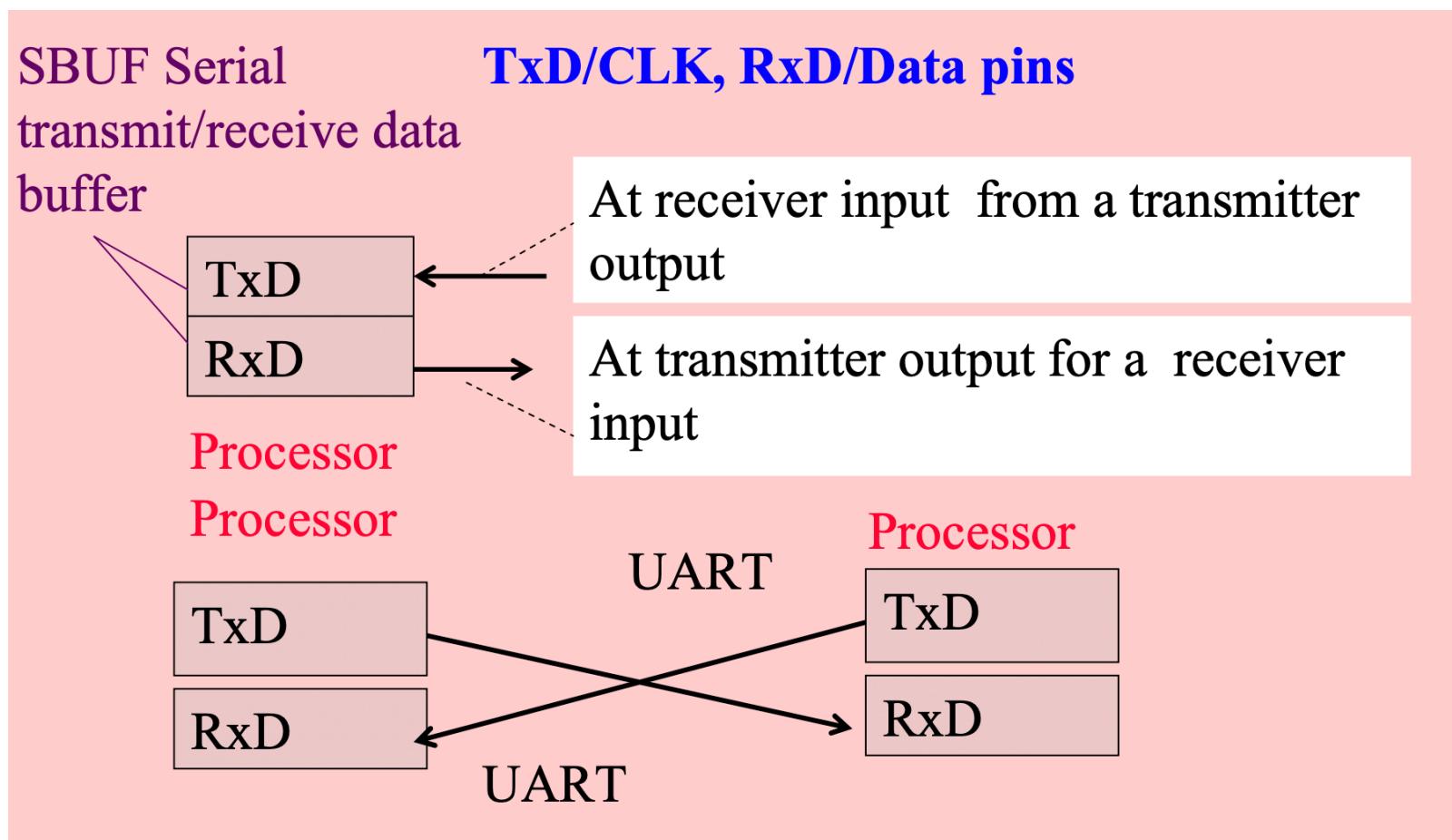
Chế độ 2 khi bit SCON 7 và 6 là 10

Chế độ 3 – Đầu vào hoặc đầu ra SI

- ❖ 11 bit (bắt đầu cộng với 8- dữ liệu nối tiếp cộng với bit RB8 hoặc TB8 cộng với tổng dùng 11 bit) Đầu vào và đầu ra nối tiếp chế độ UART
- ❖ Đầu vào hoặc đầu ra cho dù SBUF được sử dụng để đọc hoặc viết lệnh
- ❖ Tốc độ truyền có thể lập trình bằng bộ định thời T1 hoặc T0 (T2 trong 8052)

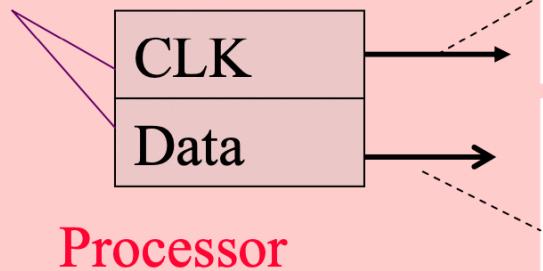
Chế độ 3 khi bit SCON 7 và 6 là 1,1

Tín hiệu song công hoàn toàn Chế độ 1, 2 hoặc 3



Tín hiệu song công hoàn toàn Chế độ 0

SBUF Serial
transmit/receive data
buffer



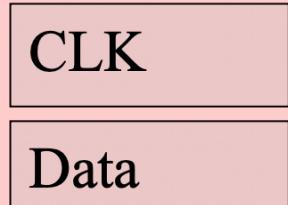
TxD/CLK, RxD/Data Pins

From a transmitter Processor output
at receiver input

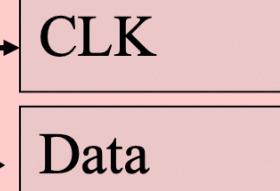
At transmitter output for a receiver
Processor input

Processor

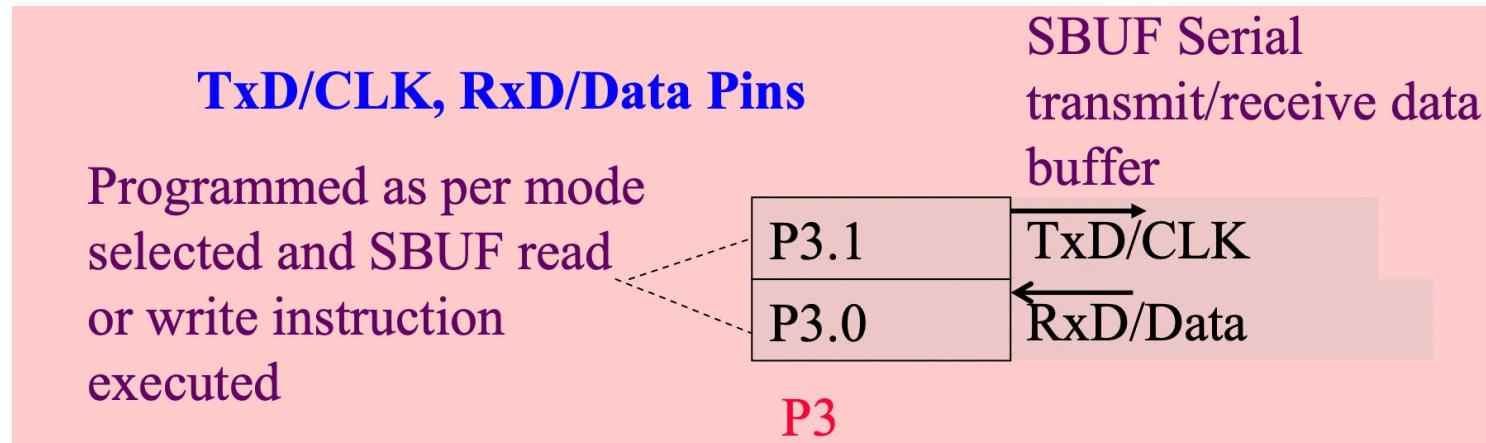
Processor



Processor



Tín hiệu SI Giao diện nối tiếp 8051 tại chân P3.1 và P3.0



Tính năng của 8051 SI

1. Chế độ 0 – Chế độ hoạt động đồng bộ bán song công
2. T8 và R8 dành cho giao tiếp giữa các bộ xử lý ở định dạng 11 bit
3. Chế độ 1 hoặc 2 hoặc 3 – Giao tiếp nối tiếp không đồng bộ song công hoàn toàn
4. Tín hiệu không lập trình được cho RxD hoặc TxD không có DDR trong 8051

Các nguồn ngắt

- ❖ Ngắt ngoài INT0, INT1
- ❖ Ngắt của timer T0 và T1 khi đếm tràn
- ❖ SI nối tiếp UART hoặc ngắt chế độ đồng bộ
- ❖ Ngắt chế độ nối tiếp đồng bộ SI (trong một số họ 8051)
- ❖ Ngắt timer T2 trong 8052

Thanh ghi đặc biệt SFR IE với các bit cho phép ngắt

- ❖ Thanh ghi đặc biệt để che (vô hiệu hóa) hoặc bật (kích hoạt) các ngắt trong 8051
- ❖ Lập trình đối với thanh ghi IE (Kích hoạt ngắt) tại địa chỉ 0xA8 cho byte
- ❖ Lập trình IE sử dụng địa chỉ Bit 0xA8 đến 0xAF cho các bit riêng lẻ

Thanh ghi IP cho các bit ưu tiên

- ❖ Các ưu tiên ngắt được đặt ở các bit cao hoặc thấp
- ❖ Khi đặt ưu tiên trong IP, nó sẽ ghi đè lên ưu tiên mặc định để thực hiện các trình phục vụ ngắt - ISR
 - Địa chỉ 0xB8 cho byte
 - Các địa chỉ bit 0x88 đến 0x8C hoặc 0x8D hoặc 0x8E cho các bit riêng lẻ trong thanh ghi
 - Một lệnh có thể xác định rằng một ngắt đã cho, có mức ưu tiên cao (=1) hoặc thấp (=0) trong số các ngắt khác nhau.

Đặc điểm của ngắt hệ thống 8051

- ❖ 8051 cho phép khi thực hiện Chương trình phục vụ ngắt (ISR) có mức ưu tiên thấp, luồng chương trình bị gián đoạn khi bị ngắt tới Chương trình phục vụ ngắt (ISR) có mức ưu tiên cao hơn
- ❖ Cho phép che tất cả bằng một bit sơ cấp hoặc các nguồn riêng lẻ bằng các bit thứ cấp bằng cách đặt các bit trong thanh ghi IE
- ❖ Chỉ định mức độ ưu tiên mặc định
- ❖ Cho phép ghi đè các ưu tiên mặc định bằng cách thiết lập các bit trong thanh ghi IP

Địa chỉ vector ngắt

- ❖ Một địa chỉ mà từ đó một Chương trình phục vụ ngắt ISR thực thi tối đa 8 byte hoặc Nhảy tới một địa chỉ bắt đầu của Chương trình phục vụ ngắt ISR
- ❖ Khi bit EA (bit ngắt sơ cấp) được thiết lập bằng 1 cũng như bit ngắt cụ thể (bit ngắt mức thứ cấp) được thiết lập bằng 1

Ngắt phần cứng ngoài INT0 và INT1

Lập trình cho:

- ❖ Hai chân ngắt bên ngoài, INT0 và INT1 tại P3.2 và P3.2 được sử dụng để ngắt
- ❖ P3.2 và P3.3 làm chân cho các chân ngắt bên ngoài INT0 và INT1 khi bit 7 của thanh ghi IE (cho phép ngắt) bit EA (Enable All) là 1, và các bit 0 và 2 đều là 1
- ❖ Lập trình bởi TCON ở 4 bit thấp và các bit của thanh ghi IE IE.2 và IE.0

Các bit trạng thái INT0 và INT1

- ❖ Bit trạng thái TCON.3 cho trạng thái ngắt tại INT1
- ❖ TCON.3 tự động đặt lại về 0 khi Chương trình phục vụ ngắt - ISR bắt đầu phục vụ ngắt INT1.
- ❖ Bit trạng thái TCON.1 cho trạng thái ngắt tại INT0 và TCON.1 tự động đặt lại về 0 khi Chương trình phục vụ ngắt - ISR bắt đầu phục vụ ngắt INT0.

Cạnh INT0 và INT1 hoặc bit điều khiển các loại mức

- ❖ TCON.2 cho loại ngắt tại INT1 và có giá trị là 1 nếu nó là loại kích hoạt cạnh khác 0.
- ❖ TCON.0 cho loại ngắt tại INT0 và nó có giá trị là 1 nếu nó là loại kích hoạt cạnh khác 0.

Địa chỉ vectơ và ưu tiên mặc định

INT0	0x0003
T0	0x000B
INT1	0x0013
T1	0x001B
Serial	0x0023
T2	0x002B
Syn Serial	0x0053 in few versions

❖ High

Mặc định ưu tiên của phần cứng (Cài đặt ưu tiên sẽ được chỉ định cho phần mềm trong thanh ghi IP và ghi đè giá trị mặc định)

❖ Low

1. Giao tiếp sử dụng Bus hệ thống

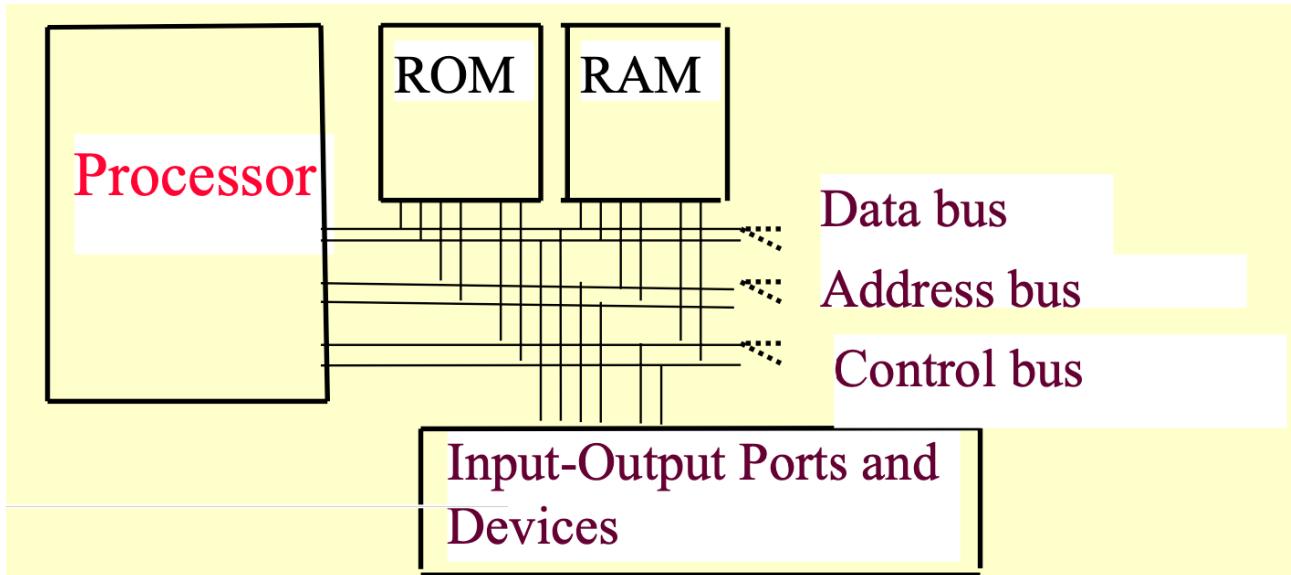
Giao tiếp của bộ xử lý, bộ nhớ và thiết bị IO sử dụng bus hệ thống bộ nhớ

- ❖ Bus hệ thống — là hệ thống các kết nối cho cấu trúc bus đơn giản có ba bộ tín hiệu
- ❖ Bus hệ thống — xác định theo bus địa chỉ, bus dữ liệu và bus điều khiển (A, D, C)
- ❖ Thiết kế giao tiếp bus hệ thống tuân theo lược đồ thời gian của tín hiệu bộ xử lý, tốc độ và độ dài từ nhớ cho các dữ liệu và lệnh.

1. Giao tiếp sử dụng Bus hệ thống

Các bus trong và ngoài bộ VXL

- ❖ Các đặc điểm khác biệt trong hệ thống



Giao tiếp cho một cấu trúc bus đơn giản

Giao tiếp của bộ xử lý, bộ nhớ và thiết bị IO sử dụng
bus hệ thống bộ nhớ

1. Giao tiếp sử dụng Bus hệ thống *Bus địa chỉ*

- ❖ Bộ xử lý đưa ra địa chỉ từng byte nhớ hoặc từ nhớ của lệnh tới hệ thống bộ nhớ thông qua bus địa chỉ.
- ❖ Đơn vị thực thi của bộ xử lý, khi được yêu cầu, đưa ra địa chỉ của dữ liệu (byte hoặc từ nhớ) để đọc hoặc ghi bộ nhớ thông qua bus địa chỉ.
- ❖ Bus địa chỉ 32 bit được sử dụng để lấy lệnh hoặc dữ liệu từ một địa chỉ được chỉ định bởi số 32 bit.

1. Giao tiếp sử dụng Bus hệ thống

Bus địa chỉ

❖ Ví dụ:

- Để bộ xử lý lúc bắt đầu, nó đặt lại bộ đếm chương trình PC tại địa chỉ 0.
- Bộ xử lý đưa địa chỉ 0 trên bus địa chỉ và lệnh tại địa chỉ 0 được lấy từ bộ nhớ khi đặt lại địa chỉ 0
- Để lấy được lệnh xử lý thì lệnh đó nó cần tải thanh ghi r1 từ địa chỉ bộ nhớ M.
- Bộ xử lý cấp địa chỉ M trên bus địa chỉ và dữ liệu tại địa chỉ M được tải về.

1. Giao tiếp sử dụng Bus hệ thống

Bus dữ liệu

- ❖ Tìm nạp lệnh – Bộ xử lý đưa ra địa chỉ của lệnh, nó sẽ nhận lại lệnh thông qua bus dữ liệu.
- ❖ Đọc dữ liệu— Khi đưa ra địa chỉ của dữ liệu, nó sẽ tải dữ liệu qua bus dữ liệu.
- ❖ Ghi dữ liệu— Khi đưa địa chỉ của dữ liệu, nó sẽ lưu dữ liệu vào bộ nhớ thông qua bus dữ liệu. Bus dữ liệu 32 bit tìm nạp, tải hoặc lưu trữ lệnh hoặc dữ liệu 32 bit.

1. Giao tiếp sử dụng Bus hệ thống

Bus địa chỉ

❖ Ví dụ:

- VXL cấp địa chỉ m cho một lệnh, nó tìm nạp lệnh thông qua bus dữ liệu từ địa chỉ m. [Đối với lệnh 32 bit, từ nhớ tại bus dữ liệu từ các địa chỉ m, m + 1, m + 2 và m + 3.]
- Lệnh thực thi để lưu các bit thanh ghi r1 vào địa chỉ bộ nhớ M, bộ xử lý cấp địa chỉ M trên bus và gửi dữ liệu tại địa chỉ M qua bus dữ liệu. [Đối với dữ liệu 32 bit, từ tại bus dữ liệu được gửi đến các địa chỉ bộ nhớ M, M + 1, M + 2 và M + 3.]

1. Giao tiếp sử dụng Bus hệ thống *Bus điều khiển*

- ❖ Phát tín hiệu điều khiển thời gian của các hoạt động trong quá trình giao tiếp.
- ❖ Tín hiệu đồng bộ hóa tất cả các hệ thống con.
- ❖ Kích hoạt chốt địa chỉ (ALE) [Address Strobe (AS) hoặc địa chỉ hợp lệ (ADV)]
- ❖ 'Đọc' (RD) hoặc 'ghi' (WR) bộ nhớ hoặc 'đọc' (IORD) hoặc 'ghi' (IOWR) thiết bị ngoại vi I/O hoặc 'dữ liệu hợp lệ' (DAV)
- ❖ Các tín hiệu điều khiển khác tuỳ theo bộ xử lý.

1. Giao tiếp sử dụng Bus hệ thống

Tín hiệu điều khiển DMA và ngắn

- ❖ Xác nhận ngắn (INTA) [theo một yêu cầu với bộ xử lý từ một sự kiện]
- ❖ INT (Ngắn) từ thiết bị bên ngoài lên hệ thống
- ❖ Xác nhận giữ (HLDA) [từ một yêu cầu bên ngoài cho phép sử dụng các bus hệ thống]
- ❖ HOLD khi thiết bị bên ngoài gửi yêu cầu giữ để truy cập bộ nhớ trực tiếp (DMA).

1. Giao tiếp sử dụng Bus hệ thống Tín hiệu điều khiển DMA và ngắt

❖ Ví dụ:

- Bộ xử lý đưa ra địa chỉ, nó cũng đưa ra tín hiệu điều khiển đọc bộ nhớ và đợi dữ liệu hoặc lệnh.
- Bộ nhớ đặt lệnh hoặc dữ liệu trong khoảng thời gian tín hiệu đọc bộ nhớ hoạt động (không bị bộ xử lý vô hiệu hóa).
- Bộ xử lý cấp địa chỉ trên bus địa chỉ và đặt dữ liệu lên bus dữ liệu, sau đó phát tín hiệu điều khiển ghi bộ nhớ (sau khi cho đủ thời gian cho tất cả các bit dữ liệu setup) để lưu tín hiệu vào bộ nhớ.
- Bộ nhớ phải ghi (lưu trữ) dữ liệu trong khoảng thời gian tín hiệu ghi bộ nhớ hoạt động (không bị bộ xử lý vô hiệu hóa).

1. Giao tiếp sử dụng Bus hệ thống

Truy cập bộ nhớ chương trình và bus dữ liệu được ghép kênh trong Kiến trúc Harvard

- ❖ Bus địa chỉ và dữ liệu được ghép kênh
- ❖ Tín hiệu điều khiển PSEN hoạt động khi truy cập bộ nhớ chương trình bằng các bus địa chỉ và dữ liệu
- ❖ Tín hiệu điều khiển READ hoặc WRITE hoạt động khi truy cập bộ nhớ dữ liệu bằng các bus địa chỉ và dữ liệu

1. Giao tiếp sử dụng Bus hệ thống

Các bit dữ liệu và địa chỉ ghép kênh phân chia theo thời gian cho bộ nhớ (TDM)

- ❖ TDM – Time division multiplexed: Các khoảng thời gian khác nhau, có một tập hợp (kênh) tín hiệu khác nhau.
 - Các tín hiệu địa chỉ trong một khoảng thời gian t
 - Tín hiệu bus dữ liệu trong một khoảng thời gian khác.
- ❖ Mạch giao tiếp để tách kênh của bus sử dụng một tín hiệu điều khiển trong các hệ thống như vậy.
- ❖ Tín hiệu điều khiển Kích hoạt chốt địa chỉ (ALE) trong 8051, Address Strobe (AS) trong 68HC11 và địa chỉ hợp lệ (ADV) trong 80196.
- ❖ ALE hoặc AS hoặc ADV dùng để tách các bus địa chỉ và dữ liệu đến các thiết bị

1. Giao tiếp sử dụng Bus hệ thống

Mạch giao tiếp sử dụng Latch và bộ giải mã

- ❖ ALE để chốt địa chỉ
- ❖ PSEN để đọc bộ nhớ chương trình bằng địa chỉ bus dữ liệu
- ❖ Mỗi chip của bộ nhớ hoặc cổng kết nối bộ xử lý có một đầu vào chọn chip riêng biệt từ bộ giải mã.
- ❖ Bộ giải mã là một mạch có các tín hiệu thích hợp của bus địa chỉ ở đầu vào và các tín hiệu của mạch điều khiển để tạo ra các tín hiệu điều khiển CS (chip select) tương ứng cho từng thiết bị (bộ nhớ và cổng)

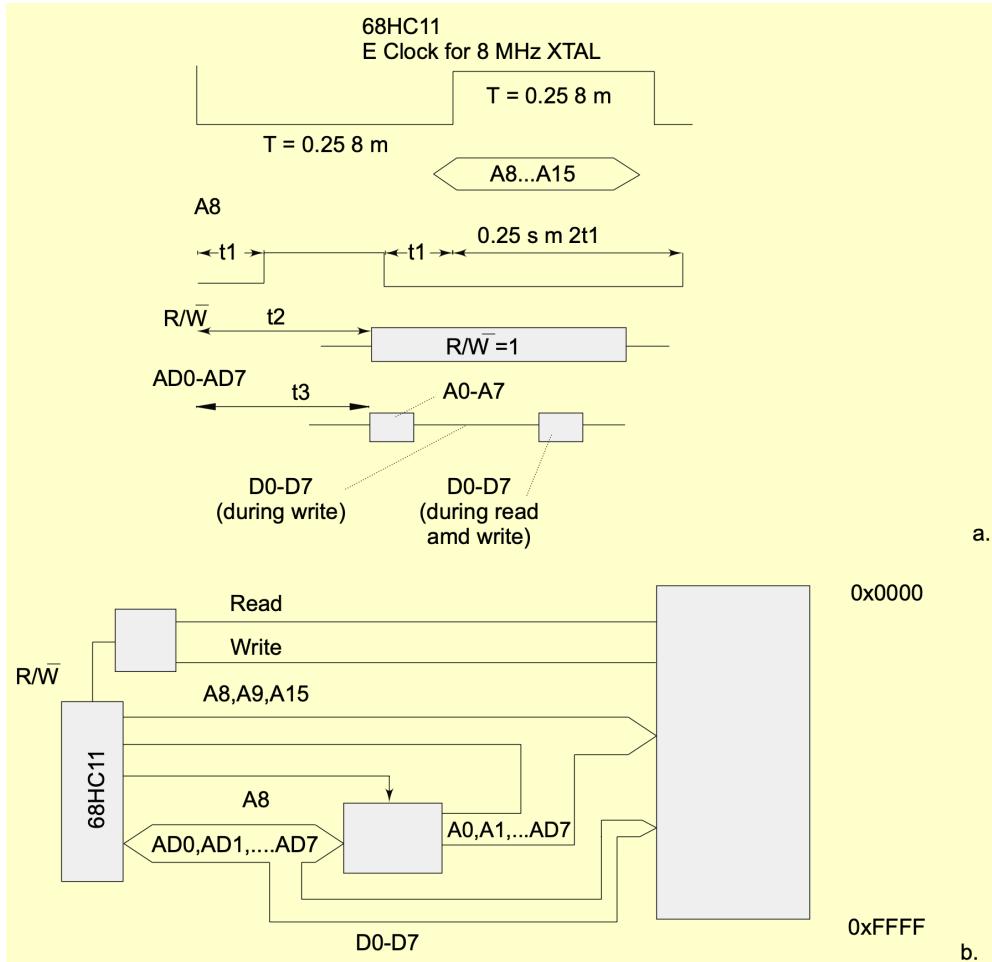
1. Giao tiếp sử dụng Bus hệ thống

Mạch giao tiếp

- ❖ Bao gồm bộ chốt Latch, bộ giải mã và bộ tách kênh
- ❖ Được thiết kế theo tín hiệu điều khiển có sẵn và lược đồ thời gian của tín hiệu bus.
- ❖ Mạch kết nối tất cả các thiết bị, bộ xử lý, bộ nhớ và thiết bị IO thông qua các bus hệ thống.
- ❖ Còn được gọi là mạch keo - *glue circuit* sử dụng khi kết nối các thiết bị và bộ nhớ với bus hệ thống và bộ xử lý
- ❖ Có thể được thiết kế bằng GAL (generic array logic) hoặc FPGA

1. Giao tiếp sử dụng Bus hệ thống

Tín hiệu bus 68HC11 và giao tiếp với bộ nhớ



2. Giao tiếp sử dụng Bus hệ thống và I/O

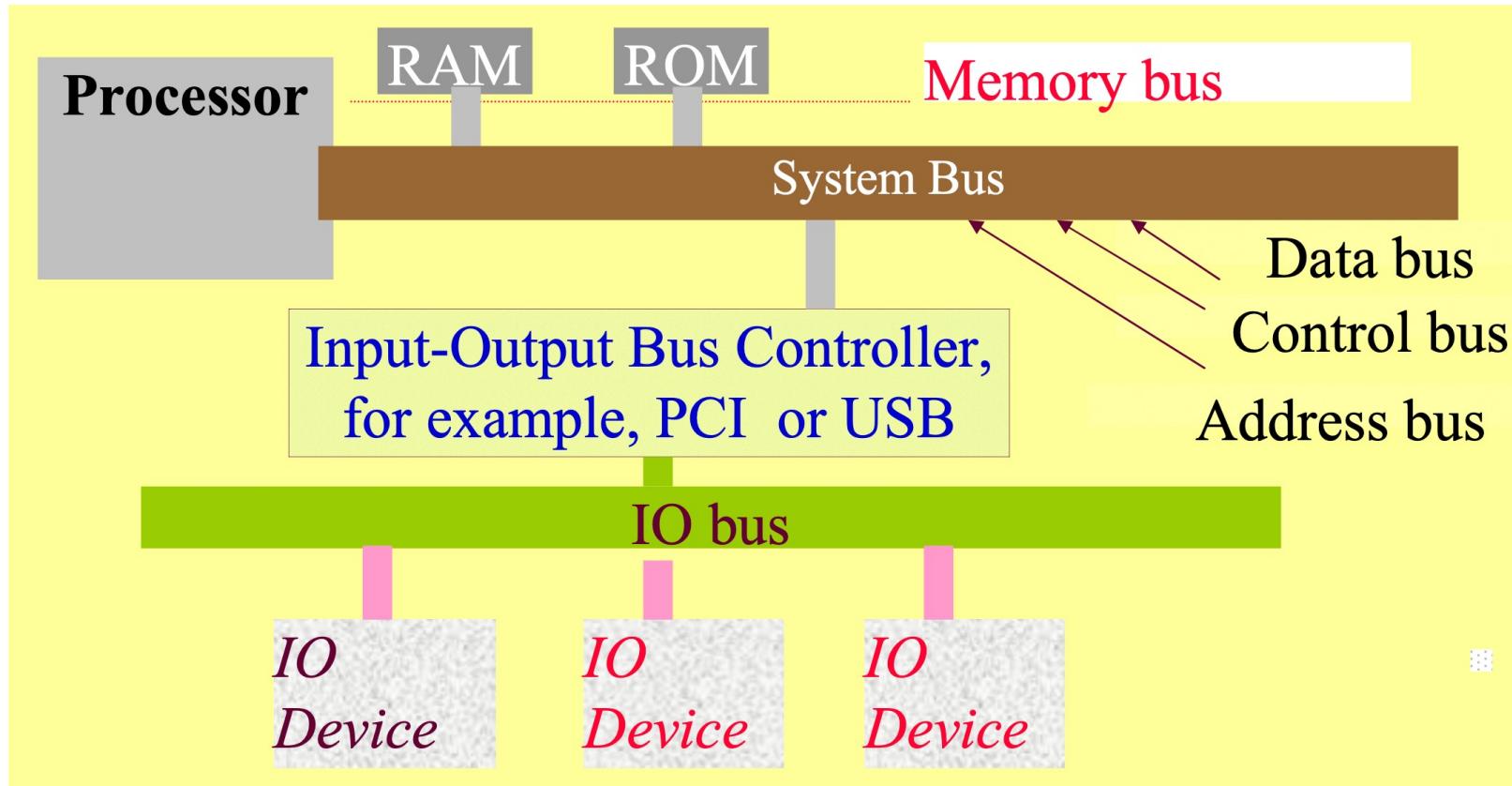
Bus hệ thống và I/O Bus

❖ Kết nối bus hệ thống:

- Bộ vi xử lý
- Hệ thống bộ nhớ và hệ thống con
- Một tập hợp các tín hiệu khác được gọi là bus I/O
- Giao diện của bộ xử lý với bus hệ thống ở cấp độ đầu tiên và bus IO ở cấp độ thứ hai

2. Giao tiếp sử dụng Bus hệ thống và I/O

Bus hệ thống bộ nhớ và kết nối I/O bus trong một cấu trúc bus



3. Multilevel Bus – Bus đa tầng

Bộ nhớ riêng biệt và các I/O bus sử dụng bộ điều khiển bus PCI và USB ; bus riêng I/O đĩa

