

특 허 법 원

제 3 부

판 결

사 건 2022허6242 등록무효(특)
원 고 주식회사 A

대표자 사내이사 B

소송대리인 법무법인(유한) 태평양

담당변호사 박정희, 유창순

소송대리인 특허법인 태평양

담당변리사 유병철

피 고 1. 주식회사 C

대표자 사내이사 D

2. 주식회사 E

대표이사 F

3. 주식회사 G

대표자 사내이사 H

피고들 소송대리인 변리사 최영복

피고들 소송복대리인 변리사 이성민

변 론 종 결 2023. 7. 13.

판 결 선 고 2023. 8. 24.

주 문

1. 특허심판원이 2022. 10. 24. 2021당3151호 사건에 관하여 한 심결을 취소한다.
2. 소송비용은 피고들이 부담한다.

청 구 취 지

주문과 같다.

이 유

1. 기초사실

가. 원고의 이 사건 특허발명(갑 제2호증)

1) 발명의 명칭: 전압구동방식 동기정류기 회로

2) 출원일/ 등록일/ 등록번호: 2003. 3. 3./ 2005. 7. 15./ 제10-0503406호

3) 청구범위

【청구항 1】 동기정류기 회로에 있어서, 상기 동기정류기의 극성을 판별하기 위한 극성판별용 다이오드(이하 '구성요소 1'이라 한다); 상기 극성판별용 다이오드와 연결되며, 상기 동기정류기의 제어신호를 발생하기 위한 제어신호 발생부(이하 '구성요소 2'

라 한다); 상기 제어신호 발생부의 제어신호에 따라 상기 동기정류기의 과도상태에서의 성능을 향상시키기 위한 푸쉬-풀(push-pull) 증폭회로부(이하 '구성요소 3'이라 한다); 상기 동기정류기의 2차 정류다이오드를 대신하는 반도체스위치 수단(이하 '구성요소 4'라 한다)을 포함하여 된 것을 특징으로 하는 전압구동방식 동기정류기 회로(이하 '이 사건 제1항 발명'이라 하고, 나머지 청구항도 같은 방식으로 부른다).

【청구항 2】 제1항에 있어서, 상기 반도체스위치 수단은 n채널 MOSFET이고, 상기 n채널 MOSFET의 드레인 단자와 소오스 단자에는 정류 다이오드의 캐소드 단자와 애노드 단자가 각각 연결되는 것을 특징으로 하는 전압구동방식 동기정류기 회로.

【청구항 3】 제1항 또는 제2항에 있어서, 상기 제어신호 발생부는, 제1 저항과 제2 저항 및 npn형 제1 트랜지스터로 구성되고, 상기 제1 저항의 일측 단자와 상기 극성 판별용 다이오드의 애노드 단자와 상기 제1 트랜지스터의 베이스 단자는 공통 접속되고, 상기 제2 저항의 일측 단자는 상기 제1 트랜지스터의 컬렉터 단자와 접속되고, 상기 제1 트랜지스터의 이미터 단자는 상기 MOSFET의 소오스 단자와 연결되는 것을 특징으로 하는 전압구동방식 동기정류기 회로.

【청구항 4】 제3항에 있어서, 상기 푸쉬-풀 증폭회로부는 npn형 제2 트랜지스터와 pnp형 제3 트랜지스터로 구성되고, 상기 제2 트랜지스터와 제3 트랜지스터의 베이스 단자들은 공통으로 접속되어 상기 제1 트랜지스터의 컬렉터 단자와 연결되고, 상기 제2 트랜지스터의 컬렉터 단자는 상기 제1 저항과 제2 저항의 타측 단자와 공통으로 접속되어 제어전원에 연결되고, 상기 제3 트랜지스터의 컬렉터 단자는 상기 MOSFET의 소오스 단자와 연결되고, 상기 제2 트랜지스터와 제3 트랜지스터의 이미터 단자들은 공통으로 접속되어 상기 MOSFET의 게이트 단자에 연결되는 것을 특징으로 하는 전압

구동방식 동기정류기 회로.

4) 발명의 주요 내용과 도면

가. 기술 분야

[0002] 본 발명은 전압구동방식 동기정류기 회로에 관한 것으로서, 더 상세하게는 동기정류기의 전압 극성을 검출하여 동기정류기의 구동신호를 발생하도록 함으로써 전원회로의 2차측 정류회로에서의 전력손실을 감소시켜 효율을 증가시키고 단순한 회로구조로 다양하게 응용할 수 있는 전압구동방식 동기정류기 회로에 관한 것이다.

나. 배경기술

[0003] 한편, 본 발명은 동기정류기 전원회로의 2차측 정류용 다이오드로 사용되는 다이오드의 전압강하에 의한 전력손실을 줄이기 위해 정류용 다이오드를 대신하여 도통저항이 작은 반도체스위치를 사용하여 전력손실을 줄이는 전압구동방식 동기정류기 회로에 관한 것이다.

[0004] 당업자에게 잘 알려진 바와 같이, 최근 전기/전자/통신 기기의 데이터 처리속도가 증가하면서 출력전력은 크고 출력전압은 낮은 전원회로의 필요성이 커지고 있다. 그러나 출력전력은 크고 출력전압이 낮은 전원회로의 경우, 2차측 정류용 다이오드로 사용되는 다이오드의 전압강하에 의한 전력손실이 크고 이로 인해 전체 전원회로의 효율이 저하되는 문제점이 있다.

다. 발명이 이루고자 하는 기술적 과제

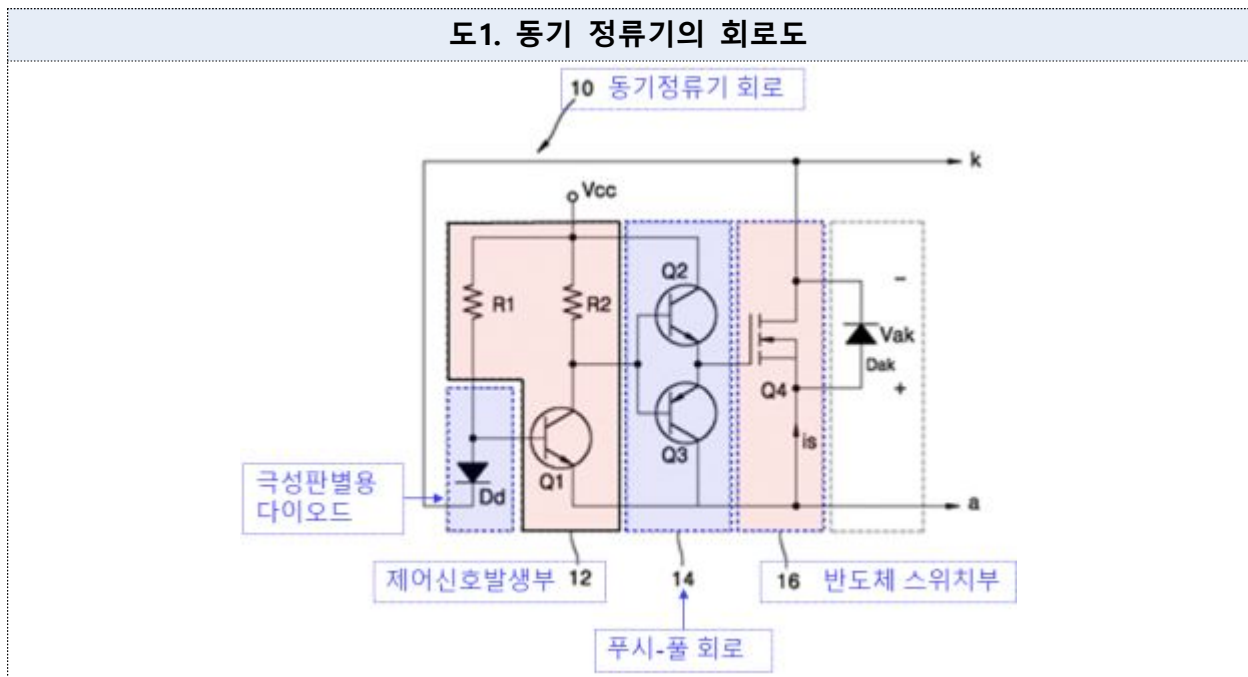
[0005] 따라서, 본 발명이 이루고자 하는 기술적 과제는 상기와 같은 종래기술의 문제점을 해결하기 위한 것으로서, 동기정류기의 전압 극성을 검출하여 동기정류기의 구동신호를 발생하도록 함으로써 전원회로의 2차측 정류회로에서의 전력손실을 감소시켜 효율을 증가시키고 단순한 회로구조로 다양하게 응용할 수 있는 전압구동방식 동기정류기 회로를 제공함에 그 목적이 있다.

[0006] 한편, 본 발명이 이루고자하는 다른 기술적 과제는, 동기정류기 전원회로의 2차측 정류용 다이오드로 사용되는 다이오드의 전압강하에 의한 전력손실을 줄이기 위해 정류용 다이오드를 대신하여 도통저항이 작은 반도체스위치를 사용하여 전력손실을 줄이는 전압구동방식 동기정류기 회로를 제공하는데 그 목적이 있다.

다. 발명의 내용

[0014] 도 1은 본 발명에 따른 전압구동방식 동기정류기 회로의 일실시예의 구성도이다.

[0015] 도 1을 참조하면, 본 발명의 동기정류기 회로(10)는 동기정류기의 전압극성을 판별하기 위한 극성판별용 다이오드(Dd)와; 극성판별용 다이오드(Dd)와 연결되며, 동기정류기(10)의 제어신호를 발생하기 위한 제어신호 발생부(12)와; 제어신호 발생부(12)의 제어신호에 따라 동기정류기(10)의 과도상태에서의 성능을 향상시키기 위한 푸쉬-풀(push-pull) 증폭회로부(14)와; 동기정류기(10)의 2차 정류다이오드를 대신하는 반도체스위치부(16)를 포함하여 이루어진다.



[0016] 상기에서 반도체스위치부(16)는 n채널 MOSFET(Q4)이고, n채널 MOSFET(Q4)의 드레인 단자와 소오스 단자에는 출력정류용 다이오드(Dak)의 캐소드 단자와 애노드 단자가 각각 연결된다.

[0017] 상기 제어신호 발생부(12)는, 제1 저항(R1)과 제2 저항(R2) 및 npn형 제1 트랜지스터(Q1)로 구성되고, 제1 저항(R1)의 일측단자와 극성판별용 다이오드(Dd)의 애노드 단자와 제1 트랜지스터(Q1)의 베이스 단자는 공통 접속되고, 제2 저항(R2)의 일측단자는 제2 트랜지스터(Q2)의 컬렉터 단자와 접속되고, 제1 트랜지스터(Q1)의 이미터 단자는 반도체스위치인 MOSFET(Q4)의 소오스 단자와 연결된다.

[0018] 상기 푸쉬-풀 증폭회로부(14)는 npn형 제2 트랜지스터(Q2)와 pnp형 제3 트랜지스터(Q3)로 구성되고, 제2 트랜지스터(Q2)와 제3 트랜지스터(Q3)의 베이스 단자들은 공통으로

접속되어 제1 트랜지스터(Q1)의 컬렉터 단자와 연결되고, 제2 트랜지스터(Q2)의 컬렉터 단자는 제1 저항(R1)과 제2 저항(R2)의 타측 단자와 공통으로 접속되어 제어전원(Vcc)에 연결되고, 제3 트랜지스터(Q3)의 컬렉터 단자는 반도체스위치인 MOSFET(Q4)의 소오스 단자와 연결되고, 제2 트랜지스터(Q2)와 제3 트랜지스터(Q3)의 이미터 단자들은 공통으로 접속되어 MOSFET(Q4)의 게이트 단자에 연결된다.

[0019] 상기에서 제어전원(Vcc)은 도 1에 도시한 동기정류기(10)의 제어전원으로 반도체스위치인 MOSFET(Q4)의 드레인(k)과 연결하여 사용할 수도 있고, 출력전압과 연결하여 사용할 수도 있으며, 주변압기에서 보조권선을 이용하여 연결할 수도 있다.

[0020] 상기와 같이 구성된 본 발명에 따른 전압구동방식 동기정류기 회로의 작용을 도 1을 참조하여 설명하면 다음과 같다.

[0021] 즉, 전술한 바와 같이 극성판별용 다이오드(Dd)는 동기정류기(10)의 전압극성을 판별하는 역할을 하며; 제1 저항(R1), 제2 저항(R2) 및 제1 트랜지스터(Q1)는 동기정류기의 제어신호를 발생한다. 제2 트랜지스터(Q2)와 제3 트랜지스터(Q3)는 동기정류기(10)의 과도상태에서의 성능을 향상시키기 위한 푸쉬-풀(push-pull) 증폭회로이고; MOSFET(Q4)는 종래기술에서의 2차측 정류다이오드를 대신하는 반도체스위치이다.

[0022] 상기와 같은 본 발명의 동기정류기는 도 1에 도시한 바와 같이 출력정류용 다이오드(Dak)가 역전압으로 소거(off)되어야 하는 경우인 V_{ak} (반도체스위치 소오스-드레인 간 전압)가 음(-)인 값을 가질 때에는 극성판별용 다이오드(Dd)는 소거되고 제1 저항(R1)은 제1 트랜지스터(Q1)을 구동시키게 되어 제1 트랜지스터(Q1)이 도통(on)되며, 따라서 제3 트랜지스터(Q3)는 도통되어(풀-다운 상태) 반도체스위치인 MOSFET(Q4)의 구동신호는 제거됨으로써 MOSFET(Q4)는 소거된다. 출력정류용 다이오드(Dak)가 순방향 전압으로 도통되어야 하는 경우인 V_{ak} 가 양(+)의 값을 가질 때에는 극성판별용 다이오드(Dd)는 도통되어 제1 트랜지스터(Q1)이 소거되고 제2 트랜지스터(Q2)는 도통되어(풀-업 상태) 반도체스위치 MOSFET(Q4)를 구동함으로써 MOSFET(Q4)는 도통된다. 이와 같이 반도체스위치(Q4) 내부의 다이오드 전압신호를 검출하여 MOSFET(Q4)의 도통저항이 작은 반도체스위치를 정류용 다이오드와 동일하게 도통과 소거를 함으로써 정류용 다이오드를 대신하게 된다.

라. 발명의 효과

[0023] 이상에서 설명한 바와 같이 본 발명에 따른 전압구동방식 동기정류기 회로는, 동기정

류기의 전압 극성을 검출하여 동기정류기의 구동신호를 발생하도록 함으로써 전원회로의 2차측 정류회로에서의 전력손실을 감소시켜 효율을 증가시키고 단순한 회로구조로 다양하게 응용할 수 있게 하는 이점을 제공한다. 이와 같이 본 발명은 전원회로의 2차측 정류용 다이오드를 대신하여 도통저항이 작은 반도체스위치를 사용함으로써 전력손실을 줄일 수 있다.

나. 선행발명(갑 제4호증)

2002. 7. 8. 공고된 대한민국 등록특허공보 제10-0321310호에 게재된 '순방향 동기 정류기용 동기 및 구동회로'에 관한 것으로, 그 주요 내용과 도면은 다음과 같다.

① 기술분야

[0002] 본 발명은 동기 정류기를 채용한 순방향(forward) 변환기용 동기 및 구동 회로에 관한 것이다.

② 배경 기술

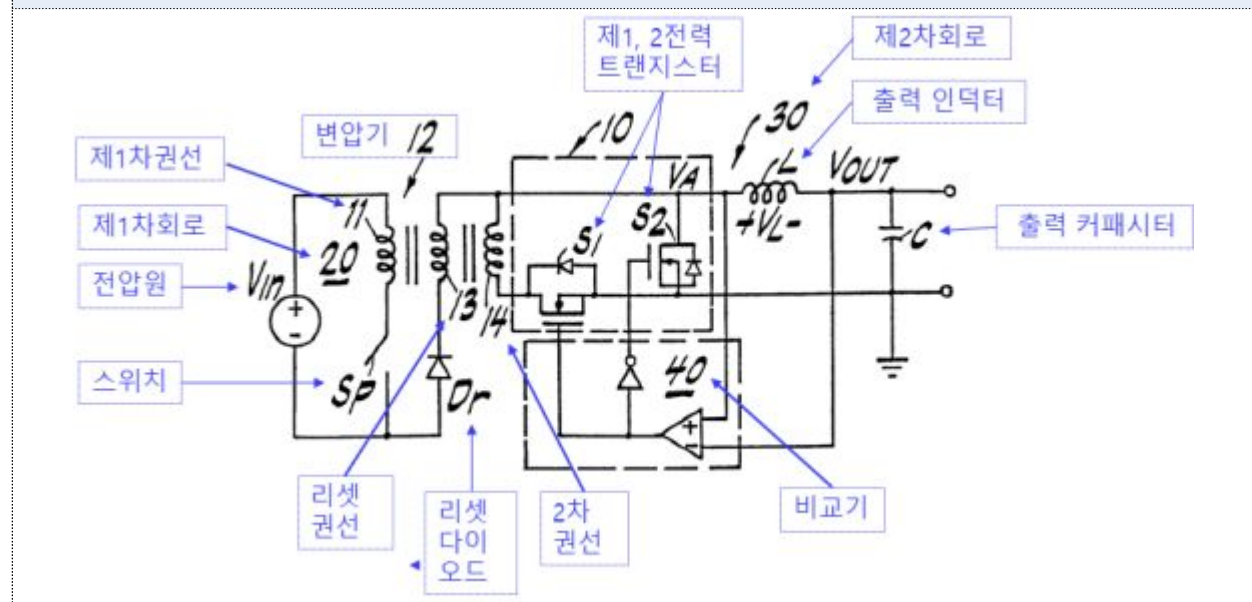
[0003] 동기 정류기를 채용한 공지된 순방향 스위칭 전력 공급 회로에 있어서, 제2 차측 다이오드는 더욱 저 온-상태 전압 강하(lower on-state voltage drop)를 성취할 트랜지스터로 교체된다. 다이오드가 애노드에서 캐소드로 전도했을 시에 트랜지스터는 (N-채널 전력 MOSFET에 대해) 소스에서 드레인으로 전도하도록 바이어스 되어야 하고, 역으로, 다이오드가 캐소드에서 애노드로 차단(block)했을 시에 드레인에서 소스로 전압을 차단하도록 게이트 되어야 한다.

[0004] 이런 공지된 동기 정류 회로에 있어서, 트랜지스터에 대한 게이트 신호는 출력 인덕터 전류의 굴곡점(inflexion point)에 가능한 근접하여 동기화되어야 하는데, 상기 굴곡점은 사각형파 출력 인덕터 전압의 제로 교차점에 대응한다. 게이트 신호는 "자기-구동"될 수 있거나(즉, 게이트 신호는 회로에 직접 접속될 수 있거나), "제어 동기화"될 수 있다(즉, 동기화 신호는 회로내의 어떤 포인트로부터 유도되어, MOSFET 게이트 구동기에 공급된다).

[0009] 종래 기술의 동기 정류 회로의 결점을 극복하기 위하여, 본 발명은 변환기의 출력 인덕터 양단의 전압을 모니터하고, 한 트랜지스터가 다른 것이 오프 상태일시에 항상 온상태이고, 그리고 그 역으로 되도록 인덕터 전압의 전이(transition)에 응답하여 트랜지스터를 선택적으로 게이트함으로써 발생된 "자기-구동" 게이트 신호를 제공한다.

③ 해결수단

도1. 동기 정류기의 블록 회로도



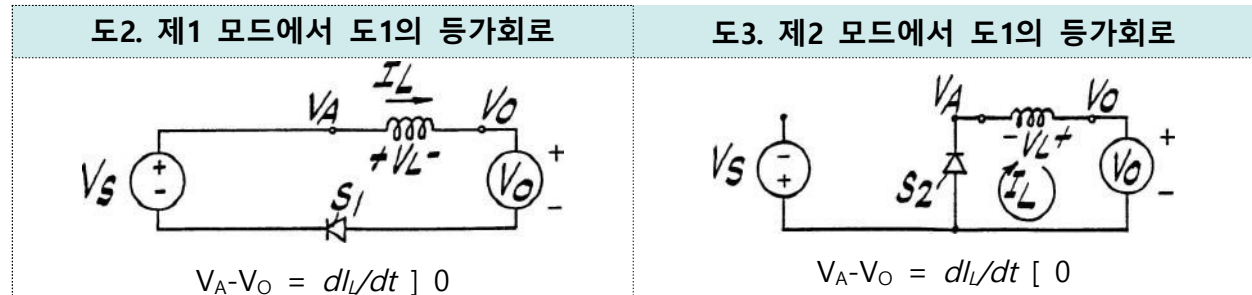
[0011] 본 발명에 따른 동기 정류기 (10)가 도1에 도시되어 있으며, 상기 정류기(10)는 제1차 회로(20) 및 제2차 회로 (30)를 포함한다. 제1차 회로(20)는 전압원 V_{in} , 변압기(12)의 제1차 권선(11), 스위치 SP, 변압기(12)의 코어(core)를 리세트하는 리세트 권선(13) 및, 리세트 다이오드 Dr를 포함한다. 간략화를 위해 스위치 SP는 단극단투(single pole single-throw)¹⁾ 스위치로서 표시되지만, 상기 스위치는 전력 MOSFET 또는 절연 게이트 바이폴라 트랜지스터 (IGBT)와 같은 통상적인 MOS-게이트된 반도체 스위치일 수 있다.

[0012] 제2차 회로(30)는 제2차 권선(14), 출력 인덕터 L, 출력 캐패시터 C, 제1 전력 트랜지스터 S1 및 제2 전력 트랜지스터 S2를 포함한다. 각 전력 트랜지스터 S1, S2는 그 양단의 병렬이 아닌 다이오드를 포함한다.

[0013] 비교기(40)는 출력 도체 L 양단에 접속되어, 그 양단의 전압, 즉 전압 VA 및 Vout 간의 전위차를 감지한다. 비교기(40)는 트랜지스터 S1의 게이트에 접속된 출력 및, 트랜지스터 S2의 게이트에 접속된 반전 출력을 갖는다.

[0014] 인덕터 L 양단의 전압 V_L 이 정일시에, 트랜지스터 S1는 바이어스 온되고, 트랜지스터 S2는 바이어스 오프된다. 역으로, 전압 V_L 이 부일시에, 트랜지스터 S2는 바이어스 온되고, 트랜지스터 S1는 바이어스 오프된다.

[0015] 따라서, 정류기(10)는 동작의 두 개의 모드를 갖는다. 제1 모드(Mode 1)에서, 트랜지스터 S1에는 전류가 온 및 전도되고, 트랜지스터 S2에는 전류가 오프 및 차단된다. 제2 모드(Mode 2)에서, 트랜지스터 S1에는 전류가 오프 및 차단되고, 트랜지스터 S2에는 전류가 온 및 전도된다.



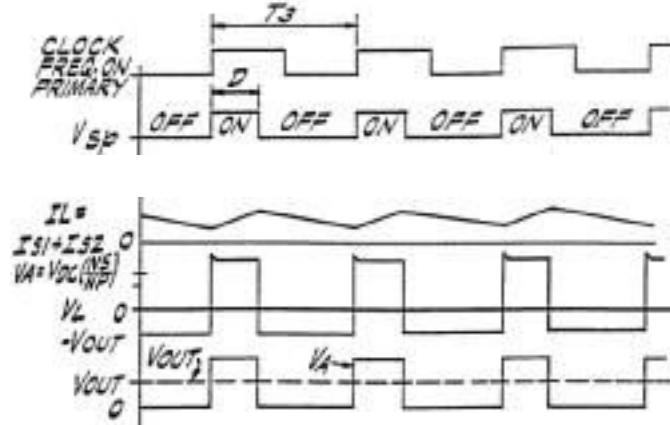
[0016] Mode 1에 대해서는 도2의 등가 회로를 참조로 하여 더욱 더 이해될 수 있는데, 여기서 VS는 제2차 전선(14) 양단의 전압을 나타내고, 트랜지스터 S1는 이상 (ideal) 다이오드 S1로 표시되며, 출력 전압은 출력 전압원 Vo로 표시된다. 각종 전압간의 관계는 아래와 같다: 즉, $V_S = V_L + V_O$ 및, $V_L = V_S - V_O$ 이다. VS가 Vo보다 크므로, VL은 정이다.

[0017] 또한, Mode 1에서의 IL은 램프업(ramp up)하거나 증가한다. 따라서, $\frac{dI_L}{dt}$ 는 정이다. $V_L = L \frac{dI_L}{dt}$ 이므로, 이런 해석은 또한 VL의 Mode 1에서 정임을 나타낸다.

[0018] 트랜지스터 S1에는 전류가 차단되고, 트랜지스터 S2에는 전류가 전도되는 Mode 2는 도3에 도시된 등가 회로로 표시될 수 있는데, 여기서 트랜지스터 S2는 이상 다이오드 S2로 표시된다. Mode 1에 대한 등가 회로에서와 같이, $V_S = V_L + V_{out}$ 이다. 이어서, $V_L = V_S - V_{out}$ 이다. 여기서, VA는 Vout보다 작은 0볼트이어서, VL은 부이다. 또한, Mode 2에서, IL은 감소하거나 램프 다운된다. 따라서, $\frac{dI_L}{dt}$ 는 부이다. $V_L = L \frac{dI_L}{dt}$ 이므로, 이런 해석은 VL이 Mode 2에서 부임을 나타낸다.

- 1) 하나의 입력과 하나의 출력을 갖는 소자
- 2) 변압기에 의한 전압 변화 비율을 표시하는 값

도4. 도1의 동작 파형도 (주요 파형 발췌)

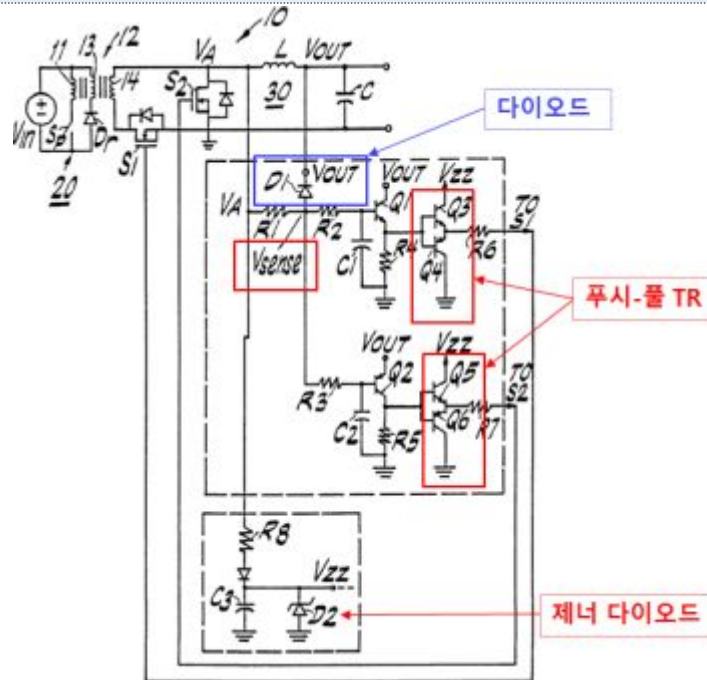


[0020] 도5에서, 비반전 트랜지스터 비교기 Q1 및 관련된(푸시-풀) 구동 트랜지스터 Q3 및 Q4 와, 반전 트랜지스터 비교기 Q2 및 관련된(푸시-풀) 구동 트랜지스터 Q5 및 Q6를 포함하는 도1의 비교기(40)의 상세 구현이 도시된다. 트랜지스터 Q1 및 Q2는 접지에 대한 전압 Vsense에 응답하는데, 여기서 Vsense는 VL 및 VA의 함수로서 변한다.

[0021] Mode 1에서, VA는 Vout보다 커서(즉, $VA = V_{in} \cdot (NS/NP)^2$), Vsense은 대략 $V_{out} + V_{fd}$ 과 같은 정 전압인데, 여기서 Vfd는 다이오드 D1 양단의 순방향 강하 전압이다. 이는 트랜지스터 Q1가 바이어스 온되게 하고, 트랜지스터 Q2가 바이어스 오프되게 한다. 그래서, Q1의 에미터로부터의 출력은 Q3가 턴 온되게 하고, Q4가 턴 오프되게 하는 정 전압이다. 따라서, S1의 게이트에서의 전압은 약 Vzz로 상승하고, S1은 턴 온한다. 역으로, Q2의 콜렉터로부터의 출력은 약 0볼트인 데, 이는 Q6 이 턴 온하게 하고, S2의 게이트에 차지(charge)를 스위프 오프(sweep off)하며, 이를 턴 오프시킨다.

[0022] Mode 2에서 VA는 Vout(즉, $VA \approx 0$ 볼트)보다 작아 Vsense = $VA \approx 0$ 볼트이다. 이는 트랜지스터 Q1이 바이어스 오프되게 하고, Q2가 바이어스 온되게 한다. 그래서, Q2의 콜렉터로부터의 출력은 Q5가 턴 온되게 하고, Q6가 턴 오프되게 하는 정의 전압이다. 따라서, S2의 게이트에서의 전압은 약 Vzz로 상승하고, S2는 턴 온한다. 역으로, Q1의 에미터로부터의 출력은 약 0볼트인데, 이는 Q4가 턴 온하게 하고, S1의 게이트에 차지를 스위프 오프하게 하며, 이를 턴 오프시킨다.

도5. 도1의 상세 회로도



[0023] 따라서, S1 및 S2의 게이팅은 인덕터 L 양단의 전압 VL의 함수인데, 즉 VL이 정일시에, S1는 바이어스 온되고(S1의 게이트는 그의 소스에 대해 정임), S2는 바이어스 오프된다(S2의 게이트는 그의 소스에 대해 로우임). 다른 한편, VL이 부일시에, S1는 바이어스 오프되고, S2는 바이어스 온된다.

[0024] 잇점으로, 트랜지스터의 게이트는 제2차 회로(30) 내의 조건, 즉 인덕터 전압 VL을 감지함으로써 "자기 구동"된다. 따라서, 변압기(12)내에서 값비싸고, 예견할 수 없고, 느린 광절연체 또는 부가적인 권선이 필요 없다. 게다가, 불연속(discrete) 소자의 효율적인 활용으로, 값비싼 집적 회로형 비교기에 대한 필요성을 제거한다.

[0025] 다이오드 D1는 잇점으로 전압 입력을 Q1및 Q2로 제한하는 Vout이상의 한 다이오드 강하(drop)로 Vsense에서의 전압을 제한한다. 따라서, 회로는 VA의 피크값에서는 뒤로 발진되지 않는데, 그 이유는 그런 피크값이 본 발명의 회로내에서 피드백되지 않기 때문이다. 게다가 Vsense의 최대 익스커션(excursions)을 약 Vout로 제한함으로써, 트랜지스터는 Vout가 전압 이하일시에(즉, Vout가 1 보다 작을 시)오프되어, 변환기의 개시 특성을 향상시킨다.

[0026] D1은 Q1내지 Q6을 구동하기 위한 구동 전압(즉, Vsense= Vout+ Vfdl)의 엑스트라

다이오드 강하를 허용한다. 그럼에도 불구하고, V_{out} 가 Q1내지 Q6에 대한 적당한 구동 전압을 허용하지 않는 더욱 저출력하도록 설계될 경우, 다이오드 D1의 캐소드는 V_{zz} 에 접속될 수 있다. 따라서, 더욱 고 전압은 Q1내지 Q6을 구동하도록 성취된다(즉, $V_{sense} = V_{zz} + V_{fD}$).

④ 발명의 효과

[0024] 잇점으로, 트랜지스터의 게이트는 제2차 회로(30)내의 조건, 즉 인덕터 전압 V_L 을 감지함으로써 "자기 구동"된다. 따라서, 변압기(12)내에서 값비싸고, 예견할 수 없고, 느린 광절연체 또는 부가적인 권선이 필요없다. 게다가, 불연속 (discrete) 소자의 효율적인 활용으로, 값비싼 집적 회로형 비교기에 대한 필요성을 제거한다.

다. 이 사건 심결의 경위

1) 피고들은 2021. 10. 27. 특허심판원에 원고를 상대로 '이 사건 제1에서 4항 발명은 그 발명이 속하는 기술분야에서 통상의 지식을 가진 사람(이하 '통상의 기술자'라 한다)이 선행발명에 의해 쉽게 발명할 수 있는 것으로 신규성과 진보성이 부정된다.'고 주장하면서 이 사건 특허발명에 대한 등록무효심판을 청구하였다.

2) 특허심판원은 해당 심판청구를 2021당3151호로 심리한 다음, 2022. 10. 24. '이 사건 특허발명은 선행발명에 의해 진보성이 부정된다.'는 이유로 피고들의 심판청구를 인용하는 심결(이하 '이 사건 심결'이라 한다)을 하였다.

【인정 근거】 다툼 없는 사실, 갑 제1에서 4호증, 변론 전체의 취지

2. 당사자의 주장

가. 원고

다음과 같은 이유로 이 사건 특허발명은 진보성이 부정되지 않는다. 그런데도 이와 결론을 달리한 이 사건 심결은 위법하다.

1) 선행발명에는 이 사건 제1항 발명에 이르기 위한 동기가 전혀 제시되어 있지 않

고, 스위치를 구동하는 전압 판별 대상을 단순히 인덕터 양단에서 동기정류기 출력단으로 변경할 경우 회로는 작동하지 않는다. 이 사건 제1항 발명은 사후적 고찰 없이 선행발명으로부터 쉽게 도출할 수 없다.

2) 이 사건 제1항 발명의 진보성이 부정되므로, 이 사건 제1항 발명의 종속항인 이 사건 제2, 3, 4항 발명 역시 진보성이 부정된다.

나. 피고들

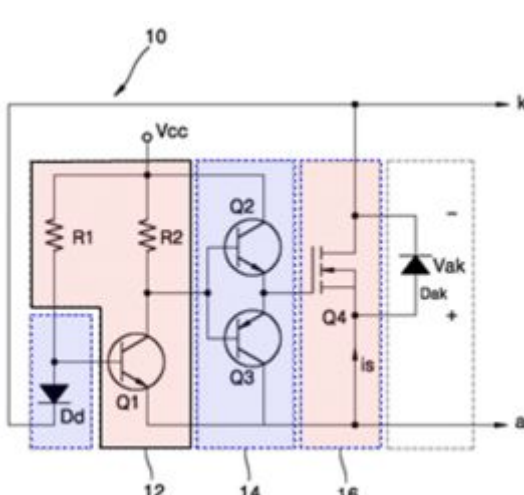
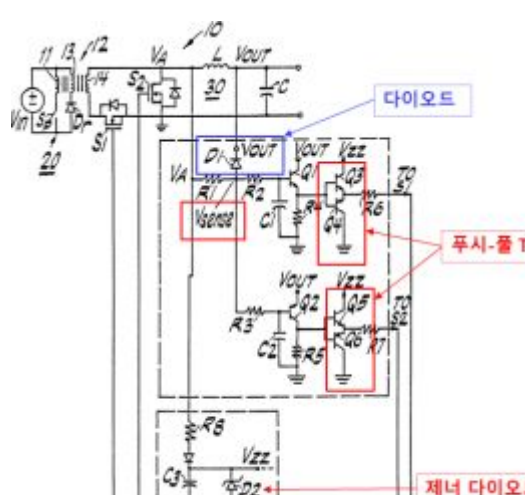
이 사건 특허발명은 선행발명에 의해 진보성이 부정된다. 따라서 이와 결론이 같은 이 사건 심결은 적법하다.

3. 이 사건 심결의 위법 여부

가. 이 사건 제1항 발명의 진보성 부정 여부

1) 이 사건 제1항 발명과 선행발명의 구성 대비

구성 요소	이 사건 제1항 특허발명	선행발명
전제부	동기정류기 회로(10)에 있어서,	[0002] 본 발명은 동기 정류기를 채용한 순방향(forward) 변환기용 동기 및 구동 회로에 관한 것이다.
1	상기 동기정류기의 극성을 판별하기 위한 극성판별용 다이오드(Dd)	[0025] 다이오드 D1는 잇점으로 전압 입력을 Q1및 Q2로 제한하는 <u>Vout 이상의 한 다이오드 강하(drop)로 Vsense에서의 전압을 제한한다.</u> 따라서, 회로는 VA의 피크값에서는 뒤로 발진되지 않는 데, 그 이유는 그런 피크값이 본 발명의 회로내에서 피드백되지 않기 때문이다. 게다가 <u>Vsense의 최대 익스커션(excursions)을 약 Vout로 제한함으로써,</u> 트랜지스터는 Vout가 전압 이하일시에 (즉, Vout가 1 보다 작을 시) 오프되어,

		변환기의 개시 특성을 향상시킨다.
2	상기 극성판별용 다이오드와 연결되며, 상기 동기정류기의 제어신호를 발생하기 위한 제어신호 발생부(12)	[0020] 도5에서, <u>비반전 트랜지스터 비교기 Q1</u> 및 <u>관련된(푸시-풀) 구동 트랜지스터 Q3 및 Q4</u> 와, <u>반전 트랜지스터 비교기 Q2</u> 및 <u>관련된(푸시-풀) 구동 트랜지스터 Q5 및 Q6</u> 를 포함하는 도1의 비교기(40)의 상세 구현이 도시된다.
3	상기 제어신호 발생부의 제어신호에 따라 상기 동기정류기의 과도상태에서의 성능을 향상시키기 위한 푸시-풀(push-pull) 증폭회로부(14)	
4	상기 동기정류기의 2차 정류다이오드를 대신하는 반도체스위치 수단(16)	[0023] 따라서, S1 및 S2 의 게이팅은 인덕터 L 양단의 전압 V_L 의 함수인데, 즉 V_L 이 정일시에, S1 는 바이어스 온되고(S1 의 게이트는 그의 소스에 대해 정임), S2 는 바이어스 오프된다(S2 의 게이트는 그의 소스에 대해 로우임). 다른 한편, V_L 이 부일시에, S1 는 바이어스 오프되고, S2 는 바이어스 온된다.
5	을 포함하여 된 것을 특징으로 하는 전압구동방식 동기정류기 회로(10)	[0002] 본 발명은 동기 정류기를 채용한 순방향(forward) 변환기용 동기 및 구동 회로에 관한 것이다.
	[도면 1]	[도면 5]
		

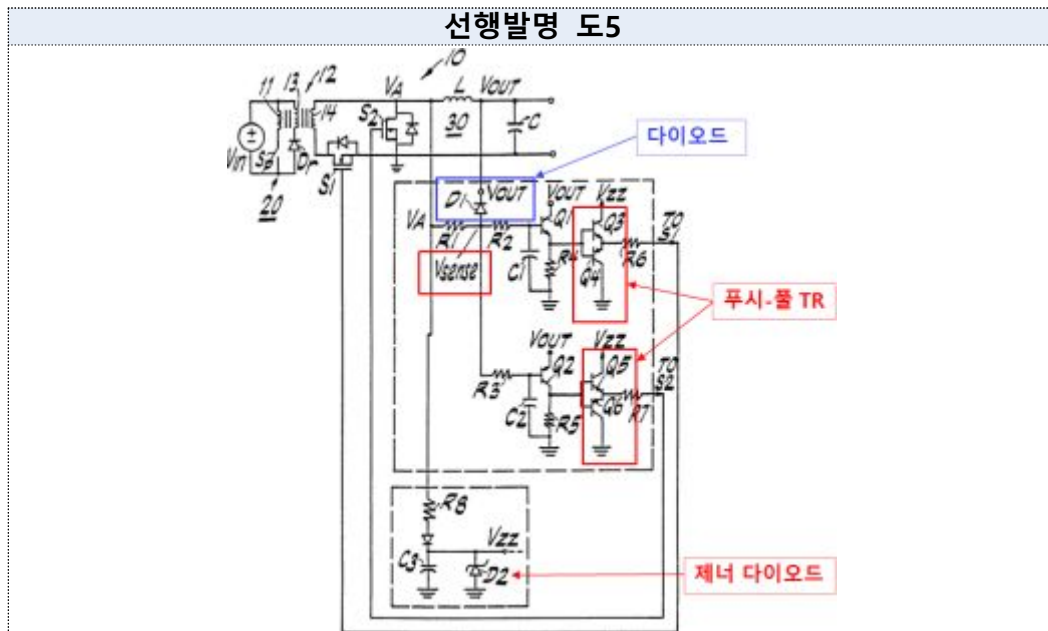
2) 공통점과 차이점 분석

가) 전제부 및 구성요소 5

양 발명의 대응 구성은 특정 지점의 극성을 판별하여 작동하는 전압구동방식 동기정류기 회로라는 점에서 동일하다.

나) 구성요소 1

구성요소 1은 동기정류기의 극성을 판별하기 위한 극성판별용 다이오드(Dd)로서 동기정류기의 출력 극성을 판별하는 반면, 선행발명의 대응 구성(D1)은 동기정류기 (10)의 출력전압 VA의 전압 분배값³⁾ Vsense와 평활회로(L, C)의 출력전압 Vout 사이에 연결되어 Vsense와 Vout 사이의 전압크기를 비교함으로써 결과적으로 인덕터 L의 양단 전압 VL의 극성을 판별하는 점에서 차이가 있다(이하 '차이점'이라 한다)



다) 구성요소 2

(1) 양 발명의 대응 구성은 극성판별용 다이오드와 연결되어 푸쉬-풀 증폭회로에 제어신호를 전달하는 제어신호 발생부라는 점에서 동일하다.

(2) 이에 대하여 원고는, 구성요소 2는 한 개의 트랜지스터(Q1)가 한 개의 동기정

3) 저항 R1과 저항 R2 및 R3의 병렬저항값 사이의 전압분배값이다.

류기에 대한 제어신호를 발생시키는 반면, 선행발명의 대응 구성은 두 개의 트랜지스터(Q1, Q2)가 두 개의 동기정류기 각각에 대한 제어신호를 발생시키는 점에서 차이가 있다고 주장한다. 그러나 다음과 같은 이유로 양 발명의 대응 구성은 실질적으로 차이가 있다고 보기 어렵다. 따라서 원고의 주장은 받아들이지 않는다.

(가) 이 사건 제1항 발명은 구성요소 2가 한 개의 트랜지스터만을 포함하는 것으로 한정하고 있지 않다. 이 사건 제1항 발명에서 구성요소 2는 극성판별용 다이오드와 연결되어 동기정류기의 제어신호를 발생한다고만 기재되어 있을 뿐이다(즉, 이 사건 제1항 발명은 구성요소 2가 트랜지스터로 구성된다고 한정하고 있지 않다).

(나) 이 사건 제1항 발명을 실시한 회로에서 몇 개의 트랜지스터로 구성된 제어신호 발생부가 몇 개의 동기정류기에 대한 제어신호를 발생시킬지는 해당 회로에서 이 사건 제1항 발명의 동기정류기가 몇 개의 정류다이오드를 대체하는지에 따를 뿐이다. 선행발명에서 2개의 정류다이오드가 2개의 반도체 스위치(트랜지스터)로 대체되므로, 선행발명의 제어신호부가 2개의 트랜지스터로 구성되어 있을 뿐이다.

(다) 선행발명에서 트랜지스터 Q1은 반도체 스위치 S1로, 트랜지스터 Q2는 반도체 스위치 S2로 각각 독립적으로 제어신호를 공급할 뿐 상호 의존적이지 않다(선행발명의 Q1과 Q2가 온-오프에 있어 서로 반대로 작동하는 것은 해당 트랜지스터에 입력되는 신호가 반대이기 때문이지, Q1과 Q2가 상호 간에 영향을 주기 때문이 아니다). 선행발명의 트랜지스터 Q1, Q2는 정류용 다이오드 개수에 맞추어 구성요소 2를 단순 반복한 것에 불과하다.

라) 구성요소 3, 4

(1) 양 발명의 대응 구성은 푸쉬-풀 증폭회로가 제어신호 발생부의 제어신호를

증폭한 뒤 해당 신호를 반도체 스위치로 전달하고(구성요소 3), 해당 반도체 스위치가 정류다이오드를 대체하는 구성(구성요소 4)이라는 점에서 실질적으로 동일하다.

(2) 이에 대하여 원고는 구성요소 3의 푸쉬-풀 증폭회로는 V_{cc} 에 연결되고, 선행발명 3의 푸쉬-풀 증폭회로는 V_{zz} 에 연결되는데, V_{cc} 는 외부 전원인 V_{zz} 와 달리 Q4의 드레인(k) 또는 출력 측에도 연결될 수 있는 점에서 차이가 있다고 주장한다.

그러나 선행발명의 아래 명세서 기재에 의하면, 2차 회로 출력전압에 해당하는 V_{out} 가 푸쉬-풀 증폭회로를 작동하기에 충분한 전압을 가질 경우, V_{zz} 에 V_{out} 을 연결하는 것도 가능한 것으로 보인다. 그런데 이 사건 제1항 발명에 명시적으로 기재되어 있지는 않으나, Q4의 드레인(k) 또는 출력전압이 선행발명이 개시하는 조건인 '순방향 저항을 줄이도록 매우 높을 경우'를 충족하지 못할 경우, 이 사건 제1항 발명에서 해당 지점을 V_{cc} 에 연결하는 것은 선행발명과 마찬가지로 부적절할 것으로 보인다. 결국, 구성요소 3의 V_{cc} 와 선행발명의 V_{zz} 는 명칭만 다를 뿐 외부 전원 또는 경우에 따라 출력전압 등에 연결될 수 있는 푸쉬-풀 증폭회로의 제어전원이라는 점에서 실질적으로 동일하다. 따라서 원고의 이 부분 주장은 받아들이지 않는다.

선행발명

[0030] V_{out} 가 충분한 구동 전압을 S1 및 S2의 게이트에 제공하여, 그의 순방향 저항을 줄이도록 (즉, 트랜지스터 S1 및 S2를 상당히 향상시키도록) 매우 높을 경우에 V_{zz} 로서 이용될 수 있다. R8은 C3을 차지할 블리딩(bleeding) 저항 역할을 한다. C3는 전류를 회로에 제공하여, 제너 다이오드 D2의 항복 전압 V_{D2} 에 따라 V_{zz} 을 유지한다. V_A 가 V_{D2} 보다 클 경우, V_{zz} 는 대략 제너다이오드 D2의 항복 전압과 동일하다. 다른 한편, V_A 가 V_{D2} 보다 작을 경우, V_{zz} 는 대략 V_A 의 피크 전압과 동일하다.

[0031] 잇점으로, V_{zz} 공급은 상당한 고전압을 가진 전력 MOSFET의 구동이 소자를 상당히 향상시키고, 그의 순방향 저항을 낮추게 한다. 이는 변압기 상의 엑스트라 권선 또는 엑스트라

전력 공급을 위한 필요성을 줄인다.

(3) 한편 원고는, 양 발명의 대응 구성은 푸시-풀 증폭회로와 반도체 스위치 수단의 개수에서도 차이가 있다고 주장한다. 그러나 앞서 구성요소 2의 제어신호 발생부에서 살펴본 바와 마찬가지로 이 사건 제1항 발명은 구성요소 3, 4에 있어서도 하나의 푸쉬-풀 증폭회로 또는 하나의 반도체 스위치 수단으로 구성된다고 한정하고 있지 않다. 따라서 원고의 이 부분 주장도 받아들이지 않는다.

3) 차이점 검토

다음과 같은 이유로 양 발명의 대응 구성의 차이점은 통상의 기술자가 선행발명으로부터 쉽게 극복할 수 없다.

가) 동기정류기에 있어 정류 다이오드보다 낮은 전압 강하(lower on-state voltage drop)를 가지는 반도체 스위치(트랜지스터)로 정류 다이오드를 교체하기 위해서는 적절한 시점에 반도체 스위치를 열고 닫는 동기화가 필수적이다.

나) 선행발명의 아래 명세서 기재에 의하면, 종래 기술에서는 제1차 회로의 제어 신호를 제2차 회로로 전달함으로써 제2차 회로의 반도체 스위치의 동기화를 달성하였고, 이 과정에서 높은 비용과 잦은 오류 등의 문제점이 발생했던 것으로 보인다.

선행발명
[0006] 종래 기술의 어떤 동기 정류 회로는 제1차 측 제어 신호를 모니터하여, 동기 트랜지스터의 게이팅(gating)을 동기화하도록 (예를 들어 절연 경계면에 걸친) 전력변환기의 제2차측으로 상기 제어 신호를 전달한다. 불행하게도, 값비싸고, 최적이지 않은 복잡한 회로가 회로의 제1차 및 2차부 사이에서 절연을 유지하도록 요구된다. 예를 들면, 광- 절연체가 절연을 유지하는데에 이용될 시에, 바람직하지 않은 지연 및 예견할 수 없는 이득 변동이 시스템 내에서의 에러를 유발시킨다.
[0007] 종래 기술의 다른 동기 정류 회로는 동기화 정보를 제2차 회로 트랜지스터로 전달시

킬 부가적인 변압기 권선을 이용하여, 여전히 절연 상태를 유지시킨다. 그러나, 그런 변압기는 더욱 비용이 많이 들고, 복잡하며, 변압기 리세트 문제는 또한 유발된다.

[0008] 따라서, 본 분야에서는 순방향 전력 변환기내의 제1차 및 2차 회로 간에 절연경계면에 걸쳐 동기화 정보를 전달한 광- 결합기 또는 부가적인 변압기를 필요로 하지 않는 신규 동기 정류 회로에 대한 필요성이 있다.

[0009] 종래 기술의 동기 정류 회로의 결점을 극복하기 위하여, 본 발명은 변환기의 출력 인덕터 양단의 전압을 모니터하고, 한 트랜지스터가 다른 것이 오프 상태일시에 항상 온상태이고, 그리고 그 역으로 되도록 인덕터 전압의 전이(transition)에 응답하여 트랜지스터를 선택적으로 게이트함으로써 발생된 "자기-구동" 게이트 신호를 제공한다.

다) 해당 과제해결을 위하여 선행발명은 제2차 회로에 인덕터를 도입하고 인덕터 양단 전압의 극성을 판별하여 인덕터 양단 전압의 전이에 따라 제2차 회로 스스로 제어 신호를 발생하는 구성을 채택하였고, 이로써 제1차 회로로부터 제2차 회로로 제어 신호를 전달하지 않고도 저비용으로 안정적인 동기화를 달성할 수 있게 되었다. 즉, '제2차 회로에 인덕터를 설치하고 인덕터 양단 전압의 극성을 판별하여 제어 신호를 발생하게 하는 것'은 선행발명의 기술사상의 핵심에 해당한다. 그럼에도 통상의 기술자가 선행발명에서 동기화 신호 발생을 위한 극성 판별 대상을 인덕터 양단이 아닌 동기정류기의 출력단으로 변경한다는 것은 선행발명의 특유한 기술사상의 핵심을 해체하는 것에 해당한다.

라) 더욱이 이 사건 제1항 발명은 동기정류기를 제어하는 극성판별용 다이오드 Dd가 동기정류기의 출력 극성을 판별하여 동기정류기의 제어신호를 생성하는 반면, 선행발명의 대응 구성(D1)은 동기정류기의 출력전압 VA를 $[V_{out} + \text{다이오드 강하전압}]$ 으로 제한함으로써 VA의 피크값에서 회로가 발진하지 않도록 하는 기능을 담당한다. 양 발명의 대응 구성이 쉽게 상호 치환될 수 있을 정도로 기능이 동일하다고 보기도 어렵다.

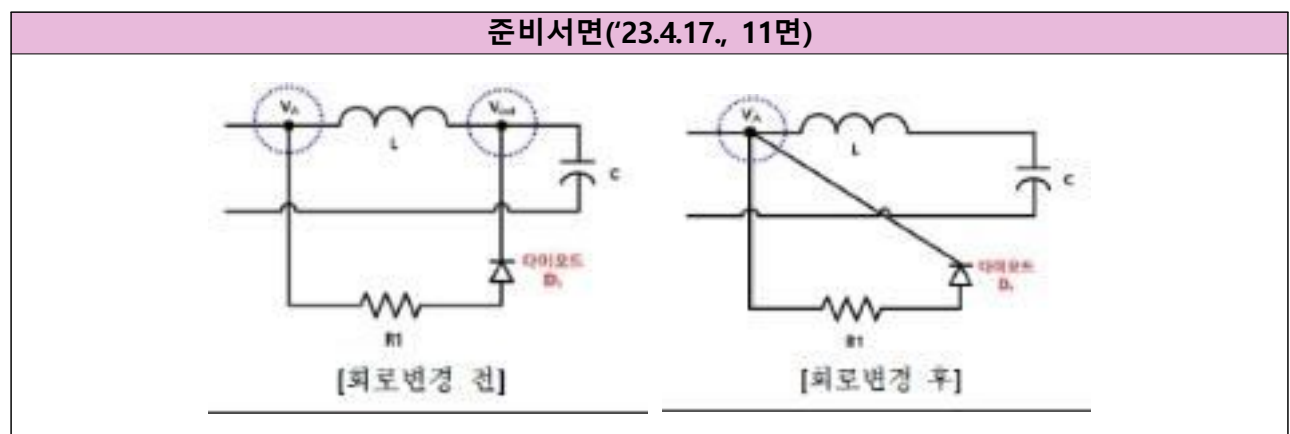
4) 피고들의 주장에 대한 판단

가) 이에 대하여 피고들은, 선행발명 도면 1의 인덕터 양단 전압 VL과 동기정류기 출력전압 VA의 극성이 같기 때문에 비교기(40)의 입력을 Vout 노드에서 VA 노드로 쉽게 변경할 수 있다고 주장한다.

그러나 선행발명 [0021], [0022] 단락과 도면 4의 VL과 VA 동작파형을 보면, 동기정류기 출력전압 VA는 0~VA 사이에서 항상 양의 전압을 갖는 반면, 인덕터 양단 전압 VL은 음과 양의 전압 사이에서 변동한다. 이처럼 VA와 VL은 극성이 서로 다르다.



나아가 피고들의 주장과 같이 비교기(40)의 입력만을 단순히 Vout 노드에서 VA 노드로 변경할 경우, 아래 도면과 같이 저항 R1과 다이오드 D1이 직렬로 연결되는 회로가 형성되고, 해당 회로는 다이오드 D1의 전압강하로 인해 동작할 수 없게 된다.



따라서 선행발명의 비교기 입력을 Vout 노드에서 VA 노드로 단순히 변경하는

것만으로는 차이점을 극복할 수 있다고 보기 어렵고, 선행발명의 비교기(40)의 입력을 Vout 노드에서 VA 노드로 변경하기 위해서는 선행발명의 회로 상당 부분이 변경되어야 할 것으로 보인다. 피고들의 이 부분 주장은 받아들이지 않는다.

나) 또한 피고들은, 선행발명 [0003] 단락을 근거로 선행발명에는 MOSFET의 도통·차단 동작은 정류다이오드의 전압 극성에 따라 제어되어야 한다는 사실이 명확히 나타나 있으므로 선행발명의 다이오드(D1)가 정류다이오드의 극성을 판별하도록 설계를 변경할 충분한 동기를 제공하고 있다고 주장한다.

그러나 선행발명 [0003] 단락은 종래 스위칭 전력공급회로에서 전압강하를 갖는 제2차 측 다이오드 대신 전압강하가 거의 없는 트랜지스터, 즉 도면 1의 제1, 2전력 트랜지스터(S1, S2)를 채용하겠다는 것이지, 선행발명 도면 1, 5의 동기정류기 출력 전압, 즉 V_A 의 극성을 판별하는 다이오드를 채용하겠다는 의미로 보이지 않는다. 선행발명 [0025], [0026] 단락에 기재된 바와 같이 다이오드 D1은 Vsense의 전압값을 [$V_{out} + \text{다이오드 강하전압}$]으로 제한하는 기능을 수행할 뿐 동기정류기의 출력 V_A 또는 V_{out} 극성을 판별하는 것도 아니다. 따라서 피고들의 이 부분 주장도 받아들이지 않는다.

선행발명
[0003] 동기 정류기를 채용한 공지된 순방향 스위칭 전력 공급 회로에 있어서, 제2 차측 다이오드는 더욱 저 온-상태 전압 강하(lower on-state voltage drop)를 성취할 트랜지스터로 교체된다. 다이오드가 애노드에서 캐소드로 전도했을 시에 트랜지스터는 (N-채널 전력 MOSFET에 대해) 소스에서 드레인으로 전도하도록 바이어스 되어야 하고, 역으로, 다이오드가 캐소드에서 애노드로 차단(block)했을 시에 드레인에서 소스로 전압을 차단하도록 게이트되어야 한다.
[0025] 다이오드 D1는 잇점으로 전압 입력을 Q1 및 Q2로 제한하는 V_{out} 이상의 한 다이오드 강하(drop)로 Vsense에서의 전압을 제한한다. 따라서, 회로는 VA의 피크값에서는 뒤로 발전

되지 않는데, 그 이유는 그런 피크값이 본 발명의 회로내에서 피드백되지 않기 때문이다. 게다가 V_{sense} 의 최대 익스커션(excursions)을 약 V_{out} 로 제한함으로써, 트랜지스터는 V_{out} 가 전압 이하일시에 (즉, V_{out} 가 1 보다 작을 시)오프되어, 변환기의 개시 특성을 향상시킨다.

[0026] D1은 Q1내지 Q6을 구동하기 위한 구동 전압 (즉, $V_{sense} = V_{out} + V_{fdl}$)의 엑스트라 다이오드 강하를 허용한다. 그럼에도 불구하고, V_{out} 가 Q1내지 Q6에 대한 적당한 구동 전압을 허용하지 않는 더욱 저출력이도록 설계될 경우, 다이오드 D1의 캐소드는 V_{zz} 에 접속될 수 있다. 따라서, 더욱 고 전압은 Q1내지 Q6을 구동하도록 성취된다(즉, $V_{sense} = V_{zz} + V_{fD}$).

나. 이 사건 제2, 3, 4항 발명의 진보성 부정 여부

이 사건 제2, 3, 4항 발명은 이 사건 제1항 발명에 구성을 부가하거나 한정된 종속항 형식의 발명이다. 이 사건 제1항 발명의 진보성을 부정할 수 없는 이상, 이 사건 제2, 3, 4항 발명 역시 진보성이 부정되지 않는다.

다. 소결론

이 사건 제1에서 4항 발명은 선행발명에 의해 진보성이 부정되지 않는다. 이와 결론을 달리한 이 사건 심결은 위법하다.

4. 결론

이 사건 심결의 취소를 구하는 원고의 청구는 이유 있어 인용한다.

재판장 판사 이형근

판사 임경옥

판사 윤재필