

# 특 허 법 원

## 제 3 부

## 판 결

사 건 2021허6597 등록무효(특)  
원 고 A 주식회사

대표이사 B

소송대리인 특허법인 다울

담당변리사 이병환

피 고 1. C 주식회사

대표이사 일본국인 D, E

2. F

일본국

대표자 G

피고들 소송대리인 변호사 한상욱, 강경태, 김종석, 장현진, 장재혁

변리사 이만금, 이금옥, 김승식, 정사라

변 론 종 결 2023. 4. 6.

판 결 선 고 2023. 6. 8.

## 주 문

1. 원고의 청구를 기각한다.
2. 소송비용은 원고가 부담한다.

## 청 구 취 지

특허심판원이 2021. 10. 26. 2021당758호, 2021당1068호(병합) 사건에 관하여 한 심결(이하 '이 사건 심결'이라 한다) 중 특허 제10-1115288호의 청구항 1항, 2항, 4항에서 16항 부분을 취소한다.

## 이 유

### 1. 기초사실

가. 이 사건 특허발명

- 1) 발명의 명칭: 몰디드 리드리스 패키지 및 이를 이용한 LED 패키지
- 2) 출원일/ 등록일/ 등록번호: 2010. 3. 5./ 2012. 2. 6./ 제10-1115288호
- 3) 특허권자: 원고
- 4) 2021. 5. 13.자 정정청구에 의한 청구범위(정정으로 추가한 부분은 밑줄로, 삭제한 부분은 취소선으로 표시하였다)<sup>1)</sup>

【청구항 1】 상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드(이하 '구성요소 1'이라 한다); 상기 다이 패드의 상부 표면 상에 실장된 반도체 칩(이하 '구성요소 2'라 한다); 상기 다이 패드의 주변 영역에 상기 다이 패드와 일정 간격 이격되도

---

1) 원·피고들은 정정의 적법 여부에 관하여는 다툼이 없다.

록 배치된 다수의 리드(이하 '구성요소 3'이라 한다); 상기 반도체 칩과 상기 다수의 리드 각각을 전기적으로 연결하는 연결-수단도전성 클립(이하 '구성요소 4'라 한다); 및 적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드, 상기 반도체 칩, 상기 리드 및 상기 연결-수단도전성 클립을 덮는 패키지 바디를 포함하며(이하 '구성요소 5'라 한다), 상기 다이 패드의 두께가 상기 리드 중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼운 것(이하 '구성요소 6'이라 한다)을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제1항 정정발명'이라 한다).

【청구항 2】 제1항에 있어서, 상기 다이 패드의 두께는 0.25 ~ 0.6mm인 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제2항 정정발명'이라 한다).

【청구항 3】 제1항에 있어서, 상기 리드 중 패키지 바디의 외부로 노출되지 않는 내부 리드 영역은 상기 다이 패드와 같은 두께를 갖는 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제3항 정정발명'이라 한다).

【청구항 4】 제1항에 있어서, 상기 다이 패드의 상부 표면이 일정 깊이 리세스되고, 상기 반도체 칩은 다이 패드의 리세스된 영역에 실장된 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제4항 정정발명'이라 한다).

【청구항 5】 제1항에 있어서, 상기 다이 패드의 하부 표면 또는 상기 리드의 밑면에는, 패키지 바디와의 접착력을 좋게 하기 위하여 적어도 하나의 딤플(dimple) 또는 그루브(groove)가 형성된 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제5항 정정발명'이라 한다).

【청구항 6】 제1항에 있어서, 상기 다이 패드의 하부 표면과 상기 리드의 밑면은 동일한 평면을 형성하며, 상기 패키지 바디의 밑면은 상기 평면으로부터 일정 두

게 돌출된 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제6항 정정발명'이라 한다).

【청구항 7】 제1항에 있어서, 상기 패키지 바디의 측면은 경사를 이루거나, 상기 패키지 바디의 밑면에 대해 수직한 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제7항 정정발명'이라 한다).

【청구항 8】 제1항에 있어서, 상기 리드는 다이 패드의 양 측에 대응되게 배치된 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제8항 정정발명'이라 한다).

【청구항 9】 제8항에 있어서, 상기 다이 패드의 일 측에 배치된 리드는 상기 다이 패드와 일정 간격 이격되도록 배치되고, 상기 다이 패드의 다른 일 측의 리드는 상기 다이 패드와 연결된 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제9항 정정발명'이라 한다).

【청구항 10】 제1항에 있어서, 상기 리드는 다이 패드의 일 측에만 일정 간격 이격되게 배치되고, 리드가 배치되지 않은 다이 패드의 일 측은 상기 다이 패드가 신장되어 그 일부가 패키지 외부로 노출된 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제10항 정정발명'이라 한다).

【청구항 11】 제1항에 있어서, 상기 다이 패드의 상부 표면 또는 하부 표면 중 적어도 어느 하나에, 상기 반도체 칩 또는 패키지 바디와의 접착력을 좋게 하기 위하여 적어도 하나 이상의 홈이 형성된 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제11항 정정발명'이라 한다).

【청구항 12】 ~~제1항에 있어서, 상기 연결 수단은 도전성 와이어 또는 도전성~~

~~클립을 포함하는 것을 특징으로 하는 몰디드 리드리스 패키지.~~

【청구항 13】 상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드; 상기 다이 패드의 상부 표면 상에 부착되는 반도체 칩; 상기 반도체 칩의 상부 또는 하부 표면 중 적어도 어느 하나에 형성된 솔더 물질층; 상기 다이 패드의 주변 영역에 상기 다이 패드와 일정 간격 이격되도록 배치된 다수의 리드; 상기 반도체 칩과 상기 다수의 리드 각각을 전기적으로 연결하는 도전성 클립; 및 적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드, 상기 반도체 칩, 상기 리드 및 ~~상기 연결 수단~~도전성 클립을 덮는 패키지 바디를 포함하는고, 상기 다이 패드의 두께가 상기 리드 중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼운 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제13항 정정발명'이라 한다).

【청구항 14】 제13항에 있어서, 상기 솔더 물질층은 주석/은/구리(Sn/Ag/Cu) 합금, 주석(Sn), 주석/납(Sn/Pb) 합금, 주석/은(Sn/Ag) 합금 및 니켈(Ni) 중에서 선택된 어느 하나로 이루어진 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제14항 정정발명'이라 한다).

【청구항 15】 제13항에 있어서, 상기 솔더 물질층은 웨이퍼 표면 상에 스퍼터링 또는 전기도금 방식으로 형성된 층인 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제15항 정정발명'이라 한다).

【청구항 16】 제13항에 있어서, 상기 리드의 윗면에는 일정 깊이의 홈이 배치되고, 상기 도전성 클립의 일단은 상기 홈 내에 부착된 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제16항 정정발명'이라 한다).

【청구항 17】 상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드와, 상

기 다이 패드로부터 일정 간격 이격되도록 배치된 다수의 리드; 상기 다이 패드의 상부 표면에 실장된 LED 소자; 상기 LED 소자와 상기 다수의 리드 각각을 전기적으로 연결하는 연결 수단; 상기 다이 패드의 상부 표면 및 리드의 상부 표면으로부터 상기 LED 소자를 포함하는 영역에 일정 두께 형성된 캐비티; 상기 캐비티 내에 충진되어 상기 LED 소자를 고정시키는 몰딩재; 일면이 상기 몰딩재의 상부에 부착되며 하면이 볼록한 형태의 렌즈; 및 적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드와 상기 캐비티에 충진된 몰딩재를 덮는 패키지 바디를 포함하고, 상기 다이 패드의 두께가 상기 리드 중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼운 것을 특징으로 하는 LED 패키지.

【청구항 18】 제17항에 있어서, 상기 몰딩재는 형광물질을 포함하는 것을 특징으로 하는 LED 패키지.

【청구항 19】 제17항에 있어서, 상기 연결 수단은 도전성 와이어(wire) 또는 도전성 클립을 포함하는 것을 특징으로 하는 LED 패키지.

## 5) 발명의 주요 내용 및 도면

### ㉠ 기술분야

[0001] 본 발명은 반도체 패키지에 관한 것으로, 보다 구체적으로는 몰디드 리드리스 패키지(Molded Leadless Package)와 그를 이용한 발광 다이오드(LED) 패키지에 관한 것이다.

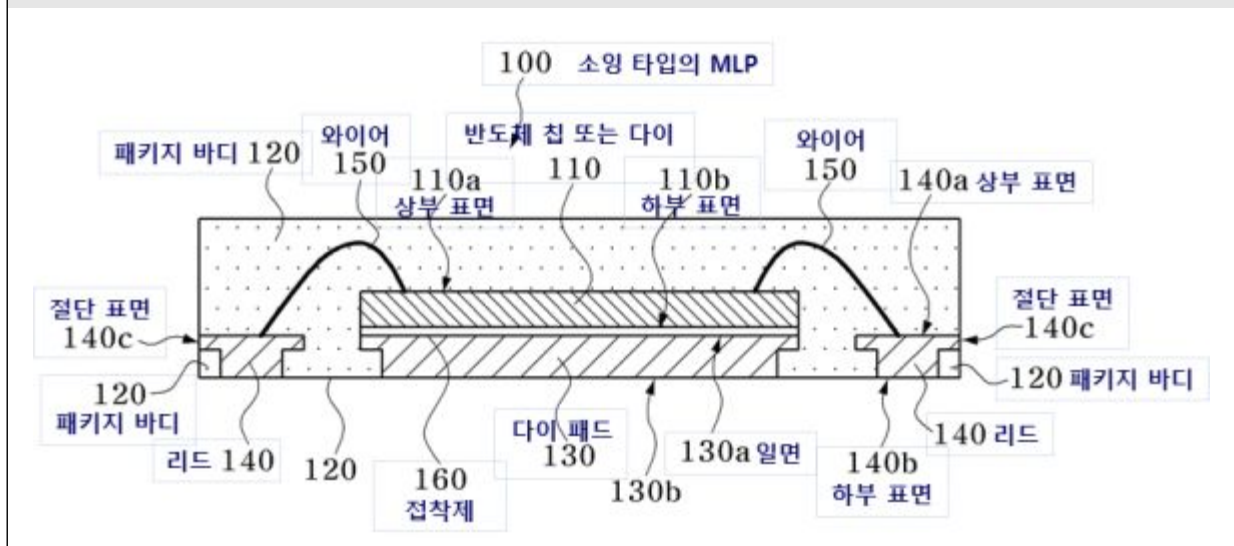
### ㉡ 배경기술

[0002] 일반적으로 반도체 패키지는 반도체 칩 또는 다이(die), 리드 프레임(lead frame) 및 패키지 바디(package body)를 포함하여 구성된다. 반도체 칩은 리드 프레임의 다이 패드(die pad) 상에 부착되며, 리드 프레임의 리드와는 와이어(wire)에 의하여 상호 전기적으로 연결된다. 리드는 와이어가 연결되는 내부 리드(inner lead)와 반도체 패키지의

외부 접속 단자로서의 역할을 하는 외부 리드(outer lead)로 구성된다. 내부 리드는 통상적으로 패키지 바디에 의하여 완전히 밀봉되는데 반하여, 외부 리드는 그 전체 패키지 바디의 외부로 노출되거나 외부 리드의 표면 일부가 외부로 노출된다. 후자와 같이 외부 리드의 표면 일부가 패키지 바디의 외부로 노출되는 반도체 패키지를 몰디드 리드리스 패키지(Molded Leadless Package, 이하 'MLP'라 함)라고 한다.

[0003] 그리고, 반도체 패키지는 그 제조 공정에 따라서 소잉(sawing) 타입의 패키지와 펀치(punch) 타입의 패키지로 구분된다. 소잉 타입의 패키지는 반도체 칩이 탑재된 리드 프레임의 다수를 하나의 블록 몰드 다이(block mold die) 내에서 같이 몰딩한 다음 소잉 공정으로 패키지 바디 및 리드 프레임을 절단하여 개별화함으로써 제조하는 패키지 유형을 말한다. 반면, 펀치 타입의 패키지는 반도체 칩이 탑재된 리드 프레임 각각을 개별 몰드 다이(individual mold die) 내에서 개별적으로 몰딩한 다음, 펀치 등의 방법으로 각 리드 프레임을 분리시켜서 제조하는 패키지 유형을 말한다.

[도 1] 종래의 몰디드 리드리스 패키지(MLP)의 일 예를 도시한 단면도



[0006] 도 1을 참조하면, 종래의 소잉 타입의 MLP(100)는, 반도체 칩(110) 또는 다이, 패키지 바디(120), 다이 패드(130) 및 리드(140)를 포함하여 구성된다. 다이(110)는 상부 표면(110a)과 하부 표면(110b)을 갖는다. 리드(140)도 상부 표면(140a), 하부 표면(140b) 및 절단 표면(140c)을 가지며, 리드(140)의 하부 표면(140b)의 전부 또는 일부는 패키지 바디(120)의 외부로 노출되어 금속 패드(metal pad)를 형성한다. 이 금속 패드는 MLP(100)의 외부와의 전기적인 연결을 위하여 패키지 바디(120)의 밑면(120a)과 동일 평면 상에 형

성된다. 그리고, 다이(110)와 리드(140)는 와이어(150)에 의하여 상호 전기적으로 연결된다. 다이 패드(130)의 일면(130a)은 접착제(160)에 의해 다이(110)의 하부 표면(110b)과 부착된다.

[0007] 종래의 MLP에 따르면, 금속 패드와 절단면(14c) 사이의 리드의 하부 표면 일부가 패키지 바디로 덮여 리드와 패키지 사이에 강하게 본딩될 수 있도록 하기 위하여, 리드(140)의 절단면(140c)과 금속 패드를 구성하는 하부 표면(140b) 사이에 적어도 0.1mm 이상의 인터벌(interval)을 갖도록 구성된다. 이를 위하여 패키지 제작 과정에서 리드의 일부를 식각하여 제거하여야 하는데, 이로 인해 제조 단가가 증가하는 문제점이 있다.

[0008] 또한, 종래의 MLP의 경우 열 방출 문제가 다소 개선되었다고는 하나, 다이 패드(130) 및 리드(140)의 두께가 0.2 ~ 0.25mm 정도로 얇기 때문에 전력 반도체장치나 LED 소자에 적용하기에는 여전히 열적 스트레스 문제가 개선되어야 하는 실정이다. 열 방출 효율을 높이기 위하여 다이 패드 및 리드의 두께를 증가시키면 전체 패키지의 부피가 증가하기 때문에 경박단소를 지향하는 최근의 전자기기에 부합하지 못하게 된다.

[0009] 또한, 종래의 MLP에 따르면 시스템 보더(system boarder) 상에 MLP를 실장하는 과정에서 몇 가지 문제점이 나타나는데 이를 도면을 통해 설명하기로 한다.

[0010] 도 2는 시스템 보더 상에 도 1의 MLP(100)가 실장되어 있는 구조물[이하에서는, 시스템 보더(10) 상에 MLP(100)가 실장되어 있는 구조물을 "시스템 패키지"라 함]에 대한 개략적인 단면도이다.

[도 2] 시스템 보더 상에 도 1의 MLP가 실장되어 있는 시스템 패키지에 대한 개략적인 단면도





[0011] 도 2를 참조하면, 시스템 보더(10)의 상면에는 연결 패드(12)와 상기 연결 패드(12)를 전기적으로 연결하기 위한 회로 라인(circuit line, 14)이 형성되어 있다. 연결 패드(12)와 회로 라인(14)은 동일한 도전성 금속 예컨대 구리 등으로 형성되며 통상적으로 동일한 두께를 가진다. 그리고, MLP(100)의 리드(140)와 연결 패드(12)가 솔더 조인트(solder joint, 16)를 통하여 일 대 일로 접합되어 연결되도록 시스템 보더(10) 상에 MLP(100)가 탑재된다.

[0012] 종래의 MLP에 따르면, 솔더 조인트(16)로 MLP(100)를 시스템 보더(10) 상에 접합시킬 때 가하는 압력 및 이때 발생하는 열에 의하여 솔더 조인트(16)가 유동성을 가질 수가 있다. 솔더 조인트(16)가 유동성을 띄게 되면 옆으로 흐를 수가 있기 때문에 솔더 조인트(16)의 높이(h1)를 충분히 확보할 수가 없다. 솔더 조인트(16)의 높이(h1)가 예컨대 30  $\mu\text{m}$  이상과 같이 충분하게 확보되지 않으면, 시스템 보더(10) 상에 MLP(100)를 탑재할 때 다이 패드(130)의 밑면과 시스템 보더의 회로 라인(14) 사이의 간격이 너무 좁기 때문에 패키지의 신뢰성을 확보할 수가 없다. 그리고, 심한 경우에는 다이 패드(130)와 시스템 보더의 회로 라인(14)이 서로 접촉하게 되어서 단락될 염려가 있다. 뿐만 아니라, 솔더 조인트(16)의 높이(h1)가 낮으면, 솔더 조인트(16) 자체가 열적 스트레스나 기계적 스트레스에 취약해지기 때문에 시스템 패키지의 신뢰성을 떨어뜨린다.

[0013] 그리고, MLP(100)를 시스템 보더(10) 상에 탑재하는 과정에서 솔더 조인트(16)가 유동성을 가지게 되면, 소위 MLP(100)의 붕괴(collapse) 현상이나 기울어짐(tilt) 현상이 발생할 염려가 있다. MLP(100)의 붕괴 현상이 발생하면 리드(140)가 연결 패드(12)와 직접 접촉될 염려가 있고, MLP(100)의 기울어짐 현상이 발생하면 시스템 패키지의 신뢰성을 떨어뜨리는 문제점이 있다.

[0014] 또한, 솔더 조인트(16)가 유동성을 띄게 되어 압력에 의해 옆으로 퍼지게 되면 리드와 리드 사이의 간격이 좁아지게 되므로, 이를 고려하여 리드와 리드 사이의 간격을 통상 0.5mm 정도로 넓게 확보하여야 한다. 따라서, 리드의 수를 증가시키는 데 한계가 있다.

㉔ 해결하려는 과제

[0015] 본 발명이 해결하려는 과제는 제조단가를 증가시키지 않으면서 높은 열 방출 능력을 가지며 리드의 수를 용이하게 증가시킬 수 있는 구조의 몰디드 리드리스 패키지를 제공하는 데 있다.

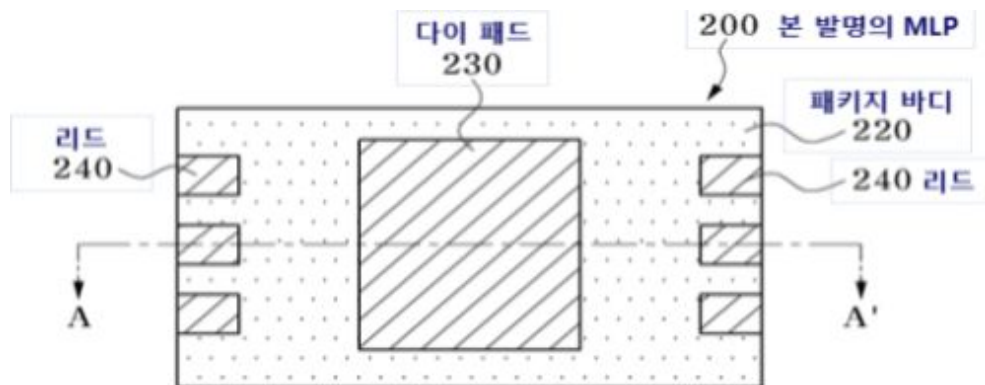
[0016] 본 발명이 해결하려는 다른 과제는 제조단가를 증가시키지 않으면서 높은 열 방출 능력을 가지며 리드의 수를 용이하게 증가시킬 수 있는 몰디드 리드리스 패키지를 채용

한 발광 다이오드(LED) 패키지를 제공하는 데 있다.

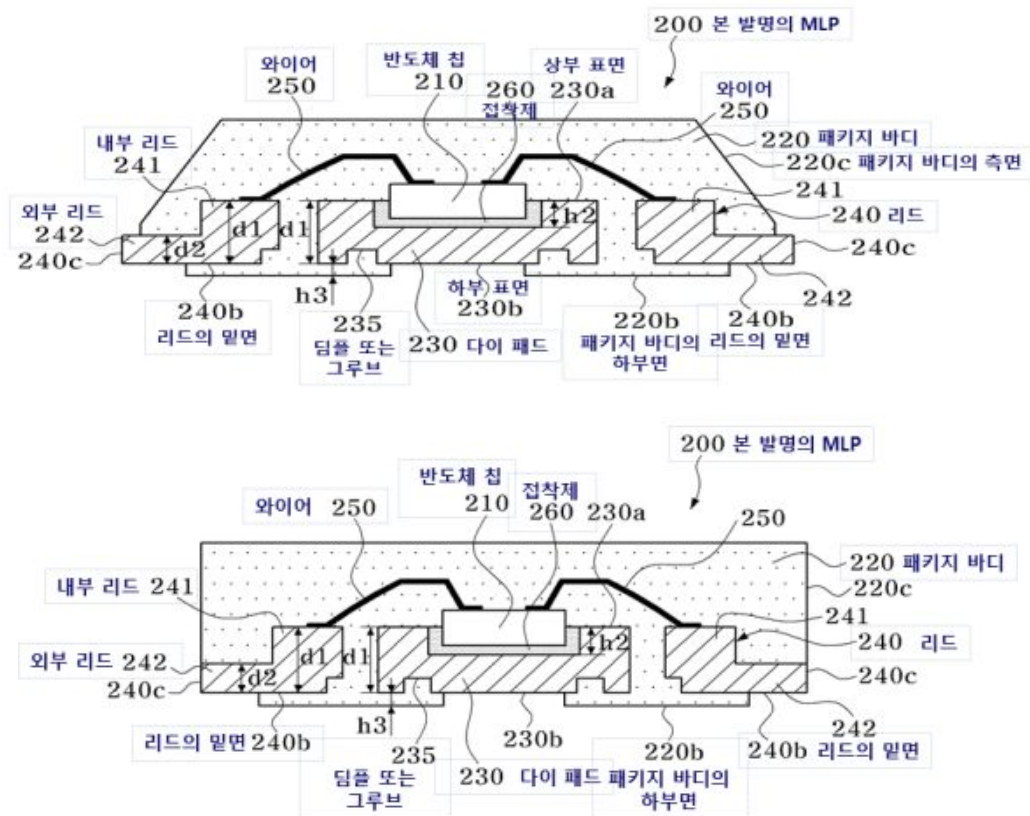
㉠ 발명을 실시하기 위한 구체적인 내용

[0038] 도 3 내지 도 4b를 참조하면, 본 발명의 MLP(200)는, 반도체 칩(210), 다이 패드(230), 리드(240), 와이어(250) 및 패키지 바디(220)를 포함하여 구성된다.

[도 3] 본 발명의 제1 실시예에 따른 몰디드 리드리스 패키지(MLP)의 저면도



[도 4a], [도 4b] 도 3에 도시된 MLP의 A-A'선을 따라 절단하여 나타내 보인 단면도들



[0039] 반도체 칩(210)은 예를 들면 다이오드, 트랜지스터, 다이리스터(thyristor), IGBT와 같은 전원 반도체 장치, 선형 장치, 집적 회로, 논리 회로 등 다양한 반도체 장치를 포함할 수 있다.

[0040] 다이 패드(230)는 상호 반대되는 상부 표면(230a) 및 하부 표면(230b)을 가지며 그 상부에 반도체 칩(210)이 실장된다. 반도체 칩(210)은 예를 들면 에폭시 접착제 또는 솔더(solder) 등 절연성 접착제(260) 또는 절연성 테이프(tape)를 통해 다이 패드(230)의 상부 표면(230a) 상에 부착된다. 접착제(260)의 종류에는 특별한 제한이 없다.

[0041] 특히 본 발명에 따른 MLP의 다이 패드(230)는 0.25 ~ 0.6mm의 두께(d1)를 갖는데, 종래의 다이 패드가 0.2 ~ 0.25mm인 것에 비해 두꺼운 것이 특징이다. 이렇게 다이 패드(230)의 두께(d1)를 두껍게 할 경우 다이 패드를 통해 패키지 내부의 열을 외부로 효과적으로 방출할 수 있기 때문에 반도체 소자의 동작의 신뢰성을 크게 향상시킬 수 있다.

[0042] 다이 패드(230)의 상부 표면 중 반도체 칩(210)이 부착되는 부분은 일정 깊이(h2) 리세스(recess)되어 있다. 이는, 열 방출 효율을 증가시키기 위하여 다이 패드(230)의 두께(d1)를 두껍게 함으로써 패키지의 부피가 커지는 것을 방지하기 위한 것으로, 다이 패드(230)의 상부 표면이 리세스된 깊이(h2)만큼 패키지의 두께를 감소시킬 수 있으며, 패키지의 두께를 줄이기 위해 반도체 칩의 두께를 줄이지 않아도 된다. 다이 패드(230)의 리세스 영역의 폭은 작을수록 열 방출 효율이 높지만 반도체 칩의 크기를 고려하여 결정할 수 있다.

[0043] 다이 패드(230)의 주변 영역에는 소정의 갭(gap)을 두고서 다수의 리드(240)들이 배치된다. 리드(240)는 그 밑면(240b)이 다이 패드(230)의 하부 표면(230b)과 동일한 평면을 형성한다. 즉, 리드(240)의 밑면(240b)과 다이 패드(230)의 하부 표면(230b)이 동일한 레벨에 위치한다. 리드(240)와 반도체 칩(210)은 금(Au) 또는 금(Au)/알루미늄(Al) 합금 등의 금속 물질로 형성된 와이어(250)를 통하여 서로 전기적으로 연결된다.

[0044] 다이 패드의 하부 표면(230b)과 리드의 밑면(240b)은 몰딩재에 의하여 패키지 외부로 노출된다. 이때, 다이 패드의 하부 표면(230b) 및 리드의 밑면(240b)은 모두가 노출될 수 있으며 또는 도시된 바와 같이 일부만이 노출될 수도 있다. 다이 패드의 하부 표면(230b)에는 패키지 바디(220)와의 접착력을 좋게 하기 위하여 소정의 깊이로 식각된 딤플(dimple) 또는 그루브(groove)(235)가 형성되어 있을 수 있다. 딤플 또는 그루브(235)의 수는 패키지에 따라 달라질 수 있다.

[0045] 리드(240)는 와이어가 연결되는 내부 리드(241)와 반도체 패키지의 외부 접속

단자로서의 역할을 하는 외부 리드(242)로 이루어지는데, 내부 리드(241)는 다이 패드(230)와 마찬가지로 패키지 내부의 열을 외부로 효과적으로 방출할 수 있도록 0.25 ~ 0.6mm의 두께(d1)를 갖는다. 그러나, 외부 리드(242)의 경우에는 제한된 패키지 부피 내에서 적절한 수의 리드를 구현하여야 하기 때문에 내부 리드에 비해 두께(d2)를 얇게 구성한다.

[0046] 패키지 바디(220)는 에폭시 몰딩 화합물(Epoxy Molding Compound, EMC)과 같은 몰딩재로 이루어진다. 패키지 바디(220)는 적어도 리드의 밑면(240b) 및 측면(230c)과 다이 패드의 하부 표면(230b)의 일부를 노출하면서 상기한 갭(gap)을 채우고 다이 패드(230), 반도체 칩(210), 리드(240) 및 와이어(250)를 둘러싼다. 다이 패드(230)의 하부 표면(230b)을 노출하는 패키지 바디의 하부면(220b)과 리드의 밑면(240b) 및 다이 패드의 하부 표면(230b)은 동일 평면 상에 있지 않고 단차를 갖는다. 즉, 다이 패드의 하부 표면(230b) 및 리드의 밑면(240b)으로부터 패키지 바디의 하부 면(220b)이 일정 두께(h3) 돌출된 형태가 된다. 이와 같이 다이 패드의 하부 표면(230b)으로부터 패키지 바디의 밑면(220b)이 일정 두께(h3) 돌출되도록 함으로써 그 두께(h3)만큼 패키지 내부로의 흡습 경로가 연장되고, 패키지를 시스템 보더에 솔더링할 때 고온의 리플로우를 수행하더라도 열적 스트레스를 최소화할 수 있다. 또한, 시스템 보더와 다이 패드 사이에 일정 간격을 확보하므로 리드의 피치(pitch)를 종래의 0.5mm에서 0.4mm로 줄일 수 있다. 따라서, 동일한 패키징 면적 내에서 구현할 수 있는 리드의 수를 증가시킬 수 있으며, 하나의 패키지로써 구현 가능한 기능의 종류를 증가시킬 수 있다.

[0047] 패키지 바디의 측면(220c)은 도 4a에 도시된 것과 같이 비스듬하게 경사를 갖는 구조일 수 있으며, 또는 도 4b에 도시된 것과 같이 패키지 바디의 측면(220c)이 패키지 바디의 하부 면(220b)에 대해 수직인 구조일 수도 있는데, 이는 패키지 절단 방식에 따라 구분될 수 있다. 도 4a에 도시된 것과 같이 패키지 바디의 측면(220c)이 비스듬한 경우는 금형을 이용하는 펀치드 타입(punched type)으로 형성하는 경우로, 이 경우 리드(240)의 단부는 패키지 바디(220)로부터 대략 0.08 ~ 0.15mm 정도 돌출된다. 도 4b에 도시된 것과 같이 패키지 바디의 측면(220c)이 수직인 경우는 블레이드(blade)와 같은 절단수단으로 절단하는 소잉형(sawing type)으로 형성하는 경우로, 이 경우에는 리드(240)의 단부가 패키지 바디(220)의 외부로 돌출되지 않는다.

[0048] 이와 같은 본 발명의 제1 실시예에 의한 MLP에 따르면, 다이 패드(230)의 두께(d1)를 0.25 ~ 0.6mm 정도로 두껍게 함으로써 패키지 내부의 열을 외부로 효과적으로 방출할 수 있고 소자 동작의 신뢰성을 크게 향상시킬 수 있다. 또한, 다이 패드(230)의 상부 표면이 일정 깊이 리세스되도록 함으로써 다이 패드의 두께 증가로 인한 패키지 두께의 증

[0050] 도 5를 참조하면, 본 실시예의 MLP(300)는 반도체 칩과 리드를 연결하기 위하여 와이어(wire) 대신에 도전성 클립(clip)을 사용하는 것을 제외하고는 도 4a에 도시된 제1 실시예의 MLP(200)와 동일하다. 따라서, 동일한 부분에 대해서는 동일한 참조 번호를 사용하고, 중복되는 설명은 생략하기로 한다.

[illegible]

- 13 -

[0052] 클립(255)을 리드(240)에 부착할 때, 도시된 바와 같이 클립이 부착될 영역의 리드(240)의 상부 표면을 일정 깊이(h4) 리세스시켜 홈을 형성하고 이 홈 내에 클립(255)이 부착되도록 하면 클립(255)과 리드(240)의 결합력을 높이고 클립(255)으로 인해 패키지의 부피가 커지는 것을 방지할 수 있다. 특히, 도시된 것과 같이 패키지 바디(220)의 측면이 비스듬한 경우 클립이 부착될 리드의 표면을 리세스시키면 효과적으로 부착할 수 있다.

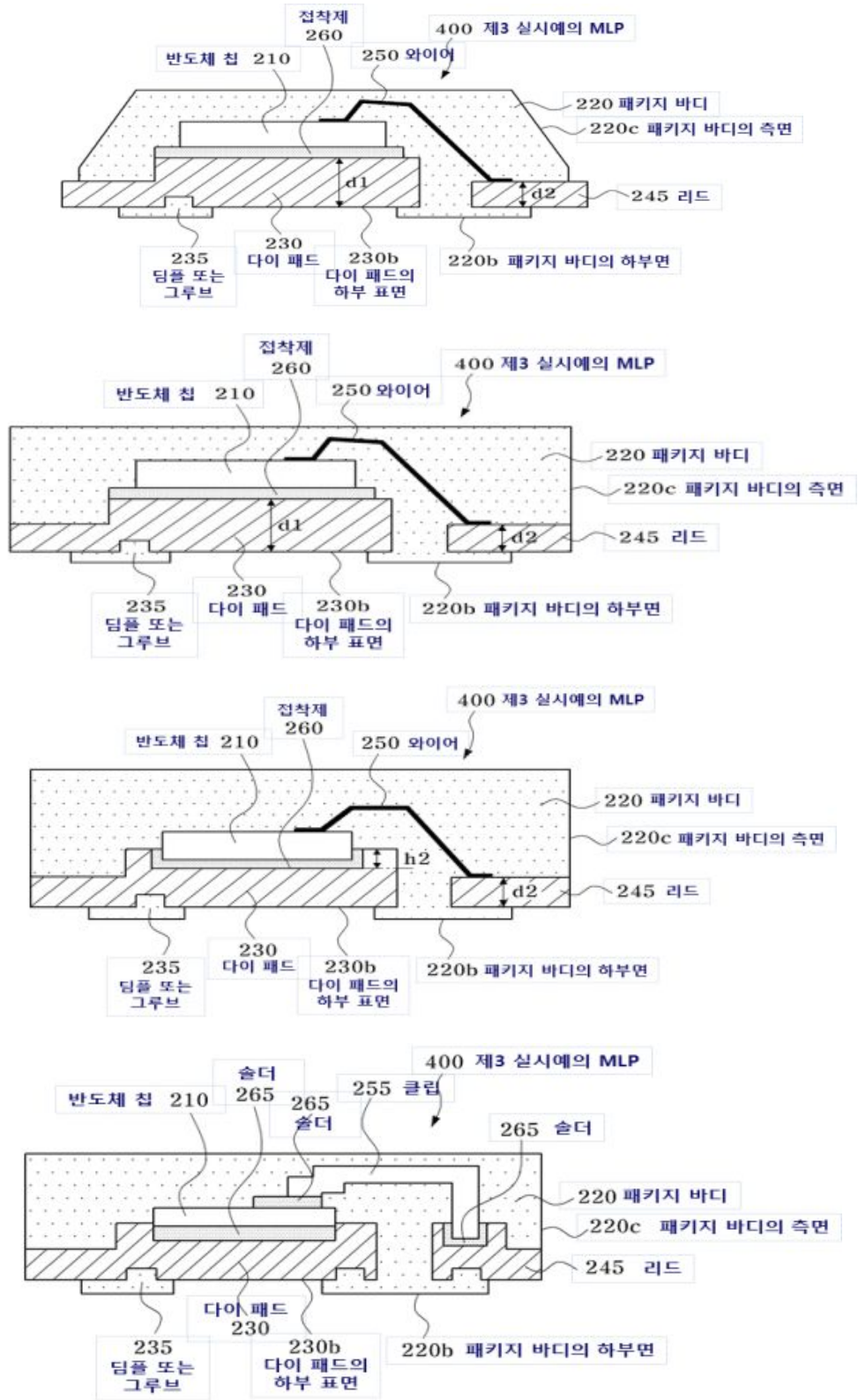
[0053] 이와 같이 반도체 칩과 리드를 도전성 클립으로 연결할 경우, 도전성 클립이 와이어에 비해 면적이 넓기 때문에 흐르는 전류의 양을 증가시킬 수 있고 열 방출 효율도 증가시킬 수 있다. 한편, 본 실시예의 경우에도, 도 4b의 경우와 같이 패키지 바디의 측면을 수직하게 할 수도 있다.

[0055] 본 발명의 제3 실시예의 MLP(400)는 도 4a에 도시된 본 발명의 제1 실시예의 MLP(200)와는 리드의 구조에 차이가 있다. 다이 패드(230)의 일 측이 리드(245)의 일 측과 연결되어 있고, 다이 패드의 다른 측은 리드(245)와 일정 간격 이격되어 있다. 다이 패드와 연결되지 않은 리드(245)는 도전성 재료로 이루어진 와이어(250)를 통해 반도체 칩(210)과 연결된다. 리드(245)의 구조를 제외하고는 도 4a에 도시된 MLP(200)와 동일하므로 동일한 부분에 대해서는 동일한 참조번호를 사용하고, 중복된 설명은 생략하기로 한다.

[0056] 패키지 바디(220)의 측면(220c)은 도 6a의 경우와 같이 비스듬하게 경사를 갖는 구조이거나, 도 6b와 같이 패키지 바디의 하부면(220b)에 대해 수직한 구조일 수 있는데, 이는 패키지 절단 방식에 따라 구분될 수 있다. 패키지 바디의 측면(220c)이 비스듬한 경우는 금형을 이용하는 펀치드 타입(punched type)으로 형성하는 경우로, 이 경우 리드(245)의 단부는 패키지 바디로부터 대략 0.08 ~ 0.15mm 정도 돌출된다. 패키지 바디의 측면(220c)이 수직한 경우는 블레이드(blade)와 같은 절단수단으로 절단하는 소잉형(sawing type)으로 형성하는 경우로, 이 경우에는 리드(245)의 단부가 패키지 바디(220)의 외부로 돌출되지 않는다.

[0057] 다이 패드(230)는 패키지 내부의 열을 외부로 효과적으로 방출할 수 있도록 하기 위하여 종래의 다이 패드보다 두꺼운 0.25 ~ 0.6mm의 두께(d1)를 갖도록 형성된다. 이때, 두꺼워진 다이 패드(230)로 인해 패키지의 부피가 증가하는 것을 방지하기 위하여 도 6c에 도시된 것과 같이 다이 패드(230)의 상부 표면을 일정 깊이(h2) 리세스시킨 후 리세스된 영역에 접착제(260)을 이용하여 반도체 칩(210)을 부착할 수도 있다.

[도 6a], [도 6b], [도 6c], [도 6e] 본 발명의 제3 실시예에 따른 몰디드 리드리스 패키지(MLP)의 단면도들



[0058] 또한, 열 방출 효율을 높이기 위하여 도 6d에 도시된 것과 같이, 반도체 칩(210)과 리드(245)의 연결을 와이어가 아닌 도전성 클립(255)으로 할 수 있다. 이때는 접착제 대신 솔더(265)를 사용한다. 솔더(265)는 예를 들면 주석/은/구리(Sn/Ag/Cu) 합금, 주석(Sn), 주석/납(Sn/Pb) 합금, 주석/은(Sn/Ag) 합금 또는 니켈(Ni) 등을 포함할 수 있다. 반도체 칩(210)을 형성하는 최종 단계에서 반도체 칩(210)의 뒷면 및/또는 앞면에 솔더 물질층을 형성하거나, 본딩 패드 금속을 솔더 물질로 형성한다. 솔더 물질층을 형성하는 방법으로는 스퍼터링(sputtering) 또는 전기 도금(electroplating) 방식을 사용할 수 있다.

[0059] 그리고, 클립(255)을 리드(245)에 부착할 때, 도 6e에 도시된 바와 같이 리드(245)의 상부 표면을 일정 깊이 리세스시켜 클립(255)과 리드(245)의 결합력을 증가시키고 클립(255)으로 인해 패키지의 부피가 커지는 것을 방지할 수 있다.

#### 나. 선행발명들

##### 1) 선행발명 1(갑 제4호증)

2006. 2. 16. 공개된 일본 공개특허공보 특개2006-49694호에 게재된 '이중 게이지·리드 프레임'이라는 명칭의 발명으로, 주요 내용 및 도면은 [별지 1]과 같다.

##### 2) 선행발명 2(갑 제5호증)

2001. 3. 23. 공개된 일본 공개특허공보 특개2001-77278호에 게재된 '반도체 패키지와, 이것 때문에의 리드 프레임 및 반도체 패키지의 제조 방법과 그 몰드'라는 명칭의 발명이다. 다만 이 사건 소송에서 구체적으로 그 내용을 인용하지 아니하므로, 관련 내용에 관한 기재는 생략한다.

##### 3) 선행발명 3(갑 제6호증)

2006. 5. 19. 공개된 대한민국 공개특허공보 제10-2006-0052560호에 게재된 '향상된 신뢰성 및 높은 열방출 능력을 갖는 몰디드 리드리스 패키지 및 소잉형 몰디드 리드리스 패키지 및 그 제조방법'이라는 명칭의 발명으로, 주요 내용 및 도면은 [별지



2]와 같다.

4) 선행발명 4(갑 제7호증)

2006. 6. 2. 공개된 대한민국 공개특허공보 제10-2006-0059575호에 게재된 '다이패드 에 미세 돌기가 형성된 반도체 패키지'라는 명칭의 발명이다. 다만 이 사건 소송에서 구체적으로 그 내용을 인용하지 아니하므로, 관련 내용에 관한 기재는 생략한다.

5) 선행발명 5(갑 제8호증)

2004. 7. 22. 공개된 일본 공개특허공보 특개2004-207275호에 게재된 '회로 장치 및 그의 제조방법'이라는 명칭의 발명으로, 주요 내용 및 도면은 [별지 3]과 같다.

6) 선행발명 6(갑 제9호증)

2009. 11. 12. 공개된 일본 공개특허공보 특개2009-267398호에 게재된 '스탬핑 가공을 이용하여 형성되는 형상을 가지는 반도체 소자 패키지'라는 명칭의 발명으로, 주요 내용 및 도면은 [별지 4]와 같다.

7) 선행발명 7(갑 제10호증)

2004. 3. 10. 공개된 대한민국 공개특허공보 제10-2004-0021037호에 게재된 '반도체 패키지'라는 명칭의 발명으로, 주요 내용 및 도면은 [별지 5]와 같다.

8) 선행발명 8(갑 제11호증)

2002. 8. 9. 공개된 일본 공개특허공보 특개2002-222906호에 게재된 '반도체 장치의 제조 방법 및 반도체 장치'이라는 명칭의 발명이다. 다만 이 사건 소송에서 구체적으로 그 내용을 인용하지 아니하므로, 관련 내용에 관한 기재는 생략한다.

9) 선행발명 9(갑 제12호증)

2008. 3. 13. 공개된 일본 공개특허공보 특개2008-60256호에 게재된 '반도체 장

치'라는 명칭의 발명으로, 주요 내용 및 도면은 [별지 6]과 같다.

다. 이 사건 심결의 경위

1) 피고 C 주식회사는 2021. 3. 12. 원고를 상대로 특허심판원 2021당758호로 이 사건 특허발명의 청구항 1항, 2항, 7항에 관하여, 피고 F는 2021. 4. 9. 원고를 상대로 특허심판원 2021당1068호로 이 사건 특허발명의 청구항 1항에서 16항에 관하여 '이 사건 특허발명은 특허출원 전에 공지된 선행발명 1에서 9와 동일한 발명이므로 특허법 제29조 제1항을 위반하였고, 그 발명이 속하는 기술분야에서 통상의 지식을 가진 사람(이하 '통상의 기술자'라고 한다)이 선행발명 1에서 9에 의하여 쉽게 발명할 수 있으므로 특허법 제29조 제2항을 위반하였다'라고 주장하면서 특허무효심판을 청구하였고, 원고는 2021. 5. 13. 무효심판절차에서 이 사건 특허발명의 청구범위를 가., 4) 기재와 같이 정정하는 내용의 정정청구를 하였다.

2) 특허심판원은 2021. 10. 26. "원고의 위 정정청구를 인정하고, 이 사건 제1항, 제2항, 제4항에서 16항 특허발명은 통상의 기술자가 선행발명 1, 3에서 7에 의하여 쉽게 발명할 수 있어 특허법 제133조 제1항 제1호, 제29조 제2항에 따라 그 특허가 무효로 되어야 하므로 이 사건 제1항, 제2항, 제4항에서 16항 특허발명에 관한 심판청구는 인용하고, 이 사건 제3항 특허발명은 선행발명 1에서 9에 의하여 진보성이 부정되지 않으므로 이 사건 제3항 특허발명에 관한 심판청구는 기각한다."라는 내용의 이 사건 심결을 하였다.

[인정근거] 다툼 없는 사실, 갑 제1에서 12호증, 변론 전체의 취지

## 2. 당사자의 주장

가. 원고의 주장

1) 이 사건 제1, 2, 4에서 11, 13에서 16항 정정발명은 선행발명 1 또는 선행발명 3 또는 선행발명 8 또는 선행발명 9에 의하여 신규성이 부정되지 않는다.

2) 이 사건 제1, 2, 4에서 11, 13에서 16항 정정발명은 선행발명 1, 3, 6에서 9에 의하여 진보성이 부정되지 않는다.

#### 나. 피고들의 주장

1) 이 사건 제1, 2, 4에서 11, 13에서 16항 정정발명은 선행발명 1 또는 선행발명 3 또는 선행발명 8 또는 선행발명 9와 동일한 발명이므로 특허법 제29조 제1항을 위반하였다.

2) 이 사건 제1, 2, 4에서 11, 13에서 16항 정정발명은 통상의 기술자가 선행발명 1에 선행발명 6을 결합하여 또는 선행발명 1, 3, 7, 8, 9에 의하여 쉽게 발명할 수 있으므로 특허법 제29조 제2항을 위반하였다.

### 3. 판단

#### 가. 이 사건 제1항 정정발명의 진보성 부정 여부

##### 1) 이 사건 제1항 정정발명과 선행발명 1의 구성요소 대비

이 사건 제1항 정정발명의 각 구성요소에 대응하는 선행발명 1의 각 구성요소는 아래 표 기재와 같다.

| 구성요소 | 이 사건 제1항 정정발명                    | 선행발명 1  |
|------|----------------------------------|---|
| 1    | 상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드; | ○ 제2의 리드 프레임 부분(18)은, 제1의 리드 프레임 부분의 공동(동굴)부(16) 내(內)에 수용되고 있는 다이·패들(20)을 갖춘다(문단번호 [0011]).<br>○ 다이·패들(20)은 상호 반대되는 상 |

|   |  |   |
|---|--|---|
|   |  | 부 표면 및 하부 표면을 갖는다([도 1]).   |
| 2 | 상기 다이 패드의 상부 표면 상에 실장된 반도체 칩;  | ○ 집적 회로 다이(22)는, 다이·패들(20)에 장착되어지고, (중략) 다이(22)는, 뿔(24)에 의해 열을 다이(22)로부터 다이·패들(20)에 놓칠 수 있는 뿔 다이 설치 프로세스 등의 주지 방법으로 다이·패들(20)에 장착된다. 다른 실시 형태의 경우에는, 다이(22)는, 접착 재료층 또는 접착테이프에 의해 다이·패들(20)에 장착할 수 있다(문단번호 [0013]). |
| 3 | 상기 다이 패드의 주변 영역에 상기 다이 패드와 일정 간격 이격되도록 배치된 다수의 리드;   | ○ 집적 회로 다이(22)는, 다이·패들(20)에 장착되어지고, 다이·패들이 공동(동굴)부 내에 위치하고 있으므로, 다이(22)는, 복수의 리드(14)에 의해 둘러싸여진다(문단번호 [0013]).   |
| 4 | 상기 반도체 칩과 상기 다수의 리드 각각을 전기적으로 연결하는 도전성 클립; 및   | ○ 다이(22)는, 복수의 다이 본딩 패드(26)를 포함한다. 다이 본딩 패드(26) 가운데 몇 가지는, 와이어(28)에 의해 리드(14) 가운데 대응하는 몇 개 인가의 리드에 전기적으로 접속되고 있다(문단번호 [0014]).  |
| 5 | 적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드, 상기 반도체 칩, 상기 리드 및 상기 도전성 클립을 덮는 패키지 바디를 포함하고, | ○ 반도체 디바이스(device)(10)는, 적어도 리드(14)의 밑면 및 제2의 리드 프레임 부분(18)의 밑면을 노출시킨 상태에서, 집적 회로 다이(22)의 정상부 표면, 와이어(28) 및 리드(14)의 정상부   |

|   |  |   |
|---|--|---|
|   |  | <p>표면을 덮는 봉지재료(30)를 더욱 포함한다(문단번호 [0015]).</p> <p>○ 봉지재료(30)는 다이·패들(20), 집적 회로 다이(22), 리드(14) 및 와이어(28)를 덮는다([도 1]).</p>   |
| 6 | <p>상기 다이 패드의 두께가 상기 리드 중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼운 것을 특징으로 하는 몰디드 리드리스 패키지.</p> | <p>○ 제1의 리드 프레임 부분(12)은 금속 또는 금속 합금에서 형성되어, 제1의 소정의 두께를 갖는다. (중략) 제2의 리드 프레임 부분(18)은, 아주 알맞게는, 제1의 두께와는 다른 제2의 두께를 갖는다. 예를 들면, 대량의 열을 발생하는 전원 회로의 경우에는, 제2의 리드 프레임 부분(18)을 히트 싱크로서 사용할 수 있다. 그러한 경우에는, 아주 알맞게는, 제2의 두께는 제1의 두께보다도 두껍다. 더 바람직한 실시 형태의 경우에는, 제1의 두께는, 제2의 두께 약 절반인가 또는 그것 이하다. 어떤 예의 경우에는, 제1의 부분이 약 8밀(0.2032mm)의 제1의 두께를 갖고, 제2의 두께가 약 20밀(0.508mm)인 리드 프레임을 제조했다(문단번호 [0011]).</p> <p>○ 다이·패들(20)의 두께(제2의 두께)는 리드(14) 중 봉지재료(30)의 외부로 노출되는 측면 부분의 두께(제1의 두께)보다 두껍다([도 1]).</p> <p>○ 반도체 디바이스(device)(10)는, 적어도 리드(14)의 밑면 및 제2의 리드</p> |



부 표면을 갖는 다이 패드[다이·패들(20)]<sup>2)</sup>(구성요소 1)', '다이 패드[다이·패들(20)]의 상부 표면 상에 실장된 반도체 칩[집적 회로 다이(22)](구성요소 2)', '다이 패드[다이·패들(20)]의 주변 영역에 다이 패드[다이·패들(20)]와 일정 간격 이격되도록 배치된 다수(복수)의 리드[리드(14)](구성요소 3)'이고, 선행발명 1도 위 구성요소 1, 2, 3과 동일한 구성을 가지고 있다(이에 대하여 당사자 사이에 다툼이 없다).

다) 구성요소 4

이 사건 제1항 정정발명의 구성요소 4와 이에 대응하는 선행발명 1의 구성요소는 반도체 칩[집적 회로 다이(22)]과 다수의 리드[리드(14)] 각각을 전기적으로 연결(접속)한다는 점에서 공통된다. 다만, 구성요소 4는 도전성 클립으로 연결하는 반면, 선행발명 1은 와이어(28)로 접속한다는 점에서 차이가 있다(이하 '차이점 1'이라 한다).

라) 구성요소 5

이 사건 제1항 정정발명의 구성요소 5와 이에 대응하는 선행발명 1의 구성요소는 적어도 리드[리드(14)]의 밑면의 일부 및 다이 패드[제2의 리드 프레임 부분(18)]의 일부를 노출하며 다이 패드, 반도체 칩[집적 회로 다이(22)], 리드[리드(14)]를 덮는 패키지 바디[봉지재료(30)]를 포함한다는 점에서 공통된다. 다만, 구성요소 5의 패키지 바디는 반도체 칩과 리드를 연결하는 도전성 클립을 덮는 반면, 선행발명 1의 봉지재료(30)는 집적 회로 다이(22)와 리드(14)를 접속하는 와이어(28)를 덮는다는 점에서 차이가 있다(이하 '차이점 2'라 한다).

마) 구성요소 6

이 사건 제1항 정정발명의 구성요소 6과 이에 대응하는 선행발명 1의 구성요소

---

2) 이 사건 제1항 정정발명의 구성요소에 대응하는 선행발명 1의 구성요소를 괄호 안에 기재하였고, 이하 같은 방식으로 표기한다.

는 다이 패드[다이·패들(20)]의 두께가 리드 중 패키지 바디의 외부로 노출되는 외부 리드[리드(14)]보다 두껍다는 점에서 실질적으로 동일하다.

### 3) 차이점에 대한 검토

가) 아래와 같은 이 사건 특허발명의 명세서 기재에 의하면, 이 사건 제1항 정정발명은 종래에 열 방출 효율을 높이기 위하여 다이 패드 및 리드의 두께를 증가시키면 전체 패키지의 부피가 증가하는 문제점 및 리드와 리드 사이의 간격을 넓게 확보하여야 하므로 리드의 수를 증가시키는 데 한계가 있는 문제점을 해결하기 위하여 다이 패드의 두께를 패키지 바디의 외부로 노출되는 외부 리드보다 두껍게 하고(구성요소 6) 반도체 칩과 다수의 리드 각각을 도전성 클립으로 연결함으로써(구성요소 4) 높은 열 방출 능력을 가질 수 있도록 하였고, 외부 리드를 얇게 함으로써(구성요소 6) 리드의 수를 용이하게 증가시킬 수 있도록 하였다.

[이 사건 특허발명의 명세서]

[0008] 또한, 종래의 MLP의 경우 열 방출 문제가 다소 개선되었다고는 하나, 다이 패드(130) 및 리드(140)의 두께가 0.2 ~ 0.25mm 정도로 얇기 때문에 전력 반도체 장치나 LED 소자에 적용하기에는 여전히 열적 스트레스 문제가 개선되어야 하는 실정이다. 열 방출 효율을 높이기 위하여 다이 패드 및 리드의 두께를 증가시키면 전체 패키지의 부피가 증가하기 때문에 경박단소를 지향하는 최근의 전자기기에 부합하지 못하게 된다.

[0014] 또한, 솔더 조인트(16)가 유동성을 띄게 되어 압력에 의해 옆으로 퍼지게 되면 리드와 리드 사이의 간격이 좁아지게 되므로, 이를 고려하여 리드와 리드 사이의 간격을 통상 0.5mm 정도로 넓게 확보하여야 한다. 따라서, 리드의 수를 증가시키는 데 한계가 있다.

[0015] 본 발명이 해결하려는 과제는 제조단가를 증가시키지 않으면서 높은 열 방출 능력을 가지며 리드의 수를 용이하게 증가시킬 수 있는 구조의 몰디드 리드리스 패키지를 제공하는 데 있다.

그리고 아래와 같은 이 사건 특허발명의 명세서 기재에 의하면, 이 사건 특허발



명은 반도체 칩과 리드를 연결하는 수단으로 도전성 와이어(wire) 또는 도전성 클립을 포함하는데(문단번호 [0027], [0034]), 반도체 칩과 리드를 전기적으로 연결하기 위하여 와이어(wire) 대신에 도전성 클립(clip)을 사용하는 구성을 제2 실시예로 기재하고 있고(문단번호 [0050], [도 5]), 반도체 칩(210)과 리드(245)를 와이어가 아닌 도전성 클립(255)으로 연결하면 도전성 클립이 와이어에 비해 면적이 넓기 때문에 흐르는 전류의 양을 증가시켜 열 방출 효율을 증가시킬 수 있는 작용효과가 있는 것을 알 수 있다(문단번호 [0053], [0058]).

[이 사건 특허발명의 명세서]

[0027] 상기 연결 수단은 도전성 와이어 또는 도전성 클립을 포함할 수 있다.

[0034] 상기 연결 수단은 도전성 와이어(wire) 또는 도전성 클립을 포함할 수 있다.

[0050] 도 5를 참조하면, 본 실시예의 MLP(300)는 반도체 칩과 리드를 연결하기 위하여 와이어(wire) 대신에 도전성 클립(clip)을 사용하는 것을 제외하고는 도 4a에 도시된 제1 실시예의 MLP(200)와 동일하다.

[0053] 이와 같이 반도체 칩과 리드를 도전성 클립으로 연결할 경우, 도전성 클립이 와이어에 비해 면적이 넓기 때문에 흐르는 전류의 양을 증가시킬 수 있고 열 방출 효율도 증가시킬 수 있다.

[0058] 또한, 열 방출 효율을 높이기 위하여 도 6d에 도시된 것과 같이, 반도체 칩(210)과 리드(245)의 연결을 와이어가 아닌 도전성 클립(255)으로 할 수 있다. 이때는 접착제 대신 솔더(265)를 사용한다. 솔더(265)는 예를 들면 주석/은/구리(Sn/Ag/Cu) 합금, 주석(Sn), 주석/납(Sn/Pb) 합금, 주석/은(Sn/Ag) 합금 또는 니켈(Ni) 등을 포함할 수 있다. 반도체 칩(210)을 형성하는 최종 단계에서 반도체 칩(210)의 뒷면 및/또는 앞면에 솔더 물질층을 형성하거나, 본딩 패드 금속을 솔더 물질로 형성한다. 솔더 물질층을 형성하는 방법으로는 스퍼터링(sputtering) 또는 전기 도금(electroplating) 방식을 사용할 수 있다.

나) 선행발명 1은 집적 회로 다이(22)와 리드(14)의 연결 수단으로 이 사건 제1항 정정발명의 '도전성 클립'을 명시적으로 기재하고 있지는 않지만, 아래와 같은 선행

발명 1의 명세서 기재에 의하면, 선행발명 1은 '집적 회로 다이(22)가 와이어(28)에 의해 몇 개의 리드(14)에 전기적으로 접속되는 구성'을 개시하고 있고, 여기서 와이어는 다양한 직경의 코팅되거나 코팅되지 않은 금, 알루미늄 등 여러 종류의 재료들 중에서 선택할 수 있으며, 이러한 기술적 특징은 통상의 기술자에게 주지된 기술임이 개시되어 있다. 또한 제2의 리드 프레임 부분(18), 즉 다이·패들(20) 부분의 두께를 두껍게 구성하여 히트 싱크로 사용하는 경우 열을 효율적으로 방산할 수 있고, 제1의 리드 프레임 부분(12)의 두께는 그 절반 이하로 얇게 구성하여 제1의 리드 프레임 부분(12)의 패키징 공정을 쉽게 할 수 있다는 기술적 특징이 개시되어 있다.

[선행발명 1의 명세서]

[0004] 열 방산이 잘, 게다가 각각의 리드 프레임을 절단하는 것이 쉬운 리드 프레임을 제공하는 것은 바람직한 것이다. 게다가, 결함이 생기지 않은 고온프로세스에서 다이를 다이·패들에 장착하는 것이 바람직하다.

[0011] 도 1을 참조하면, 이 그림은, 본 발명에 의한 반도체 디바이스(device)(10)의 일 실시 형태의 확대 단면도다. (중략) 제2의 리드 프레임 부분(18)은, 아주 알맞게는, 제1의 두께와는 다른 제2의 두께를 갖는다. 예를 들면, 대량의 열을 발생하는 전원 회로의 경우에는, 제2의 리드 프레임 부분(18)을 히트 싱크로서 사용할 수 있다. 그러한 경우에는, 아주 알맞게는, 제2의 두께는 제1의 두께보다 두껍다. 더 바람직한 실시 형태의 경우에는, 제1의 두께는, 제2의 두께의 약 절반 또는 그 이하이다. 어떤 예의 경우에는, 제1의 부분이 약 8 밀(0.2032mm)의 제1의 두께를 갖고, 제2의 두께가 약 20밀(0.508mm)인 리드 프레임을 제조했다. 이 두께를 함으로써, 제1의 리드 프레임 부분을, 쉽게 각각의 리드 프레임으로 분리할 수 있고, 동시에 제2의 리드 프레임 부분은 효율적으로 열 방산을 행할 수 있다.

[0014] 다이(22)는, 복수의 다이 본딩 패드(26)를 포함한다. 다이 본딩 패드(26) 가운데 몇 가지는, 아주 알맞게는, 와이어·본딩·프로세스에서, 와이어(28)에 의해 리드(14) 가운데 대응하는 몇 개의 리드에 전기적으로 접속되고 있다. 당업자라면 이러한 와이어 및 와이어·본딩·프로세스는 주지인 일 실시 형태의 경우에는, 2밀(0.0508mm)의 금의 와이어가 사용되어, 별도의 실시 형태의 경우에는, 10밀(0.254mm)의 알루미늄·와이어가 사용된다. 그러나, 코팅되었다 (절연되었다) 와이어 및 코팅되지 않고 있는 와이어를 포함하는 여러 종류의 재

료 및 직경이 가지가지인 주지의 와이어를 사용할 수 있다.

다) 아래와 같은 선행발명 6의 명세서 및 도면에 의하면, 선행발명 6은 반도체 패키징 공정을 쉽게 하기 위한 발명으로, 리드 프레임(208)의 일부와 다이(212)의 결합 구조체로 전도성의 와이어, 리본, 클립을 포함하는 구성을 개시하고 있어 선행발명 6에는 이 사건 제1항 정정발명의 반도체 칩과 리드를 연결하는 수단으로 도전성 클립에 해당하는 내용이 동일하게 개시되어 있을 뿐만 아니라 결합 구조체로 본드 와이어 대신 본드 클립을 사용할 경우, 다이의 접촉점과 핀과의 사이에 전기적 결합의 저항을 감소하는 효과가 있고, 이에 따라 종래보다 작은 다이를 사용하더라도 큰 다이를 사용하는 것에 필적하는 퍼포먼스를 가질 수 있다며 그 작용효과도 개시하고 있어 선행발명 6의 명세서에는 반도체 칩과 리드의 연결 수단으로 도전성 클립을 사용하는 효과에 관하여 이 사건 특허발명의 명세서에 기재된 내용이 동일하게 개시되어 있다.

[선행발명 6의 명세서 및 도면]

[0012] 따라서 부분적 에칭 공정을 필요로 하지 않는, 반도체 소자 패키지를 형성하기 위한 제조법이, 당 기술분야에서 요청되고 있다.

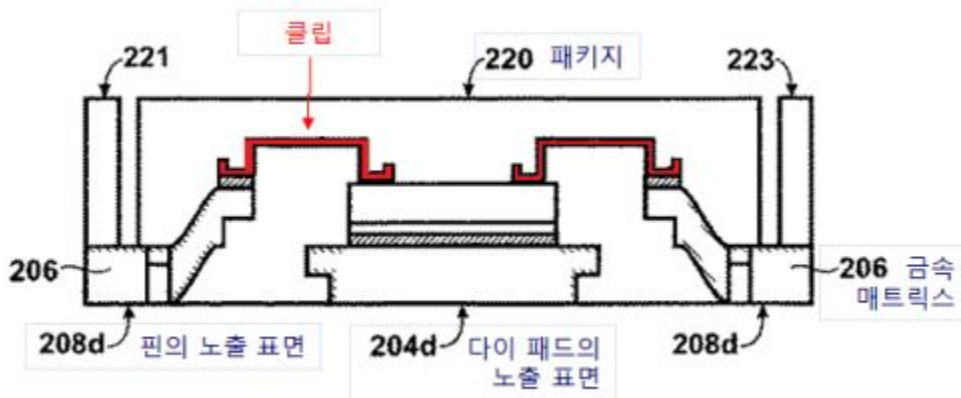
[0042] 4번째 공정(308)에서는, 리드 프레임의 일부가 적절한 금속으로 선택적으로 전기 도금되어도 좋다. 그러한 피전기 도금 영역의 실시예는, 다른 쪽 끝이 다이에 접속되어 있는 와이어나 리본, 클립 등의 결합 구조체의 끝을 받는 것이 예정되는 다이 부착면이나 핀의 융기한 일부를 포함한다.

[0047] 8번째 공정(316)에서는, 하나 또는 복수의 결합 구조체가, 다이와 적절한 핀의 표면 사이에 장착된다. 이 표면은 전기 도금되어 있어도 좋다. 전술한 것과 같이, 결합 구조체는 전도성의 클립, 와이어, 혹은 리본이여도 좋다.

[0056] 게다가, 실시 형태의 몇 가지는, 본드 와이어 대신 클립의 사용을 포함한다. 이러한 본드 클립의 사용은, 다이의 접촉점과 주위의 핀과의 사이에 전기적 결합의 저항을 감소하는 것을 가능하게 한다. 그리고 이는, 앞으로 큰 다이에 필적하는 퍼포먼스를 갖는 종

래보다 작은 다이의 사용을 가능하게 한다.

[도 2J] 패키지를 형성하기 위한 본 발명에 의한 제조법의 실시 형태의 단면도



라) 이 사건 제1항 정정발명 중 '반도체 칩과 다수의 리드 각각을 도전성 클립으로 연결하는 구성'을 제외한 나머지 구성은 선행발명 1에 나타나 있다. 그런데 선행발명 1, 6은 모두 반도체 패키지에 관한 발명이어서 기술분야가 유사하고, 패키징 공정을 쉽게 하면서도 열을 효율적으로 방출하기 위한 구성을 채택하였다는 점에서 그 목적과 기술적 특징이 공통된다. 그런데 통상 반도체 패키징 분야에 있어 필요에 따라 집적 회로 다이(22)와 복수의 리드(14)를 접속하는 와이어의 규격, 재질 등을 선택하는 것은 이 기술분야의 기술상식에 해당하고, 이에 비추어 볼 때 통상의 기술자에게 선행발명 1에서 와이어는 쉽게 그 변경을 고려할 수 있는 구성에 해당한다. 그리고 이 사건 제1항 정정발명 중 '반도체 칩과 다수의 리드 각각을 도전성 클립으로 연결하는 구성'은 선행발명 6의 '리드 프레임(208)의 일부와 다이(212)의 결합 구조체로 전도성의 클립을 사용하는 구성'과 동일하다. 통상의 기술자는 통상의 창작능력을 발휘하여 반도체 패키징을 함에 있어 만족하여야 하는 특성 및 성능 등을 고려하여 집적 회로 다이

(22)와 리드(14)를 연결하는 수단을 선택할 수 있으므로, 열 방출 효율을 증가시키기 위하여 집적 회로 다이(22)와 리드(14)를 연결하는 수단으로 와이어(28) 대신 도전성 클립을 도입할 수 있고, 그 기술적 구성에 비추어 볼 때 위와 같은 구성을 도입하는데 어떠한 기술적 어려움이 있다고 보이지 않으므로, 통상의 기술자는 반도체 패키지 분야의 기술개발 등을 위하여 선행발명 1에 선행발명 6을 결합하여 차이점 1, 2를 극복하고 이 사건 제1항 정정발명의 구성요소 4, 5를 쉽게 도출할 수 있다.

마) 이에 대하여 원고는, 제시된 선행문헌을 근거로 발명의 진보성이 부정되는지를 판단하기 위해서는 선행문헌 전체에 의하여 통상의 기술자가 합리적으로 인식할 수 있는 사항을 기초로 대비 판단하여야 하는데, 선행발명 6의 목적(부분적 식각 공정 대신 스탬핑 가공을 채택함으로써 반도체 장치의 제조비용을 절감)은 이 사건 제1항 정정발명의 목적(높은 열 방출 능력을 갖고 리드의 수를 용이하게 증가시킬 수 있는 구조의 몰디드 리드리스 패키지를 제공)과 달라 그 목적을 위하여는 본딩 클립보다 본딩 와이어를 채택할 것이므로, 이 사건 특허발명의 명세서에 개시되어 있는 내용을 알고 있음을 전제로 사후적으로 판단하지 않는 한 통상의 기술자가 선행기술 1의 와이어를 선행기술 6의 클립으로 쉽게 변경할 수 있다고 보기 어렵다고 주장한다.

여러 선행기술문헌을 인용하여 특허발명의 진보성을 판단할 때에, 그 인용되는 기술을 조합 또는 결합하면 해당 특허발명에 이를 수 있다는 암시, 동기 등이 선행기술문헌에 제시되어 있거나, 그렇지 않더라도 해당 특허발명의 출원 당시의 기술수준, 기술상식, 해당 기술분야의 기본적 과제, 발전경향, 해당 업계의 요구 등에 비추어 보아 통상의 기술자가 쉽게 그와 같은 결합에 이를 수 있는 경우에는 해당 특허발명의 진보성은 부정된다(대법원 2019. 10. 31. 선고 2018후11353 판결 등 참조).

이 사건 특허발명 출원 당시 반도체 패키징 분야에서 반도체 패키지 내부의 열을 효율적으로 방출시키는 것은 해당 업계의 요구라고 할 것이고, 이 사건 제1항 정정발명과 선행발명 1, 6은 모두 열 방출 효율을 높인다는 점에서 그 기술적 과제가 동일하다. 선행발명 1은 열을 효율적으로 방산하기 위하여 제2의 리드 프레임 부분(18)의 두께를 두껍게 구성하였는데, 열 방출 문제를 더욱 개선하기 위하여 선행발명 6을 참작할 수 있고, 여기에 개시된 '리드 프레임(208)의 일부와 다이(212)의 연결 수단으로 와이어 대신 클립을 사용하는 구성'을 도입하려는 시도를 충분히 할 수 있다. 선행발명 6이 반도체 장치의 제조비용을 절감하는 것을 하나의 과제로 하여 스탬핑 가공을 채택하더라도, 선행발명 6에는 '리드 프레임(208)의 일부와 다이(212)의 결합 구조체로 전도성의 와이어와 클립을 포함하고 있고, 결합 구조체로 본드 와이어 대신 본드 클립을 사용하면 다이의 접촉점과 핀과의 사이에 전기적 결합의 저항을 감소하는 효과가 있다'고 기재되어 있는 이상 제조비용을 절감하기 위하여 결합 구조체로 클립을 사용하는 것에 대한 부정적 교시가 있다고 볼 수 없어 선행발명 1, 6에는 각 발명에 나타난 구성의 결합을 방해하는 취지의 기재가 있다고 볼 수 없다. 그렇다면 통상의 기술자가 선행발명 1의 와이어를 선행발명 6의 클립으로 대체하는 데 별다른 어려움이 없다. 원고의 주장은 이유 없다.

바) 또한 원고는, 특허발명의 진보성 여부를 판단함에 있어서는 특유의 과제 해결원리에 기초하여 유기적으로 결합된 전체로서의 구성의 곤란성을 따져 보아야 하는데, 이 사건 제1항 정정발명은 구성요소 4와 구성요소 6이 유기적으로 결합하여 패키지 내부의 열을 효율적으로 외부로 방출하는 효과를 극대화한다고 주장하나, 앞에서 본 바와 같이 구성요소 6을 갖고 있는 선행발명 1에 구성요소 4와 동일한 내용을 개시

하고 있는 선행발명 6을 결합하는 데에 구성의 곤란성이 있다고 볼 수 없고, 이 사건 제1항 정정발명의 구성요소 4와 구성요소 6으로 인한 작용효과도 선행발명 1과 선행발명 6의 결합으로부터 예측 가능한 정도를 넘어서는 현저한 효과를 낸다고 보기도 어렵다. 원고의 이 부분 주장도 이유 없다.

사) 따라서 이 사건 특허발명 출원 당시의 기술수준에 비추어 반도체 패키지 분야에서의 통상의 기술자라면 선행발명 1의 '와이어(28)에 의해 집적 회로 다이(22)와 리드(14)를 전기적으로 접속하는 구성'에 선행발명 6에 개시된 '다이(212)와 리드 프레임(208)의 일부를 전도성의 클립으로 결합하는 구성'을 쉽게 결합하여 차이점 1, 2를 극복하고 이 사건 제1항 정정발명의 구성요소 4, 5를 쉽게 도출할 수 있다.

#### 4) 검토 결과 정리

따라서 이 사건 제1항 정정발명은 통상의 기술자가 선행발명 1, 6에 의하여 쉽게 발명할 수 있으므로 진보성이 부정된다.

#### 나. 이 사건 제2항 정정발명의 진보성 부정 여부

이 사건 제2항 정정발명은 이 사건 제1항 정정발명의 종속항 발명으로서 '다이 패드의 두께는 0.25 ~ 0.6mm인 것'을 특징으로 한다. 제2의 리드 프레임 부분(18)은, 아주 알맞게는, 제1의 두께와는 다른 제2의 두께를 갖는다.

그런데 선행발명 1의 명세서에는 "제2의 리드 프레임 부분(18)은, 제1의 리드 프레임 부분의 공동(동굴)부(16) 내(內)에 수용되어 있는 다이·패들(20)을 갖는다. 어떤 예의 경우에는, 제1의 부분이 약 8mil(0.2032mm)의 제1의 두께를 갖고, 제2의 두께가 약 20mil(0.508mm)인 리드 프레임을 제조했다(문단번호 [0011])."라고 기재되어 있고, '제2의 두께가 0.508mm인 구성'은 이 사건 제2항 정정발명의 특징인 '다이 패드의 두께가 0.25

~ 0.6mm인 것'에 포함되므로, 선행발명 1에는 이 사건 제2항 정정발명의 기술적 특징에 해당하는 내용이 동일하게 개시되어 있다.

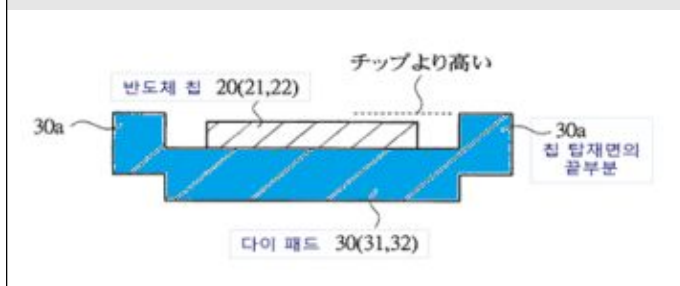
따라서 이 사건 제2항 정정발명도 선행발명 1, 6에 의하여 진보성이 부정된다.

다. 이 사건 제4항 정정발명의 진보성 부정 여부

이 사건 제4항 정정발명은 이 사건 제1항 정정발명의 종속항 발명으로서 '다이 패드의 상부 표면이 일정 깊이 리세스되고, 반도체 칩은 다이 패드의 리세스된 영역에 실장된 것'을 특징으로 한다.

그런데 선행발명 9의 명세서에는 "걸리는 다이 패드(30)에서는, 그림 2(a), 그림 3과 같이, 제1 다이 패드(31), 제2 다이 패드(32) 동시에, 팁(칩) 탑재면의 끝부분(30a)의 주위가, 탑재한 팁(칩)(20)의 상면보다도 높게 설정되고

선행발명 9의 [도 3] 다이 패드의 모양을 모식적으로 나타내는 단면도



있다(문단번호 [0039])."라고 기재되어 있고, 오른쪽과 같은 도면에는 팁(칩) 탑재면의 끝부분(30a)의 주위가 팁(칩)(20)의 상면보다 높게 설정된 형상이 도시되어 있다.

선행발명 9의 반도체 패키지가 '몰디드 리드리스 패키지'는 아니라고 하더라도, 선행발명 1, 6, 9는 모두 반도체 칩을 패키지 내에 실장하는 반도체 패키지에 관한 발명으로 그 기술분야가 공통되므로, 통상의 기술자는 관련 기술의 연구개발 등을 위하여 이들을 함께 참작할 수 있다. 그러므로 이 사건 제4항 정정발명에 부가·한정된 기술적 구성은 통상의 기술자가 선행발명 1의 반도체 디바이스(10)에서 다이·패들(20)을 선행발명 9의 칩 탑재면의 끝부분(30a)의 주위가 탑재한 칩(20)의 상면보다도 높게 설



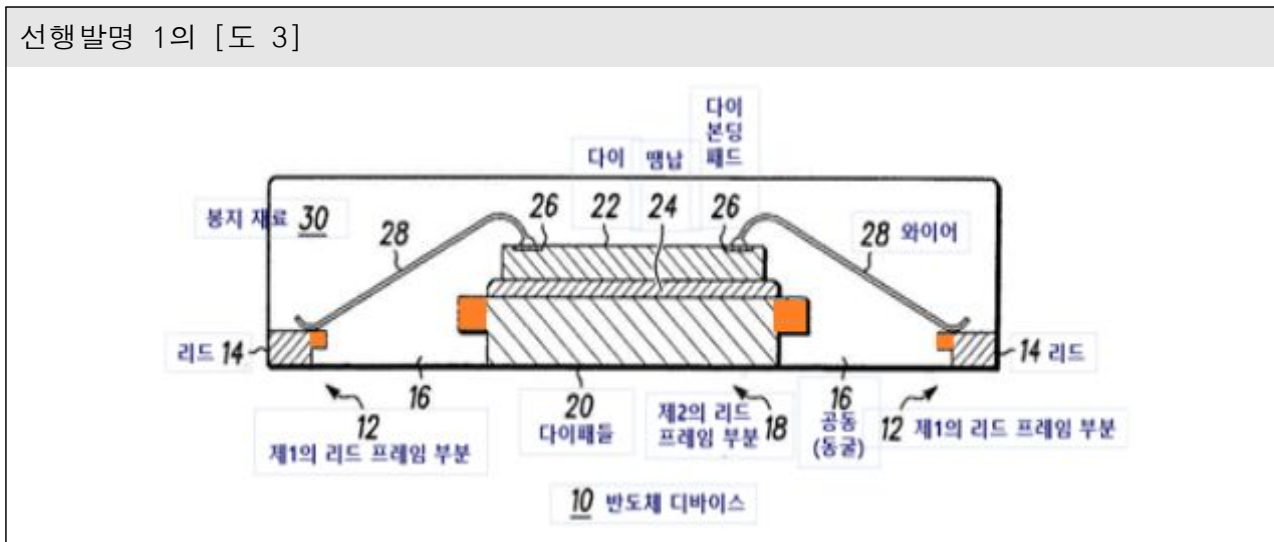
정되는 다이 패드(30)로 변경하여 쉽게 도출할 수 있다.

따라서 이 사건 제4항 정정발명은 선행발명 1, 6, 9에 의하여 진보성이 부정된다.

라. 이 사건 제5항 정정발명의 진보성 부정 여부

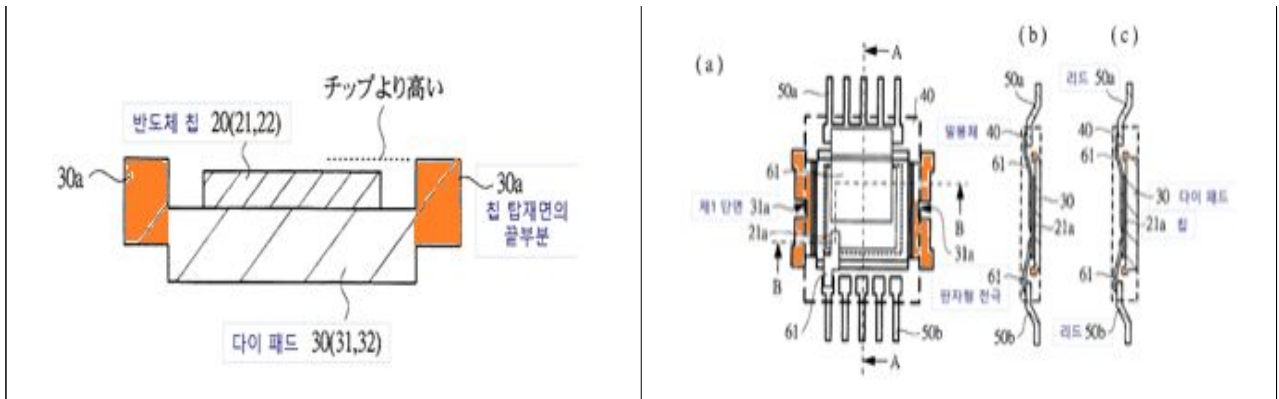
이 사건 제5항 정정발명은 이 사건 제1항 정정발명의 종속항 발명으로서 '다이 패드의 하부 표면 또는 상기 리드의 밑면에는, 패키지 바디와의 접착력을 좋게 하기 위하여 적어도 하나의 딥플(dimple) 또는 그루브(groove)가 형성된 것'을 특징으로 한다.

그런데 아래와 같은 선행발명 1의 도면에는 다이 패들(18)과 리드(12)의 측면에 봉지 재료(30)와의 접착력을 좋게 하기 위하여 일부분이 식각되어 형성된 구성이 도시되어 있다.



또한 아래와 같은 선행발명 9의 도면에도 다이 패드(30)의 측면에는 밀봉체(40)와의 접착력을 좋게 하기 위하여 일부분이 식각되어 형성된 구성이 도시되어 있다.

|   |  |
|---|--|
| 선행발명 9의 [도 3] 다이 패드의 모양을 모식적으로 나타내는 단면도 | 선행발명 9의 [도 11] 본 발명의 실시의 형태 2를 나타내는 도면 |
|---|--|



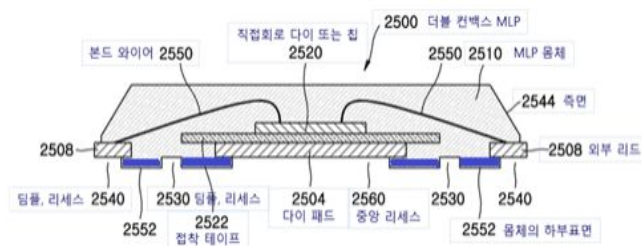
따라서 이 사건 제5항 정정발명도 선행발명 1, 6에 의하여 또는 선행발명 1, 6, 9에 의하여 진보성이 부정된다.

마. 이 사건 제6항 정정발명의 진보성 부정 여부

이 사건 제6항 정정발명은 이 사건 제1항 정정발명의 종속항 발명으로서 '다이 패드의 하부 표면과 리드의 밑면은 동일한 평면을 형성하며, 패키지 바디의 밑면은 평면으로부터 일정 두께 돌출된 것'을 특징으로 한다.

그런데 선행발명 3의 명세서 및 도면에는 다이패드(2504)의 하부 표면과 리드(2508)의 밑면은 동일한 평면을 형성하며, 몸체의 하부 표면(2552)은 두 세트의 오목한 딥플 또는 리세스(2530, 2540)들을 포함하여 평면보다 볼록한 형태로 구성된 특징이 개시되어 있다(문단번호 [0194], [도 33a]).

선행발명 3의 [도 33a] 발명의 더블 컨벡스 MLP의 다른 실시예의 단면도들



그리고 선행발명 1, 3, 6은 모두 반도체 패키지에 관한 발명으로서 기술분야가 공통되므로, 통상의 기술자가 관련 기술의 연구개발 등을 위해서 이들을 함께 참작할 수 있다. 그러므로 이 사건 제6항 정정발명에 부가·한정된 기술적 특징은 통상의 기술자가 선행발명 1의 반도체 디바이스의 하면을 선행발명 3의 반도체 패키지의 하면에 구성된 기술적 특징과 같이 변경하여 쉽게 도출할 수 있다.

따라서 이 사건 제6항 정정발명은 선행발명 1, 3, 6에 의하여 진보성이 부정된다.

바. 이 사건 제7항 정정발명의 진보성 부정 여부

이 사건 제7항 정정발명은 이 사건 제1항 정정발명의 종속항 발명으로서 '패키지 바디의 측면은 경사를 이루거나, 상기 패키지 바디의 밑면에 대해 수직한 것'을 특징으로 한다.

그런데 선행발명 1의 도면에는 '봉지재료(30)로 밀봉된 반도체 디바이스(10)의 측면이 봉지재료의 밑면에 대해 수직한 구성'이 도시되어 있으므로([도 1]), 선행발명 1에는 이 사건 제7항 정정발명의 기술적 특징에 해당하는 내용이 동일하게 개시되어 있다.

따라서 이 사건 제7항 정정발명도 선행발명 1, 6에 의하여 진보성이 부정된다.

사. 이 사건 제8항 정정발명의 진보성 부정 여부

이 사건 제8항 정정발명은 '리드는 다이 패드의 양 측에 대응되게 배치된 것' 외에 이 사건 제1항 정정발명과 동일하다.

그런데 선행발명 1의 도면에는 '제1의 리드 프레임 부분(12)이 다이·패들(20)의 양 측에 대응되게 배치된 구성'이 도시되어 있으므로([도 1]), 선행발명 1에는 이 사건 제8항 정정발명의 기술적 특징에 해당하는 내용이 동일하게 개시되어 있다.

따라서 이 사건 제8항 정정발명도 선행발명 1, 6에 의하여 진보성이 부정된다.

아. 이 사건 제9항 정정발명의 진보성 부정 여부

이 사건 제9항 정정발명은 이 사건 제8항 정정발명의 종속항 발명으로서 '다이 패드의 일 측에 배치된 리드는 다이 패드와 일정 간격 이격되도록 배치되고, 다이 패드의 다른 일 측의 리드는 다이 패드와 연결된 것'을 특징으로 한다.

그런데 아래와 같은 선행발명 7의 명세서 및 도면에 의하면, 선행발명 7에는 '다이 패드(206)의 일 측에 배치된 리드(224)는 다이 패드(206)와 일정 간격 이격되도록 배치된 구성' 및 '업셋 영역(202)과 리드(204)가 연결된 다이패드(206)'를 개시하고 있어 선행발명 7에는 이 사건 제9항 정정발명의 '다이패드(506)의 일 측에 배치된 리드(524)는 다이 패드(506)와 일정 간격 이격되도록 배치되고, 다이 패드(506)의 다른 일 측의 리드(504)는 다이 패드(506)와 연결된 구성'에 해당하는 내용이 동일하게 개시되어 있다.

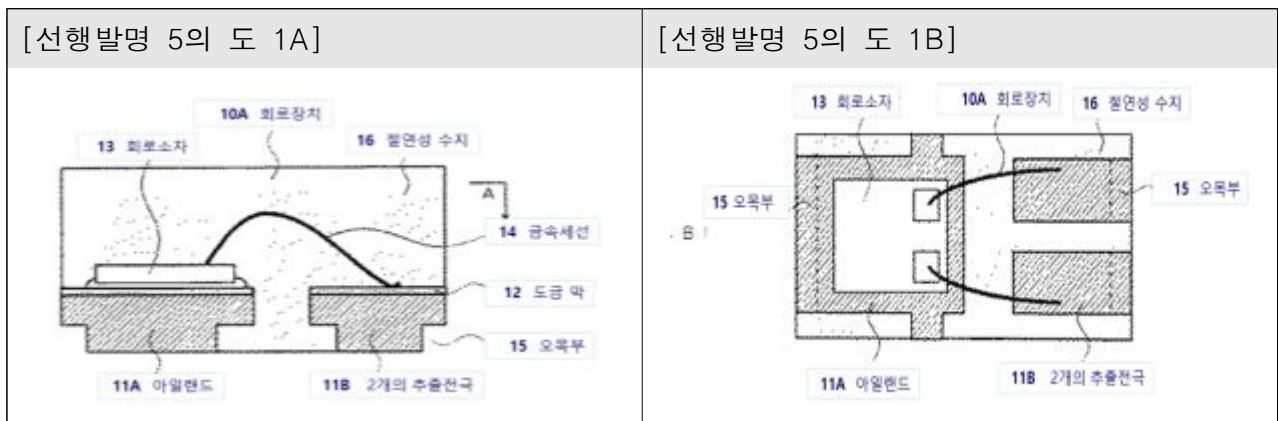
[선행발명 7의 명세서 및 도면]

[0017] 도시된 바와 같이 본 발명에 의한 반도체 패키지(200)는 사각판 형태로서 일 측에 업셋 영역(202)과 리드(204)가 연결된 다이패드(206)와, 상기 다이패드(206)의 상면에 솔더(208)로 고정된 반도체 다이(210)와, 상기 반도체 다이(210)의 상면에 솔더(208)로 고정되고 일 측에는 하향 절곡된 제1 다운셋 영역(212)이 형성되고, 상기 제1 다운셋 영역(212)의 양측부에는 상기 제1 다운셋 영역(212)보다 더 하향절곡된 제2 다운셋 영역(214)이 형성된 브릿지(216)와, 상기 브릿지(216)의 제1 다운셋 영역(212)이 일 측의 상면에 고정되도록 고정부가 형성되고, 타측에는 업셋 영역(222) 및 리드(224)가 형성된 접촉 플레이트(226)와, 상기 다이패드(206), 반도체 다이(210), 브릿지(216) 및 접촉 플레이트(226)가 몰딩되되, 상기 다이패드(206) 및 접촉 플레이트(226)에 형성된 리드(204)(224)는 외부로 돌출 및 노출되도록 하는 몰딩 컴파운드(228)로 이루어져 있다.

[도 2b] 본 발명에 의한 반도체 패키지를 도시한 단면도



그런데 선행발명 5는 이와 동일한 구성으로서, "추출 전극(11B)은 회로 소자(13)가 배치된 아일랜드(11A)의 일 측에만 일정 간격 이격되게 배치되고, 추출 전극(11B)이 배치되지 않은 아일랜드(11A)의 일 측은 아일랜드(11A)가 신장되어 그 일부가 절연성 수지(16)의 외부로 노출된 구성"을 개시(문단번호 [0011], [도 1A], [도 1B])하고 있다.



그리고 선행발명 1, 5, 6은 모두 반도체 패키지에 관한 발명으로서 기술분야가 공통되므로, 통상의 기술자가 관련 기술의 연구개발 등을 위해서 이들을 함께 쉽게 참작할 수 있고, 선행발명 1의 다이·패들(20) 및 리드(14)는 선행발명 5의 회로 소자(13)가 배치된 아일랜드(11A) 및 추출 전극(11B)과 반도체 패키지에서의 다이 패드 및 리드라는 점에서 기술적으로 공통된다. 따라서 이 사건 제10항 정정발명은 통상의 기술자가 선행발명 1의 다이 패드 및 리드에 선행발명 5의 아일랜드(11A) 및 추출 전극(11B)의 위 특징적 구성을 적용하는 설계 변경을 통해 쉽게 도출할 수 있는 것이다.

따라서 이 사건 제10항 정정발명도 선행발명 1, 5, 6에 의하여 진보성이 부정된다.

차. 이 사건 제11항 정정발명의 진보성 부정 여부

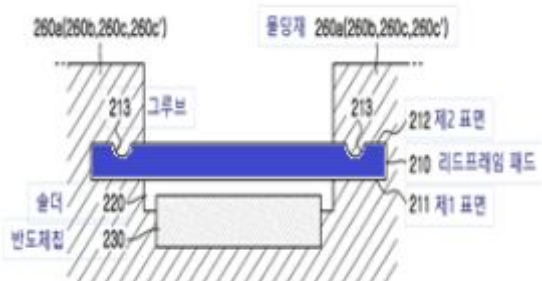
이 사건 제11항 정정발명은 이 사건 제1항 정정발명의 종속항 발명으로서 '다이 패드의 상부 표면 또는 하부 표면 중 적어도 어느 하나에, 상기 반도체 칩 또는 패키

지 바디와의 접착력을 좋게 하기 위하여 적어도 하나 이상의 홈이 형성된 것'을 특징으로 한다.

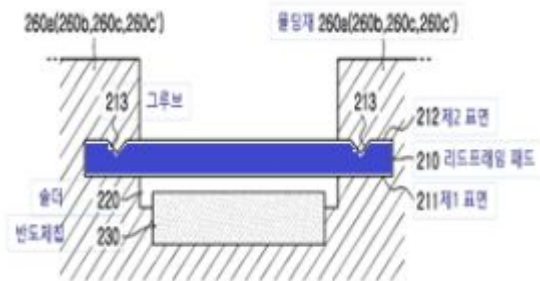
그런데 선행발명 3은 "리드프레임패드(210)의 제2 표면(212)에 반도체 칩(230) 또는 몰딩재(260)와의 접착력을 좋게 하기 위하여 하나 이상의 그루브(groove)(213)가 형성된 구성"을 개시(문단번호 [0089], 도 6a, 6b)하고 있다.

[선행발명 3의 명세서]

[선행발명 3의 도 6a]



[선행발명 3의 도 6b]



[0089] 도 6a 및 도 6b에 도시된 바와 같이, 리드프레임패드(210)의 제2 표면(212)은 외부로 노출되는 부분과 몰딩재(260a, 260b, 260c 또는 260c')로 덮이는 부분으로 구분될 수 있다. 이 중 몰딩재(260a, 260b, 260c 또는 260c')로 덮이는 부분에 그루브(groove)(213)가 배치될 수 있다. 이 그루브(213)는, 비록 단면구조상으로는 구별되지 않지만, 리드프레임패드(210)의 주변을 따라 길게 배치된다. 그루브(213)는, 도 6a에 나타난 바와 같이, 반원형일 수 있고, 또는 도 6b에 나타난 바와 같이, V자형일 수도 있다. 일반적으로 리드프레임패드(210)를 에칭공정에 의해 만드는 경우에는 반원형의 형상을 갖게 되고, 리드프레임패드(210)를 스탬핑공정에 의해 만드는 경우에는 V자형의 형상을 갖게 된다. 이 그루브(213)는 외부로부터의 습기가 내부로 유입되기 위해 통과하여야 하는 흡습경로를 연장시키는 역할을 수행한다. 이 외에도 이 그루브(213)는, 리드프레임패드(210)와 몰딩재(260a, 260b, 260c 또는 260c') 사이에서 앵커(anchor)역할을 수행하여 리드프레임패드(210)와 몰딩재(260a, 260b, 260c 또는 260c')가 보다 견고하게 부착되도록 한다.

그리고 선행발명 1, 3, 6은 모두 반도체 패키지에 관한 발명으로서 기술분야가 공통되므로, 통상의 기술자가 관련 기술의 연구개발 등을 위해서 이들을 함께 쉽게 참작할 수 있고, 선행발명 1의 다이·패들(20)은 선행발명 3의 리드프레임패드(210)와 반도체 칩이 장착되고 몰딩재에 의해서 밀봉되는 구성이라는 점에서 기술적 공통된다. 따라서 이 사건 제11항 정정발명은 통상의 기술자가 선행발명 1의 다이 패들을 선행발명 3의 그루브(groove)(213)가 형성된 리드프레임패드(210)로 설계 변경하여 쉽게 도출할 수 있다.

따라서 이 사건 제11항 정정발명도 선행발명 1, 3, 6에 의하여 진보성이 부정된다.

#### 카. 이 사건 제13항 정정발명의 진보성 부정 여부

이 사건 제13항 정정발명은 '반도체 칩의 상부 또는 하부 표면 중 적어도 하나에 형성된 솔더 물질층' 외에는 이 사건 제1항 정정발명과 동일하다.

그런데 아래와 같은 이 사건 특허발명의 명세서에 의하면, '솔더 물질층'은 반도체 칩과 다이 패드를 부착하는 기능을 가지는 접착제로 이루어진 층이고, 주석/은/구리(Sn/Ag/Cu) 합금, 주석(Sn), 주석/납(Sn/Pb) 합금, 주석/은(Sn/Ag) 합금 또는 니켈(Ni) 등의 재료로 이루어진 뿔뿔 형태의 구성임을 알 수 있다.

#### [이 사건 특허발명의 명세서]

[0040] 다이 패드(230)는 상호 반대되는 상부 표면(230a) 및 하부 표면(230b)을 가지며 그 상부에 반도체 칩(210)이 실장된다. 반도체 칩(210)은 예를 들면 에폭시 접착제 또는 솔더(solder) 등 절연성 접착제(260) 또는 절연성 테이프(tape)를 통해 다이 패드(230)의 상부 표면(230a) 상에 부착된다. 접착제(260)의 종류에는 특별한 제한이 없다.

[0051] 본 실시예에 의한 MLP(300)의 경우 반도체 칩(210)과 리드(240)가 클립(255)을 통해 전기적으로 연결된다. 클립(255)은 구리(Cu)와 같은 도전성 재료로 이루어진다. 클립(255)과 반도체 칩(210), 클립(255)과 리드(240)는 각각 솔더(solder)(265)를 통해 연결된



다. 솔더(265)는 예를 들면 주석/은/구리(Sn/Ag/Cu) 합금, 주석(Sn), 주석/납(Sn/Pb) 합금, 주석/은(Sn/Ag) 합금 또는 니켈(Ni) 등을 포함할 수 있다. 웨이퍼 상에 소자를 형성하는 최종 단계에서 웨이퍼의 뒷면에 솔더 물질층을 형성하거나, 본딩 패드 금속을 솔더 물질로 형성한다. 솔더 물질층을 형성하는 방법으로는 스퍼터링(sputtering) 또는 전기 도금(electroplating) 방식을 사용할 수 있다.

그런데 아래와 같은 선행발명 1의 명세서에 의하면, 선행발명 1의 직접 회로(IC) 다이와 다이 패들 사이에 구성된 땀납(24)도, 이 사건 제13항 정정발명의 솔더 물질층과 동일하게, 직접 회로 다이와 다이 패들을 접합하기 위한 구성으로서, 땀납, 접착제, 테이프 등 접착 재료로 이루어진 층임을 알 수 있다.

[선행발명 1의 명세서]

[0003] (전략) 다이를 다이·패들에 장착하는 1개의 방법은, 납땀이다. (후략).

[0013] 집적 회로 다이 22은, 다이·패들 20에 장착되어지고, 다이·패들이 공동(동굴)부 내에 위치하고 있으므로, 다이 22은, 복수의 리드 14에 의해 둘러싸여진다. 집적 회로 다이 22은, 실리콘·웨이퍼 위로 형성되어, 이 웨이퍼로부터 떼어버려진 회로와 같은, 당업자라면 주지의 타입 것이어도 좋다. 이미 설명한 것 같이, 공동(동굴) 16의 크기 및 형상은 다이 22을 수용할 수 있게 되고 있다. 전형적인 다이의 크기는, 4mm×4mm에서 12mm×12mm의 범위다. 다이 22은, 약 6mil(0.1524mm)로부터 약 21mil(0.5334mm)의 범위의 두께를 갖을 수 있다. 다이 22은, 땀납 24에 의해 열을 다이 22로부터 다이·패들 20에 놓칠 수 있는 땀납 다이 설치 프로세스 등의 주지 방법에서 다이·패들 20에 장착되어진다. 다른 실시 형태의 경우에는, 다이 22은, 접착 재료층 또는 접착테이프에 의해 다이·패들 20에 장착할 수 있다.

[0026] 그림 4D를 참조 하면, 복수의 반도체 다이 88이, 다이·패들 80의 제2표면 각각에 장착되어진다. 그림 4D는, 장착되어진 1개의 다이 88을 나타내는 차의 스텝은, 다른 다이·패들에 또 하나의 다이를 장착하는 스텝이다. 다이 88은, 에폭시 등의 접착제에서 다이·패들 80에 장착할 수 있지만, 아주 알맞게는, 땀납 페이스트 등의 열전도성 접착재에서 장착되어진다. 당업자라면 이해할 수 있다고 생각하지만, 다이 88은, 그 노출하고 있는 표면 상에 복수의 본딩·패드를 포함한다.

따라서 이 사건 제13항 정정발명에서 이 사건 제1항 정정발명에 비해 더 추가된 구성인 '솔더 물질층'은 선행발명 1의 뿔납(24)과 동일하고, 그 외의 구성 및 기술적 특 선행발명 1, 6에 개시된 구성 및 기술적 특징과 동일하다.

따라서 이 사건 제13항 정정발명도 선행발명 1, 6에 의하여 진보성이 부정된다.

타. 이 사건 제14항 정정발명의 진보성 부정 여부

이 사건 제14항 정정발명은 이 사건 제13항 정정발명의 종속항 발명으로서 '솔더 물질층은 주석/은/구리(Sn/Ag/Cu) 합금, 주석(Sn), 주석/납(Sn/Pb) 합금, 주석/은(Sn/Ag) 합금 및 니켈(Ni) 중에서 선택된 어느 하나로 이루어진 것'을 특징으로 한다.

그런데 앞서 본 바와 같이 선행발명 1은 집적 회로(IC) 다이(22)와 다이·패들(20)을 뿔납을 통해서 접합하는 구성을 개시하고 있고, 선행발명 1에는 "다이 22는, 뿔납 24에 의해 열을 다이 22로부터 다이·패들 20에 놓칠 수 있는 뿔납 다이 설치 프로세스 등의 주지 방법에서 다이·패들 20에 장착되어진다."고 개시(문단번호 [0013] 참조)되어 있으므로, 반도체 소자 패키지 관련 기술분야에서 반도체 칩(다이)과 다이 패드를 뿔납 등으로 접합하는 것은 통상의 기술자에게 주지관용기술임을 알 수 있다. 그리고 접합 재료로서 뿔납은 통상적으로 주석(Sn) 또는 주석(Sn)과 은(Ag)의 합금인 무연납이나 주석(Sn)과 납(Pb)의 합금인 유연납으로 이루어진 것임이 이 사건 특허발명의 출원 전에 이미 통상의 기술자에게 기술적 상식이거나 주지관용기술로 볼 수 있다.

따라서 이 사건 제14항 정정발명도 선행발명 1, 6에 의하여 진보성이 부정된다.

파. 이 사건 제15항 정정발명의 진보성 부정 여부

이 사건 제15항 정정발명은 이 사건 제13항 정정발명의 종속항 발명으로서 '솔더 물질층은 웨이퍼 표면 상에 스퍼터링 또는 전기도금 방식으로 형성된 층인 것'을 특징

으로 한다.

그러나 선행발명 1에서 집적 회로(IC) 다이가 웨이퍼를 사용하여 제조되는 것임은 통상의 기술자에게 기술상식이고, 웨이퍼 등 특정 물체의 표면에 솔더 물질층과 같은 금속성 물질을 스퍼터링 방식 또는 전기도금 방식의 공법을 사용하여 형성하는 것은 이 사건 특허발명의 출원 전에 통상의 기술자에게 널리 알려진 기술상식 또는 주지 관용기술로 볼 수 있으므로, 통상의 기술자가 이를 쉽게 채택하여 구성할 수 있는 것이다.

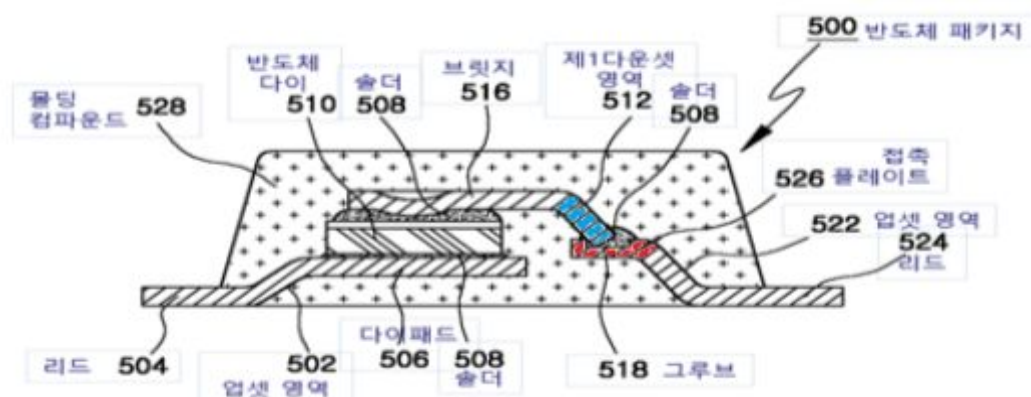
따라서 이 사건 제15항 정정발명도 선행발명 1, 6에 의하여 진보성이 부정된다.

하. 이 사건 제16항 정정발명의 진보성 부정 여부

이 사건 제16항 정정발명은 이 사건 제13항 정정발명의 종속항 발명으로서 '리드의 윗면에는 일정 깊이의 홈이 배치되고, 상기 도전성 클립의 일단은 상기 홈 내에 부착된 것'을 특징으로 한다.

그러나 아래와 같이 선행발명 7의 도면에는 "브릿지(516)의 일단이 리드(524)의 접촉 플레이트(526) 상면에 형성된 코이닝(518)에 결합되는 구성"이 도시되어 있다.

[선행발명 7의 도 5b]



그리고 선행발명 1의 리드(14), 선행발명 6의 리드프레임인 핀(208), 선행발명 7의 리드(524)는 모두 반도체 패키지에서의 리드라는 점에서 기술적으로 공통되고, 선행발명 1의 와이어(28), 선행발명 6의 본드 클립, 선행발명 7의 브릿지(516)는 모두 반도체 패키지에서 반도체 칩과 리드를 전기적으로 접합하는 구성이라는 점에서 기술적으로 공통된다. 그러므로 이 사건 제16항 정정발명에 부가·한정된 구성은 통상의 기술자가 선행발명 1의 와이어(18)을 선행발명 6의 본드 클립으로 설계변경 시 와이어의 접합력(고정력)을 높이기 위해서 선행발명 1의 리드의 윗면을 선행발명 7의 리드의 윗면에 형성된 코이닝(518)과 같이, 일정 깊이의 홈이 형성되고 본드 클립의 일단이 그 홈 내에 부착되는 구성으로 설계 변경하여 도출할 수 있는 것으로 볼 수 있다.

따라서 이 사건 제16항 정정발명도 선행발명 1, 6, 7에 의하여 진보성이 부정된다.

#### 거. 소결론

이 사건 제1, 2, 4에서 11, 13에서 16항 정정발명은 통상의 기술자가 선행발명 1, 3, 5, 6, 7, 9에 의하여 쉽게 발명할 수 있으므로 진보성이 부정되어 그 특허등록이 무효로 되어야 한다. 이와 결론이 같은 이 사건 심결은 정당하다.

#### 4. 결론

이 사건 심결의 취소를 구하는 원고의 청구는 이유 없으므로 이를 기각한다.

재판장      판사      이형근

판사 임경옥

판사 윤재필

[별지 1]

선행발명 1

발명의 명칭: 이중 게이지 · 리드 프레임

㉠ 기술분야

[0001] 본 발명은, 집적 회로 및 패키징한 집적 회로에 관한 것으로, 특히 패키징한 집적 회로용의 리드 프레임에 관한 것이다.

㉡ 배경기술

[0002] 집적 회로(IC) 다이는, 실리콘 · 웨이퍼 등의 반도체 웨이퍼 위로 형성된 소형 디바이스다. 리드 프레임은, 통상, 웨이퍼로부터 떼어버려진 IC다이를 서포트하는 패들을 포함하는 금속 프레임이다. 리드 프레임은, 외부와의 전기 연결을 행하는 리드 · 핑거를 갖는다. 즉, 다이는, 다이 · 패들에 장착되어지고, 다음에 다이의 본딩 · 패드가, 외부와의 전기 연결을 행하기 위해서, 와이어 · 본딩을 통해서 리드 · 핑거에 접속된다. 보호재료에 의해 다이 및 와이어 · 본딩을 봉입하면, 패키지가 형성된다. 패키지·타입에 따라서는, 외부와의 전기 연결부는, 슬림형 소형 패키지(TSOP)와 같이 그대로 사용할 수도 있고, 또는 볼·그리드·어레이(BGA)용의 구형 솔더볼을 장착하는 것에 의해 더욱 처리할 수도 있다. 이 단자점에 의해, 다이를 프린트 기판상의 회로와 같은 다른 회로에 전기적으로 접속할 수 있다.

[0003] 리드 프레임은, 통상, 구리 또는 니켈 합금으로부터 형성된다. 다이를 다이 · 패들에 장착하는 1개의 방법은, 납땜이다. 고출력 디바이스는, 대단히 고온의 땜납 다이 설치(약 300도) 및 디바이스·역류(약 260도)를 필요로 한다. 그러나, 고온에 있어서는, 리드 프레임의 도금이 열화하고, 이 열화에 와이어 · 본딩 · 프로세스가 영향을 받는, 보다 상세하게 설명하면, 금의 와이어 접합성은, 도금 표면의 야금적 변화 및 땜납 플럭스의 오염에 의해 영향을 받는다. 게다가, 열 방산을 쉽게 하기 위해서는, 고출력 디바이스의 경우는, 두꺼운 다이 · 패들 쪽이 바람직하다. 그러나, 대단히 두꺼운 금속으로부터 되어 있는 리드 프레임을 (톱 또는 압제 외에 의해) 각각의 리드 프레임에 절단하는 것은 어렵고, 신뢰성이 낮다.

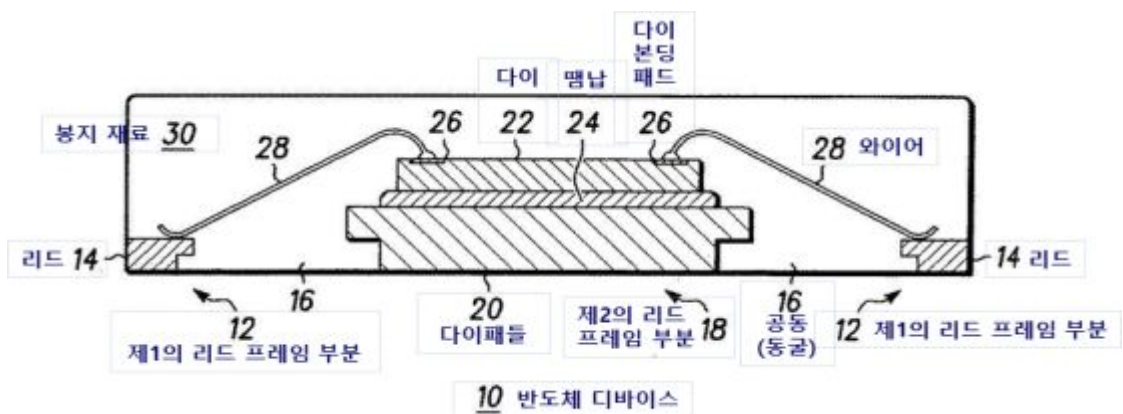
㉢ 발명이 해결하려고 하는 과제

[0004] 열 방산이 잘, 게다가 각각의 리드 프레임을 절단하는 것이 쉬운 리드 프레임을 제공하는 것은 바람직한 것이다. 게다가, 결함이 생기지 않은 고온프로세스에서 다이를 다이 · 패들에 장착하는 것이 바람직하다.

㉣ 발명을 실시하기 위한 최선의 형태

[0011] 도 1을 참조하면, 이 그림은, 본 발명에 의한 반도체 디바이스(device)(10)의 일 실시 형태의 확대 단면도다. 반도체 디바이스(device)(10)는, 공동(동굴)부(16)를 둘러싸는 복수의 리드(14)를 갖는 제1의 리드 프레임 부분(12)을 포함한다. 제1의 리드 프레임 부분(12)은, 아주 알맞게는, 금속 또는 금속 합금에서 형성되어, 제1의 소정의 두께를 갖는다. 제2의 리드 프레임 부분(18)은, 제1의 리드 프레임 부분(12)에 장착되어진다. 제2의 리드 프레임 부분(18)은, 제1의 리드 프레임 부분의 공동(동굴)부(16) 내(內)에 수용되어 있는 다이·패들(20)을 갖춘다. 공동(동굴)부(16)는, 패키징되고 있는 IC 다이의 크기 및 형상에 따른 크기 및 형상을 갖는다. 그 때문에, 일반적으로, 공동(동굴)부(16)는, 직사각형 또는 정방형의 형태를 하고 있지만, 집적 회로 다이의 형상에 따라서 다른 형으로 할 수도 있다. 제2의 리드 프레임 부분(18)은, 아주 알맞게는, 제1의 두께와는 다른 제2의 두께를 갖는다. 예를 들면, 대량의 열을 발생하는 전원 회로의 경우에는, 제2의 리드 프레임 부분(18)을 히트 싱크로서 사용할 수 있다. 그러한 경우에는, 아주 알맞게는, 제2의 두께는 제1의 두께보다 두껍다. 더 바람직한 실시 형태의 경우에는, 제1의 두께는, 제2의 두께의 약 절반 또는 그 이하이다. 어떤 예의 경우에는, 제1의 부분이 약 8밀(0.2032mm)의 제1의 두께를 갖고, 제2의 두께가 약 20밀(0.508mm)인 리드 프레임을 제조했다. 이 두께를 함으로써, 제1의 리드 프레임 부분을, 쉽게 각각의 리드 프레임으로 분리할 수 있고, 동시에 제2의 리드 프레임 부분은 효율적으로 열 방산을 행할 수 있다.

[도 1] 본 발명의 일 실시 형태에 의한 패키지(wound package)된 반도체 디바이스(device)의 확대 단면도



[0012] 제1 및 제2의 리드 프레임 부분[(12) 및 (18)]은, 아주 알맞게는, 구리와 같은 금속 또는 금속합금으로부터 형성되어, 도금되는 일 실시 형태의 경우에는, 제2의 리드 프레

임 부분(18)은, 20밀(0.508mm)의 두께의 구리 슬래그를 갖는다. 리드 프레임 부분[(12) 및 (18)]은, 당업자라면 주지와 같이 프레스 가공, 뽑기 가공 또는 에칭 가공에 의해 형성할 수 있다. 제2의 리드 프레임 부분(18)은, 이하에 더욱 상세하게 설명하게, 접착테이프 등의 접착재에 의해 제1의 리드 프레임 부분(12)에 장착되어진다. 아주 알맞게는, 장착되어졌을 경우라도, 양자는 서로 전기적으로 절연 상태다. 이러한 전기적인 절연은, 본 발명의 중요한 특징이며, 특히 멀티·다이·어셈블리의 경우에는 중요한 특징이다.

[0013] 집적 회로 다이(22)는, 다이·패들(20)에 장착되어지고, 다이·패들이 공동(동굴)부 내에 위치하고 있으므로, 다이(22)는, 복수의 리드(14)에 의해 둘러싸여진다. 집적 회로 다이(22)는, 실리콘·웨이퍼 위로 형성되어, 이 웨이퍼로부터 떼어버려진 회로와 같은, 당업자라면 주지의 타입 것이어도 좋다. 이미 설명한 것 같이, 공동(동굴)(16)의 크기 및 형상은 다이(22)를 수용할 수 있게 되고 있다. 전형적인 다이의 크기는, 4mm × 4mm에서 12mm × 12mm의 범위다. 다이(22)는, 약 6밀(0.1524mm)로부터 약 21밀(0.5334mm)의 범위의 두께를 가질 수 있다. 다이(22)는, 땀납(24)에 의해 열을 다이(22)로부터 다이·패들(20)에 놓칠 수 있는 땀납 다이 설치 프로세스 등의 주지 방법으로 다이·패들(20)에 장착된다. 다른 실시 형태의 경우에는, 다이(22)는, 접착 재료층 또는 접착테이프에 의해 다이·패들(20)에 장착할 수 있다.

[0014] 다이(22)는, 복수의 다이 본딩 패드(26)를 포함한다. 다이 본딩 패드(26) 가운데 몇 가지는, 아주 알맞게는, 와이어·본딩·프로세스에서, 와이어(28)에 의해 리드(14) 가운데 대응하는 몇 개의 리드에 전기적으로 접속되고 있다. 당업자라면 이러한 와이어 및 와이어·본딩·프로세스는 주지인 일 실시 형태의 경우에는, 2밀(0.0508mm)의 금의 와이어가 사용되어, 별도의 실시 형태의 경우에는, 10밀(0.254mm)의 알루미늄·와이어가 사용된다. 그러나, 코팅되었다(절연되었다) 와이어 및 코팅되지 않고 있는 와이어를 포함하는 여러 종류의 재료 및 직경이 가지가지인 주지의 와이어를 사용할 수 있다.

[0015] 반도체 디바이스(device)(10)는, 적어도 리드(14)의 밑면 및 제2의 리드 프레임 부분(18)의 밑면을 노출시킨 상태에서, 집적 회로 다이(22)의 정상부 표면, 와이어(28) 및 리드(14)의 정상부 표면을 덮는 봉지재료(30)를 더욱 포함한다. 리드(14)의 노출하고 있는 부분은, 디바이스(10)를, 예를 들면 PCB를 통해서 다른 디바이스에 접속하기 위해서 사용되어, 다이·패들(20)의 노출하고 있는 밑면에 의해, 거기에서 열을 방산할 수 있다. 봉지재료(30)는, 패키징된 전자 디바이스로 통상 사용되는 것 같은 플라스틱을 포함할 수 있고, 성형 프로세스에 의해, 리드 프레임 부분[(12) 및 (18)]과, 다이(22)와, 와이어(28) 위로 형성된다. 전형적인 실시 형태의 디바이스(10)의 전체 두께는 약 2mm이다.



[0026] 도 4D를 참조하면, 복수의 반도체 다이(88)가, 다이·패들(80)의 제2 표면 각각에 장착되어진다. 도 4D는, 장착되어진 1개의 다이(88)를 나타내는. 차의 스텝은, 다른 다이·패들에 또 하나의 다이를 장착하는 스텝이다. 다이(88)는, 에폭시 등의 접착제에서 다이·패들(80)에 장착할 수 있지만, 아주 알맞게는, 땀납 페이스트 등의 열전도성 접착재에서 장착되어진다. 당업자라면 이해할 수 있다고 생각하지만, 다이(88)는, 그 노출하고 있는 표면에 복수의 본딩·패드를 포함한다.

[별지 2]

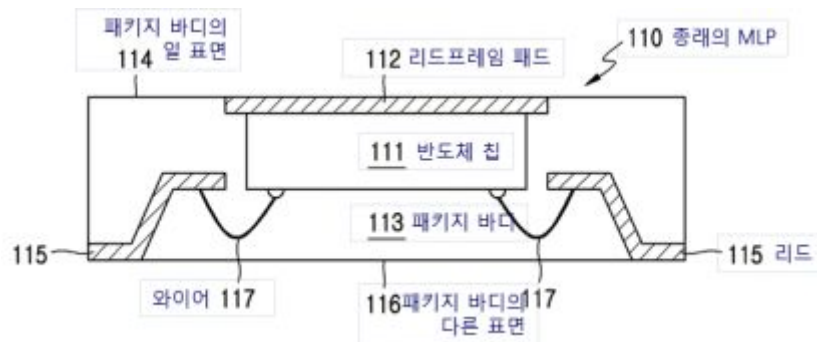
### 선행발명 3

발명의 명칭: 향상된 신뢰성 및 높은 열방출 능력을 갖는 몰디드 리드리스 패키지 및 소잉형 몰디드 리드리스 패키지 및 그 제조방법

㉔ 발명이 속하는 기술분야 및 그 분야의 종래기술

[0002] 본 발명은 반도체패키지에 관한 것으로서, 특히 향상된 신뢰성 및 높은 열방출 능력을 갖는 몰디드 리드리스 패키지(Molded Leadless Package, 이하 MLP)와 소잉형 MLP 및 그것의 제조방법에 관한 것이다. 나아가 본 발명은 스탬핑/편칭(stamping/punching) 및 소잉(sawing)에 의해 싱클레이트된 MLP 및 그 제조 방법에 관한 것이다.

[도 1a] 종래의 몰디드 리드리스 패키지(MLP)의 일 예를 나타내 보인 단면도



[0005] 도 1을 참조하면, 종래의 MLP(110)는, 반도체칩(111)이 부착되는 리드프레임패드(112)의 일 표면이 패키지 바디(113)의 일 표면(114)에서 노출되는 구조를 갖는다. 이외에도 리드(115)의 일부분이 패키지바디(113)의 다른 표면(116)에서 노출된다. 반도체칩(111)과 리드(115)는 와이어(117)에 의해 상호 전기적으로 연결된다.

[0006] 도 1b는 종래의 MLP의 다른 예를 나타내 보인 단면도로서, 이 MLP에 관한 상세한 사항들은 미국특허등록번호 제6,437,429호에 개시되어 있다.

[0007] 도 1b를 참조하면, 종래의 MLP(120)는, 다이(die)(121), 패키지바디(122), 다이패드(123) 및 리드(124)를 포함하여 구성된다. 다이(121)는, 상부표면(121a) 및 하부표면(121b)을 갖는다. 리드(124)도 상부표면(124a)과, 하부표면(124b) 및 절단표면(124c)을 가

[0008] 도 1a 및 도 1b를 참조하여 설명한 바와 같은 구조를 갖는 종래의 MLP들은 모두 리드프레임패드(도 1a의 112) 및 다이패드(도 1b의 122)의 일면이 모두 외부로 노출되어 있어서 각각 반도체칩(도 1a의 111) 및 다이(도 1b의 121)에서 발생하는 열을 효율적으로 외부로 방출시킬 수 있다는 장점을 제공한다.

[illegible]

[0010] 한편, 반도체 패키지는 반도체 칩 또는 다이(die), 리드 프레임 및 패키지 바디(package body)를 포함하여 구성된다. 반도체 패키지에서 반도체 칩은 리드 프레임의 다

[0012] 종래의 소잉 타입의 MLP에 대한 일 예는 Chun-Jen Su 등에 의한 전술한 미합중국 등록특허 제6,437,429호, "SEMICONDUCTOR PACKAGE WITH METAL PADS"에 개시되어 있으며, 도 15a에는 상기 미합중국 등록특허에 개시되어 있는 MLP에 대한 단면도가 도시되어 있다. 그리고, 도 15b에는 상기 MLP의 저면도가 도시되어 있다.

- 52 -

다. 다이(1110)는 상부 표면(1110a)과 하부 표면(1110b)을 갖는다. 리드(1140)도 상부 표면(1140a), 하부 표면(1140b) 및 절단 표면(1140c)을 가지며, 리드(1140)의 하부 표면(1140b)의 전부 또는 일부는 패키지 바디(1120)의 외부로 노출되어 금속 패드(metal pad)를 형성한다. 이 금속 패드는 MLP(1100)의 외부와의 전기적인 연결을 위하여 패키지 바디(1120)의 밑면(1120a)과 동일 평면상에 형성된다. 그리고, 다이(1110)와 리드(1140)는 와이어(1150)에 의하여 상호 전기적으로 연결된다. 다이 패드(1130)의 일면(1130a)은 접착제(1160)에 의해 다이(1110)의 하부 표면(1110b)과 부착된다.

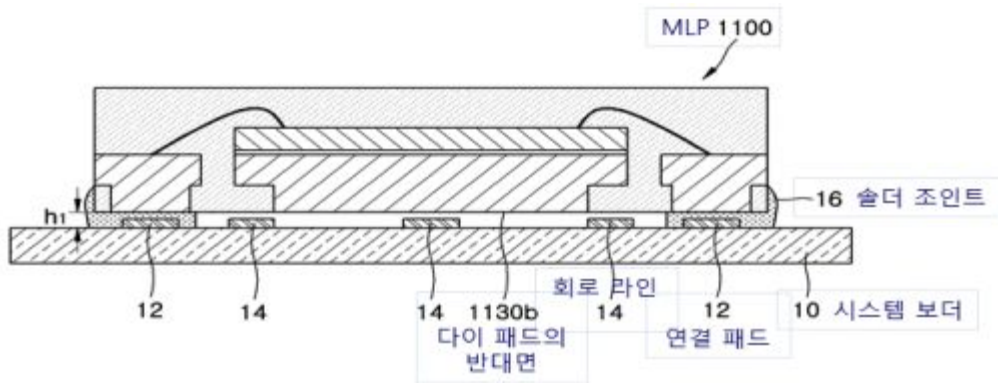
[0014] 소잉 타입 패키지는 그 제조 공정의 특성상 다음과 같은 특징을 가진다. 우선, 다이 패드(1130)의 반대면(1130b)은 패키지 바디(1120) 밖으로 노출되어 패키지 바디(1120)의 밑면(1120a) 및 리드(1140)의 하부표면(1140c)과 동일한 평면을 형성하게 된다. 왜냐하면, 소잉 타입 패키지는 몰드용 수지가 리드(1140)의 하부 표면(1140b)으로 흘러 들어가는 현상을 방지할 수 있도록 다이 패드(1130)와 리드(1140)의 밑면에 커버 테이프를 부착한 상태로 몰딩 공정을 진행하기 때문이다. 또한, 소잉 타입의 패키지는 소잉 공정을 사용하여 MLP를 개별화하기 때문에, 패키지 바디(1120)의 측면이 리드(1140)의 절단 표면(1140c)과 함께 동일한 절단면을 형성한다.

[0015] 도 16에는 시스템 보더 상에 MLP(1100)가 실장되어 있는 구조물(이하에서는, 시스템 보더(10) 상에 MLP(1100)가 실장되어 있는 구조물을 "시스템 패키지"라 한다)에 대한 개략적인 단면도가 도시되어 있다. 도 16을 참조하면, 시스템 보더(10)의 상면에는 연결 패드(12) 및 상기 연결 패드(12)를 서로 전기적으로 연결하기 위한 회로 라인(circuit line, 14)이 형성되어 있다. 연결 패드(12)와 회로 라인(14)은 동일한 도전성 금속 예컨대 구리 등으로 형성되며 통상적으로 동일한 두께를 가진다. 그리고, MLP(100)의 리드(140)와 연결 패드(12)가 솔더 조인트(solder joint, 16)를 통하여 일대일로 접합되어 연결되도록 시스템 보더(10) 상에 MLP(1100)가 탑재된다.

[0016] 종래 기술에 의하면 솔더 조인트(16)로 MLP(1100)를 시스템 보더(10) 상에 접합시킬 때 가하는 압력 및 이때 발생하는 열에 의하여, 솔더 조인트(16)가 약간의 유동성을 가질 수가 있다. 솔더 조인트(16)가 유동성을 띠게 되면 옆으로 흐를 수가 있기 때문에 솔더 조인트(16)의 높이(h1)를 충분히 확보할 수가 없다. 솔더 조인트(16)의 높이(h1)가 예컨대 30 $\mu$ m 이상과 같이 충분하게 확보되지 않으면, 시스템 보더(10) 상에 MLP(1100)를 탑재할 경우에, 다이 패드(1130)의 밑면(1130b)과 시스템 보더(10)의 회로 라인(14) 사이의 간격이 너무 좁기 때문에 패키지의 신뢰성을 확보할 수가 없다. 그리고, 심한 경우에는 다이 패드(1130)와 시스템 보더(10)의 회로 라인(14)이 서로 접촉하게 되어서 단락될 염려가 있

다. 뿐만 아니라, 솔더 조인트(16)의 높이(h1)가 낮으면, 솔더 조인트(16) 자체가 열적 스트레스나 기계적 스트레스에 취약해지기 때문에 시스템 패키지의 신뢰성을 떨어뜨린다.

[도 16] 도 15a의 몰디드 리드리스 패키지가 시스템 보더 상에 실장되어 있는 것을 나타내 보인 단면도



[0017] 그리고, MLP(1100)를 시스템 보더(10) 상에 탑재하는 과정에서 솔더 조인트(16)가 유동성을 가지게 되면, 소위 MLP(1100)의 붕괴(collapse) 현상이나 기울어짐(tilt) 현상이 발생할 염려가 있다. MLP(1100)의 붕괴 현상이 발생하면 리드(1140)가 연결 패드(12)와 직접 접촉될 염려가 있고, MLP(1100)의 기울어짐 현상이 발생하면 시스템 패키지의 신뢰성을 떨어뜨리는 문제점이 있다.

☐ 발명이 이루고자 하는 기술적 과제

[0018] 본 발명이 이루고자 하는 기술적 과제는, 리드프레임 패드가 노출되는 부분의 구조를 변경함으로써 향상된 신뢰성 및 높은 열방출 능력을 갖는 MLP를 제공하는 것이다.

[0019] 본 발명이 이루고자 하는 다른 기술적 과제는, 동일한 크기에 대하여 핀 수 또는 리드 수를 증가시킬 수 있는 더블 컨벡스 MLP를 제공하는 데 있다.

[0020] 본 발명이 이루고자 하는 또 다른 기술적 과제는, 내부 리드들 및 외부 리드들 사이에서 솔더 단락(Short)을 방지할 수 있는 더블 컨벡스 MLP를 제공하는 데 있다.

[0021] 본 발명이 이루고자 하는 또 다른 기술적 과제는, 컨벡스의 높이를 조절함으로써 솔더 조인트 신뢰성을 향상시킬 수 있는 더블 컨벡스 MLP를 제공하는 데 있다.

[0022] 본 발명이 이루고자 하는 또 다른 기술적 과제는, 회로 보드상의 회로선과 노출된 패드와의 사이에 전기적 단락을 방지할 수 있는 더블 컨벡스 MLP를 제공하는 데 있다.

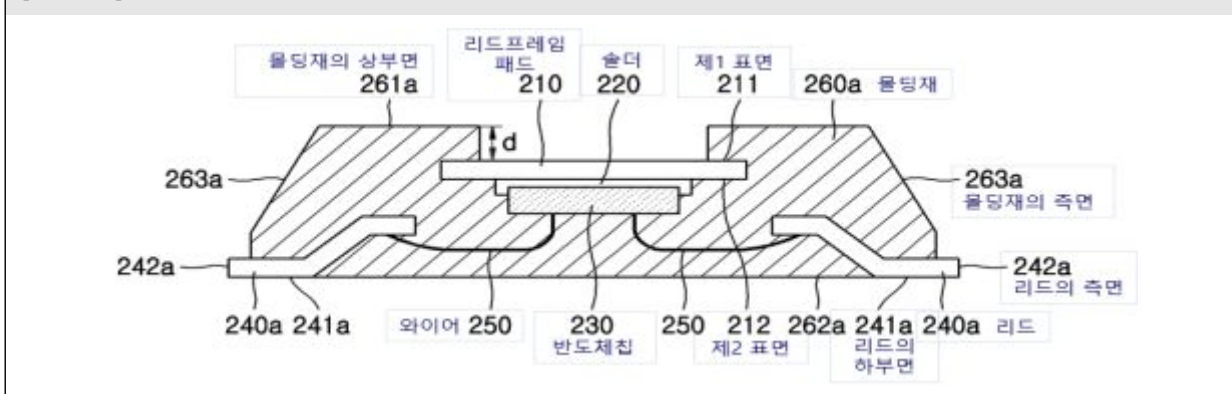
[0023] 본 발명이 이루고자 하는 또 다른 기술적 과제는, 회로 보드상에 패키지를 장착

할 때 더블 컨벡스에 의한 홀의 존재로 인하여 회전되지 않음으로서 작업성을 향상시킬 수 있는 더블 컨벡스 MLP를 제공하는 데 있다.

#### ㉔ 발명의 구성 및 작용

[0067] 도 3a를 참조하면, 상호 반대되는 제1 표면(211) 및 제2 표면(212)을 갖는 리드프레임패드(210)의 제1 표면(211)상에 반도체칩(230)이 부착된다. 리드프레임패드(210)와 반도체칩(230) 사이의 부착면에는 접착제, 예컨대 솔더(solder)(220)가 배치된다. 리드프레임패드(210)의 제2 표면(212)은 몰딩재(260a)에 의해 외부로 노출된다. 이때 제2 표면(212) 모두가 노출되는 것은 아니며, 제2 표면(212)의 일부만이 노출된다. 즉 리드프레임패드(210)의 제2 표면(212) 중 일부는 몰딩재(260a)로 덮이는 반면 일부는 몰딩재(260a) 밖으로 노출된다. 리드프레임패드(210)의 제2 표면(212)의 노출되는 형상은 도 2a에 도시된 바와 같이 원형이다. 리드(240a) 또한 하부면(241a)만이 몰딩재(260a) 밖으로 노출된다. 몰딩재(260a) 내에서 리드(240a)는 와이어(250)에 의해 반도체칩(230)과 전기적으로 연결된다. 몰딩재(260a)는 리드프레임패드(210)의 제2 표면(212) 일부와 리드(240a)의 하부면(241a) 및 측면(242a)을 제외한 나머지를 모두 둘러싼다.

[도 3a] 도 2의 몰디드 리드리스 패키지의 단면구조와 다른 예를 나타내 보인 단면도

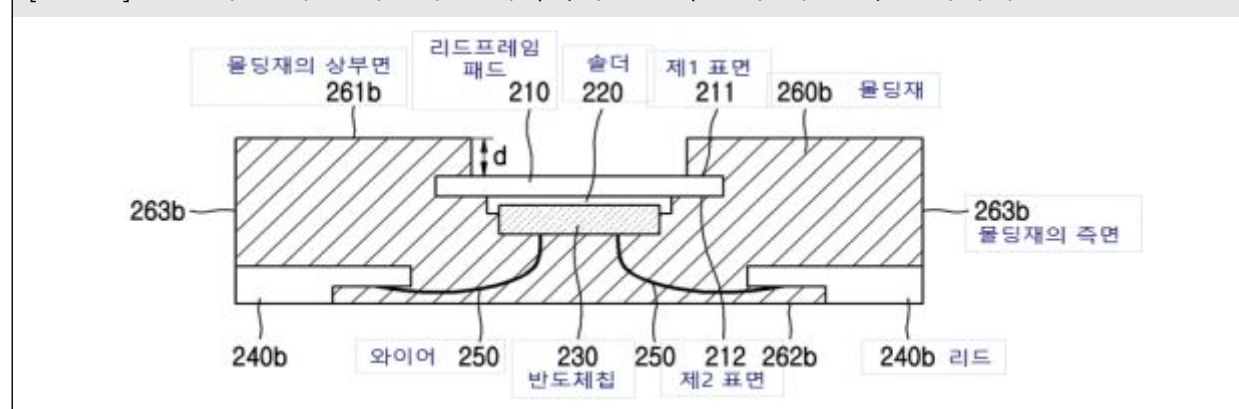


[0068] 리드프레임패드(210)의 제2 표면(212)을 노출시키는 몰딩재(260a)의 상부면(261a)과 리드프레임패드(210)의 제2 표면(212)은 동일 평면상에 있지 않고 단차를 갖는다. 즉 리드프레임패드(210)의 제2 표면(212)과 몰딩재(260a)의 상부면(261a)은 일정 간격(d) 이격된다. 이 간격(d)은 대략 0.12 ~ 0.15mm이다. 이와 같이 몰딩재(260a)의 상부면(261a)으로부터 리드프레임패드(210)의 제2 표면(212)이 이격됨으로써 그 이격거리(d)만큼 흡습경로가 연장되게 된다. 또한 리드프레임패드(210)의 본래의 면적과는 무관하게 노출면적을 조절하기가 용이하며, 따라서 보드에 솔더링할 때 고온의 리플로우를 수행하더라도 열



[0069] 몰딩재(260a)의 측면(263a)은 비스듬하게 경사를 갖는 구조로 이루어진다. 이는 몰딩재(260a)를 금형을 이용하는 펀치드형(punched type)으로 형성하는 경우이다. 이 경우 리드(240a)의 단부는 몰딩재(260a)로부터 대략 0.08~0.15mm만큼 돌출된다. 리드(240a)는 몰딩재(260a) 내에서 리드프레임패드(210)를 향해 구부러진 형상으로 배치된다. 이와 같이 구부러진 형상을 갖는 리드(240a)는 스탬핑(stamping) 공정에 의해 만들어진다.

[도 3d] 도 2의 몰디드 리드리스 패키지의 단면구조와 다른 예를 나타내 보인 단면도

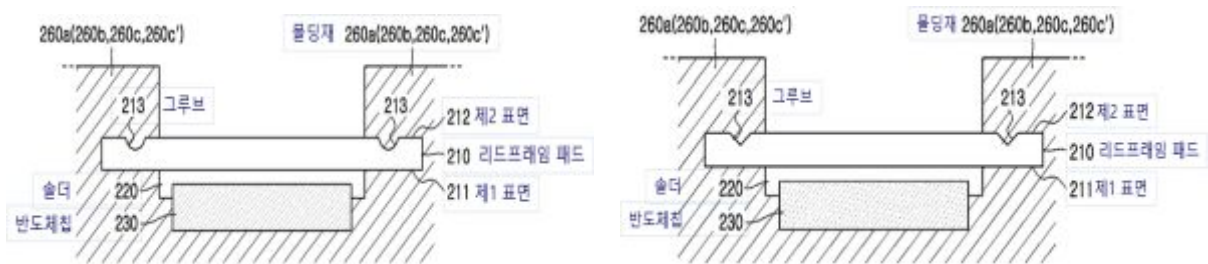


- 56 -



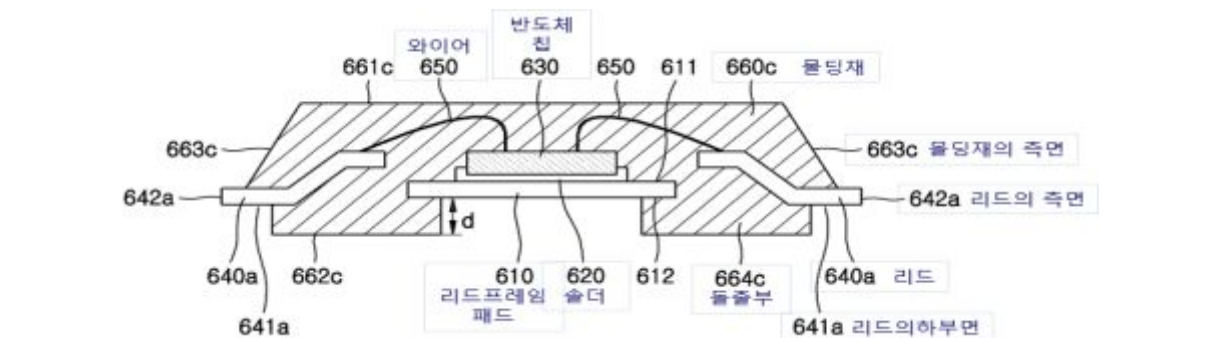
리드프레임패드(210)를 스탬핑공정에 의해 만드는 경우에는 V자형의 형상을 갖게 된다. 이 그루브(213)는 외부로부터의 습기가 내부로 유입되기 위해 통과하여야 하는 흡습경로를 연장시키는 역할을 수행한다. 이 외에도 이 그루브(213)는, 리드프레임패드(210)와 몰딩재(260a, 260b, 260c 또는 260c') 사이에서 앵커(anchor)역할을 수행하여 리드프레임패드(210)와 몰딩재(260a, 260b, 260c 또는 260c')가 보다 견고하게 부착되도록 한다.

[도 6a, 6b] 본 발명에 따른 몰디드 리드리스 패키지에 사용되는 리드프레임 패드의 일 예들을 나타내 보인 단면도

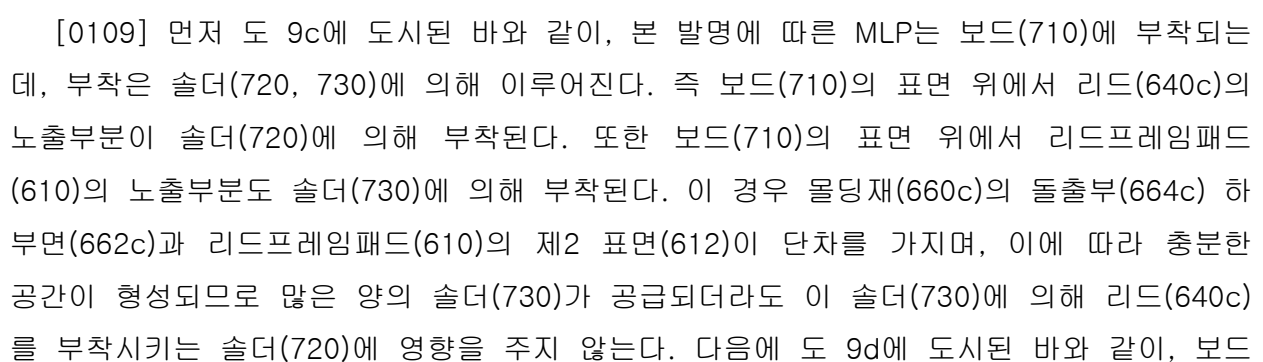
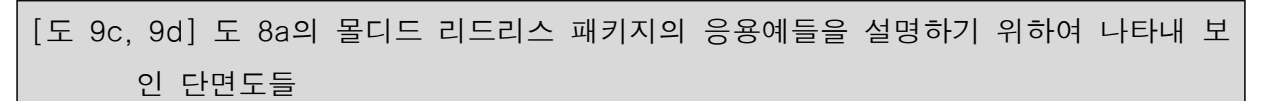


[0103] 도 8e 및 도 8f를 참조하면, 본 실시예에 따른 MLP들에 있어서, 몰딩재(660c)의 하부 구조를 제외한 나머지 부분들은 각각 도 8a 및 도 8c의 MLP와 동일하다. 따라서 동일한 부분에 대한 중복된 설명은 생략하기로 하고 다른 부분에 관해서만 설명하기로 한다. 본 실시예들에 따른 MLP의 몰딩재(660c)는 상부의 제1 표면(661c) 및 하부의 제2 표면(662c)을 갖는데, 하부의 제2 표면(662c)은 리드(640a)의 하부표면(641a) 및 리드프레임패드(610)의 노출표면으로부터 돌출되는 돌출부(664c)에 의해 리드(640a)의 하부표면(641a) 및 리드프레임패드(610)의 노출표면과 동일한 레벨상에 있지 않는다. 상기 돌출부(664c)는 기판(미도시)과의 부착을 위한 솔더조인트(미도시)의 신뢰성을 향상시킨다.

[도 8e] 도 7의 몰디드 리드리스 패키지의 단면구조와 다른 예를 나타내 보인 단면도



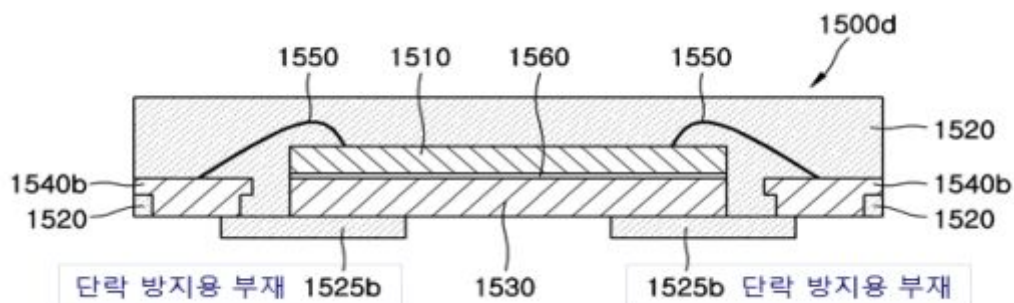
[도 8f, 8g] 도 7의 몰디드 리드리스 패키지의 단면구조와 다른 예를 나타내 보인 단면도들



(710)와 리드(640c)만 솔더(720)를 사용하여 부착시키고, 보드(710)와 리드프레임패드(610)는 부착시키지 않을 수도 있다. 이 경우에는 보드(710)의 일부표면과 리드프레임패드(610)의 제2 표면(612)의 노출부분 사이에는 일정 부피의 공간(740)이 형성된다. 이는 보드(710)의 일부표면에 회로패턴(711)이 있는 경우로서, 이 경우에만 솔더를 상기 공간(740)에 배치시키는 경우 전기적인 숏(short)이 원하지 않게 발생할 수 있기 때문이다.

[0171] 도 22 내지 도 22d에는 본 발명의 또 다른 실시예에 따른 소잉형 몰디드 리드리스 패키지를 나타내 보인 단면도가 각각 도시되어 있다. 여기서, 도 22a 및 도 22b는 미합중국 등록특허 제6,143,981호에 개시된 것과 같이, 다이 패드(1530a)와 리드(1540a)의 가장자리에 하프-식각(half-etch)된 부분이 형성되지 않은 경우인 반면에, 도 22c 및 도 22d는 미합중국 등록특허 제6,437,429호에 개시된 것과 같이, 다이 패드(1530b)와 리드(1540b)의 가장자리가 하프-식각된(half-etched) 경우이다. 도 22a 내지 도 22d에서 참조 부호 1510은 반도체 칩 및 1560은 접착제 층을 각각 나타낸다. 즉, 본 발명은 리드 프레임(1530, 1540)의 가장자리 부분에 하프-식각된 부분이 형성되어 있는지 여부에 상관없이 적용이 가능하며, 이것은 전술한 실시예들의 경우에도 동일하게 적용된다.

[도 22d] 본 발명의 제4 실시예에 따른 몰디드 리드리스 패키지의 일 예를 나타내 보인 단면도



[0172] 도 22a 내지 도 22d를 참조하면, 본 실시예에 따른 소잉형 MLP(1500a 내지 1500d)는 단락 방지용 부재(1525a 내지 1525d)의 형상을 제외한 나머지 부분들은 전술한 실시예에 따른 소잉형 MLP(1200)와 동일하다. 따라서, 동일한 부분에 대한 중복된 설명은 생략하기로 하고, 다른 부분에 관해서만 설명하기로 한다.

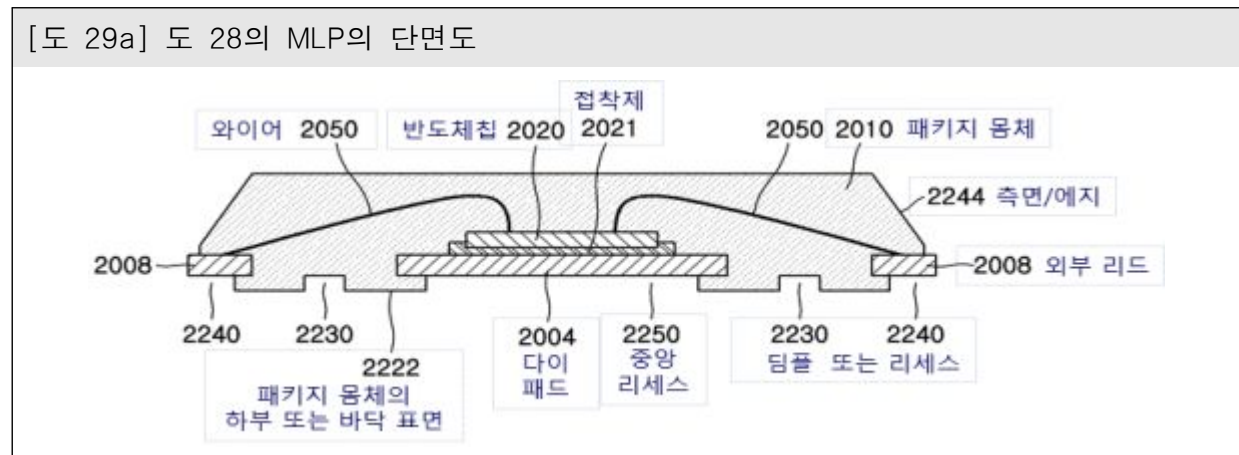
[0173] 본 실시예에 따른 소잉형 MLP(1500a 내지 1500d)의 경우에 전술한 실시예와 마찬가지로 단락 방지용 부재(1525a 내지 1525d)가 다이 패드(1530)의 하부 표면 상에 형

성되어 있다. 즉, 본 실시예에 따른 소잉형 MLP(1500a 내지 1500d)는, 전술한 실시예와 같이 다이 패드(1530)의 하부 표면이 소정의 깊이로 리세스가 형성되어 채널이 형성되어 있고, 그리고 그 채널에 다이 패드(1530)의 하부 표면과 레벨이 같은 구조물인 채널 필러(1228)와 같은 것이 매립되어 있는 구조는 아니다. 그러나, 본 실시예에 따른 단락 방지용 부재(1525a 내지 1525d)는 전술한 실시예와 마찬가지로 패키지 바디(1520) 형성용 물질과 동일한 물질로 형성한다. 왜냐하면, 본 실시예에 따른 단락 방지용 부재(1525a 내지 1525d)는 전술한 실시예와 마찬가지로 몰딩 공정에서 패키지 바디(1520)와 동시에 형성할 수 있기 때문이다.

[0174] 그리고, 본 실시예에서는 단락 방지용 부재(1525a 내지 1525d)의 모양에는 특별한 제한은 없다. 즉, 단락방지용 부재(1525a 내지 1525d)는 다이 패드(1530)의 하부 표면의 전면을 덮을 수도 있고(도 22a 및 도 22c 참조), 또는 다이 패드(1530)의 하부 표면의 일부를 덮을 수도 있다(도 22b 및 도 22d 참조). 그러나, 본 실시예에 의하면, 다이 패드(1530a 또는 1530b)에 몰딩재 등의 통로 즉 채널이 형성되지 않기 때문에, 단락 방지용 부재(1525a 내지 1525d)가 적어도 다이 패드(1530a 또는 1530b)와 리드(1540a, 1540b) 사이의 공간인 갭(gap)을 채우는 패키지 바디(1520)의 부분과 연결되어 있다.

[0185] 도 28을 참조하면, 본 발명의 더블 컨벡스(double convex) MLP의 하나의 실시예가 보여진다. MLP(2000)는 일반적으로 다이 패드(2004)를 갖는 리드 프레임(2002), 내부 리드들(2006) 및 외부 리드들(2008)을 포함한다. 몰딩 물질로 형성되는 MLP 몸체(2010)는 리드 프레임(2002), 다이 패드(2004), 내부 리드들(2006) 및 외부 리드들(2008)을 각기 둘러싼다.

[도 29a] 도 28의 MLP의 단면도



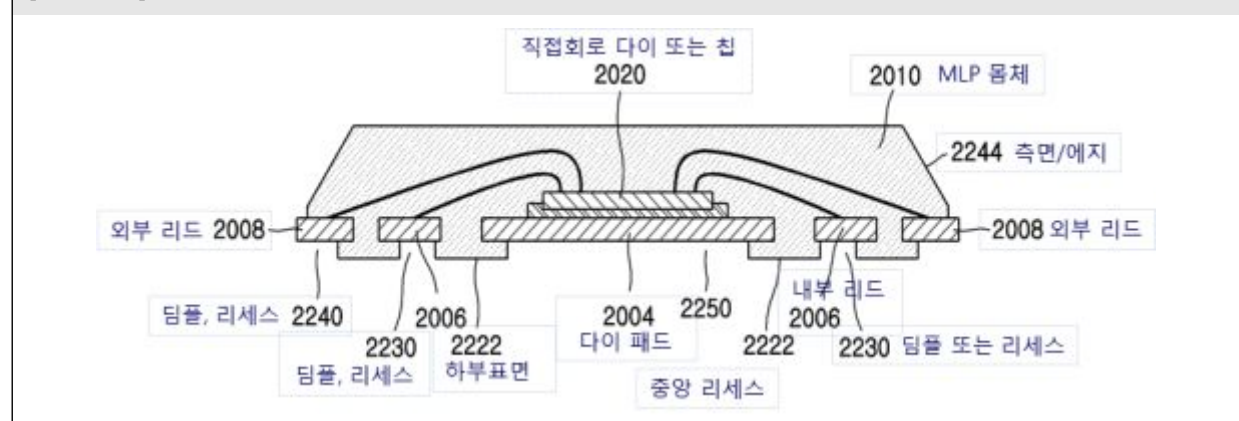
[0186] 보다 구체적으로, 도 29a 내지 도 29c를 참조하면, MLP(2000)의 단면도들이

각기 라인 A-A, B-B, C-C를 따라 보여진다. 집적회로 다이 또는 칩(2020)이 다이 패드(2004)의 제1 또는 상부 표면에 예를 들어 솔더와 같은 접착제(2021)에 의해 열적 및 전기적 도전 방식으로 부착된다. 다이(2020)는 다이 패드(2004)에 부착된 면을 제외하고는 몸체(2010) 내에 둘러싸인다. 본드 와이어(2050)가 내부 및 외부 리드들(2006, 2008)을 각기 다이(2020)에 전기적으로 연결시킨다.

[0187] 몸체(2010)의 바닥 또는 하부 표면(2222)은 이중으로 볼록한 더블 컨벡스(double convex) 형태를 갖는다. 특히, 하부 표면(2222)은 두 세트의 오목한 딥플 또는 리세스(2230, 2240)들을 포함한다. 한 세트의 딥플/리세스(2230)들은 내부 리드들(2006)에 상당하며, 다른 세트의 딥플/리세스(2240)들은 외부 리드들(2008)에 상당한다. 각 세트의 딥플/리세스(2230, 2240)들은 패키지 몸체(2010)의 하부 또는 바닥 표면(2222)으로부터 일정한 거리 또는 깊이로 함몰된다. 각 리드들(2006, 2008)의 바닥 표면의 일부는 각 상당하는 딥플/리세스들(2230, 2240) 내에서 외부 환경에 노출된다. 환언하면, 딥플/리세스들(2230, 2240) 내에서 리드들(2006, 2008)의 바닥 표면들은 몸체(2010)를 형성하는 몰딩 물질에 의해 덮이지 않고 외부로 노출된다.

[0188] 딥플들/리세스들(2230, 2240)은 리드들(2006, 2008)이 MLP(2000)가 장착된 회로 보드(도시되지 않음)로부터 및/또는 그 위로 일정한 거리만큼 떨어질 수 있도록 해준다. 따라서 도 37에서 잘 보여지는 바와 같이, 딥플들/리세스들(2230, 2240)은 MLP(2000)의 리드들(2006, 2008)을 회로 보드에 전기적으로 연결하는 솔더 조인트들이 원하는 바의 높이 또는 최소한의 높이를 갖는 것을 보장해줌으로써 이들 솔더 조인트들의 접착력 및 기계적 강도와, MLP(2000)의 신뢰성을 증진시켜준다.

[도 29c] 도 28의 MLP의 단면도

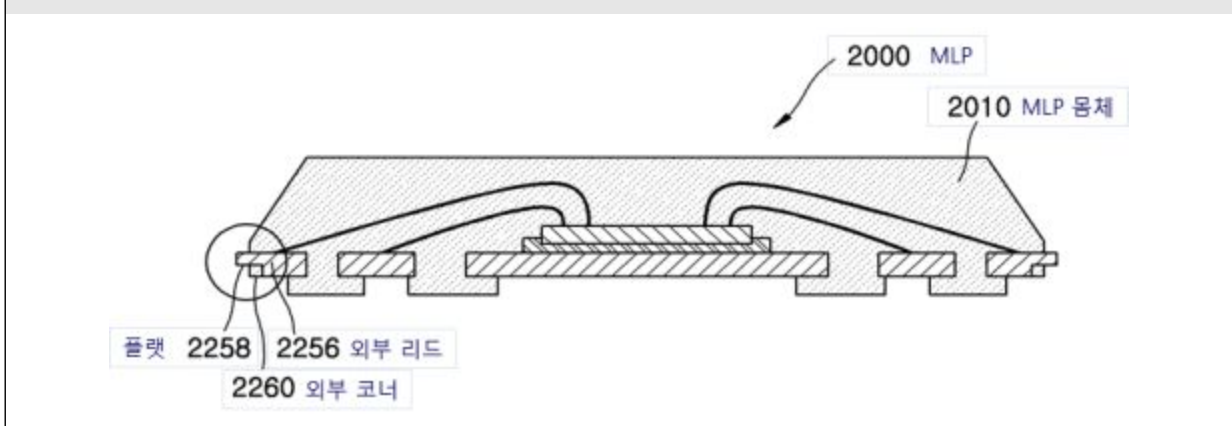


[0189] 도 29a 내지 도 29c의 MLP(2000)는 경사진 측면/에지(2244)를 갖는 펀치형(punched-type) 패키지로 구성된다. 외부 리드들(2008)은 몸체(2010)의 측면(2244)으로부터 일정한 거리만큼 연장된다.

[0190] MLP(2000)의 바닥은 다이 패드(2004)의 하부 표면(참조번호 없음), 즉 다이(2020)가 부착된 표면의 반대쪽 표면을 노출시키는 중앙 리세스(2250)을 더 포함한다. 중앙 리세스(2250)는 다이 패드(2004)의 하부 표면이 패키지 몸체(2010)의 하부 또는 바닥 표면으로부터 일정한 거리만큼 이격되고, 그리하여 MLP(2000)가 장착되는 회로 보드(도 37의 3000)로부터 그 위로 일정한 거리만큼 이격되는 것을 보장해준다. 따라서 다이 패드(2004)가 회로 보드(3000)의 표면상의 회로 선 또는 도전체(3002)와 접촉할 및/또는 전기적으로 단락할 가능성이 현저히 감소된다.

[0191] 도 30은 도 29a 내지 도 29c에서 보여진 리드 구성과 다른 구성 및/또는 형상인 리드들을 갖는 MLP(2000)의 구성을 보여준다. 보다 구체적으로는 MLP(2000)의 외부 리드들(2256)이 플랫폼(2258)을 갖도록 구성되며, 따라서 패키지 몸체(2010)는 외부 코너들(2260)을 포함하게 된다.

[도 30] 도 29의 MLP의 제2 실시예의 단면도

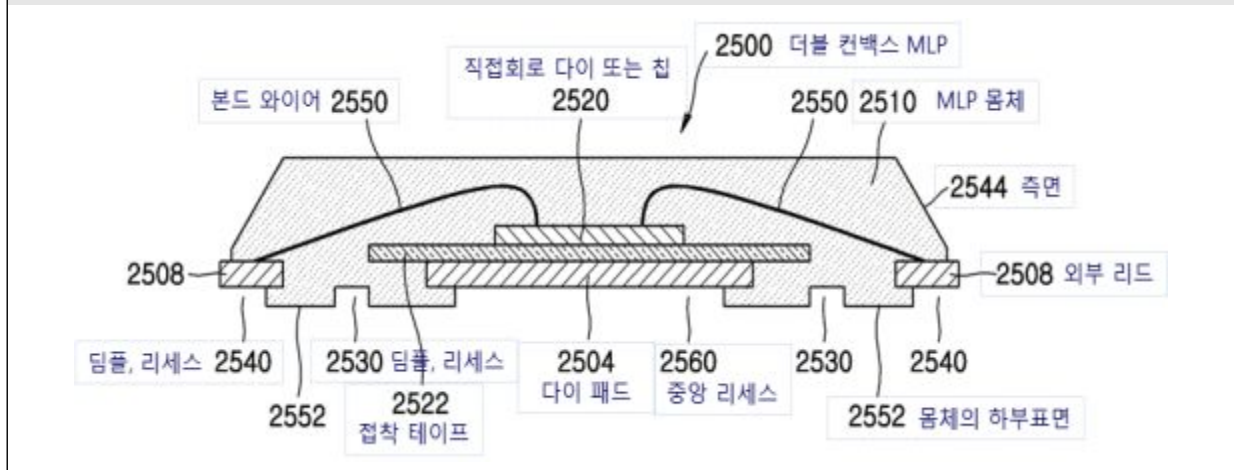


[0193] 도 33a 내지 도 33c는 본 발명의 더블 컨벡스 MLP의 또다른 실시예를 보여준다. 더블 컨벡스 MLP(2500)는 일반적으로 다이 패드(2504), 내부 리드들(2506) 및 외부 리드들(2508)을 갖는 리드 프레임을 포함한다. 몰딩 물질로 된 MLP 몸체(2510)이 리드 프레임의 일부, 다이 패드(2504), 내부 및 외부 리드들(2506, 2508)을 각기 둘러싼다. 집적회로 다이 또는 칩(2520)이 다이 패드(2504)의 제1 또는 상부 표면에 예를 들어, 접착 테이프와 같은 열적-도전적 방식으로 부착된다. 접착 테이프(2522)는 다이 패드(2504)로부터 내부



리드들(2506)의 상부 표면까지 연장된다. 다이(2520)는 다이 패드(2504)에 부착되는 면을 제외하고 몸체(2510) 내에 둘러싸인다. 본드 와이어(2550)가 내부 및 외부 리드들(2506, 2508)을 각기 다이(2520)에 전기적으로 연결시킨다. 다이 패드(2504)에 부착되는 다이 또는 칩(2520)은 접착 테이프(2522)에 비하여 작게 도시하였지만, 도 33d에서 보여지는 바와 같이 다이 또는 칩(2520)은 접착 테이프(2522)의 길이에 상응하는 크기가 될 수 있다.

[도 33a] 발명의 더블 컨벡스 MLP의 다른 실시예의 단면도들



[0194] 몸체(2510)의 바닥 또는 하부 표면(2552)은 MLP(2000)와 관련하여 전술한 바와 같이 이중으로 볼록한 더블 컨벡스(double convex) 형태를 갖는다는 점에서 MLP(2000)와 유사하다. 특히, 하부 표면(2552)은 두 세트의 오목한 딤플 또는 리세스(2530, 2540)들을 포함한다. 한 세트의 딤플/리세스(2530)들은 내부 리드들(2506)에 상당하며, 다른 세트의 딤플/리세스(2540)들은 외부 리드들(2508)에 상당한다. 각 세트의 딤플/리세스(2530, 2540)들은 패키지 몸체(2510)의 하부 또는 바닥 표면(2552)으로부터 일정한 거리 또는 깊이로 함몰된다. 각 리드들(2506, 2508)의 바닥 표면의 일부는 각 상당하는 딤플/리세스들(2530, 2540) 내에서 외부 환경에 노출된다. 환언하면, 딤플/리세스들(2530, 2540) 내에서 리드들(2506, 2508)의 바닥 표면들은 몸체(2510)를 형성하는 몰딩 물질에 의해 덮이지 않고 외부로 노출된다.

[0195] 딤플들/리세스들(2530, 2540)은 리드들(2506, 2508)이 MLP(2500)가 장착된 회로 보드(도 37의 3000)로부터 및/또는 그 위로 일정한 거리만큼 떨어질 수 있도록 해준다. 따라서, 딤플들/리세스들(2530, 2540)은 MLP(2500)의 리드들(2506, 2508)을 회로 보드(3000)에 전기적으로 연결하는 솔더 조인트(도 37의 3004)들이 원하는 바의 높이 또는 최

소한의 높이를 갖는 것을 보장해줌으로써 이들 솔더 조인트들(3004)의 접착력 및 기계적 강도와, MLP(2000)의 신뢰성을 증진시켜준다.

[0197] MLP(2500)의 바닥은 다이 패드(2504)의 하부 표면(참조번호 없음), 즉 다이(2520)가 부착된 표면의 반대쪽 표면을 노출시키는 중앙 리세스(2560)을 더 포함한다. 중앙 리세스(2560)는 다이 패드(2504)의 하부 표면이 패키지 몸체(2510)의 하부 또는 바닥 표면(2552)으로부터 일정한 거리만큼 이격되고, 그리하여 MLP(2500)가 장착되는 회로 보드(도시되지 않음)로부터 그 위로 일정한 거리만큼 이격되는 것을 보장해준다. 따라서 다이 패드(2504)가 회로 보드의 표면상의 회로 선 또는 도전체와 접촉할 및/또는 전기적으로 단락할 가능성이 현저히 감소된다.

#### ㉔ 발명의 효과

[0201] 본 발명에 따른 더블 컨벡스 MLP의 각 실시예들은 주어진 패키지 크기에 대하여 더블 컨벡스 구조를 갖지 않는 종래의 MLP 패키지에 비하여 핀 또는 리드 수가 증가된다는 것을 알 수 있다. 예를 들어, 표준 패키지 크기 또는 7 mm 스퀘어의 치수를 갖는 더블 컨벡스 구조를 갖지 않는 종래의 MLP는 0.5 mm의 리드 피치에서 48 핀/리드를 가지는 것에 비하여, 본 발명의 더블 컨벡스 MLP는 0.5 mm의 리드 피치에서 80 핀의 최대 핀/리드 수를 가지며, 0.65mm 피치에서 68 핀을 갖는다.



[별지 3]

선행발명 5

발명의 명칭: 회로 장치 및 그의 제조방법

㉠ 발명이 속하는 기술분야

[0001] 본 발명은 회로 장치 및 그의 제조방법에 관하고, 특히, 회로 장치의 측면부에 전기 전도 패턴을 노출시키는 회로 장치 및 그의 제조방법에 관한.

㉡ 종래의 기술

[0002] 종래에 있어서의 회로 장치로는, 휴대전화, 휴대용의 컴퓨터 등에 채용되기 때문, 소형화, 박형화, 경량화가 요구되고 있다. 이러한 요구를 충족시키기 위해서 개발된 회로 장치의 하나의 예로서, 예를 들면 도 11에 내보이는 것 같은 회로 장치가 있다 (예를 들면, 특허문헌 1을 참조).

[0003] 회로 장치 100은, 분리홀 109에 의해 전기적으로 분리된 복수개의 전기 전도 패턴104과, 전기 전도 패턴 104위로 고착된 회로요소 106과, 반도체 소자인 회로요소 106 A와 전기 전도 패턴 104B를 전기적으로 접속하는 금속 세선 108과, 전기 전도 패턴 104의 뒷면을 노출시켜서 전기 전도 패턴 104, 회로요소 106을 밀봉 하는 절연성 수지 109과로부터 구성되어 있다.

[0004] 상술로부터 명확한 것 같이, 회로 장치 100은, 세라믹 기판 등의 지지 기판을 불필요로서 구성되어 있다. 따라서, 회로 장치 100은 경량·슬림형의 물건으로 이루어져 있었다.

㉢ 발명이 해결하고자 하는 과제

[0007] 본 발명은 앞서 말한 문제점에 비추어 보아서 이뤄져, 본 발명의 주목적은, 전기 전도 패턴이 회로 장치의 측면에 노출하는 것으로, 회로 장치와 실장 기판과의 접합을 행하는 납땜재의 좋고 나쁨 판정을 시각적으로 행할 수 있는 회로 장치 및 그의 제조방법을 제공하는 것에 있다.

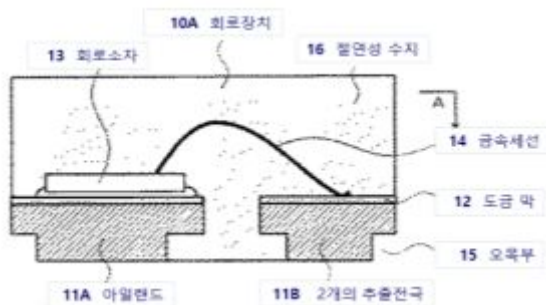
㉣ 발명의 실시의 형태

[0010] (회로 장치 10의 구성을 설명하는 제1의 실시 형태) 그림 1을 참조하고, 본 발명의 회로 장치 10A는, 아일랜드 11A 및 아일랜드 11A에 근접해서 배치된 추출 전극 11B를 적어도 형성하는 전기 전도 패턴 11과, 아일랜드 11A에 고착된 회로요소 13과, 전기 전

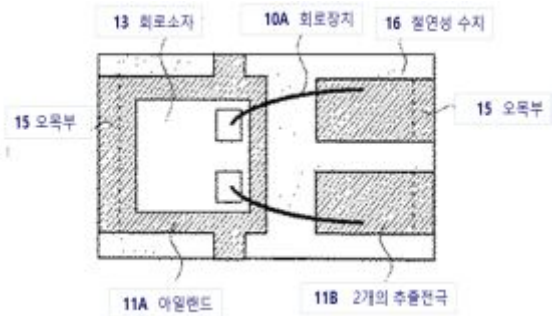
도 패턴 11의 표리면을 일체에 밀봉 하는 절연성 수지 16을 갖추고, 절연성 수지 16의 측면보다도 안쪽에 쏙 들어간 오목한 부분 15을 갖는 전기 전도 패턴 11을 노출시키는 구성으로 되어 있다. 이러한 각 구성요소를 이하에서 설명한다. 그림 1(A)은 회로 장치 10A의 단면도이며, 그림 1(B)은 그림 1(A)의 A-A"면에서 본 회로 장치 10A의 평면도이며, 그림 1(C)은 납땜재 16을 통해서 회로 장치 10A를 구현한 상태의 단면도다.

[0011] 그림 1(A) 및 그림 1(B)을 참조하고, 아일랜드 11A 및 추출 전극 11B를 구성하는 전기 전도 패턴 11은, 구리 등의 금속으로부터 형성된다. 여기에서는, 회로요소 13이 구현되는 1개의 아일랜드 11A와, 금속 세션 14을 통해서 회로요소 13과 전기적으로 접속되는 2개의 추출 전극 11B가 형성되고 있다. 또, 전기 전도 패턴 11의 단면형상은, 그 상부가 하부보다도 크게 형성되어, 상부가 옆쪽에 밀어내는 형상이 되고 있다. 따라서, 전기 전도 패턴 11이 밀어낸 상부의 뒷면에 절연성 수지 16이 돌아 들어가므로, 전기 전도 패턴 11이 절연성 수지 16에 의해 표리 일체에 밀봉 되어 있다. 또, 전기 전도 패턴 11의 뒷면은, 절연성 수지 16의 뒷면으로부터 노출하고 있다. 또, 전기 전도 패턴 11의 표면에는, Ag 도금 등의 도금 막 12이 형성되어도 좋다.

[도 1A] 본 발명의 회로 장치를 설명하기 위한 단면도(A)



[도 1B] 본 발명의 회로 장치를 설명하기 위한 평면도(B)



[0012] 오목한 부분 15은, 절연성 수지 16로부터 이루어지는 회로 장치의 측면에 노출한 전기 전도 패턴 11을 쏙 들어가게 하는 것에 의해 형성되고 있다. 여기에서는, 주변부의 전기 전도 패턴 11에 단차를 설치하는 것으로, 오목한 부분 15을 형성하고 있다. 따라서, 오목한 부분 15의 단면에서는, 측면 및 상면에는 전기 전도 패턴 11이 노출하고 있다.

[0013] 회로요소 13은, 베어의 트랜지스터 팁(칩)이 채용되어, 아일랜드 11A 상면에 납땜 등의 납땜재를 통해서 구현되고 있다. 또, 트랜지스터이외의 소자를 채용하는 것도 가능

해서, 칩(칩)저항, 칩커패시터, 다이오드 등을 회로요소 13로서 채용할 수도 있다. 더욱이 IC칩을 회로요소 13로서 채용할 수 있다. 이 경우는, 회로 장치 10A의 중앙 부에 IC칩이 배치되어, IC칩을 둘러싸게 복수개의 추출 전극 11B가 설치된다.

[0014] 절연성 수지 16로서는, 열가소성 수지 또는 열경화성 수지의 모두 채용할 수 있다.

[별지 4]

선행발명 6

발명의 명칭: 스탬핑 가공을 이용하여 형성되는 형상을 가지는 반도체 소자 패키지

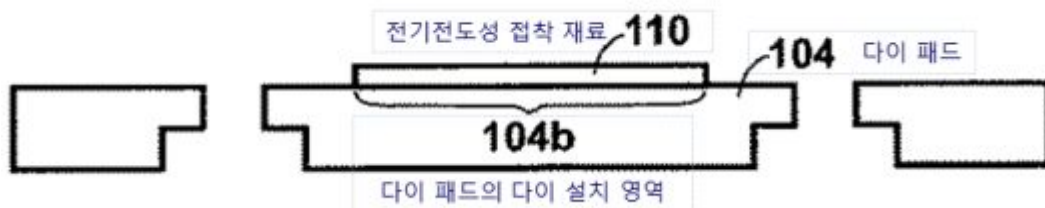
㉠ 기술분야

[0001] (관련 출원의 상호대조) 본 특허출원은, 모든 점에서 참조되어 그 내용 전체를 본명세서에 집어 넣을 수 있는, 출원된, 미국 특허가출원 제61/042,602호의 우선권을 주장한다.

㉡ 배경기술

[0006] 그림 1D는, 다이 패드 104의 다이 설치 영역 104b 상의 전기전도성 접착 재료 110의 형성을 나타내고 있다. 이 전기전도성 접착 재료는, 용해 상태로 용착(溶着) 및 무른 땀질을 포함하고 있어도 상관없다. 또 대신, 이 전기전도성 접착 재료는, 용제 등의 결합제 중에 녹은 땀납이 소형의 입자상태에서 용착(溶着) 및, 땀납 페이스트로부터 되고 있어도 좋다.

[도 1D] 패키지를 제작하기 위한 종래 제조법의 단면도



[0011] 여기서 기재한 종래의 제조법 흐름은, 반도체 소자 패키지를 형성하기 위해서 충분하지만, 몇 가지의 결점을 들 수 있다. 구체적으로는, 그림 1C로 가리킨 부분적 에칭 공정은, 실현하는 것이 곤란해서, 그 때문에 반도체 장치의 제조비용을 증대시키는 요인이 되고 있다. 또, 이 부분적 에칭 공정은, 고정밀도의 마스크 형태화 가공, 계속되는 노출면의 부분적 에칭 가공, 그 후의 마스크 제거를 포함하는 다수의 공정을 포함하고 있다. 게다가, 금속 룰의 부분적 에칭 가공은, 충분한 정밀도와 재현성을 갖아서 중지하는 것은 곤란할 경우가 있다.

㉔ 발명이 해결하려고 하는 과제

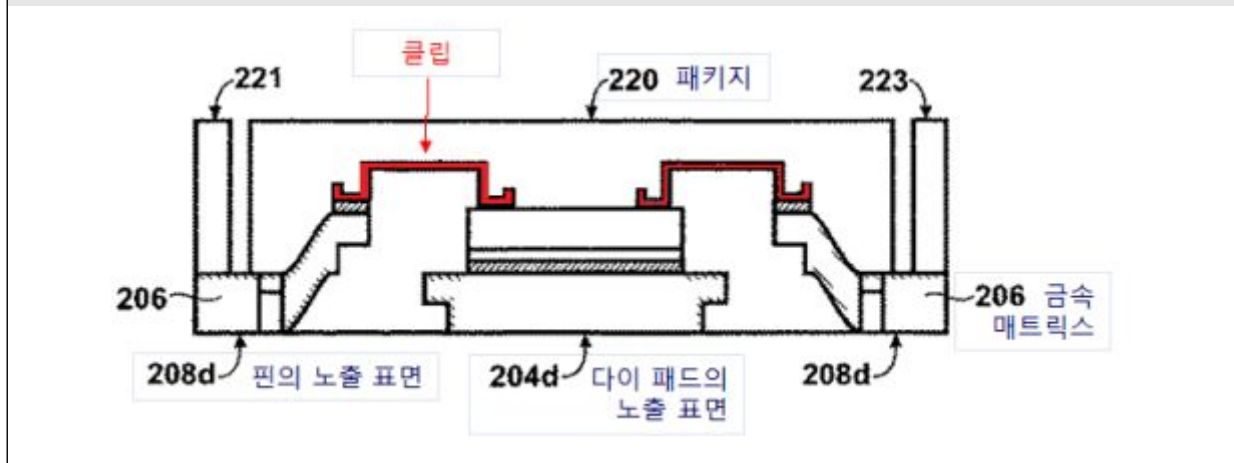
[0012] 따라서 부분적 에칭 공정을 필요로 하지 않는, 반도체 소자 패키지를 형성하기 위한 제조법이, 당 기술분야에서 요청되고 있다.

㉕ 발명을 실시하기 위한 형태

[0031] 다이 패드 204에 인접하는 핀 208이 들어 올릴 수 있었던 부분 208a의 끝에도 피전기도금 재료가 존재하는. 이하로 상술 되도록, 이 피전기도금 영역은 지지를 받는 다이의 상표면으로부터 전기전도성의 본드 와이어나 본드 리본, 본드 클립을 받는 것을 예정되고 있다.

[0037] 그림 2K의 패키지 싱글레이션 가공은, 핀의 일부 208의 노출 표면 208d와 다이 패드 204의 노출 표면 204d를 갖는 패키지 220을 브라운 옥사이드가 벗겨내진 상태인 채로 해 두고, 하부의 프린티드 서킷(PC)기판 (여기서는 용도 설명하지 않는다)에 납땜하기 위한 준비를 한다.

[도 2J] 패키지를 형성하기 위한 본 발명에 의한 제조법의 실시 형태의 단면도

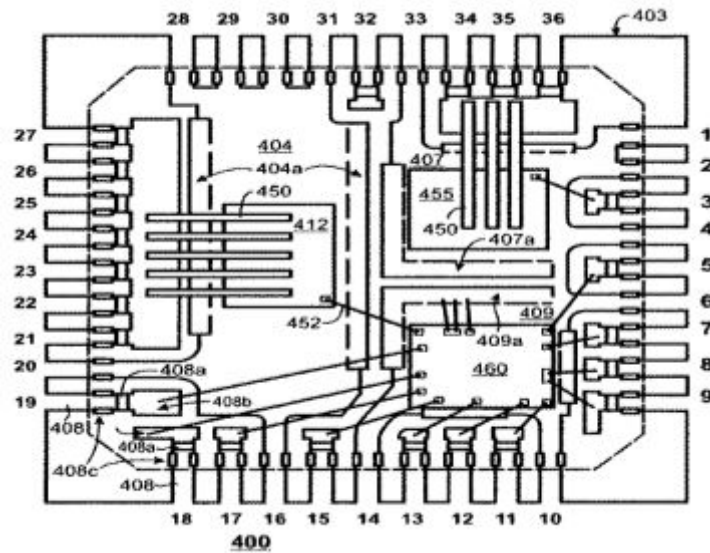


[0042] 4번째 공정(308)에서는, 리드 프레임의 일부가 적절한 금속으로 선택적으로 전기 도금되어도 좋다. 그러한 피전기 도금 영역의 실시에는, 다른 쪽 끝이 다이에 접속되어 있는 와이어나 리본, 클립 등의 결합 구조체의 끝을 받는 것이 예정되는 다이 부착면이나 핀의 융기한 일부를 포함한다.

[0047] 8번째 공정(316)에서는, 하나 또는 복수의 결합 구조체가, 다이와 적절한 핀의 표면 사이에 장착된다. 이 표면은 전기 도금되어 있어도 좋다. 전술한 것과 같이, 결합 구조체는 전도성의 클립, 와이어, 혹은 리본이어도 좋다.

[0056] 게다가, 실시 형태의 몇 가지는, 본드 와이어 대신 클립의 사용을 포함한다. 이러한 본드 클립의 사용은, 다이의 접촉점과 주위의 핀과의 사이에 전기적 결합의 저항을 감소하는 것을 가능하게 한다. 그리고 이는, 앞으로 큰 다이에 필적하는 퍼포먼스를 갖는 종래보다 작은 다이의 사용을 가능하게 한다.

[도 4B] 그림 4A의 패키지의 다이와 결합 구조체를 가리키는 평면도



선행발명 7

발명의 명칭: 반도체 패키지

㉠ 발명이 속하는 기술분야 및 그 분야의 종래기술

[0002] 본 발명은 반도체 패키지에 관한 것으로, 더욱 상세하게 설명하면 반도체 다이와 접촉 플레이트 사이를 전기적으로 연결하는 브릿지가 자기 정렬되고, 그 브릿지의 이탈을 방지할 수 있는 반도체 패키지에 관한 것이다.

[0008] 그러나, 이러한 종래의 반도체 패키지는 제조 공정중 반도체 다이와 접촉 플레이트를 브릿지로 연결 및 고정하는 단계에서 솔더의 리플로우시에 상기 브릿지의 위치가 변경되는 문제가 있다. 즉, 상기 브릿지의 다운셋 돌기부가 비록 접촉 플레이트의 절개부에 결합되기는 하지만, 솔더 리플로우시에 상기 솔더의 유동성으로 인하여 반도체 다이 상면에 위치되는 브릿지의 위치가 틀어지고 이에 따라 브릿지의 연결 불량률이 다량으로 발생하는 문제가 있다. 더불어, 상기 솔더의 리플로우시에 상기 브릿지의 다운셋된 돌기부가 접촉 플레이트의 절개부에서 상부 및 수평 방향으로 움직여 결국 브릿지가 접촉 플레이트에서 이탈되는 현상도 발생한다.

㉡ 발명이 이루고자 하는 기술적 과제

[0009] 본 발명은 상기와 같은 종래의 문제를 해결하기 위해 안출한 것으로, 본 발명의 목적은 반도체 다이와 접촉 플레이트 사이를 전기적으로 연결하는 브릿지가 자기 정렬되고, 그 브릿지가 이탈되는 현상을 억제할 수 있는 반도체 패키지를 제공하는데 있다.

㉢ 발명의 구성 및 작용

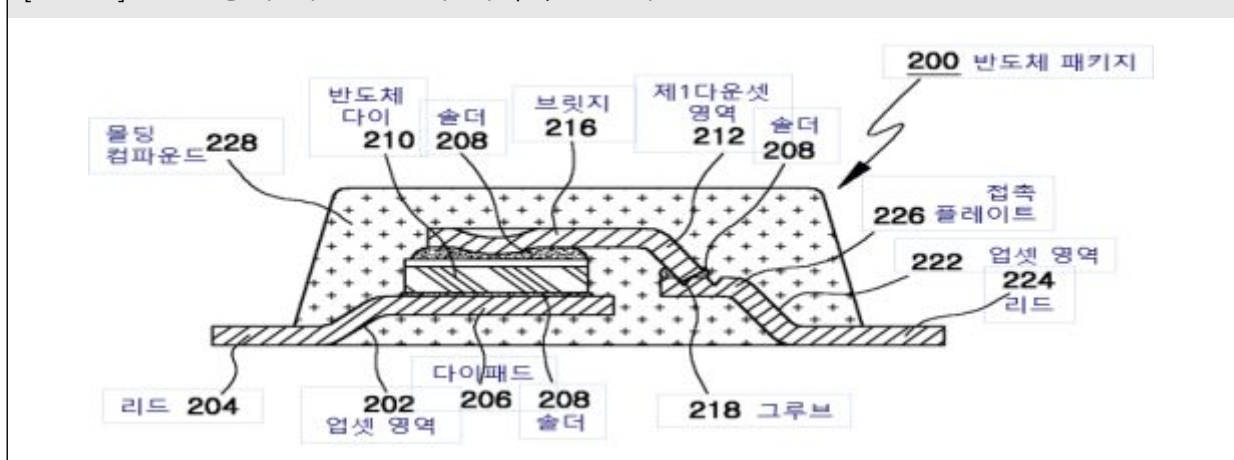
[0016] 도 2a를 참조하면 본 발명에 의한 반도체 패키지(200)에 이용된 다이패드(206), 접촉 플레이트(226) 및 브릿지(216)의 평면도가 도시되어 있고, 도 2b를 참조하면 그 반도체 패키지(200)의 단면도가 도시되어 있다.

[0017] 도시된 바와 같이 본 발명에 의한 반도체 패키지(200)는 사각판 형태로서 일 측에 업셋 영역(202)과 리드(204)가 연결된 다이패드(206)와, 상기 다이패드(206)의 상면에 솔더(208)로 고정된 반도체 다이(210)와, 상기 반도체 다이(210)의 상면에 솔더(208)로 고정되고 일 측에는 하향 절곡된 제1다운셋 영역(212)이 형성되고, 상기 제1다운셋 영역(212)의 양측부에는 상기 제1다운셋 영역(212)보다 더 하향절곡된 제2다운셋 영역(214)이 형성된 브릿지(216)와, 상기 브릿지(216)의 제1다운셋 영역(212)이 일 측의 상면에 고정되

도록 고정부가 형성되고, 타측에는 업셋 영역(222) 및 리드(224)가 형성된 접착 플레이트(226)와, 상기 다이패드(206), 반도체 다이(210), 브릿지(216) 및 접착 플레이트(226)가 몰딩되되, 상기 다이패드(206) 및 접착 플레이트(226)에 형성된 리드(204)(224)는 외부로 돌출 및 노출되도록 하는 몰딩 컴파운드(228)로 이루어져 있다.

[0018] 여기서, 상기 접착 플레이트(226)의 상면에 형성된 고정부는 단면상 대략 역삼각 모양으로 움푹 들어간 다수의 그루브(218)(groove)일 수 있으며, 상기 브릿지(216)의 제1다운셋 영역(212)의 단부는 상기 그루브(218)에 결합되어 수평 방향으로의 이탈이 억제된다. 물론, 상기 브릿지(216)의 제1다운셋 영역(212)과 상기 그루브(218)의 완전한 고정은 솔더(208)로 이루어진다.

[도 2b] 본 발명에 의한 반도체 패키지를 도시한 단면도



[0023] 도5a를 참조하면 본 발명에 의한 다른 반도체 패키지(500)에 이용된 다이패드(506), 접착 플레이트(526) 및 브릿지(516)의 평면도가 도시되어 있고, 도5b를 참조하면 그 반도체 패키지(500)의 단면도가 도시되어 있다. 여기서는 대부분의 구성이 상기 도3a 및 도3b에 도시된 반도체 패키지(300)와 유사하므로 그 차이점만을 설명하면 다음과 같다.

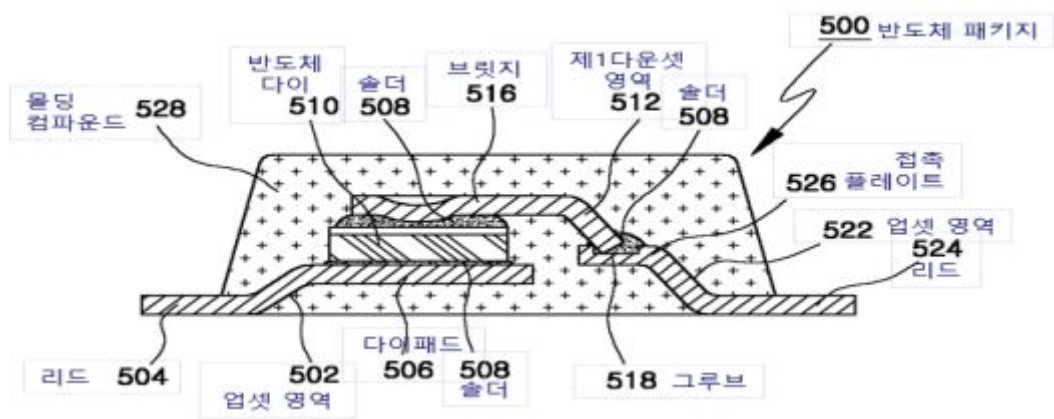
[0024] 도시된 바와 같이 접착 플레이트(526)의 상면에 형성된 고정부는 하나의 코이닝(518)(coining)과, 상기 코이닝(518)의 양측에 형성된 절개부(530)일 수 있다. 여기서, 상기 코이닝(518)에는 브릿지(516)의 제1다운셋 영역(512)이 결합되고, 상기 절개부(530)에는 브릿지(516)의 제2다운셋 영역(514)이 결합됨으로서, 상기 브릿지(516)의 수평 방향에 대한 이탈을 더욱 적극적으로 억제하게 된다.

[0025] 이러한 본 발명에 의한 반도체 패키지(200)(여기서는 도2b에 도시된 반도체 패키지를 중심으로 설명함)는 통상 다이패드(206)와 접착 플레이트(226)가 일체로 형성된 리



드프레임(도시되지 않음)을 이용한다. 물론, 상기 리드프레임 중 접촉 플레이트(226)의 상면에는 브릿지(216)의 제1다운셋 영역(212)이 고정될 수 있도록, 고정부가 형성되며 이는 그루브(218)(groove), 코이닝(318)(coining) 또는 상부로 업셋된 영역(418) 중 어느 하나일 수 있다. 더불어, 상기 고정부의 양측부에는 상기 브릿지(216)의 제2다운셋 영역(214)이 결합될 수 있도록 절개부(530)가 더 형성될 수 있다.

[도 5b] 본 발명에 의한 반도체 패키지를 도시한 단면도



[별지 6]

선행발명 9

발명의 명칭: 반도체 장치

㉠ 기술분야

[0001] 본 발명은 반도체기술에 관하고, 특히, 파워 트랜지스터를 갖는 반도체 칩(칩)이라고 파워 트랜지스터를 구동하는 구동용 회로를 갖는 반도체 칩(칩)을 하나의 패키지내에 포함하는 반도체장치에 적용해서 유효한 기술이다.

㉡ 배경기술

[0003] 트랜지스터 안에는, 대전류를 흐르게 할 수 있는 파워 트랜지스터라고 불리는 것이 있다. 걸리는 파워 트랜지스터는, 최근, 특히 자동차등으로 이용되는 모터 구동용 회로에서 이용되고, 그 수요가 커지고 있다.

[0004] 특허문헌 1에는, 파워 트랜지스터를 갖는 하나의 반도체 칩(칩)을 하나의 패키지내에 포함하는 반도체장치가 공개되고 있다.

[0005] 특허문헌 2, 3에는, 하나의 패키지 안(속)에, 파워 트랜지스터를 갖는 반도체 칩(칩)과 그 제어용 회로를 갖는 반도체 칩(칩)이 수용된 구성이 공개되고 있다.

㉢ 발명이 해결하려고 하는 과제

[0006] 파워 트랜지스터를 갖는 반도체 칩(칩)과, 이 파워 트랜지스터를 구동하는 구동용 회로를 갖는 반도체 칩(칩)을 각 각별 패키지에 탑재했을 경우에는, 이 패키지를 배선기판 등에 구현할 때에 구현 면적이 커지거나, 전기적 특성이 열화한다고 한 문제가 있다.

[0007] 또, 상기 배선기판위로는 구동용 회로를 제어하는 제어용 회로를 포함하는 반도체 칩(칩)이 탑재된 다른 패키지가 구현되어, 배선기판상의 배선을 통해서 제어용 회로와 구동용 회로가 전기적으로 접속된다. 이 경우, 배선기판상의 배선 레이아웃에 따라서는 배선장이 길어져 전기적 특성의 열화에 연결된다고 한 문제가 생긴다.

[0008] 본 발명의 목적은, 파워 트랜지스터를 갖는 반도체 칩(칩)과 상기 파워 트랜지스터를 구동하는 구동용 회로를 갖는 반도체 칩(칩)을 포함하는 반도체장치의 특성을 향상시키는 것에 있다.

[0009] 또, 본 발명의 목적은, 상기 반도체장치의 소형화를 도모하는 것에 있다.

[0010] 또, 본 발명의 목적은, 반도체장치의 구성을, 구현시의 배선이 효율적으로 실시

할 수 있도록 하는 것에 있다.

[0011] 본 발명의 상기 및 기타의 목적과 새로운 특징은, 본명세서의 기술 및 첨부 도면으로부터 밝혀질 것이다.

#### ㄹ 발명의 효과

[0014] 본원에 있어서 공개되는 발명 가운데, 대표적인 것에 의해 얻을 수 있는 효과를 간단히 설명하면 아래와 같다.

[0015] 본 발명에서는, 파워 트랜지스터 등의 팁(칩)을 탑재하는 다이 패드와, 구동용 회로를 포함하는 팁(칩)을 탑재하는 다이 패드를 독립으로 분할하고, 파워 트랜지스터의 팁(칩) 출력용 측각, 구동용 회로를 포함하는 팁(칩)의 제어용 핀이, 반대 방향에 돌출하도록 했으므로, 구현시의 배선을 직접 선상 등으로서 짧게 설정할 수 있다.

#### ㄴ 발명을 실시하기 위한 최선 형태

[0019] 본실시의 형태 반도체장치 10은, 복수의 반도체 팁(칩) (이하, 간단히 팁(칩)이라고 할 경우도 있다) 20을 각각 독립한 다이 패드30에 탑재하고, 또한, 복수의 반도체 팁(칩)20을 하나의 밀봉체 40로 밀봉 밀 패키징 구성으로 되어 있다.

[0020] 즉, 반도체장치 10은, 그림1, 그림2 (a), (b) 와(과) 같이, 파워 트랜지스터를 포함하는 제원-칩21과, 파워 트랜지스터를 구동하는 구동용 회로를 포함하는 제2 팁(칩)22을 갖고 있다.

[0021] 걸리는 제원-칩21은, 제1 다이 패드31위로 탑재되고 있다. 제원-칩21은, 팁(칩)의 주면(主面)에 형성된 출력용 전극으로, 출력용 핀51과 판자형전극 61에 의해 전기적으로 접속되고 있다.

[0022] 걸리는 판자형전극 61은, 그림2 (c) 와(과) 같이, 폭이 넓은 판자형에 형성된 팁(칩)측 전극접속부 61a와, 리드용 전극접속부 61b 으로 이루어지고, 팁(칩)측 전극접속부 61a와 리드용 전극접속부 61b와의 접속면은, 서로 평행에 형성되고 있다. 걸리는 매우 틀려서 평행하게 형성된 팁(칩)측 전극접속부 61a와, 리드용 전극접속부 61b와는, 연결부 61c에 의해 연결되고 있다.

[0023] 또, 걸리는 판자형전극 61은, 그림 2(c)와(과) 같이, 그 주위가 안쪽보다 얇게 형성되어, 판자형전극 61의 팁(칩) 20측의 전극, 혹은 출력용 핀 51측과의 접속성이 높아지도록 되고 있다.

[0024] 한편, 제2 팁(칩)22은, 제어용 핀52과, 와이어 본딩에 의한 와이어70로 전기적으로 접속되고 있다. 또, 제원-칩21과 제2 팁(칩)22도, 와이어 본딩에 의해 와이어70로 전

기적으로 접속되고 있다.

[0025] 즉, 제원-칩21의 Gate단자a, Cathode단자b, Anode단자c, SenseSource단자d, SenseGND단자e는 각각 제2 팁(칩)22의 대응 부분에, 와이어70a, 70b, 70c, 70d, 70e에 의해 접속되고 있다. 또, 제2팁(칩)22의 구동용 회로의 VB단자A, Vin끝B, Diag단자C, C1단자D, C2단자E, VCP단자F, VDDTEST단자G, GND단자H는, 각각 제어용 핀52의 대응 핀에, 와이어70A, 70B, 70C, 70D, 70E, 70F, 70G, 70H에 의해 접속되고 있다.

[0026] 이렇게 제1 다이 패드31에 탑재된 제원-칩21과, 제2 다이 패드32에 탑재된 제2 팁(칩)22이, 서로 와이어70로 접속되어, 동시에 제원-칩21이 출력용 핀51에, 제2 팁(칩)22이 제어용 핀52에 접속된 구성이, 레진에서 밀봉 되어, 밀봉체 40이 형성되고 있다.

[0027] 제1 다이 패드31위로 탑재된 제원-칩21과, 제2 다이 패드32위로 탑재된 제2 팁(칩)22란, 밀봉체 40에 의해 덮여져 있다. 제1 다이 패드31과, 제2 다이 패드32란, 그 일부가, 밀봉체 40에 의해 덮여져 있다.

[0028] 즉, 제1 다이 패드31과, 제2 다이 패드32란, 그림1 와(과) 같이, 측면의 일부 노출 부분 33 (그림중, 이해하기 쉬운 것 같이 사선표시한 부분)이 밀봉체 40로부터 노출되어, 측면의 일부가 밀봉체 40내(內)에 위치하고 있는 것이다.

[0029] 또, 그림2 (a), (b) 와(과) 같이, 제1 다이 패드31, 제2 다이 패드32의 뒷면측, 즉 탭 부분이, 밀봉체 40로부터 노출되고 있다.

[0030] 걸리는 밀봉체 40로부터는, 상기 복수책의 출력용 핀51과, 복수책의 제어용 핀52이, 돌출되고 있다. 돌출 방향은, 출력용 핀51과 제어용 핀52이, 서로 반대측을 향하게 설치되고 있다.

[0031] 즉, 출력용 핀51측이 돌출하고 있는 밀봉체 40측의 근처(변)을 제1변 41이라고 해서 제어용 핀52이 돌출하고 있는 측의 근처(변)을 제2변 42로 하면, 출력용 핀51은, 제2변 42과 마주하는 제1변 41측에서 돌출되고 있는 것이 된다. 동일하게, 제어용 핀52은, 제1변 41과 마주하는 제2변 42측에서 돌출되고 있는 것이 된다.

[0032] 걸리는 복수책의 출력용 핀51의 배열 방향은, 밀봉체 40의 제1변 41과 평행해지게 설치되고 있다. 동일하게, 제어용 핀52도, 밀봉체 40의 제2변 42측과 평행해지게 설치되고 있다.

[0039] 게다가, 걸리는 다이 패드(30)에서는, 그림 2(a), 그림 3과 같이, 제1 다이 패드(31), 제2 다이 패드(32) 동시에, 팁(칩) 탑재면의 끝부분(30a)의 주위가, 탑재한 팁(칩)(20)의 상면보다도 높게 설정되고 있다.

[도 3] 다이 패드의 모양을 모식적으로 나타내는 단면도



[0040] 이렇게 다이 패드 30의 팁(칩) 탑재면의 끝부분 30a를, 팁(칩)20의 최상부에서 높고 설정해 두는 것으로, 팁(칩) 20을 다이 패드 30의 탑재면에서 떼는 것 같은 변형력이 다이 패드 30에 걸려도, 걸리는 변형력이 즉시 팁(칩) 20 뒷면측에 전달되지 않고, 높고 형성된 끝부분 30a로 저항할 수 있기 위해서다. 걸리는 끝부분 30a를 채용하는 것으로, 접속 신뢰성의 확보도 도모하고 있는 것이다.

[0043] 걸리는 반도체장치 10에서는, 출력용 핀 51, 제1 다이 패드 31, 제2 다이 패드 32, 제어용 핀 52은, 동일한 1장 구성의 리드 프레임 50을 이용해서 형성되고 있다. 예를 들면, 그림 1에 가리킬 경우에는, 판두께가 동일한 리드 프레임 50이 사용되어, 그림 2(a), (b)와(과) 같이, 출력용 핀 51, 제1 다이 패드 31, 제2 다이 패드 32, 제어용 핀 52의 두께가 동일하게 설정되고 있다.

[0044] 그러나, 그림 1에 내보이는 반도체장치 10에서는, 동일한 판두께의 리드 프레임 50이 아니고, 다이 패드 30부분을 리드 부분보다 두껍게 형성한 리드 프레임 50을 사용할 수도 있다. 걸리는 구성의 리드 프레임 50을 사용했을 경우의 단면도를, 그림 5(a)에 내보였다.

[0045] 그림 5(a)에서는, 다이 패드 30(제1 다이 패드 31, 제2 다이 패드 32)을 형성하는 리드 프레임 50부분이, 출력용 핀 51, 제어용 핀 52을 각각 형성하는 리드 50a부분보다도 두껍게 형성되고 있다. 즉, 리드 프레임 50의 다이 패드 30에 상당하는 부분만이, 판두께가 두껍게 형성되고 있는 것이다.

[0075] 이렇게하여 다이싱에 의해 개편화된 팁(칩)을, 공급된 납땜 페이스트와 리드 프레임을 이용하고, 스텝S104에 의해, 리드 프레임의 다이 패드 위로 다이 본딩 하는 . 개 실시의 형태 반도체장치 10에서는, 상기 의 미치는, 2개의 팁(칩)이 탑재되기 때문에, 다이 본딩은 2회 행하여지는 것이 된다. 예를 들면, 제2 팁(칩)22을 다이 본딩 하고, 그 후에 제원-칩21을 다이 본딩 하면 좋다. 걸리는 다이 본딩에 의해, 2개의 팁(칩)은, 뒷면전극이 다이

패드에 접속되는 것이 된다.

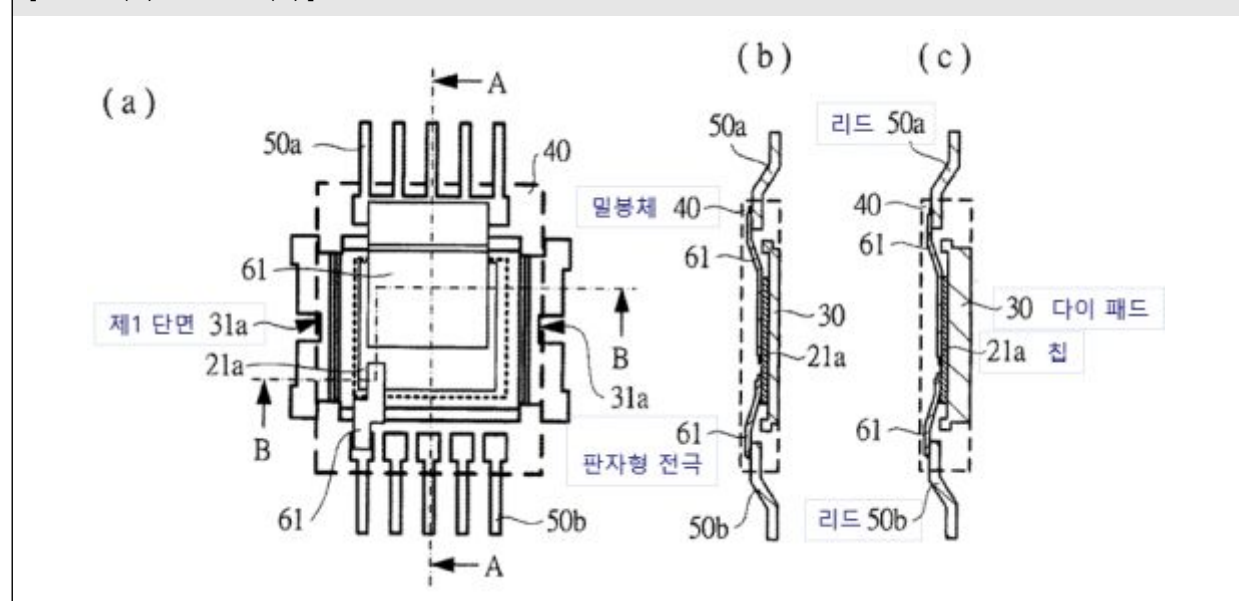
[0076] 그 후, 스텝 S105로, 공급된 납땜 페이스트와 판자형 전극용의 클립 프레임을 이용하고, 클립 본딩을 행한다. 걸리는 클립 본딩에 의해, 제원-칩21의 주면(主面)에 형성된 전극과, 출력용 핀 51이 접속되는 것이 된다. 그 후, 스텝 S106로 정해진 온도에 가열해서 일괄 역류를 행해 상기 납땜 페이스트에 의한 본딩을 완성된다.

[0089] (실시의 형태 2) 개 실시의 형태에서는, 상기 실시의 형태 1로 말한 것 같이, 1장 구성의 다이 패드에서도 제1 단면 31a의 벤 자국을 깊이 형성해 두는 것에 의해, 다이 패드를 분할 구성했을 경우에 사용되는 몰드 금형으로, 몰드를 실시할 수 있을 경우에 대해서 설명한다.

[0090] 다이 패드 30의 분할 구성에서는, 상기의 미치는, 제1 단면 31a의 벤 자국을 깊이 형성하는 것이 중요하지만, 걸리는 분할 구성시에 사용하는 금형을 이용해도, 1장 구성의 다이 패드 30에 적용하는 것으로, 충분히 적절한 밀봉체 40을 형성할 수 있다.

[0091] 예를 들면, 그림 11에 가리킬 경우는, 다이 패드 30은 분할 구성되지 않고 있지만, 제1 단면 31a는, 밀봉체 40의 안쪽에 들어가게 깊이 형성되고 있다. 걸리는 다이 패드 30위로는 팁(칩) 21a가 탑재되어, 소스 전극은 출력용 핀 등에 형성된 리드 50a에 대하여 판자형전극 61로 접속되고 있다. 또, 게이트 전극도, 와이어 접속이 아니고 판자형전극 61로 리드 50b에 접속되어, 무선의 구조를 갖고 있다.

[도 11(a)에서 11(c)] 본 발명의 실시의 형태 2를 나타내는 도면



[0092] 걸리는 구성에서는, 동일한 리드 프레임 50로, 리드 50a, 50b, 다이 패드 30이 형성되어, 판두께가 동일하게 형성되고 있다. 걸릴 경우를, 그림 11(b), (d)에 내보였다. 또, 다이 패드 30부분이 두꺼운 구성의 리드 프레임 50을 이용해도 형성할 수 있고, 그림 11(c), (e)에 그 예를 제시했다. 걸리는 반도체 장치로는, 예를 들면, 그림 11(f)에 내보이는 것 같은 회로 구성이 채용되고 있다.

[0093] (실시의 형태 3) 개 실시의 형태에서는, 상기 실시의 형태 2과 동일하게, 다이 패드 30이 분할 구성되지 않고 있는 다른 예에 대해서 설명한다. 그림 12(a)와(과) 같이, 다이 패드 30위로, 예를 들면 MOSFET인 팁(침) 21a가 탑재되었을 경우를 들 수 있다. 걸릴 경우라도, 상기 금형밀봉으로 말한 것 같이, 다이 패드 30의 제1 단면 31a가 깊이 형성되고 있기 때문에, 몰드 때에 레진 누설을 방지하고, 충분한 정밀도로 밀봉체 40을 형성할 수 있다.

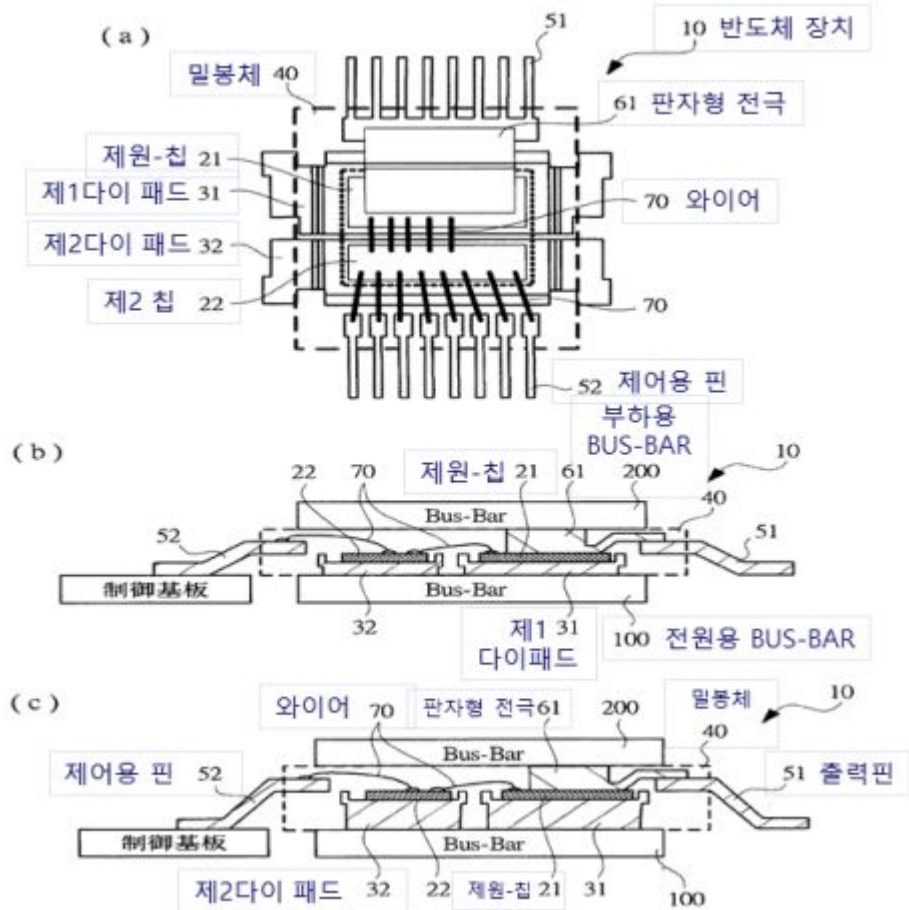
[0094] 걸리는 구성에서는, 팁(침) 21a는, 소스 전극이 리드 50a와 판자형전극 61에 의해 접속되고 있다. 게이트 전극은, 와이어 본딩에 의해 와이어 70로, 리드 50b에 접속되고 있다. 와이어 70에는, 예를 들면, Al, 혹은 Au 등이 사용되고 있다. 걸리는 구성에 있어서는, 리드 50a, 50b, 다이 패드 30은, 동일한 리드 프레임 50을 이용하고, 판두께가 동일이 되게 형성되고 있다.

[0095] 판두께가 동일한 리드 프레임 50을 이용했을 경우를, 그림 12(b), (d)에 내보였다. 또, 다이 패드 부분의 판두께가 두껍게 형성된 리드 프레임 50을 이용해도, 그림 12(c), (e)와(과) 같이 형성할 수 있다. 그림 12(a)에 가리킬 경우에는, 예를 들면, 그림 12(f)에 회로 구성을 내보이게, 온도검지 센서 딸린 다이오드를 내장했던 MOSFET에 팁(침) 21a가 형성되고 있는 예다.

[0098] 걸릴 경우를, 그림 13(b), (d)에 내보였다. 또, 다이 패드 부분의 판두께를 리드 부분보다 두껍게 형성한 리드 프레임 50을 이용해도, 동일하게, 그림 13(c), (e)와(과) 같이 형성할 수 있다. 그림 13(a)에 가리킬 경우에는, 예를 들면, 그림 13(f)에 회로 구성을 내보이게, 역접방지 다이오드가 이용되고 있다.

[0118] 그림 19(a)와(과) 같이, 제원-칩 21의 출력용 핀 51은 밀봉체 40의 제1면 41측에서 돌출되고, 판자형전극 61에 의해 제원-칩 21 주면(主面)에 형성된 전극과 접속되고 있다. 게다가, 판자형전극 61은, 밀봉체 40의 상면에서 노출되고 있어, 걸리는 판자형전극 61의 노출면이, 부하용BUS-BAR 200에 접속되고 있다.

[도 19] 본 발명의 실시형태 7을 나타낸 도면



[0119] 또, 제1 다이패드 31, 제2 다이패드 32의 뒷면측도, 밀봉체 40로부터 노출되어, 전원용BUS-BAR 100에 접속되고 있다.

[0120] 제원-칩 21과 제2 칩(칩) 22, 제2 칩(칩) 22과 제어용 핀 52란, 모두 와이어 본딩에 의한 와이어 70로 접속되고 있다. 제어용 핀 52은, 제어기판과 접속되고 있다.

[0121] 걸리는 반도체장치 10에서는, 부하용BUS-BAR 200에 반도체장치 10의 판자형 전극 61이 접속되고 있기 때문에, 대전류처리 등으로 발생한 열을, 신속하게 부하용BUS-BAR 200을 통해서 방열시킬 수 있다. 맞추어, 전원용BUS-BAR 100도 제1 다이패드 31, 제2 다이패드 32의 뒷면에 접속되고 있기 때문에, 방열 특성이 개선되는 것이 된다.

[0122] 걸리는 타입의 반도체장치 10에서는, 상기 설명과 같이 상하양면이 각각 부하용 BUS-BAR 200, 전원용BUS-BAR 100에 접속되는 동시에, 출력용 핀 51, 제어용 핀 52도 판자형전극 61, 와이어 70등으로 칩(칩) 20에 접속되고 있다. 그 때문에, 구현 에 앞서서



는, 평면구현이라도, 혹은 상하면에서의 구현이라도, 양쪽 의 구현이 가능한 패키지 구성이 되고 있는 것이다.

[0123] 그림 19(b)에 내보일 경우는, 동일한 리드 프레임 50로, 출력용 핀 51, 제어용 핀 52, 제1 다이 패드 31, 제2 다이 패드 32이 형성되어, 판두께가 동일하게 형성되고 있을 경우다. 그림 19(c)에 가리킬 경우는, 제1 다이 패드 31, 제2 다이 패드 32부분이 출력용 핀 51, 제어용 핀 52보다 판두께가 두꺼운 형상의 리드 프레임 50을 이용했을 경우로, 기타의 구성은, 그림 19(b)에 가리킬 경우와 같다.

[0130] 상기 설명과 같이 그림 19, 20에 내보인 반도체장치 10에서는, 그 패키지 구성상, 밀봉체 40의 상하 양면의 방열을 실시할 수 있다. 걸리는 방열성은, 상술의 그림 2에 내보이는 것 같은 구성의 하면측에서의 방열성과는 다르고, 더 한층의 방열 효과를 향상시킬 수 있는 것이다. 즉, 열저항 저감을 꾀할 수 있다. 특히, 단시간으로 대전류가 흐를 때의 발열인 과도열저항 영역에서의 저감 효과를 기대할 수 있는 것이다.

[0132] 본실시의 형태로 말한 것 같이, 즉, 그림 19, 20에 가리킨 것 같이, 밀봉체 40의 상면에서, 판자형전극 61, 62의 일부를 노출시키는 것으로, 방열 특성을 향상시키고 있다.