

특 허 법 원

제 3 부

판 결

사 건 2022허6099 등록정정(특)

원 고 A 주식회사

대표이사 B

소송대리인 특허법인 다울

담당변리사 이병환

피 고 특허청장

소송수행자 김병균

피고보조참가인 C

일본국

대표자 일본국인 D

소송대리인 변호사 한상욱, 강경태, 김종석, 장현진, 장재혁

변리사 이금욱, 이만금, 김승식, 정사라

변 론 종 결 2023. 4. 6.

판 결 선 고 2023. 6. 8.

주 문

1. 원고의 청구를 기각한다.
2. 소송비용은 보조참가로 인한 부분을 포함하여 원고가 부담한다.

청 구 취 지

특허심판원이 2022. 10. 13. 2021정146호 사건에 관하여 한 심결(이하 '이 사건 심결'이라 한다)을 취소한다.

이 유

1. 기초사실

가. 이 사건 특허발명

- 1) 발명의 명칭: 몰디드 리드리스 패키지 및 이를 이용한 LED 패키지
- 2) 출원일/ 등록일/ 등록번호: 2010. 3. 5./ 2012. 2. 6./ 제10-1115288호
- 3) 특허권자: 원고
- 4) 청구범위

가) 등록 당시 청구범위

【청구항 1】 상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드; 상기 다이 패드의 상부 표면 상에 실장된 반도체 칩; 상기 다이 패드의 주변 영역에 상기 다이 패드와 일정 간격 이격되도록 배치된 다수의 리드; 상기 반도체 칩과 상기 다수의 리드 각각을 전기적으로 연결하는 연결 수단; 및 적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드, 상기 반도체 칩, 상기 리드 및 상기 연결 수단을 덮는 패키지 바디를 포함하며, 상기 다이 패드의 두께가 상기 리드

중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼운 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제1항 특허발명'이라 한다).

【청구항 2】 제1항에 있어서, 상기 다이 패드의 두께는 0.25 ~ 0.6mm인 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 3】 제1항에 있어서, 상기 리드 중 패키지 바디의 외부로 노출되지 않는 내부 리드 영역은 상기 다이 패드와 같은 두께를 갖는 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 4】 제1항에 있어서, 상기 다이 패드의 상부 표면이 일정 깊이 리세스되고, 상기 반도체 칩은 다이 패드의 리세스된 영역에 실장된 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 5】 제1항에 있어서, 상기 다이 패드의 하부 표면 또는 상기 리드의 밑면에는, 패키지 바디와의 접착력을 좋게 하기 위하여 적어도 하나의 딤플(dimple) 또는 그루브(groove)가 형성된 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 6】 제1항에 있어서, 상기 다이 패드의 하부 표면과 상기 리드의 밑면은 동일한 평면을 형성하며, 상기 패키지 바디의 밑면은 상기 평면으로부터 일정 두께 돌출된 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 7】 제1항에 있어서, 상기 패키지 바디의 측면은 경사를 이루거나, 상기 패키지 바디의 밑면에 대해 수직인 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 8】 제1항에 있어서, 상기 리드는 다이 패드의 양 측에 대응되게 배치된 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제8항 특허발명'이라 한다).

【청구항 9】 제8항에 있어서, 상기 다이 패드의 일 측에 배치된 리드는 상기 다이 패드와 일정 간격 이격되도록 배치되고, 상기 다이 패드의 다른 일 측의 리드는 상기 다이 패드와 연결된 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제9항 특허발명'이라 한다).

【청구항 10】 제1항에 있어서, 상기 리드는 다이 패드의 일 측에만 일정 간격 이격되게 배치되고, 리드가 배치되지 않은 다이 패드의 일 측은 상기 다이 패드가 신장되어 그 일부가 패키지 외부로 노출된 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제10항 특허발명'이라 한다).

【청구항 11】 제1항에 있어서, 상기 다이 패드의 상부 표면 또는 하부 표면 중 적어도 어느 하나에, 상기 반도체 칩 또는 패키지 바디와의 접착력을 좋게 하기 위하여 적어도 하나 이상의 홈이 형성된 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 12】 제1항에 있어서, 상기 연결 수단은 도전성 와이어 또는¹⁾ 도전성 클립을 포함하는 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제12항 특허발명'이라 한다).

【청구항 13】 상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드; 상기 다이 패드의 상부 표면 상에 부착되는 반도체 칩; 상기 반도체 칩의 상부 또는 하부 표면 중 적어도 어느 하나에 형성된 솔더 물질층; 상기 다이 패드의 주변 영역에 상기 다이 패드와 일정 간격 이격되도록 배치된 다수의 리드; 상기 반도체 칩과 상기 다수의 리드 각각을 전기적으로 연결하는 도전성 클립; 및 적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드, 상기 반도체 칩, 상기 리드

1) '또는'의 오기로 보인다.

및 상기 연결 수단을 덮는 패키지 바디를 포함하는 것을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제13항 특허발명'이라 한다).

【청구항 14】 제13항에 있어서, 상기 솔더 물질층은 주석/은/구리(Sn/Ag/Cu) 합금, 주석(Sn), 주석/납(Sn/Pb) 합금, 주석/은(Sn/Ag) 합금 및 니켈(Ni) 중에서 선택된 어느 하나로 이루어진 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 15】 제13항에 있어서, 상기 솔더 물질층은 웨이퍼 표면 상에 스퍼터링 또는 전기도금 방식으로 형성된 층인 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 16】 제13항에 있어서, 상기 리드의 윗면에는 일정 깊이의 홈이 배치되고, 상기 도전성 클립의 일단은 상기 홈 내에 부착된 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 17】 상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드와, 상기 다이 패드로부터 일정 간격 이격되도록 배치된 다수의 리드; 상기 다이 패드의 상부 표면에 실장된 LED 소자; 상기 LED 소자와 상기 다수의 리드 각각을 전기적으로 연결하는 연결 수단; 상기 다이 패드의 상부 표면 및 리드의 상부 표면으로부터 상기 LED 소자를 포함하는 영역에 일정 두께 형성된 캐비티; 상기 캐비티 내에 충전되어 상기 LED 소자를 고정시키는 몰딩재; 일면이 상기 몰딩재의 상부에 부착되며 하면이 볼록한 형태의 렌즈; 및 적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드와 상기 캐비티에 충전된 몰딩재를 덮는 패키지 바디를 포함하고, 상기 다이 패드의 두께가 상기 리드 중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼운 것을 특징으로 하는 LED 패키지(이하 '이 사건 제17항 특허발명'이라 한다).

【청구항 18】 제17항에 있어서, 상기 몰딩재는 형광물질을 포함하는 것을 특징으로 하는 LED 패키지.

【청구항 19】 제17항에 있어서, 상기 연결 수단은 도전성 와이어(wire) 또는 도전성 클립을 포함하는 것을 특징으로 하는 LED 패키지(이하 '이 사건 제19항 특허발명'이라 한다).

나) 2021. 12. 20.자 정정심판청구에 의한 청구범위(정정심판청구로 추가한 부분은 밑줄로, 삭제한 부분은 취소선으로 표시하였다)

【청구항 1】 상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드(이하 '구성요소 1'이라 한다); 상기 다이 패드의 상부 표면 상에 실장된 반도체 칩(이하 '구성요소 2'라 한다); 상기 다이 패드의 주변 영역에 상기 다이 패드와 일정 간격 이격되도록 배치된 다수의 리드(이하 '구성요소 3'이라 한다); 상기 반도체 칩과 상기 다수의 리드 각각을 전기적으로 연결하는 연결 수단~~도전성 클립~~(이하 '구성요소 4'라 한다); 및 적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드, 상기 반도체 칩, 상기 리드 및 상기 ~~연결 수단~~도전성 클립을 덮는 패키지 바디를 포함하며,고(이하 '구성요소 5'라 한다), 상기 다이 패드의 두께가 상기 리드 중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼운우면(이하 '구성요소 6'이라 한다), 상기 리드는 상기 다이 패드의 양 측에 대응되게 배치되되, 상기 다이 패드의 일 측에 배치된 리드는 상기 다이 패드와 일정 간격 이격되도록 배치되고, 상기 다이 패드의 다른 일 측의 리드는 상기 다이 패드와 솔더에 의해 연결된 것(이하 '구성요소 7'이라 한다)을 특징으로 하는 몰딩드 리드리스 패키지(이하 '정정 후 제1항 발명'이라 한다).

【청구항 2 내지 7, 11, 14 내지 16, 18】 각 정정심판청구한 부분 없음.

【청구항 8, 9, 10, 12, 19】 각 삭제.

【청구항 13】 상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드; 상기 다이 패드의 상부 표면 상에 부착되는 반도체 칩; 상기 반도체 칩의 상부 또는 하부 표면 중 적어도 어느 하나에 형성된 솔더 물질층; 상기 다이 패드의 주변 영역에 상기 다이 패드와 일정 간격 이격되도록 배치된 다수의 리드; 상기 반도체 칩과 상기 다수의 리드 각각을 전기적으로 연결하는 도전성 클립; 및 적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드, 상기 반도체 칩, 상기 리드 및 상기 연결 수단 도전성 클립을 덮는 패키지 바디를 포함하는, 상기 다이 패드의 두께가 상기 리드 중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼우며, 상기 리드는 상기 다이 패드의 양 측에 대응되게 배치되되, 상기 다이 패드의 일 측에 배치된 리드는 상기 다이 패드와 일정 간격 이격되도록 배치되고, 상기 다이 패드의 다른 일 측의 리드는 상기 다이 패드와 솔더에 의해 연결된 것을 특징으로 하는 몰드드 리드리스 패키지.

【청구항 17】 상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드와, 상기 다이 패드로부터 일정 간격 이격되도록 배치된 다수의 리드; 상기 다이 패드의 상부 표면에 실장된 LED 소자; 상기 LED 소자와 상기 다수의 리드 각각을 전기적으로 연결하는 연결 수단 도전성 클립; 상기 다이 패드의 상부 표면 및 리드의 상부 표면으로부터 상기 LED 소자를 포함하는 영역에 일정 두께 형성된 캐비티; 상기 캐비티 내에 충전되어 상기 LED 소자를 고정시키는 몰딩재; 일면이 상기 몰딩재의 상부에 부착되며 하면이 볼록한 형태의 렌즈; 및 적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드와 상기 캐비티에 충전된 몰딩재를 덮는 패키

지 바디를 포함하고, 상기 다이 패드의 두께가 상기 리드 중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼운우며, 상기 리드는 상기 다이 패드의 양 측에 대응되게 배치되되, 상기 다이 패드의 일 측에 배치된 리드는 상기 다이 패드와 일정 간격 이격 되도록 배치되고, 상기 다이 패드의 다른 일 측의 리드는 상기 다이 패드와 솔더에 의해 연결된 것을 특징으로 하는 LED 패키지.

5) 발명의 주요 내용 및 도면

㉠ 기술분야

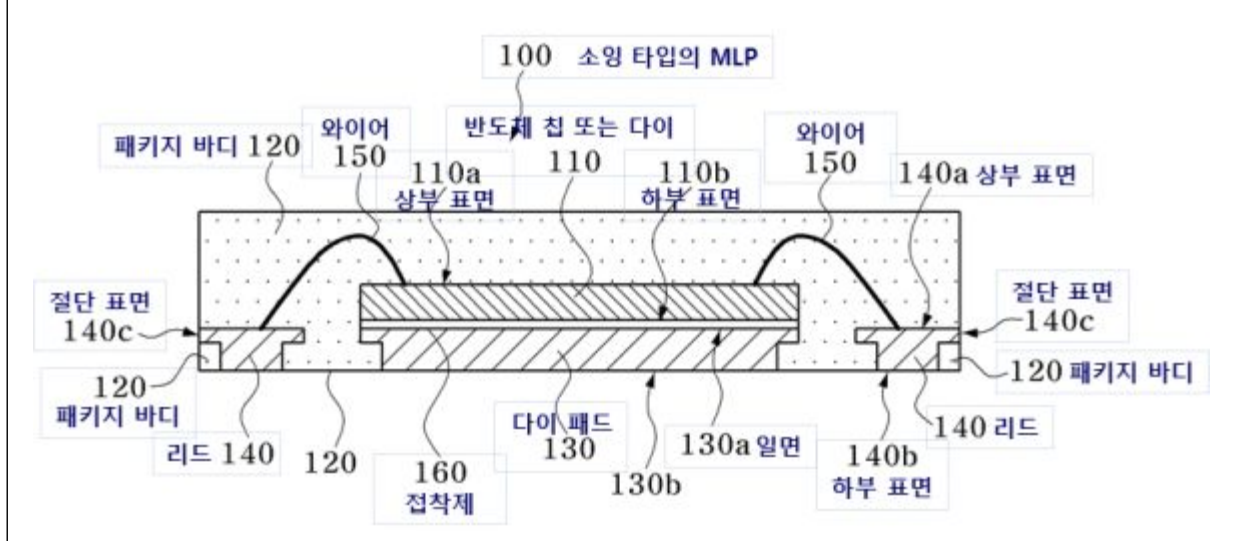
[0001] 본 발명은 반도체 패키지에 관한 것으로, 보다 구체적으로는 몰디드 리드리스 패키지(Molded Leadless Package)와 그를 이용한 발광 다이오드(LED) 패키지에 관한 것이다.

㉡ 배경기술

[0002] 일반적으로 반도체 패키지는 반도체 칩 또는 다이(die), 리드 프레임(lead frame) 및 패키지 바디(package body)를 포함하여 구성된다. 반도체 칩은 리드 프레임의 다이 패드(die pad) 상에 부착되며, 리드 프레임의 리드와는 와이어(wire)에 의하여 상호 전기적으로 연결된다. 리드는 와이어가 연결되는 내부 리드(inner lead)와 반도체 패키지의 외부 접속 단자로서의 역할을 하는 외부 리드(outer lead)로 구성된다. 내부 리드는 통상적으로 패키지 바디에 의하여 완전히 밀봉되는데 반하여, 외부 리드는 그 전체 패키지 바디의 외부로 노출되거나 외부 리드의 표면 일부가 외부로 노출된다. 후자와 같이 외부 리드의 표면 일부가 패키지 바디의 외부로 노출되는 반도체 패키지를 몰디드 리드리스 패키지(Molded Leadless Package, 이하 'MLP'라 함)라고 한다.

[0003] 그리고, 반도체 패키지는 그 제조 공정에 따라서 소잉(sawing) 타입의 패키지와 펀치(punch) 타입의 패키지로 구분된다. 소잉 타입의 패키지는 반도체 칩이 탑재된 리드 프레임의 다수를 하나의 블록 몰드 다이(block mold die) 내에서 같이 몰딩한 다음 소잉 공정으로 패키지 바디 및 리드 프레임을 절단하여 개별화함으로써 제조하는 패키지 유형을 말한다. 반면, 펀치 타입의 패키지는 반도체 칩이 탑재된 리드 프레임 각각을 개별 몰드 다이(individual mold die) 내에서 개별적으로 몰딩한 다음, 펀치 등의 방법으로 각 리드 프레임을 분리시켜서 제조하는 패키지 유형을 말한다.

[도 1] 종래의 몰디드 리드리스 패키지(MLP)의 일 예를 도시한 단면도



[0006] 도 1을 참조하면, 종래의 소잉 타입의 MLP(100)는, 반도체 칩(110) 또는 다이, 패키지 바디(120), 다이 패드(130) 및 리드(140)를 포함하여 구성된다. 다이(110)는 상부 표면(110a)과 하부 표면(110b)을 갖는다. 리드(140)도 상부 표면(140a), 하부 표면(140b) 및 절단 표면(140c)을 가지며, 리드(140)의 하부 표면(140b)의 전부 또는 일부는 패키지 바디(120)의 외부로 노출되어 금속 패드(metal pad)를 형성한다. 이 금속 패드는 MLP(100)의 외부와의 전기적인 연결을 위하여 패키지 바디(120)의 밑면(120a)과 동일 평면 상에 형성된다. 그리고, 다이(110)와 리드(140)는 와이어(150)에 의하여 상호 전기적으로 연결된다. 다이 패드(130)의 일면(130a)은 접착제(160)에 의해 다이(110)의 하부 표면(110b)과 부착된다.

[0007] 종래의 MLP에 따르면, 금속 패드와 절단면(14c) 사이의 리드의 하부 표면 일부가 패키지 바디로 덮여 리드와 패키지 사이에 강하게 본딩될 수 있도록 하기 위하여, 리드(140)의 절단면(140c)과 금속 패드를 구성하는 하부 표면(140b) 사이에 적어도 0.1mm 이상의 인터벌(interval)을 갖도록 구성된다. 이를 위하여 패키지 제작 과정에서 리드의 일부를 식각하여 제거하여야 하는데, 이로 인해 제조 단가가 증가하는 문제점이 있다.

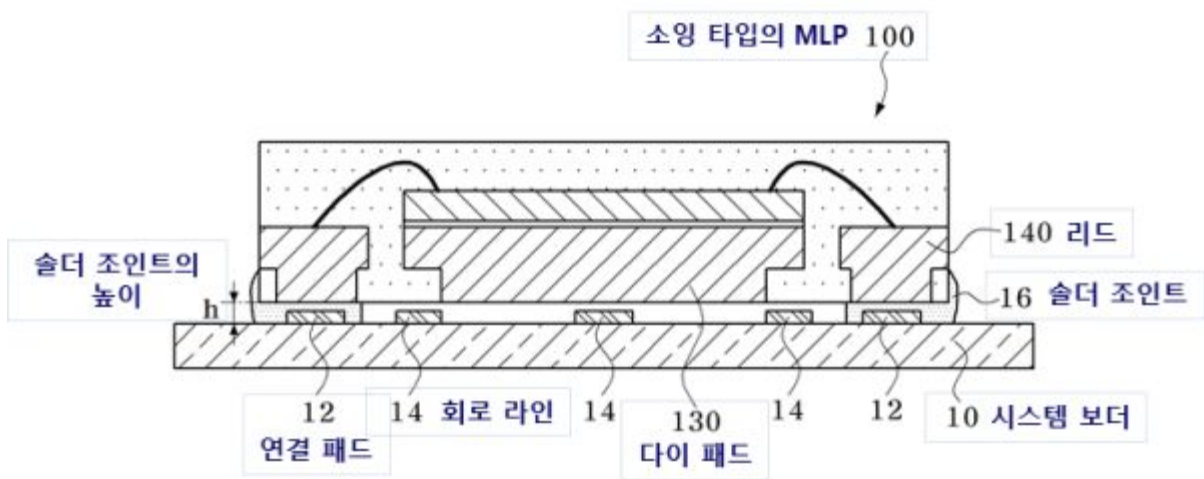
[0008] 또한, 종래의 MLP의 경우 열 방출 문제가 다소 개선되었다고는 하나, 다이 패드(130) 및 리드(140)의 두께가 0.2 ~ 0.25mm 정도로 얇기 때문에 전력 반도체장치나 LED 소자에 적용하기에는 여전히 열적 스트레스 문제가 개선되어야 하는 실정이다. 열 방출 효율을 높이기 위하여 다이 패드 및 리드의 두께를 증가시키면 전체 패키지의 부피가 증가하

기 때문에 경박단소를 지향하는 최근의 전자기기에 부합하지 못하게 된다.

[0009] 또한, 종래의 MLP에 따르면 시스템 보더(system boarder) 상에 MLP를 실장하는 과정에서 몇 가지 문제점이 나타나는데 이를 도면을 통해 설명하기로 한다.

[0010] 도 2는 시스템 보더 상에 도 1의 MLP(100)가 실장되어 있는 구조물[이하에서는, 시스템 보더(10) 상에 MLP(100)가 실장되어 있는 구조물을 "시스템 패키지"라 함]에 대한 개략적인 단면도이다.

[도 2] 시스템 보더 상에 도 1의 MLP가 실장되어 있는 시스템 패키지에 대한 개략적인 단면도



[0011] 도 2를 참조하면, 시스템 보더(10)의 상면에는 연결 패드(12)와 상기 연결 패드(12)를 전기적으로 연결하기 위한 회로 라인(circuit line, 14)이 형성되어 있다. 연결 패드(12)와 회로 라인(14)은 동일한 도전성 금속 예컨대 구리 등으로 형성되며 통상적으로 동일한 두께를 가진다. 그리고, MLP(100)의 리드(140)와 연결 패드(12)가 솔더 조인트(solder joint, 16)를 통하여 일 대 일로 접합되어 연결되도록 시스템 보더(10) 상에 MLP(100)가 탑재된다.

[0012] 종래의 MLP에 따르면, 솔더 조인트(16)로 MLP(100)를 시스템 보더(10) 상에 접합시킬 때 가하는 압력 및 이때 발생하는 열에 의하여 솔더 조인트(16)가 유동성을 가질 수가 있다. 솔더 조인트(16)가 유동성을 띄게 되면 옆으로 흐를 수가 있기 때문에 솔더 조인트(16)의 높이(h1)를 충분히 확보할 수가 없다. 솔더 조인트(16)의 높이(h1)가 예컨대 30 μm 이상과 같이 충분히 확보되지 않으면, 시스템 보더(10) 상에 MLP(100)를 탑재할 때

다이 패드(130)의 밑면과 시스템 보더의 회로 라인(14) 사이의 간격이 너무 좁기 때문에 패키지의 신뢰성을 확보할 수가 없다. 그리고, 심한 경우에는 다이 패드(130)와 시스템 보더의 회로 라인(14)이 서로 접촉하게 되어서 단락될 염려가 있다. 뿐만 아니라, 솔더 조인트(16)의 높이(h1)가 낮으면, 솔더 조인트(16) 자체가 열적 스트레스나 기계적 스트레스에 취약해지기 때문에 시스템 패키지의 신뢰성을 떨어뜨린다.

[0013] 그리고, MLP(100)를 시스템 보더(10) 상에 탑재하는 과정에서 솔더 조인트(16)가 유동성을 가지게 되면, 소위 MLP(100)의 붕괴(collapse) 현상이나 기울어짐(tilt) 현상이 발생할 염려가 있다. MLP(100)의 붕괴 현상이 발생하면 리드(140)가 연결 패드(12)와 직접 접촉될 염려가 있고, MLP(100)의 기울어짐 현상이 발생하면 시스템 패키지의 신뢰성을 떨어뜨리는 문제점이 있다.

[0014] 또한, 솔더 조인트(16)가 유동성을 띄게 되어 압력에 의해 옆으로 퍼지게 되면 리드와 리드 사이의 간격이 좁아지게 되므로, 이를 고려하여 리드와 리드 사이의 간격을 통상 0.5mm 정도로 넓게 확보하여야 한다. 따라서, 리드의 수를 증가시키는 데 한계가 있다.

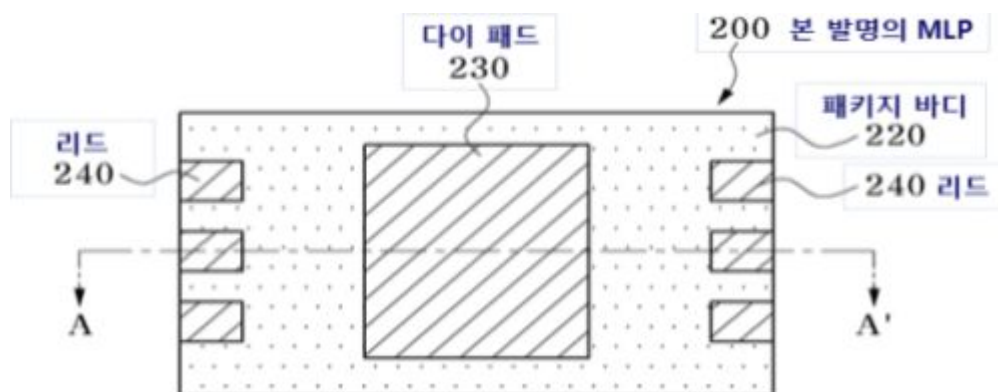
㉢ 해결하려는 과제

[0015] 본 발명이 해결하려는 과제는 제조단가를 증가시키지 않으면서 높은 열 방출 능력을 가지며 리드의 수를 용이하게 증가시킬 수 있는 구조의 몰디드 리드리스 패키지를 제공하는 데 있다.

[0016] 본 발명이 해결하려는 다른 과제는 제조단가를 증가시키지 않으면서 높은 열 방출 능력을 가지며 리드의 수를 용이하게 증가시킬 수 있는 몰디드 리드리스 패키지를 채용한 발광 다이오드(LED) 패키지를 제공하는 데 있다.

㉤ 발명을 실시하기 위한 구체적인 내용

[도 3] 본 발명의 제1 실시예에 따른 몰디드 리드리스 패키지(MLP)의 저면도



The figure consists of two cross-sectional views of a semiconductor package, labeled as Figure 1(a) and Figure 1(b). Both views show a central semiconductor chip (210) mounted on a substrate (230) via a die pad (235) and solder bumps (236). The chip is connected to internal leads (241) and external leads (242) through wire bonds (250). The package body (220) includes a top surface (230a), bottom surface (230b), and side surfaces (240c). Dimensions are indicated by arrows: d1 and d2 represent lead heights, h2 and h3 represent bond heights, and h1 represents the chip thickness. Labels include: 와이어 (Wire), 반도체 칩 (Semiconductor chip), 상부 표면 (Top surface), 내부 리드 (Internal lead), 외부 리드 (External lead), 패키지 바디 (Package body), 패키지 바디의 측면 (Side surface of package body), 리드 (Lead), 리드의 밑면 (Bottom surface of lead), 다이 패드 (Die pad), 뒀을 또는 그루브 (Groove or notch), 하부 표면 (Bottom surface), 패키지 바디의 리드의 밑면 (Bottom surface of lead of package body), 하부면 (Bottom surface), and 200 본 발명의 MLP (MLP of the present invention 200).

[0039] 반도체 칩(210)은 예를 들면 다이오드, 트랜지스터, 다이리스터(thyristor), IGBT와 같은 전원 반도체 장치, 선형 장치, 집적 회로, 논리 회로 등 다양한 반도체 장치를 포함할 수 있다.

[0041] 특히 본 발명에 따른 MLP의 다이 패드(230)는 0.25 ~ 0.6mm의 두께(d1)를 갖

는데, 종래의 다이 패드가 0.2 ~ 0.25mm인 것에 비해 두꺼운 것이 특징이다. 이렇게 다이 패드(230)의 두께(d1)를 두껍게 할 경우 다이 패드를 통해 패키지 내부의 열을 외부로 효과적으로 방출할 수 있기 때문에 반도체 소자의 동작의 신뢰성을 크게 향상시킬 수 있다.

[0042] 다이 패드(230)의 상부 표면 중 반도체 칩(210)이 부착되는 부분은 일정 깊이(h2) 리세스(recess)되어 있다. 이는, 열 방출 효율을 증가시키기 위하여 다이 패드(230)의 두께(d1)를 두껍게 함으로써 패키지의 부피가 커지는 것을 방지하기 위한 것으로, 다이 패드(230)의 상부 표면이 리세스된 깊이(h2)만큼 패키지의 두께를 감소시킬 수 있으며, 패키지의 두께를 줄이기 위해 반도체 칩의 두께를 줄이지 않아도 된다. 다이 패드(230)의 리세스 영역의 폭은 작을수록 열 방출 효율이 높지만 반도체 칩의 크기를 고려하여 결정할 수 있다.

[0043] 다이 패드(230)의 주변 영역에는 소정의 갭(gap)을 두고서 다수의 리드(240)들이 배치된다. 리드(240)는 그 밑면(240b)이 다이 패드(230)의 하부 표면(230b)과 동일한 평면을 형성한다. 즉, 리드(240)의 밑면(240b)과 다이 패드(230)의 하부 표면(230b)이 동일한 레벨에 위치한다. 리드(240)와 반도체 칩(210)은 금(Au) 또는 금(Au)/알루미늄(Al) 합금 등의 금속 물질로 형성된 와이어(250)를 통하여 서로 전기적으로 연결된다.

[0044] 다이 패드의 하부 표면(230b)과 리드의 밑면(240b)은 몰딩재에 의하여 패키지 외부로 노출된다. 이때, 다이 패드의 하부 표면(230b) 및 리드의 밑면(240b)은 모두가 노출될 수 있으며 또는 도시된 바와 같이 일부만이 노출될 수도 있다. 다이 패드의 하부 표면(230b)에는 패키지 바디(220)와의 접착력을 좋게 하기 위하여 소정의 깊이로 식각된 딤플(dimple) 또는 그루브(groove)(235)가 형성되어 있을 수 있다. 딤플 또는 그루브(235)의 수는 패키지에 따라 달라질 수 있다.

[0045] 리드(240)는 와이어가 연결되는 내부 리드(241)와 반도체 패키지의 외부 접속 단자로서의 역할을 하는 외부 리드(242)로 이루어지는데, 내부 리드(241)는 다이 패드(230)와 마찬가지로 패키지 내부의 열을 외부로 효과적으로 방출할 수 있도록 0.25 ~ 0.6mm의 두께(d1)를 갖는다. 그러나, 외부 리드(242)의 경우에는 제한된 패키지 부피 내에서 적절한 수의 리드를 구현하여야 하기 때문에 내부 리드에 비해 두께(d2)를 얇게 구성한다.

[0046] 패키지 바디(220)는 에폭시 몰딩 화합물(Epoxy Molding Compound, EMC)과 같은 몰딩재로 이루어진다. 패키지 바디(220)는 적어도 리드의 밑면(240b) 및 측면(230c)과 다이 패드의 하부 표면(230b)의 일부를 노출하면서 상기한 갭(gap)을 채우고 다이 패드(230), 반도체 칩(210), 리드(240) 및 와이어(250)를 둘러싼다. 다이 패드(230)의 하부 표면

(230b)을 노출하는 패키지 바디의 하부면(220b)과 리드의 밑면(240b) 및 다이 패드의 하부 표면(230b)은 동일 평면 상에 있지 않고 단차를 갖는다. 즉, 다이 패드의 하부 표면(230b) 및 리드의 밑면(240b)으로부터 패키지 바디의 하부 면(220b)이 일정 두께(h3) 돌출된 형태가 된다. 이와 같이 다이 패드의 하부 표면(230b)으로부터 패키지 바디의 밑면(220b)이 일정 두께(h3) 돌출되도록 함으로써 그 두께(h3)만큼 패키지 내부로의 흡습 경로가 연장되고, 패키지를 시스템 보더에 솔더링할 때 고온의 리플로우를 수행하더라도 열적 스트레스를 최소화할 수 있다. 또한, 시스템 보더와 다이 패드 사이에 일정 간격을 확보하므로 리드의 피치(pitch)를 종래의 0.5mm에서 0.4mm로 줄일 수 있다. 따라서, 동일한 패키징 면적 내에서 구현할 수 있는 리드의 수를 증가시킬 수 있으며, 하나의 패키지로써 구현 가능한 기능의 종류를 증가시킬 수 있다.

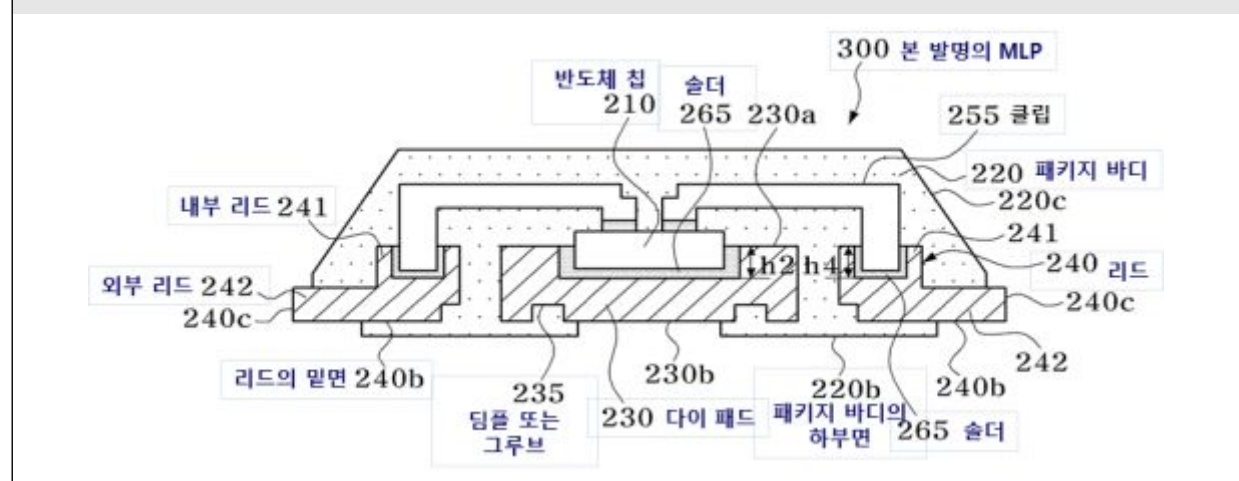
[0047] 패키지 바디의 측면(220c)은 도 4a에 도시된 것과 같이 비스듬하게 경사를 갖는 구조일 수 있으며, 또는 도 4b에 도시된 것과 같이 패키지 바디의 측면(220c)이 패키지 바디의 하부 면(220b)에 대해 수직인 구조일 수도 있는데, 이는 패키지 절단 방식에 따라 구분될 수 있다. 도 4a에 도시된 것과 같이 패키지 바디의 측면(220c)이 비스듬한 경우는 금형을 이용하는 펀치드 타입(punched type)으로 형성하는 경우로, 이 경우 리드(240)의 단부는 패키지 바디(220)로부터 대략 0.08 ~ 0.15mm 정도 돌출된다. 도 4b에 도시된 것과 같이 패키지 바디의 측면(220c)이 수직인 경우는 블레이드(blade)와 같은 절단수단으로 절단하는 소잉형(sawing type)으로 형성하는 경우로, 이 경우에는 리드(240)의 단부가 패키지 바디(220)의 외부로 돌출되지 않는다.

[0048] 이와 같은 본 발명의 제1 실시예에 의한 MLP에 따르면, 다이 패드(230)의 두께(d1)를 0.25 ~ 0.6mm 정도로 두껍게 함으로써 패키지 내부의 열을 외부로 효과적으로 방출할 수 있고 소자 동작의 신뢰성을 크게 향상시킬 수 있다. 또한, 다이 패드(230)의 상부 표면이 일정 깊이 리세스되도록 함으로써 다이 패드의 두께 증가로 인한 패키지 두께의 증가를 방지할 수 있으며, 패키지의 두께를 줄이기 위해 반도체 칩의 두께를 줄이지 않아도 된다. 또한, 다이 패드의 하부 표면(230b) 및 리드의 밑면(240b)으로부터 패키지 바디의 하부 면(220b)이 일정 두께 돌출되도록 함으로써, 흡습 경로가 연장되고 시스템 보더에 솔더링할 때 고온의 리플로우를 수행하더라도 열적 스트레스를 최소화할 수 있으며, 시스템 보더와 다이 패드 사이에 일정 간격을 확보하므로 리드의 피치(pitch)를 줄일 수 있으므로 동일한 패키징 면적 내에서 구현할 수 있는 리드의 수를 증가시킬 수 있으며, 하나의 패키지로써 구현 가능한 기능의 종류를 증가시킬 수 있다.

[0050] 도 5를 참조하면, 본 실시예의 MLP(300)는 반도체 칩과 리드를 연결하기 위하

여 와이어(wire) 대신에 도전성 클립(clip)을 사용하는 것을 제외하고는 도 4a에 도시된 제1 실시예의 MLP(200)와 동일하다. 따라서, 동일한 부분에 대해서는 동일한 참조 번호를 사용하고, 중복되는 설명은 생략하기로 한다.

[도 5] 본 발명의 제2 실시예에 따른 몰디드 리드리스 패키지(MLP)의 단면도



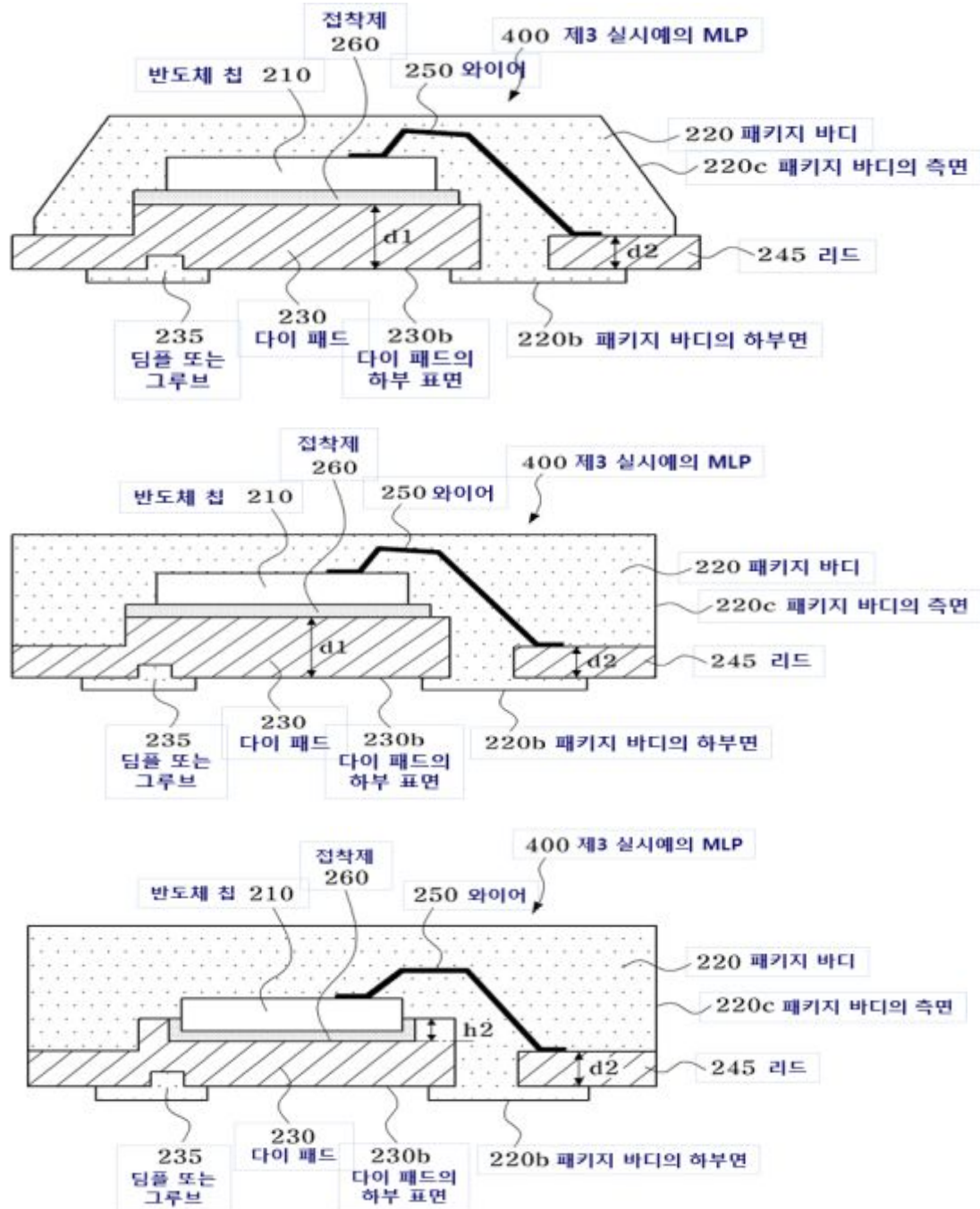
[0051] 본 실시예에 의한 MLP(300)의 경우 반도체 칩(210)과 리드(240)가 클립(255)을 통해 전기적으로 연결된다. 클립(255)은 구리(Cu)와 같은 도전성 재료로 이루어진다. 클립(255)과 반도체 칩(210), 클립(255)과 리드(240)는 각각 솔더(solder)(265)를 통해 연결된다. 솔더(265)는 예를 들면 주석/은/구리(Sn/Ag/Cu) 합금, 주석(Sn), 주석/납(Sn/Pb) 합금, 주석/은(Sn/Ag) 합금 또는 니켈(Ni) 등을 포함할 수 있다. 웨이퍼 상에 소자를 형성하는 최종 단계에서 웨이퍼의 뒷면에 솔더 물질층을 형성하거나, 본딩 패드 금속을 솔더 물질로 형성한다. 솔더 물질층을 형성하는 방법으로는 스퍼터링(sputtering) 또는 전기 도금(electroplating) 방식을 사용할 수 있다.

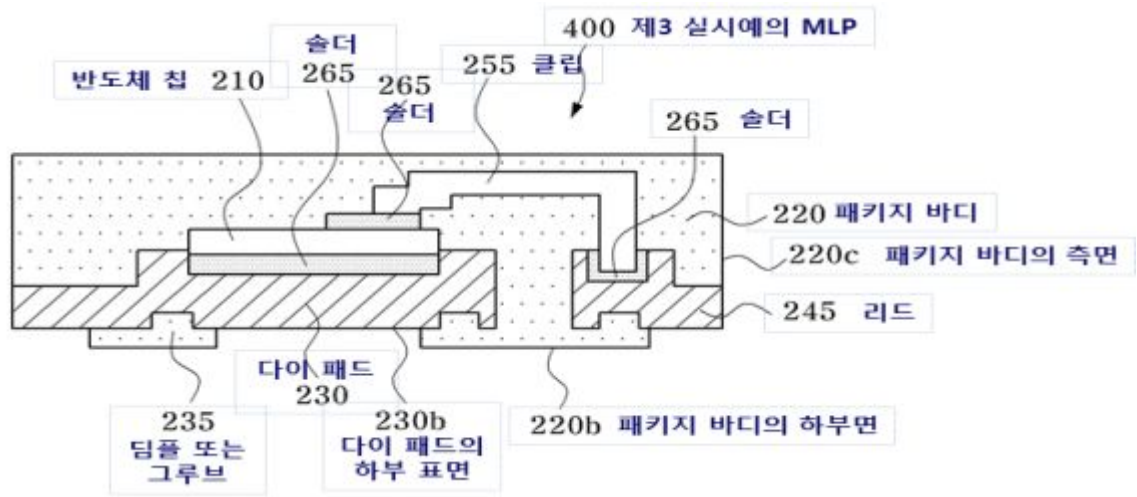
[0052] 클립(255)을 리드(240)에 부착할 때, 도시된 바와 같이 클립이 부착될 영역의 리드(240)의 상부 표면을 일정 깊이(h4) 리세스시켜 홈을 형성하고 이 홈 내에 클립(255)이 부착되도록 하면 클립(255)과 리드(240)의 결합력을 높이고 클립(255)으로 인해 패키지의 부피가 커지는 것을 방지할 수 있다. 특히, 도시된 것과 같이 패키지 바디(220)의 측면이 비스듬한 경우 클립이 부착될 리드의 표면을 리세스시키면 효과적으로 부착할 수 있다.

[0053] 이와 같이 반도체 칩과 리드를 도전성 클립으로 연결할 경우, 도전성 클립이 와이어에 비해 면적이 넓기 때문에 흐르는 전류의 양을 증가시킬 수 있고 열 방출 효율도 증가시킬 수 있다. 한편, 본 실시예의 경우에도, 도 4b의 경우와 같이 패키지 바디의 측면을

수직하게 할 수도 있다.

[도 6a], [도 6b], [도 6c], [도 6e] 본 발명의 제3 실시예에 따른 몰디드 리드리스 패키지(MLP)의 단면도들





[0055] 본 발명의 제3 실시예의 MLP(400)는 도 4a에 도시된 본 발명의 제1 실시예의 MLP(200)와는 리드의 구조에 차이가 있다. 다이 패드(230)의 일 측이 리드(245)의 일 측과 연결되어 있고, 다이 패드의 다른 측은 리드(245)와 일정 간격 이격되어 있다. 다이 패드와 연결되지 않은 리드(245)는 도전성 재료로 이루어진 와이어(250)를 통해 반도체 칩(210)과 연결된다. 리드(245)의 구조를 제외하고는 도 4a에 도시된 MLP(200)와 동일하므로 동일한 부분에 대해서는 동일한 참조번호를 사용하고, 중복된 설명은 생략하기로 한다.

[0056] 패키지 바디(220)의 측면(220c)은 도 6a의 경우와 같이 비스듬하게 경사를 갖는 구조이거나, 도 6b와 같이 패키지 바디의 하부면(220b)에 대해 수직인 구조일 수 있는데, 이는 패키지 절단 방식에 따라 구분될 수 있다. 패키지 바디의 측면(220c)이 비스듬한 경우는 금형을 이용하는 펀치드 타입(punched type)으로 형성하는 경우로, 이 경우 리드(245)의 단부는 패키지 바디로부터 대략 0.08 ~ 0.15mm 정도 돌출된다. 패키지 바디의 측면(220c)이 수직인 경우는 블레이드(blade)와 같은 절단수단으로 절단하는 소잉형(sawing type)으로 형성하는 경우로, 이 경우에는 리드(245)의 단부가 패키지 바디(220)의 외부로 돌출되지 않는다.

[0057] 다이 패드(230)는 패키지 내부의 열을 외부로 효과적으로 방출할 수 있도록 하기 위하여 종래의 다이 패드보다 두꺼운 0.25 ~ 0.6mm의 두께(d1)를 갖도록 형성된다. 이 때, 두꺼워진 다이 패드(230)로 인해 패키지의 부피가 증가하는 것을 방지하기 위하여 도 6c에 도시된 것과 같이 다이 패드(230)의 상부 표면을 일정 깊이(h2) 리세스시킨 후 리세스된 영역에 접착제(260)을 이용하여 반도체 칩(210)을 부착할 수도 있다.

[0058] 또한, 열 방출 효율을 높이기 위하여 도 6d에 도시된 것과 같이, 반도체 칩(210)과 리드(245)의 연결을 와이어가 아닌 도전성 클립(255)으로 할 수 있다. 이때는 접착제 대신 솔더(265)를 사용한다. 솔더(265)는 예를 들면 주석/은/구리(Sn/Ag/Cu) 합금, 주석(Sn), 주석/납(Sn/Pb) 합금, 주석/은(Sn/Ag) 합금 또는 니켈(Ni) 등을 포함할 수 있다. 반도체 칩(210)을 형성하는 최종 단계에서 반도체 칩(210)의 뒷면 및/또는 앞면에 솔더 물질층을 형성하거나, 본딩 패드 금속을 솔더 물질로 형성한다. 솔더 물질층을 형성하는 방법으로는 스퍼터링(sputtering) 또는 전기 도금(electroplating) 방식을 사용할 수 있다.

[0059] 그리고, 클립(255)을 리드(245)에 부착할 때, 도 6e에 도시된 바와 같이 리드(245)의 상부 표면을 일정 깊이 리세스시켜 클립(255)과 리드(245)의 결합력을 증가시키고 클립(255)으로 인해 패키지의 부피가 커지는 것을 방지할 수 있다.

나. 선행발명들

1) 선행발명 1(갑 제4호증)

2006. 2. 16. 공개된 일본 공개특허공보 특개2006-49694호에 게재된 '이중 게이지·리드 프레임'이라는 명칭의 발명으로, 주요 내용 및 도면은 [별지 1]과 같다.

2) 선행발명 2(갑 제5호증)

2009. 11. 12. 공개된 일본 공개특허공보 특개2009-267398호에 게재된 '스탬핑 가공을 이용하여 형성되는 형상을 가지는 반도체 소자 패키지'라는 명칭의 발명으로, 주요 내용 및 도면은 [별지 2]와 같다.

3) 선행발명 3(갑 제6호증)

2006. 5. 19. 공개된 대한민국 공개특허공보 제10-2006-0052560호에 게재된 '향상된 신뢰성 및 높은 열방출 능력을 갖는 몰디드 리드리스 패키지 및 소잉형 몰디드 리드리스 패키지 및 그 제조방법'이라는 명칭의 발명이다. 다만 이 사건 소송에서 구체적으로 그 내용을 인용하지 아니하므로, 관련 내용에 관한 기재는 생략한다.

4) 선행발명 4(갑 제7호증)

2004. 3. 10. 공개된 대한민국 공개특허공보 제10-2004-0021037호에 게재된 '반도체 패키지'라는 명칭의 발명으로, 주요 내용 및 도면은 [별지 3]과 같다.

5) 선행발명 5(갑 제8호증)

2006. 6. 2. 공개된 대한민국 공개특허공보 제10-2006-0059575호에 게재된 '다이패드에 미세 돌기가 형성된 반도체 패키지'라는 명칭의 발명이다. 다만 이 사건 소송에서 구체적으로 그 내용을 인용하지 아니하므로, 관련 내용에 관한 기재는 생략한다.

다. 이 사건 심결의 경위

1) 원고는 2021. 12. 20. 특허심판원 2021정146호로 이 사건 특허발명의 청구범위를 위 나., 4), 나)항 기재와 같이 정정하는 내용의 정정심판(이하 '이 사건 정정심판'이라 한다)을 청구하였다. 특허심판원은 2022. 7. 12.과 2022. 7. 21.에 원고에게 "이 사건 정정심판청구는 청구범위를 감축하는 경우에 해당하는데, 이 사건 특허발명의 명세서 또는 도면에 기재된 사항의 범위에서 한 것이 아니고, 청구범위를 실질적으로 확장하거나 변경한 것이며, 그 발명이 속하는 기술분야에서 통상의 지식을 가진 사람(이하 '통상의 기술자'라고 한다)이 선행발명 1에서 5에 의하여 쉽게 발명할 수 있다."라는 정정불인정 이유가 포함된 의견제출통지를 하였다.

2) 원고는 2022. 9. 15. 정정불인정 이유에 관한 의견서를 제출하였으나, 특허심판원은 2022. 10. 13. "이 사건 정정심판청구는 청구범위를 감축하는 경우로 특허법 제136조 제1항 제1호에서 규정한 정정요건을 충족하고 이 사건 제8, 9, 10, 12, 19항 특허발명을 삭제하는 정정은 특허법 제136조 제3, 4항에서 규정한 정정요건을 충족하나, 이 사건 제1에서 7, 11, 13에서 18항 특허발명의 정정은 특허발명의 명세서 또는 도면

에 기재된 사항의 범위에서 할 수 있다는 특허법 제136조 제3항 및 청구범위를 실질적으로 변경할 수 없다는 특허법 제136조 제4항에 반하고, 이 사건 제1, 2, 4에서 7, 11, 13에서 16항 특허발명의 정정은 원고의 정정심판청구에 의하여 정정되더라도 통상의 기술자가 선행발명 1에서 5에 의하여 쉽게 발명할 수 있어 특허법 제29조 제2항에 따라 특허를 받을 수 없으므로 정정 후의 청구범위에 적혀 있는 사항이 특허출원을 하였을 때에 특허를 받을 수 있는 것이어야 한다는 특허법 제136조 제5항에 반한다."라는 이유로 이 사건 정정심판청구를 기각하는 이 사건 심결을 하였다.

[인정근거] 다툼 없는 사실, 갑 제1에서 8호증, 을 제2, 3호증, 변론 전체의 취지

2. 당사자의 주장

가. 원고의 주장

1) 이 사건 특허발명의 명세서 또는 도면에 '다이 패드의 일 측의 리드와 다이 패드가 솔더에 의해 연결된다'고 명시적으로 기재되어 있지 않다고 하더라도, 통상의 기술자라면 이 사건 특허발명의 출원 당시 기술상식에 비추어 보아 이 사건 특허발명의 목적, 정정 후 제1항 발명의 구성요소 6 및 이 사건 특허발명의 명세서에 기재되어 있는 "다이 패드(230)의 일 측이 리드(245)의 일 측과 연결되어 있고"라는 내용을 고려하여 '다이 패드와 리드가 솔더에 의해 연결되는 구성'이 이 사건 특허발명의 명세서에 기재되어 있는 것과 마찬가지라고 이해할 수 있다. 따라서 이러한 정정은 명세서 또는 도면에 기재된 사항의 범위에서 한 것이다.

그리고 이 사건 특허발명의 명세서와 도면 전체에 의하여 파악되는 청구범위의 실질적인 내용을 대비하여 판단하면, 분명하지 않게 기재되어 있던 다이 패드와 리드의 연결 방법을 솔더에 의해 연결되는 것으로 한정하였으므로 청구범위의 감축에 해당

되고, 이 사건 특허발명의 명세서에 기재되어 있던 목적이나 효과에 변경이 없으며, 제 3자에게 예기치 못한 손해를 끼칠 염려가 없으므로 청구범위의 실질적인 변경에 해당되지 않는다.

위와 같이 정정 후 제1항 발명이 특허법 제136조 제3항, 제4항 정정요건을 충족하므로 정정 후 제2항에서 7항, 11항, 13항에서 18항 발명도 특허법 제136조 제3항, 제4항 정정요건을 충족한다.

2) 이 사건 특허발명의 명세서에 개시되어 있는 내용을 알고 있음을 전제로 사후적으로 판단하지 않는 한 통상의 기술자가 선행기술 1에 선행기술 2를 쉽게 결합할 수 있다고 볼 수 없고, 유기적으로 결합된 전체로서의 구성 곤란성 및 결합된 전체 구성으로서의 발명이 갖는 특유한 효과를 고려하면, 정정 후 제1항 발명은 통상의 기술자가 선행발명 1에 선행발명 2, 3, 4를 결합하더라도 쉽게 발명할 수 있는 것이 아니어서 진보성이 부정되지 않는다. 정정 후 제1항 발명이 특허법 제136조 제5항 정정요건을 충족하므로 정정 후 제2항, 4항에서 7항, 11항 발명도 특허법 제136조 제5항 정정요건을 충족하고, 정정 후 제13항 발명이 특허법 제136조 제5항 정정요건을 충족하므로 정정 후 제14항에서 16항 발명도 특허법 제136조 제5항 정정요건을 충족한다.

나. 피고의 주장

1) '리드와 다이 패드가 솔더에 의해 연결되는 구성'을 부가하여 한정하는 정정은 이 사건 특허발명 출원 당시의 기술상식에 의하더라도 이 사건 특허발명의 명세서 또는 도면에 기재되어 있는 사항의 범위를 넘는 신규사항의 추가에 해당하므로 특허법 제136조 제3항의 정정요건을 충족하지 못한다.

2) '리드와 다이 패드를 솔더에 의해 연결되는 구성'을 부가함으로써 목적이나 효

과에 변경이 있고, 이러한 구성은 발명의 설명 및 도면에 기재되어 있는 내용을 그대로 반영한 것이 아니어서 청구범위의 실질적인 변경에 해당하므로 이러한 정정은 특허법 제136조 제4항의 정정요건을 충족하지 못한다.

3) 정정 후 제1항 발명은 통상의 기술자가 선행발명 1에 선행발명 2, 3, 4를 결합하고 주지관용기술을 참고하여 쉽게 발명할 수 있으므로 이 사건 정정심판청구는 특허법 제136조 제5항의 정정요건을 충족하지 못한다. 정정 후 제1항 발명이 정정요건을 충족하지 못한 이상 정정 후 제13, 17항 발명에 관하여 살필 필요 없이 이 사건 정정심판청구는 기각되어야 한다.

3. 판단

가. 특허법 제136조 제3항 정정요건의 충족 여부

원고는 이 사건 정정심판청구로 ① 독립항 발명인 이 사건 제1, 13, 17항 특허발명의 '연결 수단'을 이 사건 제12항 특허발명에 연결 수단 중 하나로 기재된 '도전성 클립'으로 한정하고 이 사건 제12항 특허발명을 삭제하는 내용의 정정, ② 이 사건 제8항 특허발명의 특징인 '리드는 다이 패드의 양 측에 대응되게 배치된 것'을 이 사건 제1, 13, 17항 특허발명에 부가하여 한정하고 이 사건 제8항 특허발명을 삭제하는 내용의 정정, ③ 이 사건 제9항 특허발명의 특징인 '다이 패드의 일 측에 배치된 리드는 다이 패드와 일정 간격 이격되도록 배치되고, 다이 패드의 다른 일 측의 리드는 다이 패드와 연결된 것'을 이 사건 제1, 13, 17항 특허발명에 부가하여 한정하고 이 사건 제9항 특허발명을 삭제하는 내용의 정정, ④ 이 사건 제1, 13, 17항 특허발명의 '다이 패드의 다른 일 측의 리드와 다이 패드의 연결'이 '솔더에 의해' 연결되는 구성을 부가하여 한정하는 내용의 정정(이하 '이 사건 정정'이라 한다)을 하였다.

이러한 정정은 특허법 제136조 제1항에서 규정한 정정요건을 충족하고, 이 사건 제8, 9, 10, 12, 19항 특허발명을 각 삭제하는 정정 및 ①, ②, ③ 정정은 특허법 제136조 제3, 4항에서 규정한 정정요건을 충족함에 대하여 당사자 사이에 다툼이 없으므로, 이 사건 정정이 특허법 제136조 제3, 4항에서 규정한 정정요건을 충족하는지 여부에 관하여 판단한다.

1) 관련 법리

특허발명의 명세서 또는 도면의 정정은 그 명세서 또는 도면에 기재된 사항의 범위에서 할 수 있다(특허법 제136조 제3항). 여기서 '명세서 또는 도면에 기재된 사항'이라 함은 거기에 명시적으로 기재되어 있는 것뿐만 아니라 기재되어 있지는 않지만 출원 시의 기술상식으로 볼 때 통상의 기술자라면 명시적으로 기재되어 있는 내용 자체로부터 그와 같은 기재가 있는 것과 마찬가지로 명확하게 이해할 수 있는 사항을 포함하지만, 그러한 사항의 범위를 넘는 신규사항을 추가하여 특허발명의 명세서 또는 도면을 정정하는 것은 허용될 수 없다(대법원 2014. 2. 27. 선고 2012후3404 판결 등 참조).

2) 구체적 판단

가) 먼저 이 사건 정정이 이 사건 특허발명의 명세서 및 도면에 명시적으로 기재되어 있는지 여부에 관하여 본다. 아래와 같은 이 사건 특허발명의 명세서 및 도면에 의하면, 이 사건 특허발명의 명세서는 다이 패드(230)의 일 측이 리드(245)의 일 측과 연결되어 있는 구성²⁾을 제3 실시예로 기재하고 있는데, 아래와 같이 "다이 패드(230)의 일 측이 리드(245)의 일 측과 연결되어 있고, 다이 패드의 다른 측은 리드

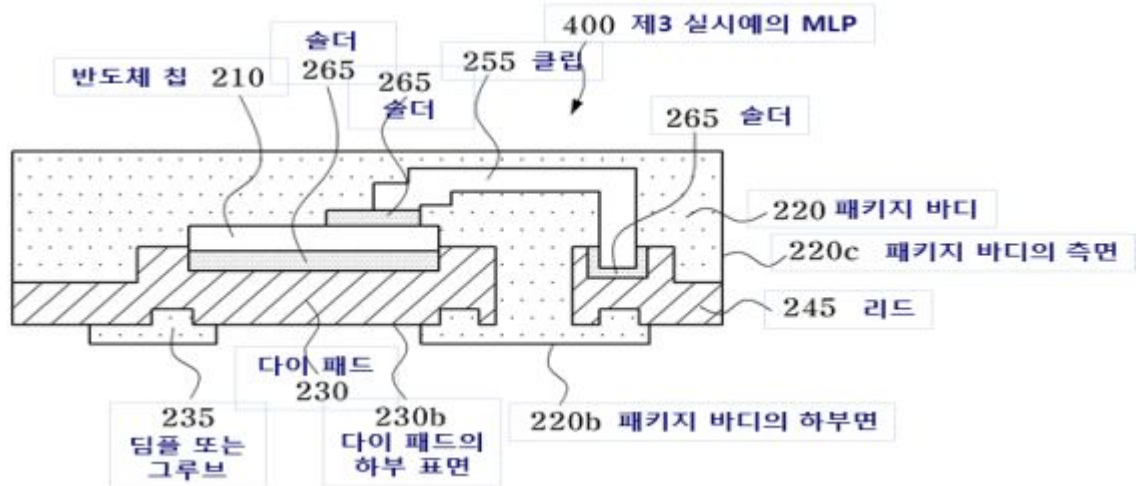
2) 이 사건 제9항 특허발명의 기술적 특징이다.

(245)와 일정 간격 이격되어 있다."고 기재되어 있어 다이 패드의 일 측에 배치된 리드가 다이 패드와 연결된 특징이 기재되어 있으나, 그 연결 수단이나 연결 방법에 관하여는 기재되어 있지 않다. 또한 이 사건 특허발명의 도면([도 6])에도 몰디드 리드리스 패키지의 다이 패드의 일 측에 배치된 리드가 다이 패드와 일체로 형성되어 다이 패드와 연결된 구성만이 나타나 있을 뿐 다이 패드와 별도로 분리된 구성인 리드가 솔더에 의해 다이 패드와 연결되는 것은 나타나 있지 않다. 따라서 이 사건 정정은 명세서 또는 도면에 명시적으로 기재되어 있지 않다.

[이 사건 특허발명의 명세서 및 도면]

[0054] 도 6a 내지 도 6e는 본 발명의 제3 실시예에 따른 몰디드 리드리스 패키지(MLP)의 단면도들이다.

[도 6e] 본 발명의 제3 실시예에 따른 몰디드 리드리스 패키지(MLP)의 단면도



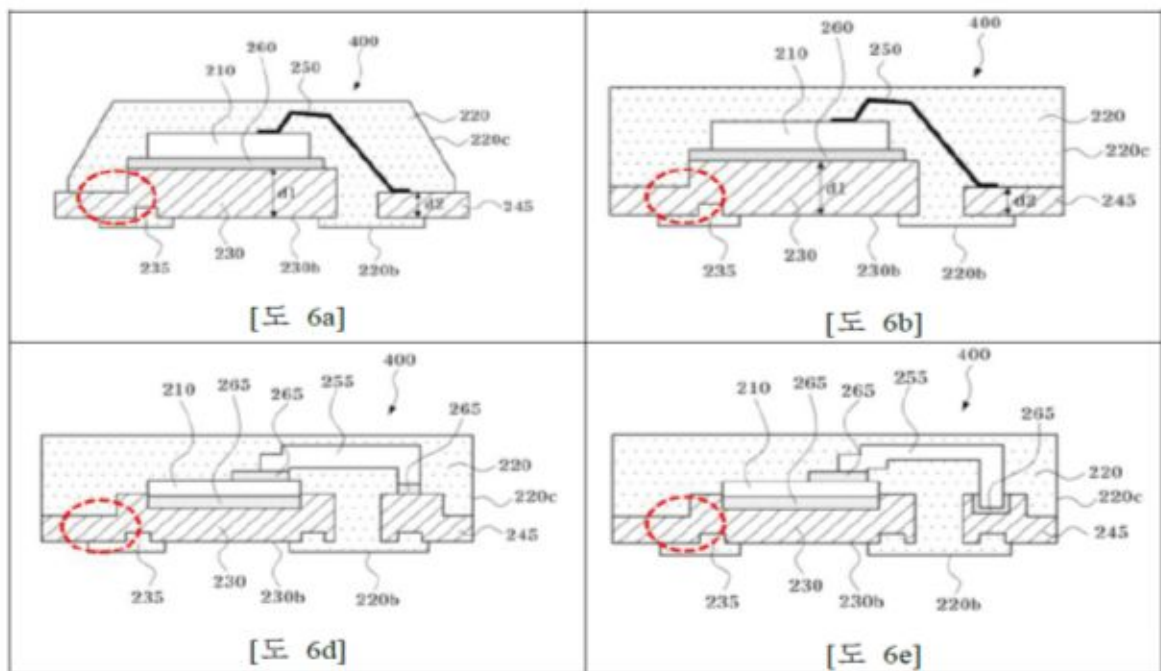
[0055] 본 발명의 제3 실시예의 MLP(400)는 도 4a에 도시된 본 발명의 제1 실시예의 MLP(200)와는 리드의 구조에 차이가 있다. 다이 패드(230)의 일 측이 리드(245)의 일 측과 연결되어 있고, 다이 패드의 다른 측은 리드(245)와 일정 간격 이격되어 있다. 다이 패드와 연결되지 않은 리드(245)는 도전성 재료로 이루어진 와이어(250)를 통해 반도체 칩(210)과 연결된다. 리드(245)의 구조를 제외하고는 도 4a에 도시된 MLP(200)와 동일하므로 동일한

부분에 대해서는 동일한 참조번호를 사용하고, 중복된 설명은 생략하기로 한다.

나) 다음으로 이 사건 특허발명 출원 당시 기술상식으로 볼 때 통상의 기술자라면 이 사건 특허발명의 명세서 및 도면으로부터 이 사건 정정과 같은 기재가 있는 것과 마찬가지로 이해할 수 있는지 여부에 관하여 본다.

이 사건 특허발명은 아래와 같이 다이 패드(230)의 일 측이 리드(245)의 일 측과 연결되어 있는 몰디드 리드리스 패키지에 대한 도면으로 [도 6a]에서 [도 6e]를 제시하고 있는데, 일반적으로 도면에서 사선이 연결된 구성은 일체로 형성된 구성을 표시하기 위한 방법으로 사용할 뿐 별도로 형성된 구성이 연결되어 있음을 나타내기 위한 수단으로 사용하는 것이 아니므로, 통상의 기술자가 이러한 도면으로부터 '별도로 형성된 다이 패드와 리드가 솔더에 의해 연결되어 있다'고 추정할 수 있지 않다.

[도 6] 본 발명의 제3 실시예에 따른 몰디드 리드리스 패키지(MLP)의 단면도들



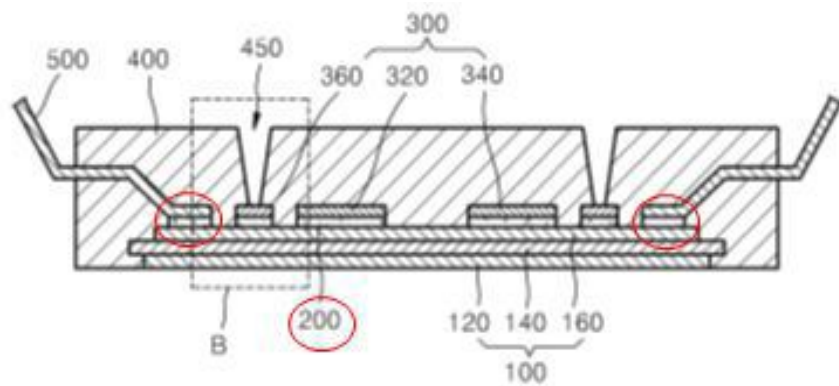
또한 이 사건 특허발명의 명세서 및 도면에는 솔더에 의해 다이 패드와 리드를 연결한다는 취지의 기재는 찾아볼 수 없는 반면, 솔더에 의해 ㉠ 반도체 칩(210)을 다이 패드(230)의 상부 표면(230a) 상에 부착하거나(문단번호 [0028], [0040], [도 5], [도 6d], [도 6e]), ㉡ 패키지를 시스템 보더에 실장하거나(문단번호 [0046], [0048]), ㉢ 클립(255)과 반도체 칩(210), 클립(255)과 리드(240)를 연결한다고(문단번호 [0051], [0058], [도 6d], [도 6e]) 기재되어 있고, 그 경우 도면에도 부호를 사용하여[솔더(265)] 솔더에 의해 연결하는 것을 표시하였다. 이 사건 특허발명의 명세서 및 도면에는 솔더에 의해 별개로 형성된 구성을 전기적으로 연결하는 기술적 특징을 개시하고 있으므로, 통상의 기술자가 이 사건 특허발명의 명세서 및 도면의 내용으로부터 솔더에 의해 다이 패드와 리드를 연결하는 것으로 이해하기는 어렵다.

다) 이에 대하여 원고는, 이 사건 특허발명의 명세서에 '다이 패드(230)의 일 측이 리드(245)의 일 측과 연결되어 있다'고 기재되어 있는데, 여기에는 다이 패드와 리드가 별개의 구성으로 형성된 후 연결되는 경우뿐만 아니라 다이 패드가 신장되어 다이 패드의 일부가 패키지 바디의 외부로 노출되는 경우도 포함되나, 통상의 기술자라면 이 사건 특허발명의 명세서에 기재된 이 사건 특허발명의 목적 및 구성요소 6을 고려하여 다이 패드와 리드가 별개의 구성으로 형성된 후 연결되는 경우임을 알 수 있고, 이 사건 특허발명 출원 시의 기술상식으로 볼 때 리드와 다이 패드는 '솔더에 의해' 연결하는 것을 자명하게 알 수 있으므로, 이 사건 정정은 이 사건 특허발명의 명세서 또는 도면에 기재된 사항의 범위에서 한 것이라고 주장한다.

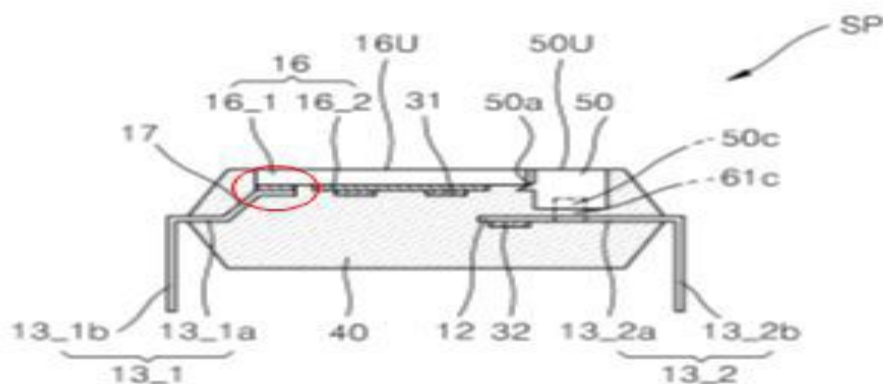
그러나 정정 후 제1항 발명의 [도 6e]에 도시된 몰디드 리드리스 패키지의 다이 패드와 리드와 같이 일체로 형성된 구성은 솔더에 의해 접합할 필요성이 없고, 아

래와 같이 갑 제9에서 13호증에 도시된 반도체 패키지의 도면에 의하더라도, 반도체 패키지 분야에서 일체로 형성할 수 없는 구성을 솔더에 의해 접합함을 알 수 있다. 통상의 기술자가 갑 제9에서 13호증을 참작하더라도 이 사건 특허발명의 명세서 또는 도면으로부터 반도체 패키지 내에서 다이 패드와 리드가 어떤 수단으로 연결되는지 또는 어떤 방법으로 연결되는지 등을 알 수 있거나 추정할 수도 없다. 원고의 주장은 이유 없다.

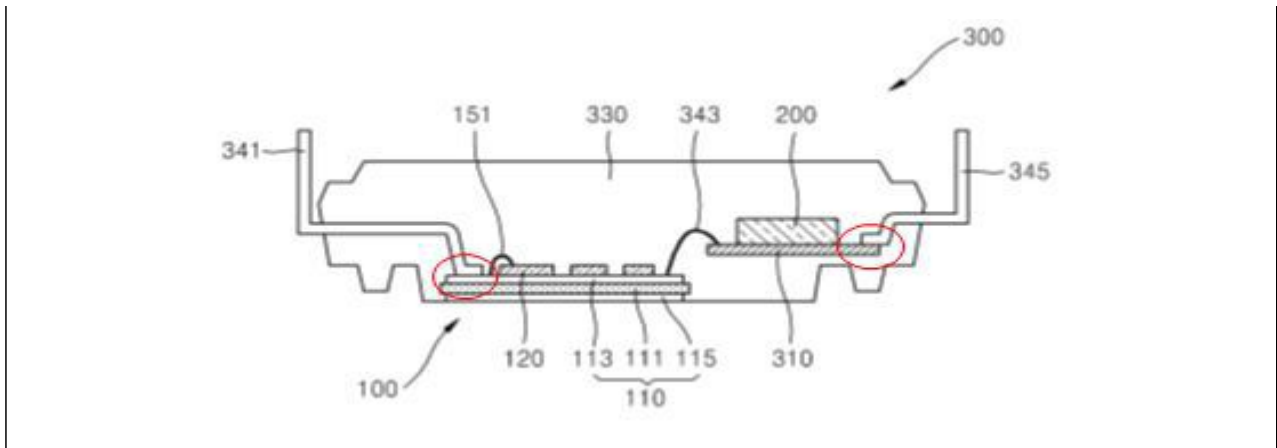
[갑 제9호증의 도 2]



[갑 제10호증의 도 2f]



[갑 제11호증의 도 3a]



라) 따라서 이 사건 정정은 이 사건 특허발명의 명세서 또는 도면에 명시적으로 기재되어 있는 사항이 아닐 뿐만 아니라, 통상의 기술자가 이 사건 특허발명 출원 당시의 기술상식에 비추어 보아 갑 제9에서 13호증을 참작하더라도 이 사건 특허발명의 명세서 또는 도면에 기재되어 있는 것과 마찬가지라고 이해할 수 있는 사항이라고 볼 수도 없다. 이 사건 정정은 다이 패드와 리드를 솔더에 의해 연결한다는 특징을 도입한 것이므로 신규사항의 추가에 해당한다.

3) 검토 결과 종합

따라서 다이 패드와 리드가 솔더에 의해 연결된 것으로 정정한 것은 이 사건 특허발명의 명세서 또는 도면에 기재된 사항의 범위를 넘는 신규사항의 추가에 해당하여 특허법 제136조 제3항의 정정요건을 충족하지 못한다.

나. 특허법 제136조 제4항 정정요건의 충족 여부

1) 관련 법리

특허발명의 명세서 또는 도면의 정정은 청구범위를 실질적으로 확장하거나 변경할 수 없다(특허법 제136조 제4항). 청구범위를 실질적으로 확장하거나 변경하는 경우에

해당하는지는 청구범위 자체의 형식적인 기재뿐만 아니라 발명의 설명을 포함하여 명세서와 도면 전체에 의하여 파악되는 청구범위의 실질적인 내용을 대비하여 판단하여야 한다. 만약 청구범위의 정정이 청구범위의 감축에 해당되고, 그 목적이나 효과에 어떠한 변경이 있다고 할 수 없으며, 발명의 설명 및 도면에 기재되어 있는 내용을 그대로 반영한 것이어서 제3자에게 예기치 못한 손해를 끼칠 염려가 없는 경우에는 청구범위의 실질적인 변경에 해당되지 아니한다(대법원 2019. 2. 28. 선고 2016후403 판결 참조).

2) 구체적 판단

가) 이 사건 정정은 청구범위 중 '리드와 다이 패드가 연결되는 구성'을 '리드와 다이 패드가 솔더에 의해 연결되는 구성'으로 정정하여 리드와 다이 패드의 연결 방법을 부가하여 한정한 것으로서 형식적인 기재는 청구범위의 감축에 해당한다. 그런데 앞서 본 바와 같이 '리드와 다이 패드가 솔더에 의해 연결되는 구성'이 명세서 또는 도면에 명시적으로 기재되어 있거나 통상의 기술자가 그와 같은 기재가 있는 것과 마찬가지로 명확하게 이해할 수 있는 사항이 아니므로 이 사건 정정은 발명의 설명 및 도면에 기재되어 있는 내용을 그대로 반영한 것이어서 제3자에게 예기치 못한 손해를 끼칠 염려가 없는 경우에 해당한다고 볼 수 없고, '리드와 다이 패드가 연결되는 구성'을 '리드와 다이 패드가 솔더에 의해 연결되는 구성'으로 정정함으로써 발명의 목적이나 효과가 달라지지 않는다고 단정할 수 없다. 따라서 이 사건 정정은 특허청구범위를 실질적으로 변경한 경우에 해당한다.

나) 원고는, 정정 후 제1항 발명은 다이 패드의 양 측에 배치되는 리드를 대량 생산한 후 두께를 두껍게 형성한 다이 패드에 솔더에 의해 연결시킴으로써 간단하면서

도 제조비용을 증가시키지 않는 반도체 패키지를 제공하는데, 이 사건 특허발명의 명세서에 기재되어 있던 제조단가를 증가시키지 않으면서 높은 열 방출 능력을 가진 몰디드 리드리스 패키지를 제공한다는 목적이나 효과에 변경이 없으므로, 청구범위의 실질적인 변경에 해당하지 않는다는 취지로 주장한다.

그러나 아래와 같은 이 사건 특허발명의 명세서 및 도면에 의하면, 종래의 MLP는 리드와 패키지 사이를 강하게 본딩하기 위하여 리드(140)의 절단면(140c)과 금속 패드를 구성하는 하부 표면(140b) 사이에 적어도 0.1mm 이상의 인터벌(interval)을 갖도록 반도체 패키지 제작 과정에서 리드의 일부를 식각하여 제거하였는데, 이로 인하여 제조 단가가 증가하는 문제점이 있었고, 이 사건 특허발명은 이러한 문제점을 해결하기 위하여 다이 패드의 하부 표면 또는 리드의 밑면에 적어도 하나의 딤플(dimple) 또는 그루브(groove)를 형성함으로써 다이 패드 또는 리드와 패키지 바디의 접착력을 좋게 하면서도 제조단가를 증가시키지 않도록 하였다. 따라서 제조단가를 증가시키지 않는 몰디드 리드리스 패키지를 제공한다는 목적이나 효과는 리드와 패키지 바디를 강하게 접착하기 위하여 리드의 일부를 식각하여 제거하는 공정을 생략함에 따른 것일 뿐 다이 패드와 리드를 일체로 형성한 후 외부 리드를 얇게 구성하기 위하여 식각하여 제거하는 공정을 생략함에 따른 효과가 아니므로 목적이나 효과에 변경이 없다고 볼 수 없다.

[이 사건 특허발명의 명세서 및 도면]

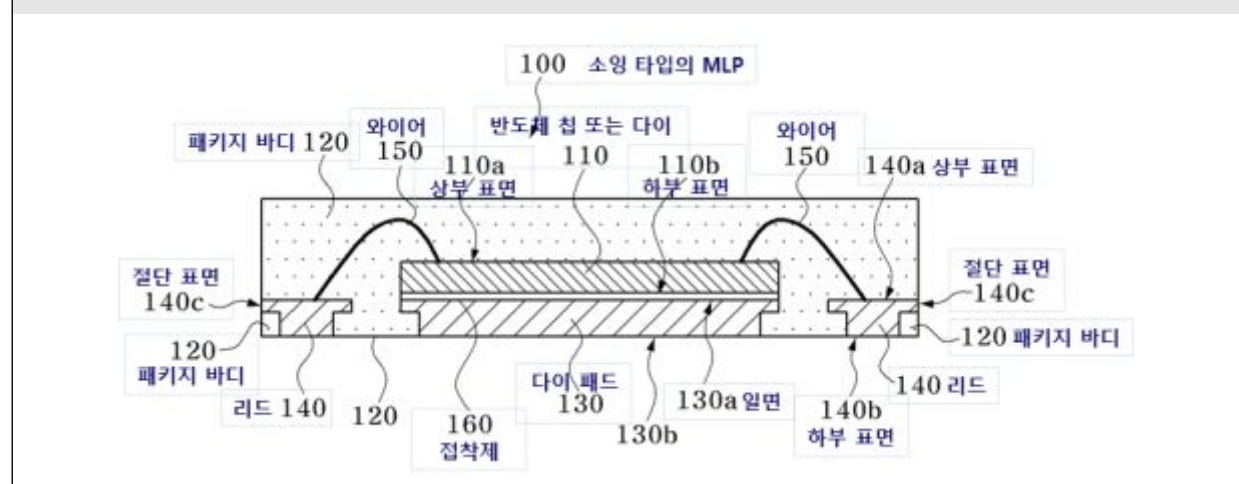
[0007] 종래의 MLP에 따르면, 금속 패드와 절단면(14c) 사이의 리드의 하부 표면 일부가 패키지 바디로 덮여 리드와 패키지 사이에 강하게 본딩될 수 있도록 하기 위하여, 리드(140)의 절단면(140c)과 금속 패드를 구성하는 하부 표면(140b) 사이에 적어도 0.1mm 이상의 인터벌(interval)을 갖도록 구성된다. 이를 위하여 패키지 제작 과정에서 리드의 일부를

식각하여 제거하여야 하는데, 이로 인해 제조 단가가 증가하는 문제점이 있다.

[0021] 상기 다이 패드의 하부 표면 또는 상기 리드의 밑면에는, 패키지 바디와의 접착력을 좋게 하기 위하여 적어도 하나의 딤플(dimple) 또는 그루브(groove)가 배치될 수 있다.

[0044] 다이 패드의 하부 표면(230b)과 리드의 밑면(240b)은 몰딩재에 의하여 패키지 외부로 노출된다. 이때, 다이 패드의 하부 표면(230b) 및 리드의 밑면(240b)은 모두가 노출될 수 있으며 또는 도시된 바와 같이 일부만이 노출될 수도 있다. 다이 패드의 하부 표면(230b)에는 패키지 바디(220)와의 접착력을 좋게 하기 위하여 소정의 깊이로 식각된 딤플(dimple) 또는 그루브(groove)(235)가 형성되어 있을 수 있다. 딤플 또는 그루브(235)의 수는 패키지에 따라 달라질 수 있다.

[도 1] 종래의 몰디드 리드리스 패키지(MLP)의 일 예를 도시한 단면도



다) 원고는, 이 사건 특허발명의 명세서에 '다이 패드(230)의 일 측이 리드(245)의 일 측과 연결되어 있다'고만 기재되어 있고, 여기에는 다이 패드와 리드가 별개의 구성으로 형성된 후 연결되는 경우뿐만 아니라 다이 패드가 신장되어 다이 패드의 일부가 패키지 바디의 외부로 노출되는 경우도 포함되는데, 이 사건 정정에 의하여 다이 패드와 리드가 별개의 구성으로 형성된 후 솔더에 의해 연결되는 경우로 한정하는 것이므로, 이는 다소 분명하지 않게 기재된 사항을 명확하게 하고 청구범위를 한정하여

감축하는 것이므로 예기치 못한 손해를 끼칠 염려가 없어 청구범위의 실질적인 변경에 해당하지 않는다는 취지로 주장한다.

그러나 형식적으로 상위개념을 하위개념으로 정정하였다고 하더라도, 앞서 본 바와 같이 다이 패드의 일 측이 리드의 일 측과 솔더에 의해 연결된다는 것은 이 사건 특허발명의 명세서 또는 도면에 명시적으로 기재되어 있거나 통상의 기술자가 그와 같은 기재가 있는 것과 마찬가지로 명확하게 이해할 수 있는 사항의 범위 이내라고 볼 수 없으므로, 정정이 발명의 설명 및 도면에 기재되어 있는 내용을 그대로 반영한 것이 아닌 경우에는 제3자에게 예기치 못한 손해를 끼칠 염려가 없다고 볼 수 없다.

3) 검토 결과 종합

따라서 다이 패드와 리드가 솔더에 의해 연결된 것으로 정정한 것은 청구범위를 실질적으로 변경한 경우에 해당하여 특허법 제136조 제4항의 정정요건을 충족하지 못한다.

다. 특허법 제136조 제5항 정정요건의 충족 여부

특허발명의 명세서 또는 도면에 대한 정정 중 청구범위를 감축하는 경우에 해당하는 정정은 정정 후의 청구범위에 적혀 있는 사항이 특허출원을 하였을 때에 특허를 받을 수 있는 것이어야 한다(특허법 제136조 제5항). 먼저 정정 후 제1항 발명의 진보성이 인정되는지 여부에 관하여 판단하되, 앞에서 본 바와 같이 다이 패드와 리드가 솔더에 의해 연결된 것으로 정정한 것은 이 사건 특허발명의 명세서 또는 도면에 기재된 사항의 범위를 넘는 신규사항의 추가에 해당하고 청구범위를 실질적으로 변경한 경우에 해당하여 특허법 제136조 제3항, 제4항의 정정요건을 충족하지 못하므로, 다이 패드와 리드가 '솔더에 의해' 연결된 구성은 제외하고 판단한다.

1) 정정 후 제1항 발명의 진보성 인정 여부³⁾

가) 정정 후 제1항 발명과 선행발명 1의 구성요소 대비

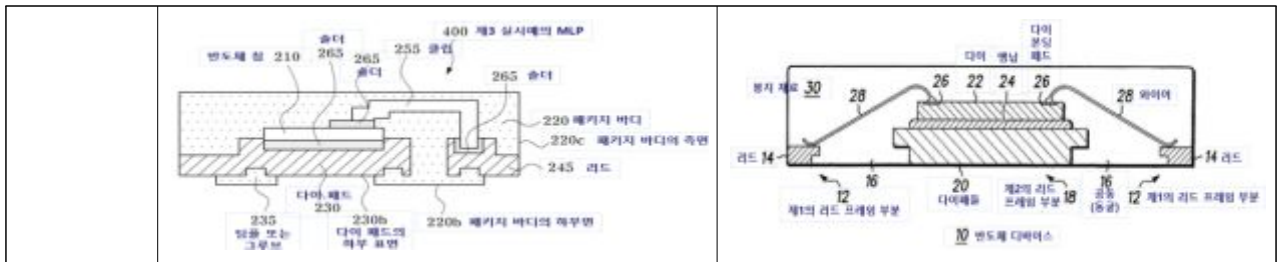
정정 후 제1항 발명의 각 구성요소에 대응하는 선행발명 1의 각 구성요소는 아래 표 기재와 같다.

구성요소	정정 후 제1항 발명	선행발명 1
1	상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드;	○ 제2의 리드 프레임 부분(18)은, 제1의 리드 프레임 부분의 공동(동굴)부(16) 내(內)에 수용되고 있는 다이·패들(20)을 갖는다(문단번호 [0011]). ○ 다이·패들(20)은 상호 반대되는 상부 표면 및 하부 표면을 갖는다([도 1]).
2	상기 다이 패드의 상부 표면 상에 실장된 반도체 칩;	○ 집적 회로 다이(22)는, 다이·패들(20)에 장착되어지고, (중략) 다이(22)는, 뿔(24)에 의해 열을 다이(22)로부터 다이·패들(20)에 놓칠 수 있는 뿔 다이 설치 프로세스 등의 주지 방법으로 다이·패들(20)에 장착된다. 다른 실시 형태의 경우에는, 다이(22)는, 접착 재료층 또는 접착테이프에 의해 다이·패들(20)에 장착할 수 있다(문단번호 [0013]).
3	상기 다이 패드의 주변 영역에 상기 다이 패드와 일정 간격 이격되도록 배치된 다수의 리드;	○ 집적 회로 다이(22)는, 다이·패들(20)에 장착되어지고, 다이·패들이 공동(동굴)부 내에 위치하고 있으므로, 다

3) 피고보조참가인은 정정 후 제1항 발명은 선행발명 1과 동일한 발명이므로 신규성이 부정된다고도 주장하나, 아래와 같이 정정 후 제1항 발명이 선행발명 1과 차이가 있는 이상 피고보조참가인의 신규성 부정 주장에 관하여 별도로 판단하지 않는다.

		이(22)는, 복수의 리드(14)에 의해 둘러싸여진다(문단번호 [0013]).
4	상기 반도체 칩과 상기 다수의 리드 각각을 전기적으로 연결하는 <u>도전성 클립</u> ; 및	○ 다이(22)는, 복수의 다이 본딩 패드(26)를 포함한다. 다이 본딩 패드(26) 가운데 몇 가지는, <u>와이어(28)</u> 에 의해 리드(14) 가운데 대응하는 몇 개 인가의 리드에 전기적으로 접속되고 있다(문단번호 [0014]).
5	적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드, 상기 반도체 칩, 상기 리드 및 상기 <u>도전성 클립</u> 을 덮는 패키지 바디를 포함하고,	○ 반도체 디바이스(device)(10)는, 적어도 리드(14)의 밑면 및 제2의 리드 프레임 부분(18)의 밑면을 노출시킨 상태에서, 집적 회로 다이(22)의 정상부 표면, <u>와이어(28)</u> 및 리드(14)의 정상부 표면을 덮는 봉지재료(30)를 더욱 포함한다(문단번호 [0015]). ○ 봉지재료(30)는 다이·패들(20), 집적 회로 다이(22), 리드(14) 및 와이어(28)를 덮는다([도 1]).
6	상기 다이 패드의 두께가 상기 리드 중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼우며,	○ 제1의 리드 프레임 부분(12)은 금속 또는 금속 합금에서 형성되어, 제1의 소정의 두께를 갖는다. (중략) 제2의 리드 프레임 부분(18)은, 아주 알맞게는, 제1의 두께와는 다른 제2의 두께를 갖는다. 예를 들면, 대량의 열을 발생하는 전원 회로의 경우에는, 제2의 리드 프레임 부분(18)을 히트 싱크로서 사용할 수 있다. 그러한 경우에는, 아주 알맞게는, 제2의 두께는 제1의 두께보다도 두

		<p>겹다. 더 바람직한 실시 형태의 경우에는, 제1의 두께는, 제2의 두께 약 절반 이하 또는 그것 이하이다. 어떤 예의 경우에는, 제1의 부분이 약 8밀(0.2032mm)의 제1의 두께를 갖고, 제2의 두께가 약 20밀(0.508mm)인 리드 프레임을 제조했다(문단번호 [0011]).</p> <p>○ 다이·패들(20)의 두께(제2의 두께)는 리드(14) 중 봉지재료(30)의 외부로 노출되는 측면 부분의 두께(제1의 두께)보다 두껍다([도 1]).</p>
7	<p>상기 리드는 상기 다이 패드의 양 측에 대응되게 배치되되, 상기 다이 패드의 일 측에 배치된 리드는 상기 다이 패드와 일정 간격 이격되도록 배치되고, <u>상기 다이 패드의 다른 일 측의 리드는 상기 다이 패드와 솔더에 의해 연결된 것을 특징으로 하는 몰디드 리드리스 패키지.</u></p>	<p>○ 리드(14)는 다이·패들(20)의 양 측에 대응되게 배치되고, <u>다이·패들(20)의 양 측에 배치된 리드(14)는 다이·패들(20)과 일정 간격 이격되도록 배치된다</u>([도 1], [도 5]).</p> <p>○ 반도체 디바이스(device)(10)는, 적어도 리드(14)의 밑면 및 제2의 리드 프레임 부분(18)의 밑면을 노출시킨 상태에서, 집적 회로 다이(22)의 정상부 표면, 와이어(28) 및 리드(14)의 정상부 표면을 덮는 봉지재료(30)를 더욱 포함한다(문단번호 [0015]).</p> <p>○ 본 발명은, 집적 회로 및 패키징한 집적 회로에 관하고, 특히 패키징한 집적 회로용의 리드 프레임에 관한다(문단번호 [0001]).</p>
도면	[도 6e]	[도 1]



나) 공통점 및 차이점의 분석

(1) 기술분야 및 구성요소 1, 2, 3, 6

정정 후 제1항 발명은 '몰디드 리드리스 패키지(Molded Leadless Package)'에 관한 것이고, 선행발명 1은 '적어도 리드(14)의 밑면 및 제2의 리드 프레임 부분(18)의 밑면을 노출하도록 패키징한 반도체 디바이스(device)(청구항 9항, 14항)'에 관한 것이므로, 양 발명은 반도체의 몰디드 리드리스 패키지에 관한 것이라는 점에서 동일하다.

정정 후 제1항 발명의 구성요소 1, 2, 3, 6은 '상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드[다이 · 패들(20)]⁴⁾(구성요소 1)', '다이 패드[다이 · 패들(20)]의 상부 표면 상에 실장된 반도체 칩[집적 회로 다이(22)](구성요소 2)', '다이 패드[다이 · 패들(20)]의 주변 영역에 다이 패드[다이 · 패들(20)]와 일정 간격 이격되도록 배치된 다수의 리드[리드(14)](구성요소 3)', '다이 패드의 두께(제2의 두께)가 리드 중 패키지 바디의 외부로 노출되는 외부 리드(제1의 두께)보다 두꺼우며(구성요소 6)'이고, 선행발명 1도 위 구성요소 1, 2, 3, 6과 동일한 구성을 가지고 있다(이에 대하여 당사자 사이에 다툼이 없다).

(2) 구성요소 4

4) 정정 후 제1항 발명의 구성요소에 대응하는 선행발명 1의 구성요소를 괄호 안에 기재하였고, 이하 같은 방식으로 표기한다.

정정 후 제1항 발명의 구성요소 4와 이에 대응하는 선행발명 1의 구성요소는 반도체 칩[집적 회로 다이(22)]과 다수의 리드[리드(14)] 각각을 전기적으로 연결(접속)한다는 점에서 공통된다. 다만, 구성요소 4는 도전성 클립으로 연결하는 반면, 선행발명 1은 와이어(28)로 접속한다는 점에서 차이가 있다(이하 '차이점 1'이라 한다).

(3) 구성요소 5

정정 후 제1항 발명의 구성요소 5와 이에 대응하는 선행발명 1의 구성요소는 적어도 리드[리드(14)]의 밑면의 일부 및 다이 패드[제2의 리드 프레임 부분(18)]의 일부를 노출하며 다이 패드, 반도체 칩[집적 회로 다이(22)], 리드[리드(14)]를 덮는 패키지 바디[봉지재료(30)]를 포함한다는 점에서 공통된다. 다만, 구성요소 5의 패키지 바디는 반도체 칩과 리드를 연결하는 도전성 클립을 덮는 반면, 선행발명 1의 봉지재료(30)는 집적 회로 다이(22)와 리드(14)를 접속하는 와이어(28)를 덮는다는 점에서 차이가 있다(이하 '차이점 2'라 한다).

(4) 구성요소 7

정정 후 제1항 발명의 구성요소 7과 이에 대응하는 선행발명 1의 구성요소는 리드[리드(14)]는 다이 패드[다이 · 패들(20)]의 양 측에 대응되게 배치된다는 점에서 공통된다. 다만, 구성요소 7은 다이 패드의 일 측에 배치된 리드는 다이 패드와 일정 간격 이격되도록 배치되고, 다이 패드의 다른 일 측의 리드는 다이 패드와 연결된 반면, 선행발명 1은 다이 · 패들(20)의 양 측에 배치된 리드(14)가 다이 · 패들(20)과 일정 간격 이격되도록 배치된다는 점에서 차이가 있다(이하 '차이점 3'이라 한다).

다) 차이점에 대한 검토

(1) 차이점 1, 2

(가) 아래와 같은 이 사건 특허발명의 명세서 기재에 의하면, 정정 후 제1항 발명은 종래에 열 방출 효율을 높이기 위하여 다이 패드 및 리드의 두께를 증가시키면 전체 패키지의 부피가 증가하는 문제점 및 리드와 리드 사이의 간격을 넓게 확보하여야 하므로 리드의 수를 증가시키는 데 한계가 있는 문제점을 해결하기 위하여 다이 패드의 두께를 패키지 바디의 외부로 노출되는 외부 리드보다 두껍게 하고(구성요소 6) 반도체 칩과 다수의 리드 각각을 도전성 클립으로 연결함으로써(구성요소 4) 높은 열 방출 능력을 가질 수 있도록 하였고, 외부 리드를 얇게 함으로써(구성요소 6) 리드의 수를 용이하게 증가시킬 수 있도록 하였다.

[이 사건 특허발명의 명세서]

[0008] 또한, 종래의 MLP의 경우 열 방출 문제가 다소 개선되었다고는 하나, 다이 패드(130) 및 리드(140)의 두께가 0.2 ~ 0.25mm 정도로 얇기 때문에 전력 반도체 장치나 LED 소자에 적용하기에는 여전히 열적 스트레스 문제가 개선되어야 하는 실정이다. 열 방출 효율을 높이기 위하여 다이 패드 및 리드의 두께를 증가시키면 전체 패키지의 부피가 증가하기 때문에 경박단소를 지향하는 최근의 전자기기에 부합하지 못하게 된다.

[0014] 또한, 솔더 조인트(16)가 유동성을 띄게 되어 압력에 의해 옆으로 퍼지게 되면 리드와 리드 사이의 간격이 좁아지게 되므로, 이를 고려하여 리드와 리드 사이의 간격을 통상 0.5mm 정도로 넓게 확보하여야 한다. 따라서, 리드의 수를 증가시키는 데 한계가 있다.

[0015] 본 발명이 해결하려는 과제는 제조단가를 증가시키지 않으면서 높은 열 방출 능력을 가지며 리드의 수를 용이하게 증가시킬 수 있는 구조의 몰디드 리드리스 패키지를 제공하는 데 있다.

그리고 아래와 같은 이 사건 특허발명의 명세서 기재에 의하면, 이 사건 특허발명은 반도체 칩과 리드를 연결하는 수단으로 도전성 와이어(wire) 또는 도전성 클립을 포함하는데(문단번호 [0027], [0034]), 반도체 칩과 리드를 전기적으로 연결하기 위하여 와이어(wire) 대신에 도전성 클립(clip)을 사용하는 구성을 제2 실시예로 기재하

고 있고(문단번호 [0050], [도 5]), 반도체 칩(210)과 리드(245)를 와이어가 아닌 도전성 클립(255)으로 연결하면 도전성 클립이 와이어에 비해 면적이 넓기 때문에 흐르는 전류의 양을 증가시켜 열 방출 효율을 증가시킬 수 있는 작용효과가 있는 것을 알 수 있다(문단번호 [0053], [0058]).

[이 사건 특허발명의 명세서]

[0027] 상기 연결 수단은 도전성 와이어 또는 도전성 클립을 포함할 수 있다.

[0034] 상기 연결 수단은 도전성 와이어(wire) 또는 도전성 클립을 포함할 수 있다.

[0050] 도 5를 참조하면, 본 실시예의 MLP(300)는 반도체 칩과 리드를 연결하기 위하여 와이어(wire) 대신에 도전성 클립(clip)을 사용하는 것을 제외하고는 도 4a에 도시된 제1 실시예의 MLP(200)와 동일하다.

[0053] 이와 같이 반도체 칩과 리드를 도전성 클립으로 연결할 경우, 도전성 클립이 와이어에 비해 면적이 넓기 때문에 흐르는 전류의 양을 증가시킬 수 있고 열 방출 효율도 증가시킬 수 있다.

[0058] 또한, 열 방출 효율을 높이기 위하여 도 6d에 도시된 것과 같이, 반도체 칩(210)과 리드(245)의 연결을 와이어가 아닌 도전성 클립(255)으로 할 수 있다. 이때는 접착제 대신 솔더(265)를 사용한다. 솔더(265)는 예를 들면 주석/은/구리(Sn/Ag/Cu) 합금, 주석(Sn), 주석/납(Sn/Pb) 합금, 주석/은(Sn/Ag) 합금 또는 니켈(Ni) 등을 포함할 수 있다. 반도체 칩(210)을 형성하는 최종 단계에서 반도체 칩(210)의 뒷면 및/또는 앞면에 솔더 물질층을 형성하거나, 본딩 패드 금속을 솔더 물질로 형성한다. 솔더 물질층을 형성하는 방법으로는 스퍼터링(sputtering) 또는 전기 도금(electroplating) 방식을 사용할 수 있다.

(나) 선행발명 1은 집적 회로 다이(22)와 리드(14)의 연결 수단으로 정정 후 제1항 발명의 '도전성 클립'을 명시적으로 기재하고 있지는 않지만, 아래와 같은 선행발명 1의 명세서 기재에 의하면, 선행발명 1은 '집적 회로 다이(22)가 와이어(28)에 의해 몇 개의 리드(14)에 전기적으로 접속되는 구성'을 개시하고 있고, 여기서 와이어는 다양한 직경의 코팅되거나 코팅되지 않은 금, 알루미늄 등 여러 종류의 재료들 중에서

선택할 수 있으며, 이러한 기술적 특징은 통상의 기술자에게 주지된 기술임이 개시되어 있다. 또한 제2의 리드 프레임 부분(18), 즉 다이 패들(20) 부분의 두께를 두껍게 구성하여 히트 싱크로 사용하는 경우 열을 효율적으로 방산할 수 있고, 제1의 리드 프레임 부분(12)의 두께는 그 절반 이하로 얇게 구성하여 제1의 리드 프레임 부분(12)의 패키징 공정을 쉽게 할 수 있다는 기술적 특징이 개시되어 있다.

[선행발명 1의 명세서]

[0004] 열 방산이 잘, 게다가 각각의 리드 프레임을 절단하는 것이 쉬운 리드 프레임을 제공하는 것은 바람직한 것이다. 게다가, 결함이 생기지 않은 고온프로세스에서 다이를 다이·패들에 장착하는 것이 바람직하다.

[0011] 도 1을 참조하면, 이 그림은, 본 발명에 의한 반도체 디바이스(device)(10)의 일 실시 형태의 확대 단면도다. (중략) 제2의 리드 프레임 부분(18)은, 아주 알맞게는, 제1의 두께와는 다른 제2의 두께를 갖는다. 예를 들면, 대량의 열을 발생하는 전원 회로의 경우에는, 제2의 리드 프레임 부분(18)을 히트 싱크로서 사용할 수 있다. 그러한 경우에는, 아주 알맞게는, 제2의 두께는 제1의 두께보다 두껍다. 더 바람직한 실시 형태의 경우에는, 제1의 두께는, 제2의 두께의 약 절반 또는 그 이하이다. 어떤 예의 경우에는, 제1의 부분이 약 8 밀(0.2032mm)의 제1의 두께를 갖고, 제2의 두께가 약 20밀(0.508mm)인 리드 프레임을 제조했다. 이 두께를 함으로써, 제1의 리드 프레임 부분을, 쉽게 각각의 리드 프레임으로 분리할 수 있고, 동시에 제2의 리드 프레임 부분은 효율적으로 열 방산을 행할 수 있다.

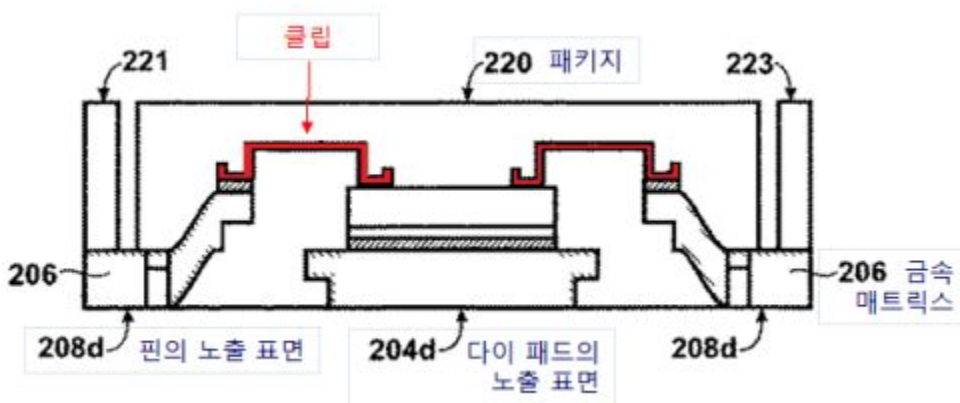
[0014] 다이(22)는, 복수의 다이 본딩 패드(26)를 포함한다. 다이 본딩 패드(26) 가운데 몇 가지는, 아주 알맞게는, 와이어·본딩·프로세스에서, 와이어(28)에 의해 리드(14) 가운데 대응하는 몇 개의 리드에 전기적으로 접속되고 있다. 당업자라면 이러한 와이어 및 와이어·본딩·프로세스는 주지인 일 실시 형태의 경우에는, 2밀(0.0508mm)의 금의 와이어가 사용되어, 별도의 실시 형태의 경우에는, 10밀(0.254mm)의 알루미늄·와이어가 사용된다. 그러나, 코팅되었다 (절연되었다) 와이어 및 코팅되지 않고 있는 와이어를 포함하는 여러 종류의 재료 및 직경이 가지가지인 주지의 와이어를 사용할 수 있다.

(다) 아래와 같은 선행발명 2의 명세서 및 도면에 의하면, 선행발명 2는 반도체 패키징 공정을 쉽게 하기 위한 발명으로, '리드 프레임(208)의 일부와 다이(212)의

결합 구조체로 전도성의 와이어, 리본, 클립을 포함하는 구성'을 개시하고 있어 선행발명 2에는 정정 후 제1항 발명의 반도체 칩과 리드를 연결하는 수단으로 도전성 클립에 해당하는 내용이 동일하게 개시되어 있을 뿐만 아니라 결합 구조체로 본드 와이어 대신 본드 클립을 사용할 경우, 다이의 접촉점과 핀과의 사이에 전기적 결합의 저항이 감소하는 효과가 있고, 이에 따라 종래보다 작은 다이를 사용하더라도 큰 다이를 사용하는 것에 필적하는 퍼포먼스를 가질 수 있다며 그 작용효과도 개시하고 있어 선행발명 2의 명세서에는 반도체 칩과 리드의 연결 수단으로 도전성 클립을 사용하는 효과에 관하여 이 사건 특허발명의 명세서에 기재된 내용이 동일하게 개시되어 있다.

[선행발명 2의 명세서 및 도면]

[도 2J] 패키지를 형성하기 위한 본 발명에 의한 제조법의 실시 형태의 단면도



[0012] 따라서 부분적 에칭 공정을 필요로 하지 않는, 반도체 소자 패키지를 형성하기 위한 제조법이, 당 기술분야에서 요청되고 있다.

[0042] 4번째 공정(308)에서는, 리드 프레임의 일부가 적절한 금속으로 선택적으로 전기 도금되어도 좋다. 그러한 피전기 도금 영역의 실시에는, 다른 쪽 끝이 다이에 접속되어 있는 와이어나 리본, 클립 등의 결합 구조체의 끝을 받는 것이 예정되는 다이 부착면이나 핀의 융기한 일부를 포함한다.

[0047] 8번째 공정(316)에서는, 하나 또는 복수의 결합 구조체가, 다이와 적절한 핀의

표면 사이에 장착된다. 이 표면은 전기 도금되어 있어도 좋다. 전술한 것과 같이, 결합 구조체는 전도성의 클립, 와이어, 혹은 리본이여도 좋다.

[0056] 게다가, 실시 형태의 몇 가지는, 본드 와이어 대신 클립의 사용을 포함한다. 이러한 본드 클립의 사용은, 다이의 접촉점과 주위의 핀과의 사이에 전기적 결합의 저항을 감소하는 것을 가능하게 한다. 그리고 이는, 앞으로 큰 다이에 필적하는 퍼포먼스를 갖는 종래보다 작은 다이의 사용을 가능하게 한다.

(라) 선행발명 1, 2는 모두 반도체 패키지에 관한 발명이어서 기술분야가 유사하고, 패키징 공정을 쉽게 하면서도 열을 효율적으로 방출하기 위한 구성을 채택하였다는 점에서 그 목적과 기술적 특징이 공통된다. 그런데 통상 반도체 패키징 분야에 있어 필요에 따라 집적 회로 다이(22)와 복수의 리드(14)를 접속하는 와이어의 규격, 재질 등을 선택하는 것은 이 기술분야의 기술상식에 해당하고, 이에 비추어 볼 때 통상의 기술자에게 선행발명 1에서 와이어는 쉽게 그 변경을 고려할 수 있는 구성에 해당한다. 그리고 정정 후 제1항 발명 중 '반도체 칩과 다수의 리드 각각을 도전성 클립으로 연결하는 구성'은 선행발명 2의 '리드 프레임(208)의 일부와 다이(212)의 결합 구조체로 전도성의 클립을 사용하는 구성'과 동일하다. 통상의 기술자는 반도체 패키징에 있어 만족하여야 하는 특성 및 성능 등을 고려하여 집적 회로 다이(22)와 리드(14)를 연결하는 수단을 선택할 수 있으므로, 열 방출 효율을 증가시키기 위하여 집적 회로 다이(22)와 리드(14)를 연결하는 수단으로 와이어(28) 대신 도전성 클립을 도입할 수 있고, 그 기술적 구성에 비추어 볼 때 위와 같은 구성을 도입하는 데 어떠한 기술적 어려움이 있다고 보이지 않으므로, 통상의 기술자는 반도체 패키지 분야의 기술개발 등을 위하여 선행발명 1에 선행발명 2를 결합하여 차이점 1, 2를 극복하고 정정 후 제1항 발명의 구성요소 4, 5를 쉽게 도출할 수 있다.

(마) 이에 대하여 원고는, 제시된 선행문헌을 근거로 발명의 진보성이 부정되는지를 판단하기 위해서는 선행문헌 전체에 의하여 통상의 기술자가 합리적으로 인식할 수 있는 사항을 기초로 대비 판단하여야 하는데, 선행발명 2의 목적(부분적 식각 공정 대신 스탬핑 가공을 채택함으로써 반도체 장치의 제조비용을 절감)은 정정 후 제1항 발명의 목적(높은 열 방출 능력을 갖고 리드의 수를 용이하게 증가시킬 수 있는 구조의 몰디드 리드리스 패키지를 제공)과 달라 그 목적을 위하여는 본딩 클립보다 본딩 와이어를 채택할 것이므로, 이 사건 특허발명의 명세서에 개시되어 있는 내용을 알고 있음을 전제로 사후적으로 판단하지 않는 한 통상의 기술자가 선행기술 1의 와이어를 선행기술 2의 클립으로 쉽게 변경할 수 있다고 보기 어렵다고 주장한다.

여러 선행기술문헌을 인용하여 특허발명의 진보성을 판단할 때에, 그 인용되는 기술을 조합 또는 결합하면 해당 특허발명에 이를 수 있다는 암시, 동기 등이 선행기술문헌에 제시되어 있거나, 그렇지 않더라도 해당 특허발명의 출원 당시의 기술수준, 기술상식, 해당 기술분야의 기본적 과제, 발전경향, 해당 업계의 요구 등에 비추어 보아 통상의 기술자가 쉽게 그와 같은 결합에 이를 수 있는 경우에는 해당 특허발명의 진보성은 부정된다(대법원 2019. 10. 31. 선고 2018후11353 판결 등 참조).

이 사건 특허발명 출원 당시 반도체 패키징 분야에서 반도체 패키지 내부의 열을 효율적으로 방출시키는 것은 해당 업계의 요구라고 할 것이고, 정정 후 제1항 발명과 선행발명 1, 2는 모두 열 방출 효율을 높인다는 점에서 그 기술적 과제가 동일하다. 선행발명 1은 열을 효율적으로 방산하기 위하여 제2의 리드 프레임 부분(18)의 두께를 두껍게 구성하였는데, 열 방출 문제를 더욱 개선하기 위하여 선행발명 2를 참작할 수 있고, 여기에 개시된 '리드 프레임(208)의 일부와 다이(212)의 연결 수단으로 와

이어 대신 클립을 사용하는 구성'을 도입하려는 시도를 충분히 할 수 있다. 선행발명 2가 반도체 장치의 제조비용을 절감하는 것을 하나의 과제로 하여 스탬핑 가공을 채택하더라도, 선행발명 2에는 '리드 프레임(208)의 일부와 다이(212)의 결합 구조체로 전도성의 와이어와 클립을 포함하고 있고, 결합 구조체로 본드 와이어 대신 본드 클립을 사용하면 다이의 접촉점과 핀과의 사이에 전기적 결합의 저항을 감소하는 효과가 있다'고 기재되어 있는 이상 제조비용을 절감하기 위하여 결합 구조체로 클립을 사용하는 것에 대한 부정적 교시가 있다고 볼 수 없어 선행발명 1, 2에는 각 발명에 나타난 구성의 결합을 방해하는 취지의 기재가 있다고 볼 수 없다. 그렇다면 통상의 기술자가 선행발명 1의 와이어를 선행발명 2의 클립으로 대체하는 데 별다른 어려움이 없다. 원고의 주장은 이유 없다.

(바) 또한 원고는, 특허발명의 진보성 여부를 판단함에 있어서는 특유의 과제 해결원리에 기초하여 유기적으로 결합된 전체로서의 구성의 곤란성을 따져 보아야 하는데, 정정 후 제1항 발명은 구성요소 4와 구성요소 6이 유기적으로 결합하여 패키지 내부의 열을 효율적으로 외부로 방출하는 효과를 극대화한다고 주장하나, 앞에서 본 바와 같이 구성요소 6을 갖고 있는 선행발명 1에 구성요소 4와 동일한 내용을 개시하고 있는 선행발명 2를 결합하는 데에 구성의 곤란성이 있다고 볼 수 없고, 정정 후 제1항 발명의 구성요소 4와 구성요소 6으로 인한 작용효과도 선행발명 1과 선행발명 2의 결합으로부터 예측 가능한 정도를 넘어서는 현저한 효과를 낸다고 보기도 어렵다. 원고의 이 부분 주장도 이유 없다.

(사) 따라서 이 사건 특허발명 출원 당시의 기술수준에 비추어 반도체 패키지 분야에서의 통상의 기술자라면 선행발명 1의 '와이어(28)에 의해 집적 회로 다이(22)와

리드(14)를 전기적으로 접속하는 구성'에 선행발명 2에 개시된 '다이(212)와 리드 프레임(208)의 일부를 전도성의 클립으로 결합하는 구성'을 쉽게 결합하여 차이점 1, 2를 극복하고 정정 후 제1항 발명의 구성요소 4, 5를 쉽게 도출할 수 있다.

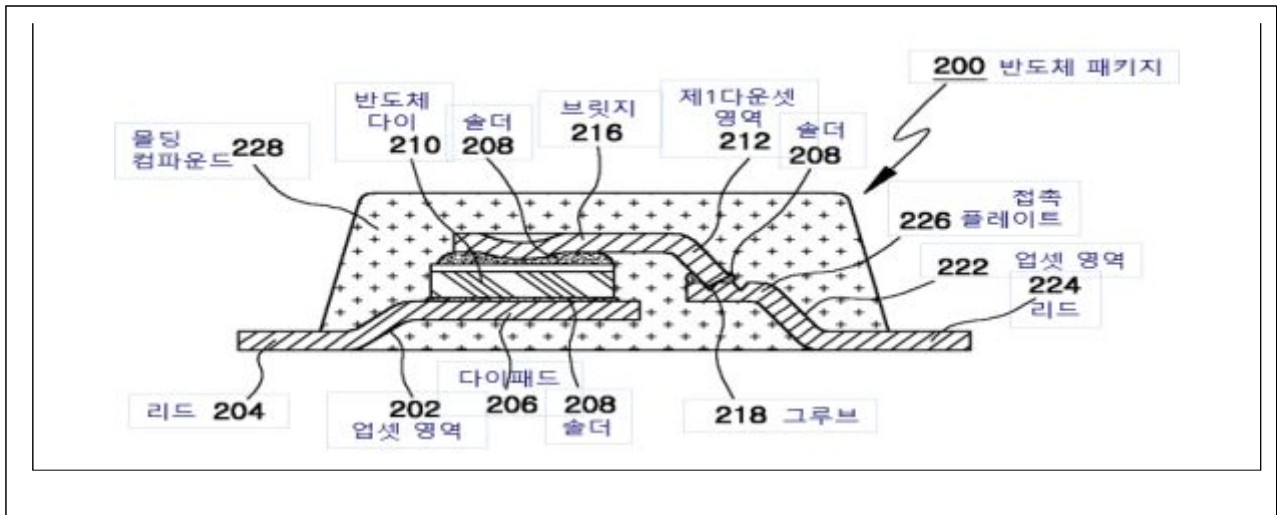
(2) 차이점 3

(가) 아래와 같은 선행발명 4의 명세서 및 도면에 의하면, 선행발명 4에는 '다이패드(206)의 일 측에 배치된 리드(224)는 다이 패드(206)와 일정 간격 이격도록 배치된 구성' 및 '업셋 영역(202)과 리드(204)가 연결된 다이패드(206)'를 개시하고 있어 선행발명 4에는 정정 후 제1항 발명의 '다이패드(506)의 일 측에 배치된 리드(524)는 다이 패드(506)와 일정 간격 이격도록 배치되고, 다이 패드(506)의 다른 일 측의 리드(504)는 다이 패드(506)와 연결된 구성'에 해당하는 내용이 동일하게 개시되어 있으므로, 선행발명 4에는 차이점 3에 해당하는 정정 후 제1항 발명의 구성요소 7에 해당하는 내용이 동일하게 개시되어 있다.

[선행발명 4의 명세서 및 도면]

[0017] 도시된 바와 같이 본 발명에 의한 반도체 패키지(200)는 사각판 형태로서 일 측에 업셋 영역(202)과 리드(204)가 연결된 다이패드(206)와, 상기 다이패드(206)의 상면에 솔더(208)로 고정된 반도체 다이(210)와, 상기 반도체 다이(210)의 상면에 솔더(208)로 고정되고 일 측에는 하향 절곡된 제1 다운셋 영역(212)이 형성되고, 상기 제1 다운셋 영역(212)의 양측부에는 상기 제1 다운셋 영역(212)보다 더 하향절곡된 제2 다운셋 영역(214)이 형성된 브릿지(216)와, 상기 브릿지(216)의 제1 다운셋 영역(212)이 일 측의 상면에 고정되도록 고정부가 형성되고, 타측에는 업셋 영역(222) 및 리드(224)가 형성된 접촉 플레이트(226)와, 상기 다이패드(206), 반도체 다이(210), 브릿지(216) 및 접촉 플레이트(226)가 몰딩되되, 상기 다이패드(206) 및 접촉 플레이트(226)에 형성된 리드(204)(224)는 외부로 돌출 및 노출되도록 하는 몰딩 컴파운드(228)로 이루어져 있다.

[도 2b] 본 발명에 의한 반도체 패키지를 도시한 단면도



(나) 게다가 선행발명 1과 4는 모두 '반도체 다이를 전기적으로 연결해주고, 밀봉 포장을 해주어 반도체 다이가 외부의 화학적, 기계적 환경으로부터 보호받을 수 있도록 하여 반도체 다이가 제 기능을 수행할 수 있도록 하는 반도체 패키지'⁵⁾ 기술에 관한 발명이어서 기술분야가 유사하고, 반도체 칩이 실장되는 다이 패드는 반도체 칩에서 발생하는 열을 외부로 방출하는 구성임은 이 기술분야의 기술상식에 해당하며, 다이패드(206), 반도체 다이(210), 브릿지(216) 및 접촉 플레이트(226)가 몰딩되되, 다이패드(206) 및 접촉 플레이트(226)에 형성된 리드(204)(224)는 외부로 돌출 및 노출되도록 한다⁶⁾는 점에서 그 기술적 특징이 공통된다. 통상의 기술자는 반도체 패키징 분야의 기술개발 등을 위하여 반도체 패키지 내부의 열이 다이 패드와 내부 리드를 통해서 패키지 바디의 외부로 노출된 외부 리드로 효율적으로 방출되도록 선행발명 1의 '다이 · 패들(20)과 일정 간격 이격되도록 배치된 리드(14)'에 선행발명 4의 '다이패드(206)과 연결된 리드(204)'를 결합할 수 있고, 그 기술적 구성에 비추어 볼 때 위와 같은 구성

5) 선행발명 4의 문단번호 [0003] 참조.

6) 선행발명 4의 문단번호 [0017] 참조.

을 도입하는 데 어떠한 기술적 어려움이 있다고 보이지 않는다.

(다) 이에 대하여 원고는, 선행발명 4의 목적(반도체 다이와 접촉 플레이트 사이를 전기적으로 연결하는 브릿지가 이탈되는 현상을 억제할 수 있는 반도체 패키지를 제공하는 것)은 정정 후 제1항 발명의 목적과 다르고, 선행발명 4에는 '다이 패드와 리드가 연결된 구성'만 개시되어 있을 뿐 다이 패드와 리드의 두께는 고려하고 있지 않으므로, 이 사건 특허발명의 명세서에 개시되어 있는 내용을 알고 있음을 전제로 사후적으로 판단하지 않는 한 통상의 기술자가 선행기술 1에 선행기술 4를 쉽게 결합할 수 있다고 보기 어렵다고 주장하나, 앞서 본 바와 같이 선행발명 1은 다이 패드의 두께를 리드보다 두껍게 형성하는 구성을 갖고 있고, 선행발명 4의 명세서에 브릿지가 이탈되는 현상을 억제할 수 있는 반도체 패키지를 제공한다고 기재되어 있다고 하더라도, 반도체 패키지 내부의 열을 효율적으로 방출시키는 것이 그 기술분야의 기본적 과제이므로, 열을 효율적으로 방출시키기 위하여 선행발명 1에 선행발명 4의 다이 패드와 리드가 연결된 구성을 쉽게 결합할 수 있다. 원고의 주장은 이유 없다.

(라) 또한 원고는, 정정 후 제1항 발명은 구성요소 6과 '다이 패드와 리드를 솔더에 의해 연결하는 구성'이 유기적으로 결합하여 다이 패드와 리드를 별도로 생산한 후 솔더에 의해 연결하므로 선행발명 4와 같이 두께를 두껍게 형성한 다이 패드의 일단을 얇은 리드로 형성하기 위하여 가공하는 공정을 거치지 않아 '제조단가를 증가시키지 않으면서 패키지 내부의 열을 효율적으로 외부로 방출하는 몰디드 리드리스 패키지를 제공한다'는 현저한 효과를 갖기 때문에 진보성이 있고, 이러한 효과는 선행발명 4에는 기재되어 있지 않으며, 이러한 작용효과가 이 사건 특허발명의 명세서에 명시적으로 기재되어 있지 않다고 하더라도 통상의 기술자라면 이 사건 특허발명의 명세

서 기재로부터 명확하게 이해할 수 있다고 주장한다.

그러나 다이 패드와 리드가 솔더에 의해 연결되는 구성은 특허법 제136조 제3항, 제4항의 정정요건을 충족하지 못하므로, 앞에서 본 바와 같이 이러한 구성에 의한 작용효과를 정정 후 제1항 발명의 진보성 판단에 고려할 수 없다. 그리고 앞에서 본 바와 같이 명세서와 도면 전체에 의하여 파악되는 실질적인 내용을 보면 제조단가를 증가시키지 않는다는 목적이나 효과는 리드의 일부를 식각하여 제거하는 공정에 관한 것이므로, 통상의 기술자는 이 사건 특허발명의 명세서 기재로부터 구성요소 6과 구성요소 7이 유기적으로 결합하여 제조단가를 증가시키지 않는다는 효과를 갖는다고 명확하게 이해할 수 있다고 볼 수 없다.⁷⁾ 또한 선행발명 1은 구성요소 6과 동일한 구성을 갖고 있어 다이·패들(20)과 리드를 별도로 생산한 후 연결할 수 있고, 선행발명 1의 '다이·패들(20)의 두께가 외부 리드보다 두꺼운 구성'에 선행발명 4의 '다이 패드(506)의 일 측의 리드(504)는 다이 패드(506)와 연결된 구성'을 결합하면 다이 패드와 리드를 일체로 형성하는 경우만 도출된다고 볼 수 없다. 설령 원고의 주장과 같이 선행발명 1에 선행발명 4를 결합하면 다이 패드와 리드를 일체로 형성하는 구성만 도출된다고 하더라도, 정정 후 제1항 발명은 다이 패드와 리드를 별도로 생산한 후 솔더에 의해 연결하는 공정을 거치는 반면, 다이패드와 리드를 일체로 형성하는 경우 솔더로 연결하는 공정을 거치지 않으므로, 제조단가를 증가시키지 않는다는 작용효과에 별다른 차이가 있을 것으로 보이지도 않는다. 원고의 이 부분 주장도 이유 없다.

(마) 따라서 정정 후 제1항 발명 출원 당시의 기술수준에 비추어 반도체 패키징 분야에서의 통상의 기술자라면 선행발명 1을 기초로 하여 여기에 선행발명 4에 개

7) 이 사건 특허발명의 명세서에 제조단가를 증가시키지 않는다고 기재되어 있을 뿐 식각 공정과 관련하여 제조단가를 증가시킨다고 한정하고 있지 않으므로 리드와 다이 패드를 솔더에 의해 연결시키는 구성으로 제조단가를 증가시키지 않는 작용효과가 이 사건 특허발명의 명세서에 기재되어 있다는 취지의 원고의 주장도 받아들이지 않는다.

시된 '일 측에 배치된 리드(204)와 연결된 다이패드(206)'를 쉽게 결합하여 차이점 3을 극복하고 정정 후 제1항 발명의 구성요소 7을 쉽게 도출할 수 있다고 보아야 한다.

라) 검토 결과 정리

따라서 정정 후 제1항 발명은 통상의 기술자가 선행발명 1에 선행발명 2, 4를 결합하여 쉽게 발명할 수 있으므로 진보성이 부정된다.

라. 소결론

앞에서 본 바와 같이 이 사건 정정은 이 사건 특허발명의 명세서 또는 도면에 기재된 사항의 범위를 넘는 신규사항의 추가에 해당하고 청구범위를 실질적으로 확장하거나 변경한 것에 해당하여 특허법 제136조 제3항, 제4항에서 규정한 정정요건을 충족하지 못한다. 또한 정정 후 제1항 발명은 통상의 기술자가 선행발명 1에 선행발명 2, 4를 결합한 것에 의하여 쉽게 발명할 수 있으므로 진보성이 부정되어 특허법 제136조 제5항에서 규정한 정정요건을 충족하지 못한다. 정정심판청구는 특별한 사정이 없는 한 불가분의 관계에 있어 일체로서 허용 여부를 판단하여야 할 것인데, 그 정정사항이 이 사건 제1, 8, 9, 10, 12, 13, 17, 19항 특허발명에 걸쳐 있는 이 사건 정정심판청구에서 정정 후 제1항 발명이 정정요건을 충족하지 못한 이상 나머지 청구항에 관하여 더 나아가 살펴볼 필요 없이 이 사건 정정심판청구 전부를 받아들일 수 없다. 이와 결론이 같은 이 사건 심결은 정당하다.

4. 결론

이 사건 심결의 취소를 구하는 원고의 청구는 이유 없으므로 이를 기각한다.

재판장 판사 이형근

판사 임경옥

판사 윤재필

[별지 1]

선행발명 1

발명의 명칭: 이중 게이지 · 리드 프레임

㉠ 기술분야

[0001] 본 발명은, 집적 회로 및 패키징한 집적 회로에 관한 것으로, 특히 패키징한 집적 회로용의 리드 프레임에 관한 것이다.

㉡ 배경기술

[0002] 집적 회로(IC) 다이는, 실리콘 · 웨이퍼 등의 반도체 웨이퍼 위로 형성된 소형 디바이스다. 리드 프레임은, 통상, 웨이퍼로부터 떼어버려진 IC다이를 서포트하는 패들을 포함하는 금속 프레임이다. 리드 프레임은, 외부와의 전기 연결을 행하는 리드 · 핑거를 갖는다. 즉, 다이는, 다이 · 패들에 장착되어지고, 다음에 다이의 본딩 · 패드가, 외부와의 전기 연결을 행하기 위해서, 와이어 · 본딩을 통해서 리드 · 핑거에 접속된다. 보호재료에 의해 다이 및 와이어 · 본딩을 봉입하면, 패키지가 형성된다. 패키지·타입에 따라서는, 외부와의 전기 연결부는, 슬림형 소형 패키지(TSOP)와 같이 그대로 사용할 수도 있고, 또는 볼·그리드·어레이(BGA)용의 구형 솔더볼을 장착하는 것에 의해 더욱 처리할 수도 있다. 이 단자점에 의해, 다이를 프린트 기판상의 회로와 같은 다른 회로에 전기적으로 접속할 수 있다.

[0003] 리드 프레임은, 통상, 구리 또는 니켈 합금으로부터 형성된다. 다이를 다이 · 패들에 장착하는 1개의 방법은, 납땜이다. 고출력 디바이스는, 대단히 고온의 땜납 다이 설치(약 300도) 및 디바이스·역류(약 260도)를 필요로 한다. 그러나, 고온에 있어서는, 리드 프레임의 도금이 열화하고, 이 열화에 와이어 · 본딩 · 프로세스가 영향을 받는, 보다 상세하게 설명하면, 금의 와이어 접합성은, 도금 표면의 야금적 변화 및 땜납 플럭스의 오염에 의해 영향을 받는다. 게다가, 열 방산을 쉽게 하기 위해서는, 고출력 디바이스의 경우는, 두꺼운 다이 · 패들 쪽이 바람직하다. 그러나, 대단히 두꺼운 금속으로부터 되어 있는 리드 프레임을 (톱 또는 압제 외에 의해) 각각의 리드 프레임에 절단하는 것은 어렵고, 신뢰성이 낮다.

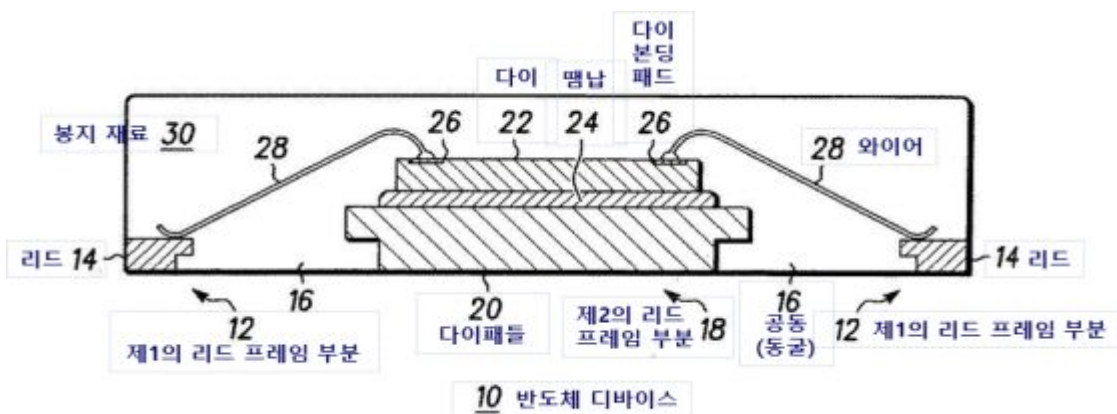
㉢ 발명이 해결하려고 하는 과제

[0004] 열 방산이 잘, 게다가 각각의 리드 프레임을 절단하는 것이 쉬운 리드 프레임을 제공하는 것은 바람직한 것이다. 게다가, 결함이 생기지 않은 고온프로세스에서 다이를 다이 · 패들에 장착하는 것이 바람직하다.

㉣ 발명을 실시하기 위한 최선의 형태

[0011] 도 1을 참조하면, 이 그림은, 본 발명에 의한 반도체 디바이스(device)(10)의 일 실시 형태의 확대 단면도다. 반도체 디바이스(device)(10)는, 공동(동굴)부(16)를 둘러싸는 복수의 리드(14)를 갖는 제1의 리드 프레임 부분(12)을 포함한다. 제1의 리드 프레임 부분(12)은, 아주 알맞게는, 금속 또는 금속 합금에서 형성되어, 제1의 소정의 두께를 갖는다. 제2의 리드 프레임 부분(18)은, 제1의 리드 프레임 부분(12)에 장착되어진다. 제2의 리드 프레임 부분(18)은, 제1의 리드 프레임 부분의 공동(동굴)부(16) 내(內)에 수용되어 있는 다이·패들(20)을 갖는다. 공동(동굴)부(16)는, 패키징되고 있는 IC 다이의 크기 및 형상에 따른 크기 및 형상을 갖는다. 그 때문에, 일반적으로, 공동(동굴)부(16)는, 직사각형 또는 정방형의 형태를 하고 있지만, 집적 회로 다이의 형상에 따라서 다른 형으로 할 수도 있다. 제2의 리드 프레임 부분(18)은, 아주 알맞게는, 제1의 두께와는 다른 제2의 두께를 갖는다. 예를 들면, 대량의 열을 발생하는 전원 회로의 경우에는, 제2의 리드 프레임 부분(18)을 히트 싱크로서 사용할 수 있다. 그러한 경우에는, 아주 알맞게는, 제2의 두께는 제1의 두께보다 두껍다. 더 바람직한 실시 형태의 경우에는, 제1의 두께는, 제2의 두께의 약 절반 또는 그 이하이다. 어떤 예의 경우에는, 제1의 부분이 약 8밀(0.2032mm)의 제1의 두께를 갖고, 제2의 두께가 약 20밀(0.508mm)인 리드 프레임을 제조했다. 이 두께를 함으로써, 제1의 리드 프레임 부분을, 쉽게 각각의 리드 프레임으로 분리할 수 있고, 동시에 제2의 리드 프레임 부분은 효율적으로 열 방산을 행할 수 있다.

[도 1] 본 발명의 일 실시 형태에 의한 패키지(wound package)된 반도체 디바이스(device)의 확대 단면도



[0012] 제1 및 제2의 리드 프레임 부분[(12) 및 (18)]은, 아주 알맞게는, 구리와 같은 금속 또는 금속합금으로부터 형성되어, 도금되는 일 실시 형태의 경우에는, 제2의 리드 프레

임 부분(18)은, 20밀(0.508mm)의 두께의 구리 슬래그를 갖는다. 리드 프레임 부분[(12) 및 (18)]은, 당업자라면 주지와 같이 프레스 가공, 뽑기 가공 또는 에칭 가공에 의해 형성할 수 있다. 제2의 리드 프레임 부분(18)은, 이하에 더욱 상세하게 설명하게, 접착테이프 등의 접착재에 의해 제1의 리드 프레임 부분(12)에 장착되어진다. 아주 알맞게는, 장착되어졌을 경우라도, 양자는 서로 전기적으로 절연 상태다. 이러한 전기적인 절연은, 본 발명의 중요한 특징이며, 특히 멀티·다이·어셈블리의 경우에는 중요한 특징이다.

[0013] 집적 회로 다이(22)는, 다이·패들(20)에 장착되어지고, 다이·패들이 공동(동굴)부 내에 위치하고 있으므로, 다이(22)는, 복수의 리드(14)에 의해 둘러싸여진다. 집적 회로 다이(22)는, 실리콘·웨이퍼 위로 형성되어, 이 웨이퍼로부터 떼어버려진 회로와 같은, 당업자라면 주지의 타입 것이어도 좋다. 이미 설명한 것 같이, 공동(동굴)(16)의 크기 및 형상은 다이(22)를 수용할 수 있게 되고 있다. 전형적인 다이의 크기는, 4mm × 4mm에서 12mm × 12mm의 범위다. 다이(22)는, 약 6밀(0.1524mm)로부터 약 21밀(0.5334mm)의 범위의 두께를 가질 수 있다. 다이(22)는, 땀납(24)에 의해 열을 다이(22)로부터 다이·패들(20)에 놓칠 수 있는 땀납 다이 설치 프로세스 등의 주지 방법으로 다이·패들(20)에 장착된다. 다른 실시 형태의 경우에는, 다이(22)는, 접착 재료층 또는 접착테이프에 의해 다이·패들(20)에 장착할 수 있다.

[0014] 다이(22)는, 복수의 다이 본딩 패드(26)를 포함한다. 다이 본딩 패드(26) 가운데 몇 가지는, 아주 알맞게는, 와이어·본딩·프로세스에서, 와이어(28)에 의해 리드(14) 가운데 대응하는 몇 개의 리드에 전기적으로 접속되고 있다. 당업자라면 이러한 와이어 및 와이어·본딩·프로세스는 주지인 일 실시 형태의 경우에는, 2밀(0.0508mm)의 금의 와이어가 사용되어, 별도의 실시 형태의 경우에는, 10밀(0.254mm)의 알루미늄·와이어가 사용된다. 그러나, 코팅되었다(절연되었다) 와이어 및 코팅되지 않고 있는 와이어를 포함하는 여러 종류의 재료 및 직경이 가지가지인 주지의 와이어를 사용할 수 있다.

[0015] 반도체 디바이스(device)(10)는, 적어도 리드(14)의 밑면 및 제2의 리드 프레임 부분(18)의 밑면을 노출시킨 상태에서, 집적 회로 다이(22)의 정상부 표면, 와이어(28) 및 리드(14)의 정상부 표면을 덮는 봉지재료(30)를 더욱 포함한다. 리드(14)의 노출하고 있는 부분은, 디바이스(10)를, 예를 들면 PCB를 통해서 다른 디바이스에 접속하기 위해서 사용되어, 다이·패들(20)의 노출하고 있는 밑면에 의해, 거기에서 열을 방산할 수 있다. 봉지재료(30)는, 패키징된 전자 디바이스로 통상 사용되는 것 같은 플라스틱을 포함할 수 있고, 성형 프로세스에 의해, 리드 프레임 부분[(12) 및 (18)]과, 다이(22)와, 와이어(28) 위로 형성된다. 전형적인 실시 형태의 디바이스(10)의 전체 두께는 약 2mm이다.

[별지 2]

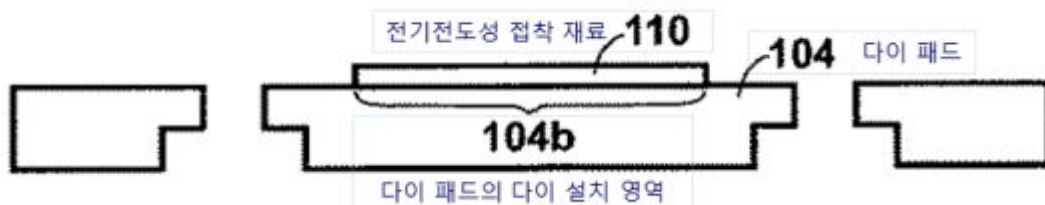
선행발명 2

발명의 명칭: 스탬핑 가공을 이용하여 형성되는 형상을 가지는 반도체 소자 패키지

㉠ 배경기술

[0006] 그림 1D는, 다이 패드 104의 다이 설치 영역 104b 상의 전기전도성 접착 재료 110의 형성을 나타내고 있다. 이 전기전도성 접착 재료는, 용해 상태로 용착(溶着) 및 무른 땀질을 포함하고 있어도 상관없다. 또 대신, 이 전기전도성 접착 재료는, 용제 등의 결합제 중에 녹은 땀납이 소형의 입자상태에서 용착(溶着) 및, 땀납 페이스트로부터 되고 있어도 좋다.

[도 1D] 패키지를 제작하기 위한 종래 제조법의 단면도



[0011] 여기서 기재한 종래의 제조법 흐름은, 반도체 소자 패키지를 형성하기 위해서 충분하지만, 몇 가지의 결점을 들 수 있다. 구체적으로는, 그림 1C로 가리킨 부분적 에칭 공정은, 실현하는 것이 곤란해서, 그 때문에 반도체 장치의 제조비용을 증대시키는 요인이 되고 있다. 또, 이 부분적 에칭 공정은, 고정밀도의 마스크 형태화 가공, 계속되는 노출면의 부분적 에칭 가공, 그 후의 마스크 제거를 포함하는 다수의 공정을 포함하고 있다. 게다가, 금속 롤의 부분적 에칭 가공은, 충분한 정밀도와 재현성을 갖아서 중지하는 것은 곤란할 경우가 있다.

㉡ 발명이 해결하려고 하는 과제

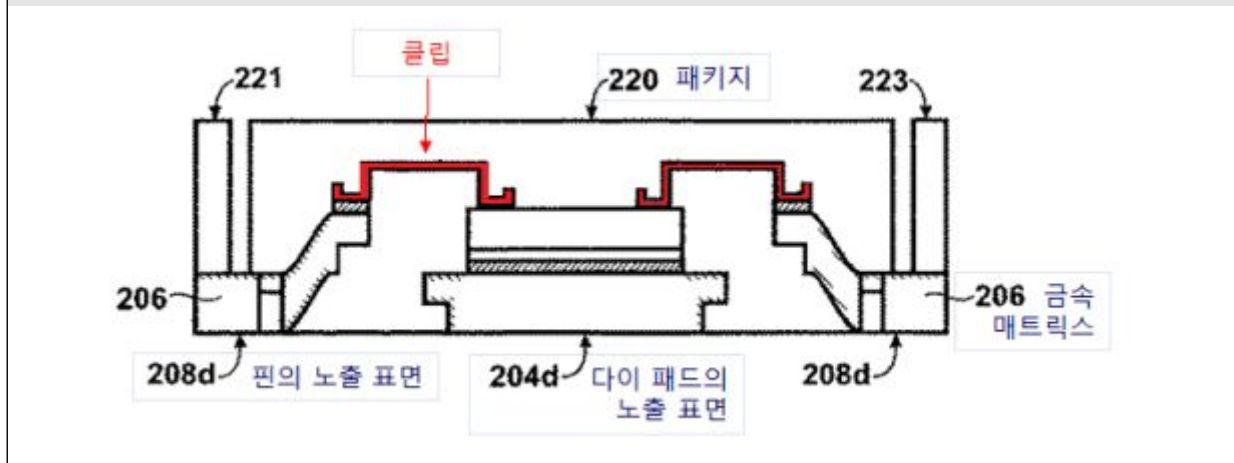
[0012] 따라서 부분적 에칭 공정을 필요로 하지 않는, 반도체 소자 패키지를 형성하기 위한 제조법이, 당 기술분야에서 요청되고 있다.

㉢ 발명을 실시하기 위한 형태

[0031] 다이 패드 204에 인접하는 핀 208이 들어 올릴 수 있었던 부분 208a의 끝에도 피전기도금 재료가 존재하는. 이하로 상술 되도록, 이 피전기도금 영역은 지지를 받는 다이의 상표면으로부터 전기전도성의 본드 와이어나 본드 리본, 본드 클립을 받는 것을 예정되고 있다.

[0037] 그림 2K의 패키지 싱글레이션 가공은, 핀의 일부 208의 노출 표면 208d와 다이 패드 204의 노출 표면 204d를 갖는 패키지 220을 브라운 옥사이드가 벗겨내진 상태인 채로 해 두고, 하부의 프린티드 서킷(PC)기판 (여기서는 용도 설명하지 않는다)에 납땜하기 위한 준비를 한다.

[도 2J] 패키지를 형성하기 위한 본 발명에 의한 제조법의 실시 형태의 단면도

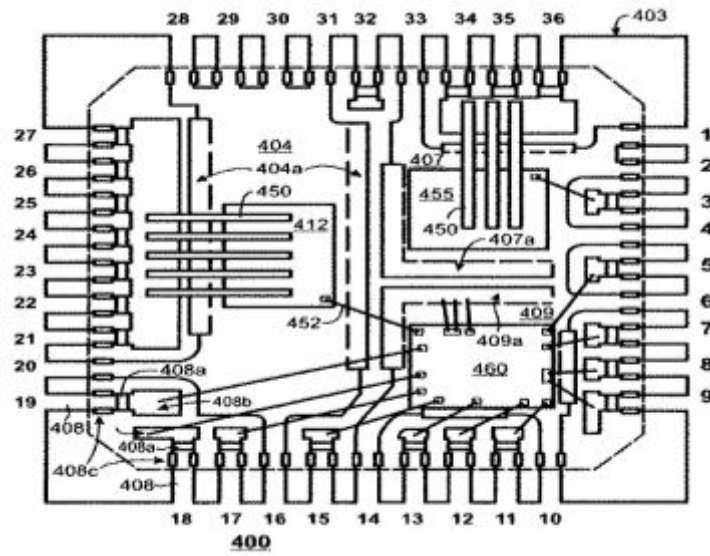


[0042] 4번째 공정(308)에서는, 리드 프레임의 일부가 적절한 금속으로 선택적으로 전기 도금되어도 좋다. 그러한 피전기 도금 영역의 실시에는, 다른 쪽 끝이 다이에 접속되어 있는 와이어나 리본, 클립 등의 결합 구조체의 끝을 받는 것이 예정되는 다이 부착면이나 핀의 융기한 일부를 포함한다.

[0047] 8번째 공정(316)에서는, 하나 또는 복수의 결합 구조체가, 다이와 적절한 핀의 표면 사이에 장착된다. 이 표면은 전기 도금되어 있어도 좋다. 전술한 것과 같이, 결합 구조체는 전도성의 클립, 와이어, 혹은 리본이여도 좋다.

[0056] 게다가, 실시 형태의 몇 가지는, 본드 와이어 대신 클립의 사용을 포함한다. 이러한 본드 클립의 사용은, 다이의 접촉점과 주위의 핀과의 사이에 전기적 결합의 저항을 감소하는 것을 가능하게 한다. 그리고 이는, 앞으로 큰 다이에 필적하는 퍼포먼스를 갖는 종래보다 작은 다이의 사용을 가능하게 한다.

[도 4B] 그림 4A의 패키지의 다이와 결합 구조체를 가리키는 평면도



선행발명 4

발명의 명칭: 반도체 패키지

㉠ 발명이 속하는 기술분야 및 그 분야의 종래기술

[0002] 본 발명은 반도체 패키지에 관한 것으로, 더욱 상세하게 설명하면 반도체 다이와 접촉 플레이트 사이를 전기적으로 연결하는 브릿지가 자기 정렬되고, 그 브릿지의 이탈을 방지할 수 있는 반도체 패키지에 관한 것이다.

[0003] 일반적으로 반도체 패키지는 반도체 다이를 전기적으로 연결해주고, 밀봉 포장을 해주어 반도체 다이가 외부의 화학적, 기계적 환경으로부터 보호받을 수 있도록 하여 반도체 다이가 제 기능을 수행할 수 있도록 한 것을 말한다.

[0008] 그러나, 이러한 종래의 반도체 패키지는 제조 공정중 반도체 다이와 접촉 플레이트를 브릿지로 연결 및 고정하는 단계에서 솔더의 리플로우시에 상기 브릿지의 위치가 변경되는 문제가 있다. 즉, 상기 브릿지의 다운셋 돌기부가 비록 접촉 플레이트의 절개부에 결합되기는 하지만, 솔더 리플로우시에 상기 솔더의 유동성으로 인하여 반도체 다이 상면에 위치되는 브릿지의 위치가 틀어지고 이에 따라 브릿지의 연결 불량률이 다량으로 발생하는 문제가 있다. 더불어, 상기 솔더의 리플로우시에 상기 브릿지의 다운셋된 돌기부가 접촉 플레이트의 절개부에서 상부 및 수평 방향으로 움직여 결국 브릿지가 접촉 플레이트에서 이탈되는 현상도 발생한다.

㉡ 발명이 이루고자 하는 기술적 과제

[0009] 본 발명은 상기와 같은 종래의 문제를 해결하기 위해 안출한 것으로, 본 발명의 목적은 반도체 다이와 접촉 플레이트 사이를 전기적으로 연결하는 브릿지가 자기 정렬되고, 그 브릿지가 이탈되는 현상을 억제할 수 있는 반도체 패키지를 제공하는데 있다.

㉢ 발명의 구성 및 작용

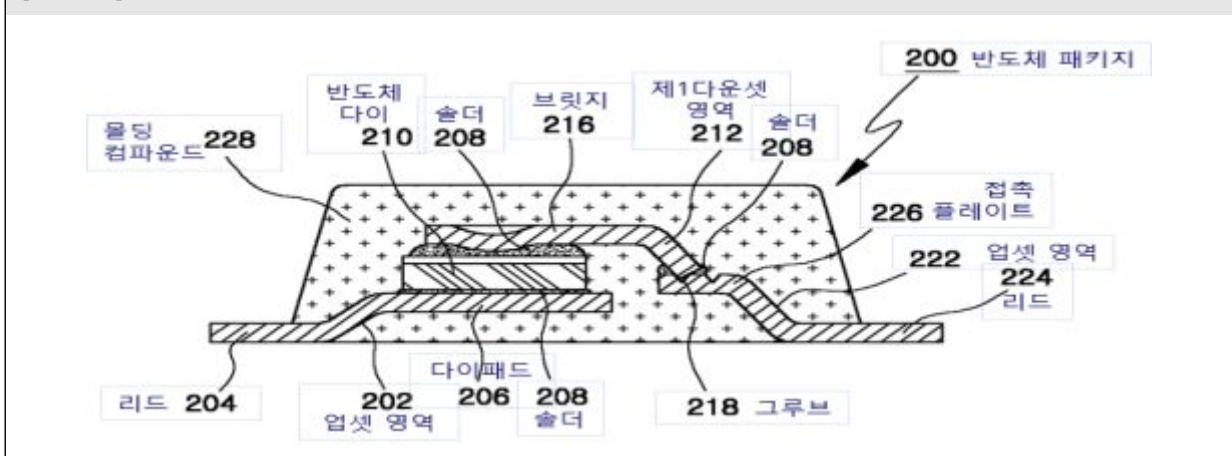
[0016] 도 2a를 참조하면 본 발명에 의한 반도체 패키지(200)에 이용된 다이패드(206), 접촉 플레이트(226) 및 브릿지(216)의 평면도가 도시되어 있고, 도 2b를 참조하면 그 반도체 패키지(200)의 단면도가 도시되어 있다.

[0017] 도시된 바와 같이 본 발명에 의한 반도체 패키지(200)는 사각판 형태로서 일 측에 엽셋 영역(202)과 리드(204)가 연결된 다이패드(206)와, 상기 다이패드(206)의 상면에

솔더(208)로 고정된 반도체 다이(210)와, 상기 반도체 다이(210)의 상면에 솔더(208)로 고정되고 일 측에는 하향 절곡된 제1 다운셋 영역(212)이 형성되고, 상기 제1 다운셋 영역(212)의 양측부에는 상기 제1 다운셋 영역(212)보다 더 하향절곡된 제2 다운셋 영역(214)이 형성된 브릿지(216)와, 상기 브릿지(216)의 제1 다운셋 영역(212)이 일 측의 상면에 고정되도록 고정부가 형성되고, 타측에는 업셋 영역(222) 및 리드(224)가 형성된 접착 플레이트(226)와, 상기 다이패드(206), 반도체 다이(210), 브릿지(216) 및 접착 플레이트(226)가 몰딩되되, 상기 다이패드(206) 및 접착 플레이트(226)에 형성된 리드(204)(224)는 외부로 돌출 및 노출되도록 하는 몰딩 컴파운드(228)로 이루어져 있다.

[0018] 여기서, 상기 접착 플레이트(226)의 상면에 형성된 고정부는 단면상 대략 역삼각 모양으로 움푹 들어간 다수의 그루브(218)(groove)일 수 있으며, 상기 브릿지(216)의 제1다운셋 영역(212)의 단부는 상기 그루브(218)에 결합되어 수평 방향으로의 이탈이 억제된다. 물론, 상기 브릿지(216)의 제1다운셋 영역(212)과 상기 그루브(218)의 완전한 고정은 솔더(208)로 이루어진다.

[도 2b] 본 발명에 의한 반도체 패키지를 도시한 단면도



[0023] 도5a를 참조하면 본 발명에 의한 다른 반도체 패키지(500)에 이용된 다이패드(506), 접착 플레이트(526) 및 브릿지(516)의 평면도가 도시되어 있고, 도5b를 참조하면 그 반도체 패키지(500)의 단면도가 도시되어 있다. 여기서는 대부분의 구성이 상기 도3a 및 도3b에 도시된 반도체 패키지(300)와 유사하므로 그 차이점만을 설명하면 다음과 같다.

[0024] 도시된 바와 같이 접착 플레이트(526)의 상면에 형성된 고정부는 하나의 코이닝(518)(coining)과, 상기 코이닝(518)의 양측에 형성된 절개부(530)일 수 있다. 여기서, 상기 코이닝(518)에는 브릿지(516)의 제1다운셋 영역(512)이 결합되고, 상기 절개부(530)에는 브

릿지(516)의 제2다운셋 영역(514)이 결합됨으로서, 상기 브릿지(516)의 수평 방향에 대한 이탈을 더욱 적극적으로 억제하게 된다.

[0025] 이러한 본 발명에 의한 반도체 패키지(200)(여기서는 도2b에 도시된 반도체 패키지를 중심으로 설명함)는 통상 다이패드(206)와 접착 플레이트(226)가 일체로 형성된 리드프레임(도시되지 않음)을 이용한다. 물론, 상기 리드프레임 중 접착 플레이트(226)의 상면에는 브릿지(216)의 제1다운셋 영역(212)이 고정될 수 있도록, 고정부가 형성되며 이는 그루브(218)(groove), 코이닝(318)(coining) 또는 상부로 업셋된 영역(418) 중 어느 하나일 수 있다. 더불어, 상기 고정부의 양측부에는 상기 브릿지(216)의 제2다운셋 영역(214)이 결합될 수 있도록 절개부(530)가 더 형성될 수 있다.

[도 5b] 본 발명에 의한 반도체 패키지를 도시한 단면도

