

특 허 법 원

제 3 부

판 결

사	건	2021허6771 등록무효(특)
원	고	A
		일본국
		대표자 B
		소송대리인 변호사 한상욱, 강경태, 김종석, 장현진, 장재혁
		변리사 이만금, 이금옥, 김승식, 정사라
피	고	C 주식회사
		대표이사 D
		소송대리인 특허법인 다울
		담당변리사 이병환
변	론	중 결
판	결	선 고
		2023. 4. 6.
		2023. 6. 8.

주 문

1. 원고의 청구를 기각한다.

2. 소송비용은 원고가 부담한다.

청 구 취 지

특허심판원이 2021. 10. 26. 2021당758호, 2021당1068호(병합) 사건에 관하여 한 심결(이하 '이 사건 심결'이라 한다) 중 특허 제10-1115288호의 청구항 3항 부분을 취소한다.

이 유

1. 기초사실

가. 이 사건 특허발명

1) 발명의 명칭: 몰디드 리드리스 패키지 및 이를 이용한 LED 패키지

2) 출원일/ 등록일/ 등록번호: 2010. 3. 5./ 2012. 2. 6./ 제10-1115288호

3) 특허권자: 피고

4) 2021. 5. 13.자 정정청구에 의한 청구범위(정정으로 추가한 부분은 밑줄로, 삭제한 부분은 취소선으로 표시하였다)¹⁾

【청구항 1】 상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드(이하 '구성요소 1'이라 한다); 상기 다이 패드의 상부 표면 상에 실장된 반도체 칩(이하 '구성요소 2'라 한다); 상기 다이 패드의 주변 영역에 상기 다이 패드와 일정 간격 이격되도록 배치된 다수의 리드(이하 '구성요소 3'이라 한다); 상기 반도체 칩과 상기 다수의 리드 각각을 전기적으로 연결하는 연결 수단을 포함하는 클립(이하 '구성요소 4'라 한다); 및

1) 원고는 위 정정의 적법 여부에 관하여는 다투지 않으므로, 정정 전후를 통틀어 '이 사건 특허발명'이라 한다.

적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드, 상기 반도체 칩, 상기 리드 및 상기 ~~연결~~수단~~도전성~~ 클립을 덮는 패키지 바디를 포함하며(이하 '구성요소 5'라 한다), 상기 다이 패드의 두께가 상기 리드 중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼운 것(이하 '구성요소 6'이라 한다)을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 2】 제1항에 있어서, 상기 다이 패드의 두께는 0.25 ~ 0.6mm인 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 3】 제1항에 있어서, 상기 리드 중 패키지 바디의 외부로 노출되지 않는 내부 리드 영역은 상기 다이 패드와 같은 두께를 갖는 것(이하 '구성요소 7'이라 한다)을 특징으로 하는 몰디드 리드리스 패키지(이하 '이 사건 제3항 특허발명'이라 한다).

【청구항 4】 제1항에 있어서, 상기 다이 패드의 상부 표면이 일정 깊이 리세스되고, 상기 반도체 칩은 다이 패드의 리세스된 영역에 실장된 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 5】 제1항에 있어서, 상기 다이 패드의 하부 표면 또는 상기 리드의 밑면에는, 패키지 바디와의 접착력을 좋게 하기 위하여 적어도 하나의 딤플(dimple) 또는 그루브(groove)가 형성된 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 6】 제1항에 있어서, 상기 다이 패드의 하부 표면과 상기 리드의 밑면은 동일한 평면을 형성하며, 상기 패키지 바디의 밑면은 상기 평면으로부터 일정 두께 돌출된 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 7】 제1항에 있어서, 상기 패키지 바디의 측면은 경사를 이루거나, 상

기 패키지 바디의 밑면에 대해 수직한 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 8】 제1항에 있어서, 상기 리드는 다이 패드의 양 측에 대응되게 배치된 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 9】 제8항에 있어서, 상기 다이 패드의 일 측에 배치된 리드는 상기 다이 패드와 일정 간격 이격되도록 배치되고, 상기 다이 패드의 다른 일 측의 리드는 상기 다이 패드와 연결된 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 10】 제1항에 있어서, 상기 리드는 다이 패드의 일 측에만 일정 간격 이격되게 배치되고, 리드가 배치되지 않은 다이 패드의 일 측은 상기 다이 패드가 신장되어 그 일부가 패키지 외부로 노출된 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 11】 제1항에 있어서, 상기 다이 패드의 상부 표면 또는 하부 표면 중 적어도 어느 하나에, 상기 반도체 칩 또는 패키지 바디와의 접착력을 좋게 하기 위하여 적어도 하나 이상의 홈이 형성된 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 12】 ~~제1항에 있어서, 상기 연결 수단은 도전성 와이어 또는 도전성 클립을 포함하는 것을 특징으로 하는 몰디드 리드리스 패키지.~~

【청구항 13】 상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드; 상기 다이 패드의 상부 표면 상에 부착되는 반도체 칩; 상기 반도체 칩의 상부 또는 하부 표면 중 적어도 어느 하나에 형성된 솔더 물질층; 상기 다이 패드의 주변 영역에 상기 다이 패드와 일정 간격 이격되도록 배치된 다수의 리드; 상기 반도체 칩과 상기 다수의 리드 각각을 전기적으로 연결하는 도전성 클립; 및 적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드, 상기 반도체 칩, 상기 리드 및 상기 연결 수단도전성 클립을 덮는 패키지 바디를 포함하고, 상기 다이 패드의

두께가 상기 리드 중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼운 것을 특징
으로 하는 몰디드 리드리스 패키지.

【청구항 14】 제13항에 있어서, 상기 솔더 물질층은 주석/은/구리(Sn/Ag/Cu) 합금, 주석(Sn), 주석/납(Sn/Pb) 합금, 주석/은(Sn/Ag) 합금 및 니켈(Ni) 중에서 선택된 어느 하나로 이루어진 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 15】 제13항에 있어서, 상기 솔더 물질층은 웨이퍼 표면 상에 스퍼터링 또는 전기도금 방식으로 형성된 층인 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 16】 제13항에 있어서, 상기 리드의 윗면에는 일정 깊이의 홈이 배치되고, 상기 도전성 클립의 일단은 상기 홈 내에 부착된 것을 특징으로 하는 몰디드 리드리스 패키지.

【청구항 17】 상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드와, 상기 다이 패드로부터 일정 간격 이격되도록 배치된 다수의 리드; 상기 다이 패드의 상부 표면에 실장된 LED 소자; 상기 LED 소자와 상기 다수의 리드 각각을 전기적으로 연결하는 연결 수단; 상기 다이 패드의 상부 표면 및 리드의 상부 표면으로부터 상기 LED 소자를 포함하는 영역에 일정 두께 형성된 캐비티; 상기 캐비티 내에 충전되어 상기 LED 소자를 고정시키는 몰딩재; 일면이 상기 몰딩재의 상부에 부착되며 하면이 볼록한 형태의 렌즈; 및 적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드와 상기 캐비티에 충전된 몰딩재를 덮는 패키지 바디를 포함하고, 상기 다이 패드의 두께가 상기 리드 중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼운 것을 특징으로 하는 LED 패키지.

【청구항 18】 제17항에 있어서, 상기 몰딩재는 형광물질을 포함하는 것을 특

정으로 하는 LED 패키지.

【청구항 19】 제17항에 있어서, 상기 연결 수단은 도전성 와이어(wire) 또는 도전성 클립을 포함하는 것을 특징으로 하는 LED 패키지.

5) 발명의 주요 내용 및 도면

㉠ 기술분야

[0001] 본 발명은 반도체 패키지에 관한 것으로, 보다 구체적으로는 몰디드 리드리스 패키지(Molded Leadless Package)와 그를 이용한 발광 다이오드(LED) 패키지에 관한 것이다.

㉡ 배경기술

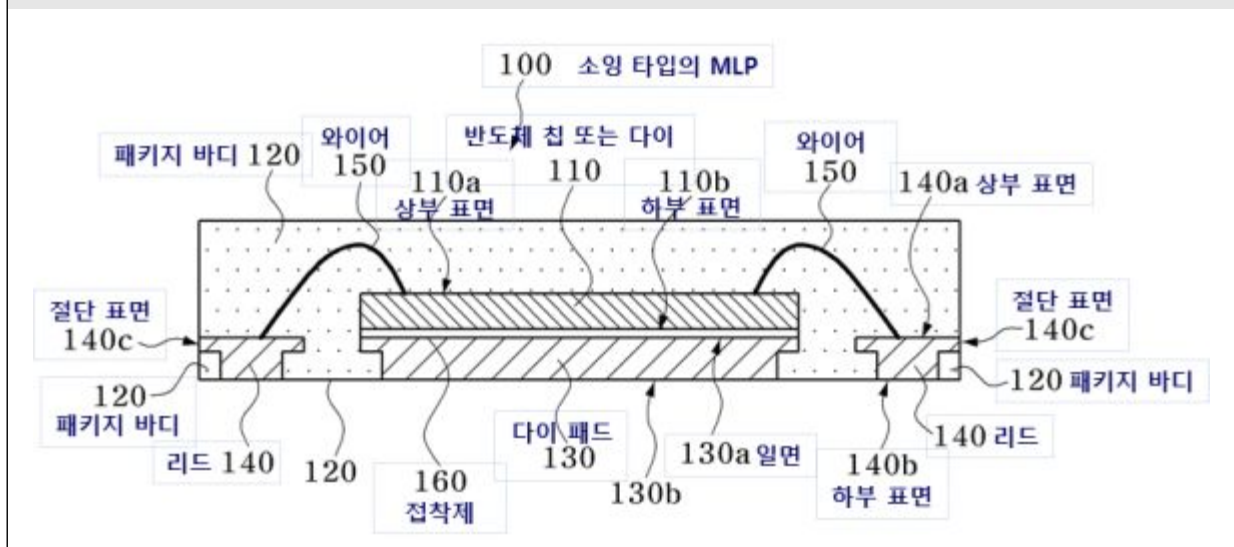
[0002] 일반적으로 반도체 패키지는 반도체 칩 또는 다이(die), 리드 프레임(lead frame) 및 패키지 바디(package body)를 포함하여 구성된다. 반도체 칩은 리드 프레임의 다이 패드(die pad) 상에 부착되며, 리드 프레임의 리드와는 와이어(wire)에 의하여 상호 전기적으로 연결된다. 리드는 와이어가 연결되는 내부 리드(inner lead)와 반도체 패키지의 외부 접속 단자로서의 역할을 하는 외부 리드(outer lead)로 구성된다. 내부 리드는 통상적으로 패키지 바디에 의하여 완전히 밀봉되는데 반하여, 외부 리드는 그 전체 패키지 바디의 외부로 노출되거나 외부 리드의 표면 일부가 외부로 노출된다. 후자와 같이 외부 리드의 표면 일부가 패키지 바디의 외부로 노출되는 반도체 패키지를 몰디드 리드리스 패키지(Molded Leadless Package, 이하 'MLP'라 함)라고 한다.

[0003] 그리고, 반도체 패키지는 그 제조 공정에 따라서 소잉(sawing) 타입의 패키지와 펀치(punch) 타입의 패키지로 구분된다. 소잉 타입의 패키지는 반도체 칩이 탑재된 리드 프레임의 다수를 하나의 블록 몰드 다이(block mold die) 내에서 같이 몰딩한 다음 소잉 공정으로 패키지 바디 및 리드 프레임을 절단하여 개별화함으로써 제조하는 패키지 유형을 말한다. 반면, 펀치 타입의 패키지는 반도체 칩이 탑재된 리드 프레임 각각을 개별 몰드 다이(individual mold die) 내에서 개별적으로 몰딩한 다음, 펀치 등의 방법으로 각 리드 프레임을 분리시켜서 제조하는 패키지 유형을 말한다.

[0006] 도 1을 참조하면, 종래의 소잉 타입의 MLP(100)는, 반도체 칩(110) 또는 다이, 패키지 바디(120), 다이 패드(130) 및 리드(140)를 포함하여 구성된다. 다이(110)는 상부 표면(110a)과 하부 표면(110b)을 갖는다. 리드(140)도 상부 표면(140a), 하부 표면(140b)

및 절단 표면(140c)을 가지며, 리드(140)의 하부 표면(140b)의 전부 또는 일부는 패키지 바디(120)의 외부로 노출되어 금속 패드(metal pad)를 형성한다. 이 금속 패드는 MLP(100)의 외부와의 전기적인 연결을 위하여 패키지 바디(120)의 밑면(120a)과 동일 평면 상에 형성된다. 그리고, 다이(110)와 리드(140)는 와이어(150)에 의하여 상호 전기적으로 연결된다. 다이 패드(130)의 일면(130a)은 접착제(160)에 의해 다이(110)의 하부 표면(110b)과 부착된다.

[도 1] 종래의 몰디드 리드리스 패키지(MLP)의 일 예를 도시한 단면도



[0007] 종래의 MLP에 따르면, 금속 패드와 절단면(14c) 사이의 리드의 하부 표면 일부가 패키지 바디로 덮여 리드와 패키지 사이에 강하게 본딩될 수 있도록 하기 위하여, 리드(140)의 절단면(140c)과 금속 패드를 구성하는 하부 표면(140b) 사이에 적어도 0.1mm 이상의 인터벌(interval)을 갖도록 구성된다. 이를 위하여 패키지 제작 과정에서 리드의 일부를 식각하여 제거하여야 하는데, 이로 인해 제조 단가가 증가하는 문제점이 있다.

[0008] 또한, 종래의 MLP의 경우 열 방출 문제가 다소 개선되었다고는 하나, 다이 패드(130) 및 리드(140)의 두께가 0.2 ~ 0.25mm 정도로 얇기 때문에 전력 반도체장치나 LED 소자에 적용하기에는 여전히 열적 스트레스 문제가 개선되어야 하는 실정이다. 열 방출 효율을 높이기 위하여 다이 패드 및 리드의 두께를 증가시키면 전체 패키지의 부피가 증가하기 때문에 경박단소를 지향하는 최근의 전자기기에 부합하지 못하게 된다.

[0009] 또한, 종래의 MLP에 따르면 시스템 보더(system board) 상에 MLP를 실장하는 과정에서 몇 가지 문제점이 나타나는데 이를 도면을 통해 설명하기로 한다.

[0010] 도 2는 시스템 보더 상에 도 1의 MLP(100)가 실장되어 있는 구조물[이하에서는, 시스템 보더(10) 상에 MLP(100)가 실장되어 있는 구조물을 "시스템 패키지"라 함]에 대한 개략적인 단면도이다.

[도 2] 시스템 보더 상에 도 1의 MLP가 실장되어 있는 시스템 패키지에 대한 개략적인 단면도



[0011] 도 2를 참조하면, 시스템 보더(10)의 상면에는 연결 패드(12)와 상기 연결 패드(12)를 전기적으로 연결하기 위한 회로 라인(circuit line, 14)이 형성되어 있다. 연결 패드(12)와 회로 라인(14)은 동일한 도전성 금속 예컨대 구리 등으로 형성되며 통상적으로 동일한 두께를 가진다. 그리고, MLP(100)의 리드(140)와 연결 패드(12)가 솔더 조인트(solder joint, 16)를 통하여 일 대 일로 접합되어 연결되도록 시스템 보더(10) 상에 MLP(100)가 탑재된다.

[0012] 종래의 MLP에 따르면, 솔더 조인트(16)로 MLP(100)를 시스템 보더(10) 상에 접합시킬 때 가하는 압력 및 이때 발생하는 열에 의하여 솔더 조인트(16)가 유동성을 가질 수가 있다. 솔더 조인트(16)가 유동성을 띄게 되면 옆으로 흐를 수가 있기 때문에 솔더 조인트(16)의 높이(h1)를 충분히 확보할 수가 없다. 솔더 조인트(16)의 높이(h1)가 예컨대 30 μm 이상과 같이 충분하게 확보되지 않으면, 시스템 보더(10) 상에 MLP(100)를 탑재할 때 다이 패드(130)의 밑면과 시스템 보더의 회로 라인(14) 사이의 간격이 너무 좁기 때문에 패키지의 신뢰성을 확보할 수가 없다. 그리고, 심한 경우에는 다이 패드(130)와 시스템 보더의 회로 라인(14)이 서로 접촉하게 되어서 단락될 염려가 있다. 뿐만 아니라, 솔더 조인트

(16)의 높이(h1)가 낮으면, 솔더 조인트(16) 자체가 열적 스트레스나 기계적 스트레스에 취약해지기 때문에 시스템 패키지의 신뢰성을 떨어뜨린다.

[0013] 그리고, MLP(100)를 시스템 보더(10) 상에 탑재하는 과정에서 솔더 조인트(16)가 유동성을 가지게 되면, 소위 MLP(100)의 붕괴(collapse) 현상이나 기울어짐(tilt) 현상이 발생할 염려가 있다. MLP(100)의 붕괴 현상이 발생하면 리드(140)가 연결 패드(12)와 직접 접촉될 염려가 있고, MLP(100)의 기울어짐 현상이 발생하면 시스템 패키지의 신뢰성을 떨어뜨리는 문제점이 있다.

[0014] 또한, 솔더 조인트(16)가 유동성을 띄게 되어 압력에 의해 옆으로 퍼지게 되면 리드와 리드 사이의 간격이 좁아지게 되므로, 이를 고려하여 리드와 리드 사이의 간격을 통상 0.5mm 정도로 넓게 확보하여야 한다. 따라서, 리드의 수를 증가시키는 데 한계가 있다.

㉢ 해결하려는 과제

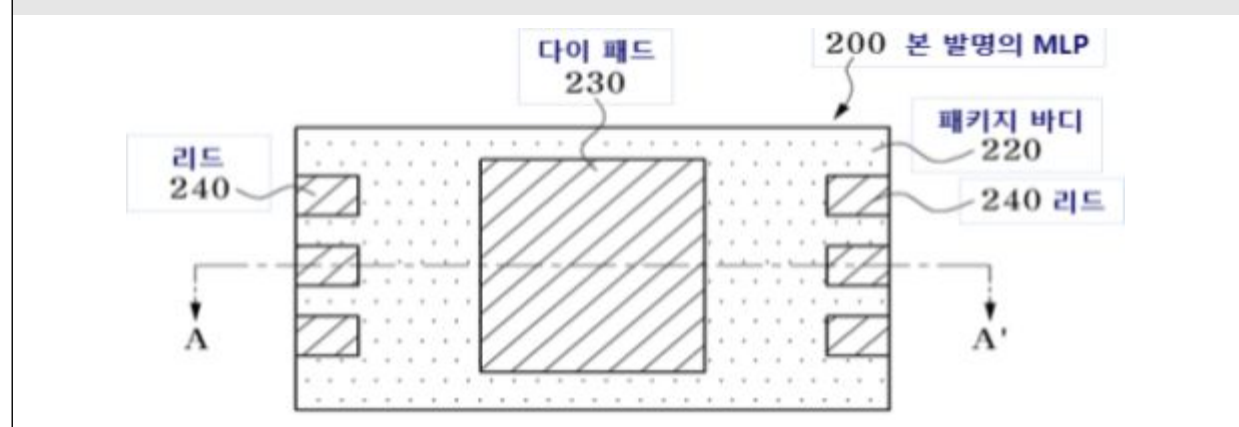
[0015] 본 발명이 해결하려는 과제는 제조단가를 증가시키지 않으면서 높은 열 방출 능력을 가지며 리드의 수를 용이하게 증가시킬 수 있는 구조의 몰디드 리드리스 패키지를 제공하는 데 있다.

[0016] 본 발명이 해결하려는 다른 과제는 제조단가를 증가시키지 않으면서 높은 열 방출 능력을 가지며 리드의 수를 용이하게 증가시킬 수 있는 몰디드 리드리스 패키지를 채용한 발광 다이오드(LED) 패키지를 제공하는 데 있다.

㉣ 발명을 실시하기 위한 구체적인 내용

[0038] 도 3 내지 도 4b를 참조하면, 본 발명의 MLP(200)는, 반도체 칩(210), 다이 패드(230), 리드(240), 와이어(250) 및 패키지 바디(220)를 포함하여 구성된다.

[도 3] 본 발명의 제1 실시예에 따른 몰디드 리드리스 패키지(MLP)의 저면도



[0040] 다이 패드(230)는 상호 반대되는 상부 표면(230a) 및 하부 표면(230b)을 가지며 그 상부에 반도체 칩(210)이 실장된다. 반도체 칩(210)은 예를 들면 에폭시 접착제 또는 솔더(solder) 등 절연성 접착제(260) 또는 절연성 테이프(tape)를 통해 다이 패드(230)의 상부 표면(230a) 상에 부착된다. 접착제(260)의 종류에는 특별한 제한이 없다.

- 10 -

과적으로 방출할 수 있기 때문에 반도체 소자의 동작의 신뢰성을 크게 향상시킬 수 있다.

[0042] 다이 패드(230)의 상부 표면 중 반도체 칩(210)이 부착되는 부분은 일정 깊이(h2) 리세스(recess)되어 있다. 이는, 열 방출 효율을 증가시키기 위하여 다이 패드(230)의 두께(d1)를 두껍게 함으로써 패키지의 부피가 커지는 것을 방지하기 위한 것으로, 다이 패드(230)의 상부 표면이 리세스된 깊이(h2)만큼 패키지의 두께를 감소시킬 수 있으며, 패키지의 두께를 줄이기 위해 반도체 칩의 두께를 줄이지 않아도 된다. 다이 패드(230)의 리세스 영역의 폭은 작을수록 열 방출 효율이 높지만 반도체 칩의 크기를 고려하여 결정할 수 있다.

[0043] 다이 패드(230)의 주변 영역에는 소정의 갭(gap)을 두고서 다수의 리드(240)들이 배치된다. 리드(240)는 그 밑면(240b)이 다이 패드(230)의 하부 표면(230b)과 동일한 평면을 형성한다. 즉, 리드(240)의 밑면(240b)과 다이 패드(230)의 하부 표면(230b)이 동일한 레벨에 위치한다. 리드(240)와 반도체 칩(210)은 금(Au) 또는 금(Au)/알루미늄(Al) 합금 등의 금속 물질로 형성된 와이어(250)를 통하여 서로 전기적으로 연결된다.

[0044] 다이 패드의 하부 표면(230b)과 리드의 밑면(240b)은 몰딩재에 의하여 패키지 외부로 노출된다. 이때, 다이 패드의 하부 표면(230b) 및 리드의 밑면(240b)은 모두가 노출될 수 있으며 또는 도식된 바와 같이 일부만이 노출될 수도 있다. 다이 패드의 하부 표면(230b)에는 패키지 바디(220)와의 접착력을 좋게 하기 위하여 소정의 깊이로 식각된 딤플(dimple) 또는 그루브(groove)(235)가 형성되어 있을 수 있다. 딤플 또는 그루브(235)의 수는 패키지에 따라 달라질 수 있다.

[0045] 리드(240)는 와이어가 연결되는 내부 리드(241)와 반도체 패키지의 외부 접속 단자로서의 역할을 하는 외부 리드(242)로 이루어지는데, 내부 리드(241)는 다이 패드(230)와 마찬가지로 패키지 내부의 열을 외부로 효과적으로 방출할 수 있도록 0.25 ~ 0.6mm의 두께(d1)를 갖는다. 그러나, 외부 리드(242)의 경우에는 제한된 패키지 부피 내에서 적절한 수의 리드를 구현하여야 하기 때문에 내부 리드에 비해 두께(d2)를 얇게 구성한다.

[0046] 패키지 바디(220)는 에폭시 몰딩 화합물(Epoxy Molding Compound, EMC)과 같은 몰딩재로 이루어진다. 패키지 바디(220)는 적어도 리드의 밑면(240b) 및 측면(230c)과 다이 패드의 하부 표면(230b)의 일부를 노출하면서 상기한 갭(gap)을 채우고 다이 패드(230), 반도체 칩(210), 리드(240) 및 와이어(250)를 둘러싼다. 다이 패드(230)의 하부 표면(230b)을 노출하는 패키지 바디의 하부면(220b)과 리드의 밑면(240b) 및 다이 패드의 하부 표면(230b)은 동일 평면 상에 있지 않고 단차를 갖는다. 즉, 다이 패드의 하부 표면(230b)

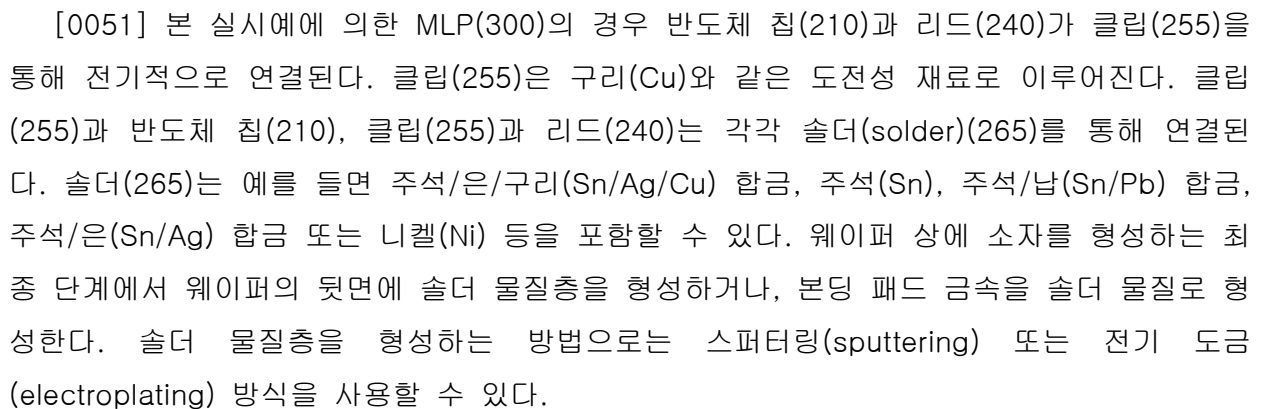
및 리드의 밑면(240b)으로부터 패키지 바디의 하부 면(220b)이 일정 두께(h3) 돌출된 형태가 된다. 이와 같이 다이 패드의 하부 표면(230b)으로부터 패키지 바디의 밑면(220b)이 일정 두께(h3) 돌출되도록 함으로써 그 두께(h3)만큼 패키지 내부로의 흡습 경로가 연장되고, 패키지를 시스템 보더에 솔더링할 때 고온의 리플로우를 수행하더라도 열적 스트레스를 최소화할 수 있다. 또한, 시스템 보더와 다이 패드 사이에 일정 간격을 확보하므로 리드의 피치(pitch)를 종래의 0.5mm에서 0.4mm로 줄일 수 있다. 따라서, 동일한 패키징 면적 내에서 구현할 수 있는 리드의 수를 증가시킬 수 있으며, 하나의 패키지로써 구현 가능한 기능의 종류를 증가시킬 수 있다.

[0047] 패키지 바디의 측면(220c)은 도 4a에 도시된 것과 같이 비스듬하게 경사를 갖는 구조일 수 있으며, 또는 도 4b에 도시된 것과 같이 패키지 바디의 측면(220c)이 패키지 바디의 하부 면(220b)에 대해 수직인 구조일 수도 있는데, 이는 패키지 절단 방식에 따라 구분될 수 있다. 도 4a에 도시된 것과 같이 패키지 바디의 측면(220c)이 비스듬한 경우는 금형을 이용하는 펀치드 타입(punched type)으로 형성하는 경우로, 이 경우 리드(240)의 단부는 패키지 바디(220)로부터 대략 0.08 ~ 0.15mm 정도 돌출된다. 도 4b에 도시된 것과 같이 패키지 바디의 측면(220c)이 수직인 경우는 블레이드(blade)와 같은 절단수단으로 절단하는 소잉형(sawing type)으로 형성하는 경우로, 이 경우에는 리드(240)의 단부가 패키지 바디(220)의 외부로 돌출되지 않는다.

[0048] 이와 같은 본 발명의 제1 실시예에 의한 MLP에 따르면, 다이 패드(230)의 두께(d1)를 0.25 ~ 0.6mm 정도로 두껍게 함으로써 패키지 내부의 열을 외부로 효과적으로 방출할 수 있고 소자 동작의 신뢰성을 크게 향상시킬 수 있다. 또한, 다이 패드(230)의 상부 표면이 일정 깊이 리세스되도록 함으로써 다이 패드의 두께 증가로 인한 패키지 두께의 증가를 방지할 수 있으며, 패키지의 두께를 줄이기 위해 반도체 칩의 두께를 줄이지 않아도 된다. 또한, 다이 패드의 하부 표면(230b) 및 리드의 밑면(240b)으로부터 패키지 바디의 하부 면(220b)이 일정 두께 돌출되도록 함으로써, 흡습 경로가 연장되고 시스템 보더에 솔더링할 때 고온의 리플로우를 수행하더라도 열적 스트레스를 최소화할 수 있으며, 시스템 보더와 다이 패드 사이에 일정 간격을 확보하므로 리드의 피치(pitch)를 줄일 수 있으므로 동일한 패키징 면적 내에서 구현할 수 있는 리드의 수를 증가시킬 수 있으며, 하나의 패키지로써 구현 가능한 기능의 종류를 증가시킬 수 있다.

[0050] 도 5를 참조하면, 본 실시예의 MLP(300)는 반도체 칩과 리드를 연결하기 위하여 와이어(wire) 대신에 도전성 클립(clip)을 사용하는 것을 제외하고는 도 4a에 도시된 제1 실시예의 MLP(200)와 동일하다. 따라서, 동일한 부분에 대해서는 동일한 참조 번호를 사용

[도 5] 본 발명의 제2 실시예에 따른 몰디드 리드리스 패키지(MLP)의 단면도



[0053] 이와 같이 반도체 칩과 리드를 도전성 클립으로 연결할 경우, 도전성 클립이 와이어에 비해 면적이 넓기 때문에 흐르는 전류의 양을 증가시킬 수 있고 열 방출 효율도 증가시킬 수 있다. 한편, 본 실시예의 경우에도, 도 4b의 경우와 같이 패키지 바디의 측면을 수직하게 할 수도 있다.

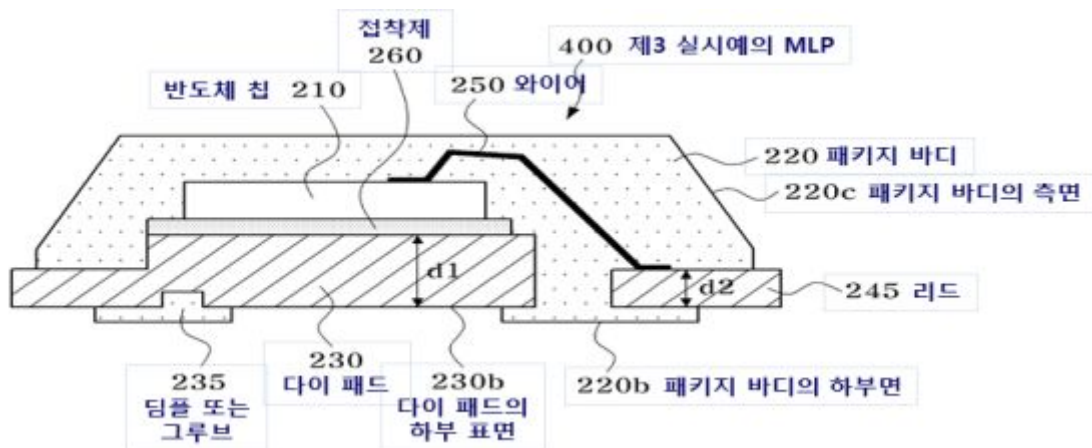
- 13 -

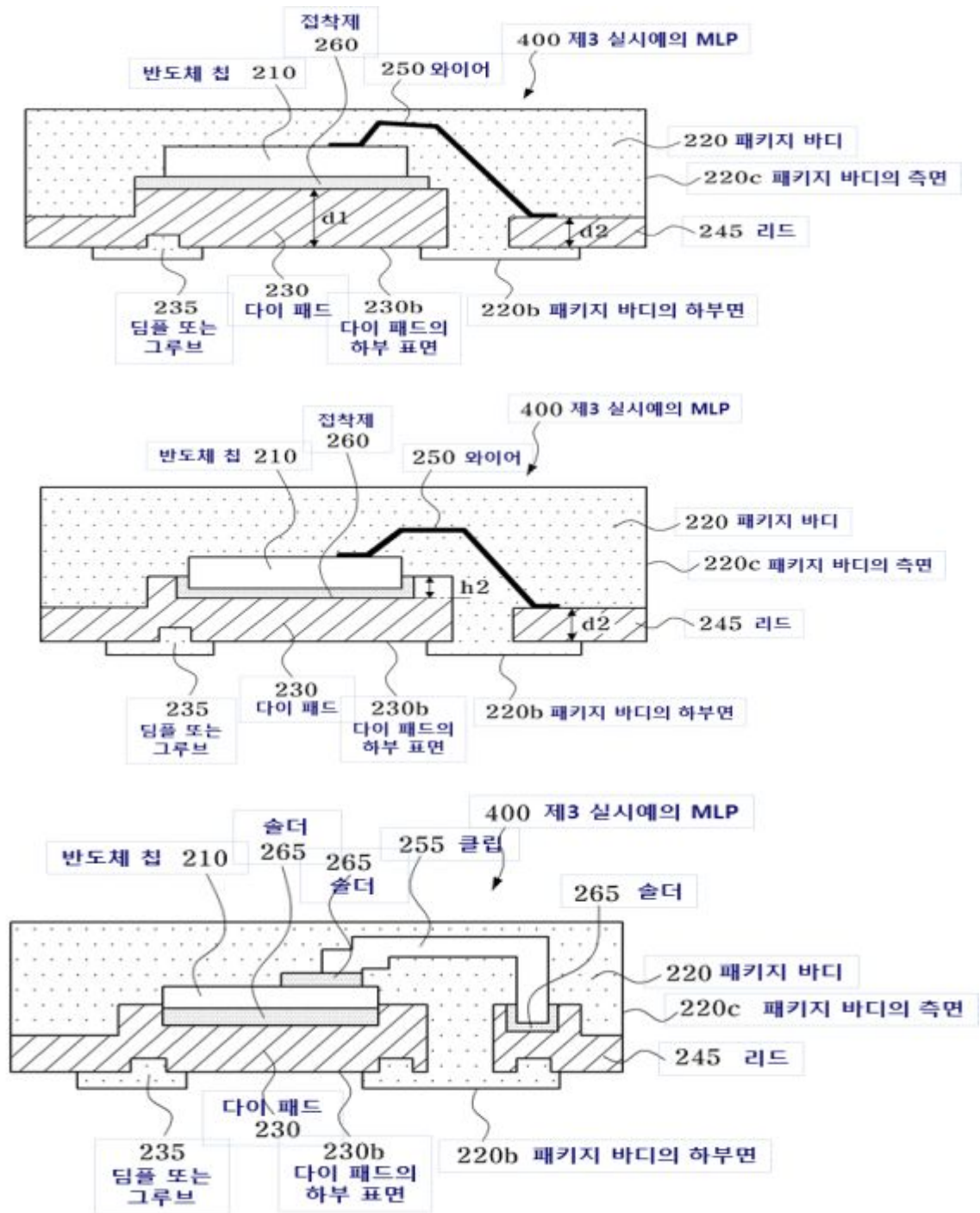
MLP(200)와는 리드의 구조에 차이가 있다. 다이 패드(230)의 일 측이 리드(245)의 일 측과 연결되어 있고, 다이 패드의 다른 측은 리드(245)와 일정 간격 이격되어 있다. 다이 패드와 연결되지 않은 리드(245)는 도전성 재료로 이루어진 와이어(250)를 통해 반도체 칩(210)과 연결된다. 리드(245)의 구조를 제외하고는 도 4a에 도시된 MLP(200)와 동일하므로 동일한 부분에 대해서는 동일한 참조번호를 사용하고, 중복된 설명은 생략하기로 한다.

[0056] 패키지 바디(220)의 측면(220c)은 도 6a의 경우와 같이 비스듬하게 경사를 갖는 구조이거나, 도 6b와 같이 패키지 바디의 하부면(220b)에 대해 수직인 구조일 수 있는데, 이는 패키지 절단 방식에 따라 구분될 수 있다. 패키지 바디의 측면(220c)이 비스듬한 경우는 금형을 이용하는 펀치드 타입(punched type)으로 형성하는 경우로, 이 경우 리드(245)의 단부는 패키지 바디로부터 대략 0.08 ~ 0.15mm 정도 돌출된다. 패키지 바디의 측면(220c)이 수직인 경우는 블레이드(blade)와 같은 절단수단으로 절단하는 소잉형(sawing type)으로 형성하는 경우로, 이 경우에는 리드(245)의 단부가 패키지 바디(220)의 외부로 돌출되지 않는다.

[0057] 다이 패드(230)는 패키지 내부의 열을 외부로 효과적으로 방출할 수 있도록 하기 위하여 종래의 다이 패드보다 두꺼운 0.25 ~ 0.6mm의 두께(d1)를 갖도록 형성된다. 이 때, 두꺼워진 다이 패드(230)로 인해 패키지의 부피가 증가하는 것을 방지하기 위하여 도 6c에 도시된 것과 같이 다이 패드(230)의 상부 표면을 일정 깊이(h2) 리세스시킨 후 리세스된 영역에 접착제(260)를 이용하여 반도체 칩(210)을 부착할 수도 있다.

[도 6a], [도 6b], [도 6c], [도 6e] 본 발명의 제3 실시예에 따른 몰디드 리드리스 패키지(MLP)의 단면도들





[0058] 또한, 열 방출 효율을 높이기 위하여 도 6d에 도시된 것과 같이, 반도체 칩 (210)과 리드(245)의 연결을 와이어가 아닌 도전성 클립(255)으로 할 수 있다. 이때는 접착

제 대신 솔더(265)를 사용한다. 솔더(265)는 예를 들면 주석/은/구리(Sn/Ag/Cu) 합금, 주석(Sn), 주석/납(Sn/Pb) 합금, 주석/은(Sn/Ag) 합금 또는 니켈(Ni) 등을 포함할 수 있다. 반도체 칩(210)을 형성하는 최종 단계에서 반도체 칩(210)의 뒷면 및/또는 앞면에 솔더 물질층을 형성하거나, 본딩 패드 금속을 솔더 물질로 형성한다. 솔더 물질층을 형성하는 방법으로는 스퍼터링(sputtering) 또는 전기 도금(electroplating) 방식을 사용할 수 있다.

[0059] 그리고, 클립(255)을 리드(245)에 부착할 때, 도 6e에 도시된 바와 같이 리드(245)의 상부 표면을 일정 깊이 리세스시켜 클립(255)과 리드(245)의 결합력을 증가시키고 클립(255)으로 인해 패키지의 부피가 커지는 것을 방지할 수 있다.

다. 선행발명들

1) 선행발명 1(갑 제4호증)

2006. 2. 16. 공개된 일본 공개특허공보 특개2006-49694호에 게재된 '이중 게이지 · 리드 프레임'이라는 명칭의 발명으로, 주요 내용 및 도면은 [별지 1]과 같다.

2) 선행발명 3(갑 제6호증)

2006. 5. 19. 공개된 대한민국 공개특허공보 제10-2006-0052560호에 게재된 '향상된 신뢰성 및 높은 열방출 능력을 갖는 몰디드 리드리스 패키지 및 소잉형 몰디드 리드리스 패키지 및 그 제조방법'이라는 명칭의 발명으로, 주요 내용 및 도면은 [별지 2]와 같다.

3) 선행발명 6(갑 제5호증)

2009. 11. 12. 공개된 일본 공개특허공보 특개2009-267398호에 게재된 '스탬핑 가공을 이용하여 형성되는 형상을 가지는 반도체 소자 패키지'라는 명칭의 발명으로, 주요 내용 및 도면은 [별지 3]과 같다.

4) 선행발명 8(갑 제7호증)

2002. 8. 9. 공개된 일본 공개특허공보 특개2002-222906호에 게재된 '반도체 장치의 제조 방법 및 반도체 장치'라는 명칭의 발명이다. 다만 이 사건 소송에서 구체적으로 그 내용을 인용하지 아니하므로, 관련 내용에 관한 기재는 생략한다.

5) 선행발명 9(갑 제8호증)

2008. 3. 13. 공개된 일본 공개특허공보 특개2008-60256호에 게재된 '반도체 장치'라는 명칭의 발명이다. 다만 이 사건 소송에서 구체적으로 그 내용을 인용하지 아니하므로, 관련 내용에 관한 기재는 생략한다.

6) 선행발명 10(갑 제9호증)²⁾

2005. 7. 28. 공개된 일본 공개특허공보 특개2005-203469호에 게재된 '반도체 패키지'라는 명칭의 발명으로, 주요 내용 및 도면은 [별지 4]와 같다.

다. 이 사건 심결의 경위

1) 미도리아전기코리아 주식회사는 2021. 3. 12. 피고를 상대로 특허심판원 2021당 758호로 이 사건 특허발명의 청구항 1항, 2항, 7항에 관하여, 원고는 2021. 4. 9. 피고를 상대로 특허심판원 2021당1068호로 이 사건 특허발명의 청구항 1항에서 16항에 관하여 '이 사건 특허발명은 특허출원 전에 공지된 비교대상발명 1 내지 9³⁾와 동일한 발명이므로 특허법 제29조 제1항을 위반하였고, 그 발명이 속하는 기술분야에서 통상의 지식을 가진 사람(이하 '통상의 기술자'라고 한다)이 선행발명 1에서 9에 의하여 쉽게

2) 원고는 이 사건 제3항 특허발명의 진보성을 부정하는 선행기술로 선행발명 10을 이 사건 심결취소소송에서 새로이 제출하였다.

3) 비교대상발명 1은 선행발명 1과, 비교대상발명 3은 선행발명 3과, 비교대상발명 6은 선행발명 6과, 비교대상발명 8은 선행발명 8과, 비교대상발명 9는 선행발명 9와 각 같고, 비교대상발명 2는 2001. 3. 23. 공개된 일본 공개특허공보 특개2001-77278호에 게재된 '반도체 패키지와 이것 때문에의 리드 프레임 및 반도체 패키지의 제조 방법과 그 몰드'라는 명칭의 발명, 비교대상발명 4는 2006. 6. 2. 공개된 대한민국 공개특허공보 제10-2006-0059575호에 게재된 '다이패드에 미세 돌기가 형성된 반도체 패키지'라는 명칭의 발명, 비교대상발명 5는 2004. 7. 22. 공개된 일본 공개특허공보 특개2004-207275호에 게재된 '회로 장치 및 그의 제조방법'이라는 명칭의 발명, 비교대상발명 7은 2004. 3. 10. 공개된 대한민국 공개특허공보 제10-2004-0021037호에 게재된 '반도체 패키지'라는 명칭의 발명인데, 이 사건 소송에서는 비교대상발명 2, 4, 5, 7은 제출하지 않았다.

발명할 수 있으므로 특허법 제29조 제2항을 위반하였다'라고 주장하면서 특허무효심판을 청구하였고, 피고는 2021. 5. 13. 무효심판절차에서 이 사건 특허발명의 청구범위를 가., 4) 기재와 같이 정정하는 내용의 정정청구를 하였다.

2) 특허심판원은 2021. 10. 26. "피고의 위 정정청구를 인정하고, 이 사건 특허발명의 청구항 1항, 2항, 4항에서 16항은 통상의 기술자가 선행발명 1, 3에서 7에 의하여 쉽게 발명할 수 있어 특허법 제133조 제1항 제1호, 제29조 제2항에 따라 그 특허가 무효로 되어야 하므로 이 사건 특허발명의 청구항 1항, 2항, 4항에서 16항에 관한 심판 청구는 인용하고, 이 사건 제3항 특허발명은 선행발명 1에서 9에 의하여 진보성이 부정되지 않으므로 이 사건 제3항 특허발명에 관한 심판청구는 기각한다."라는 내용의 이 사건 심결을 하였다.

[인정근거] 다툼 없는 사실, 갑 제1에서 9호증, 변론 전체의 취지

2. 당사자의 주장

가. 원고의 주장

이 사건 제3항 특허발명은 통상의 기술자가 ㉠ 선행발명 1에 의하거나 선행발명 1에 선행발명 6을 결합하여 또는 ㉡ 선행발명 3에 의하거나 선행발명 3에 선행발명 6을 결합하여 또는 ㉢ 선행발명 10에 의하거나 선행발명 10에 선행발명 6을 결합하여 쉽게 발명할 수 있으므로 특허법 제29조 제2항을 위반하였다.

나. 피고의 주장

이 사건 제3항 특허발명은 통상의 기술자가 선행발명 1, 3, 6, 10에 의하더라도 쉽게 발명할 수 없으므로 진보성이 있다.

3. 판단

가. 몰디드 리드리스 패키지의 의미

이 사건 제3항 특허발명 및 선행발명 1, 3, 6, 10은 '몰디드 리드리스 패키지(Molded Leadless Package)'에 관한 발명이다. 그런데 몰디드 리드리스 패키지에 관하여 원고는 '시스템 보더 상에 실장(mount)할 수 있도록 리드와 다이 패드의 표면 일부가 패키지 바디의 상부면(시스템 보더 하부에 실장) 또는 하부면(시스템 보더 상부에 실장)으로 노출된 반도체 패키지'라고 주장하고, 피고는 '외부 리드의 표면 일부가 패키지 바디의 외부로 노출된 반도체 패키지'라고 주장하면서 선행발명 3, 10이 이 사건 제3항 특허발명의 구성요소 6, 7과 동일한 구성을 갖고 있는지 여부에 관하여 다투므로, 몰디드 리드리스 패키지의 의미에 관하여 먼저 본다.

1) 관련 법리

특허발명의 보호범위는 청구범위에 적혀 있는 사항에 의하여 정하여지고 발명의 설명이나 도면 등에 의하여 보호범위를 제한하거나 확장하는 것은 원칙적으로 허용되지 않지만, 청구범위에 적혀 있는 사항은 발명의 설명이나 도면 등을 참작하여야 기술적인 의미를 정확하게 이해할 수 있으므로, 청구범위에 적혀 있는 사항의 해석은 문언의 일반적인 의미 내용을 기초로 하면서도 발명의 설명이나 도면 등을 참작하여 문언에 의하여 표현하고자 하는 기술적 의의를 고찰한 다음 객관적·합리적으로 하여야 한다(대법원 2015. 5. 14. 선고 2014후2788 판결 등 참조).

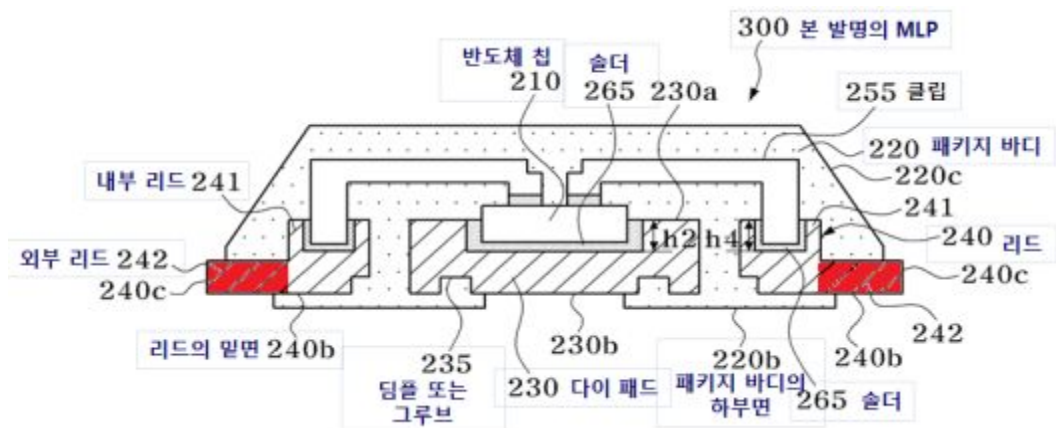
2) 구체적 판단

이 사건 특허발명의 명세서에서는 '몰디드 리드리스 패키지'의 의미에 관하여 "리드는 와이어가 연결되는 내부 리드(inner lead)와 반도체 패키지의 외부 접속 단자로서의 역할을 하는 외부 리드(outer lead)로 구성된다. 내부 리드는 통상적으로 패키

지 바디에 의하여 완전히 밀봉되는데 반하여, 외부 리드는 그 전체 패키지 바디의 외부로 노출되거나 외부 리드의 표면 일부가 외부로 노출된다. 후자와 같이 외부 리드의 표면 일부가 패키지 바디의 외부로 노출되는 반도체 패키지를 몰디드 리드리스 패키지(Molded Leadless Package, 이하 'MLP'라 함)라고 한다(문단번호 [0002])."라고 정의하고 있으므로, 이 사건 특허발명의 발명의 설명에는 이 사건 특허발명의 청구범위에 기재된 '몰디드 리드리스 패키지'에 관하여 '외부 접속 단자로서의 역할을 하는 외부 리드의 전체가 아닌 그 표면의 일부만이 패키지 바디의 외부로 노출되는 반도체 패키지'라고 되어 있음을 알 수 있다.

또한 아래와 같은 이 사건 특허발명의 [도 5]에 나타난 몰디드 리드리스 패키지를 보면, 이 사건 특허발명의 명세서에 기재된 '몰디드 리드리스 패키지'의 의미와 같이 외부 접속 단자로서의 역할을 하는 외부 리드(242)의 전체가 아닌 그 표면 중 일부만이 패키지 바디의 외부로 노출된 반도체 패키지, 즉, 외부 리드의 표면 중 밑면(240b), 측면(240c) 및 상면의 각 일부는 패키지 바디의 외부로 노출되나 이들의 다른 일부는 패키지 바디에 의해 덮여있음을 알 수 있다.

[도 5] 본 발명의 제2 실시예에 따른 몰디드 리드리스 패키지(MLP)의 단면도



한편 선행발명 3의 명세서에는 '몰디드 리드리스 패키지'의 의미에 관하여 이 사건 특허발명의 명세서와 같이 "리드는 와이어가 연결되는 내부 리드(inner lead)와 반도체 패키지의 외부 접속 단자로서의 역할을 하는 외부 리드(outer lead)로 구성된다. 내부 리드는 통상적으로 패키지 바디에 의하여 완전히 밀봉되는데 반하여, 외부 리드는 그 전체 패키지 바디의 외부로 노출되거나 외부 리드의 표면 일부가 외부로 노출된다. 후자와 같이 외부 리드의 표면 일부가 패키지 바디의 외부로 노출되는 반도체 패키지를 MLP라고 한다(문단번호 [0010])."라고 되어 있다.

그리고 아래와 같이 선행발명 3의 명세서 및 도면에는 종래의 몰디드 리드리스 패키지의 예시를 개시하고 있는데, 앞서 본 '몰디드 리드리스 패키지'의 정의와 같이 외부 접속 단자로서의 역할을 하는 외부 리드의 전체가 아닌 일부([도 1a]에서 하부 표면과 측면의 일부 또는 [도 1b]에서 하부표면의 일부 및 측면의 일부)만이 패키지 바디의 외부로 노출된 반도체 패키지가 나타나 있다.

[선행발명 3의 명세서 및 도면]

[도 1a] 종래의 몰디드 리드리스 패키지(MLP)의 일 예를 나타내 보인 단면도



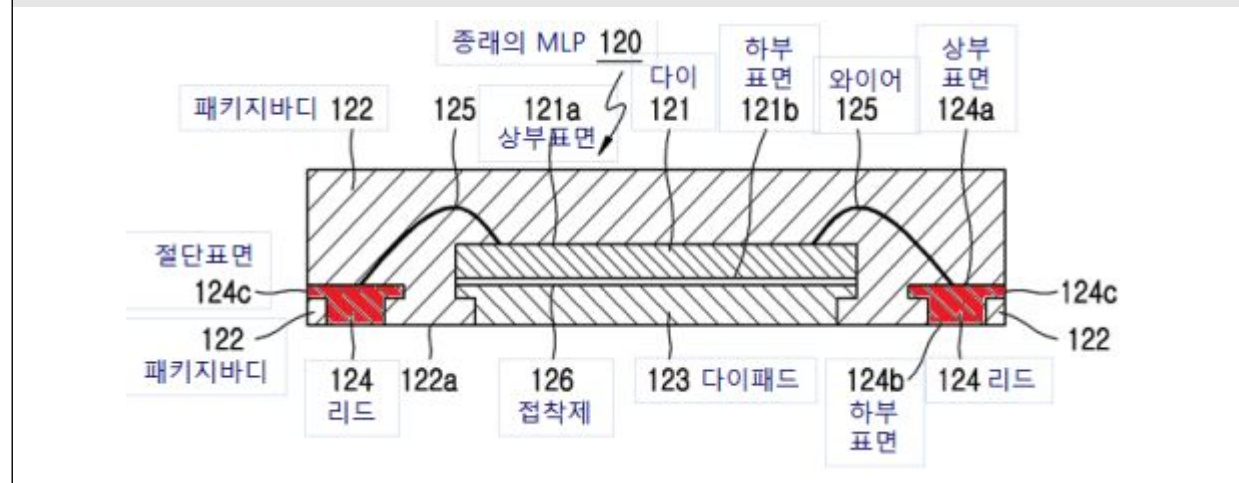
[0005] 도 1을 참조하면, 종래의 MLP(110)는, 반도체칩(111)이 부착되는 리드프레임패

드(112)의 일 표면이 패키지 바디(113)의 일 표면(114)에서 노출되는 구조를 갖는다. 이외에도 리드(115)의 일부분이 패키지바디(113)의 다른 표면(116)에서 노출된다. 반도체칩(111)과 리드(115)는 와이어(117)에 의해 상호 전기적으로 연결된다.

[0006] 도 1b는 종래의 MLP의 다른 예를 나타내 보인 단면도로서, 이 MLP에 관한 상세한 사항들은 미국특허등록번호 제6,437,429호에 개시되어 있다.

[0007] 도 1b를 참조하면, 종래의 MLP(120)는, 다이(die)(121), 패키지바디(122), 다이패드(123) 및 리드(124)를 포함하여 구성된다. 다이(121)는, 상부표면(121a) 및 하부표면(121b)을 갖는다. 리드(124)도 상부표면(124a)과, 하부표면(124b) 및 절단표면(124c)을 가지며, 리드(124)의 하부표면(124b)의 일부는 메탈패드를 형성하기 위해 한정된다. 이 메탈 패드는 패키지바디(122) 밖으로 노출되며, MLP(120)의 외부와의 전기적인 연결을 위하여 패키지바디(122)와 동일평면상에 형성된다. 다이패드(123)의 일면은 접착제(126)에 의해 다이(121)의 하부표면(121b)과 부착되며, 그 반대면은 패키지바디(122) 밖으로 노출된다. 다이(121)와 리드(124)는 와이어(125)에 의해 상호 전기적으로 연결된다.

[도 1b] 종래의 몰디드 리드리스 패키지의 다른 예를 나타내 보인 단면도



3) 검토 결과 정리

이 사건 제3항 특허발명은 '몰디드 리드리스 패키지'에 관한 발명인데, 여기서 '몰디드 리드리스 패키지'는 '리드와 다이 패드의 표면 일부가 패키지 바디의 상부면 또는 하부면으로 노출된 반도체 패키지'로 제한하여 해석할 수 없고, '리드 중 반도체

패키지의 외부 접속 단자로서의 역할을 하는 외부 리드의 전체가 아닌 표면 일부가 패키지 바디의 외부로 노출된 반도체 패키지'로 해석하여야 한다.

나. 이 사건 제3항 특허발명의 진보성 부정 여부

1) 관련 법리

발명의 진보성 유무를 판단할 때에는 적어도 선행기술의 범위와 내용, 진보성 판단의 대상이 된 발명과 선행기술의 차이와 통상의 기술자의 기술수준에 대하여 증거 등 기록에 나타난 자료에 기초하여 파악한 다음, 통상의 기술자가 특허출원 당시의 기술수준에 비추어 진보성 판단의 대상이 된 발명이 선행기술과 차이가 있는데도 그러한 차이를 극복하고 선행기술로부터 쉽게 발명할 수 있는지를 살펴보아야 한다. 이 경우 진보성 판단의 대상이 된 발명의 명세서에 개시되어 있는 기술을 알고 있음을 전제로 사후적으로 통상의 기술자가 쉽게 발명할 수 있는지를 판단해서는 안 된다(대법원 2020. 1. 22. 선고 2016후2522 전원합의체 판결 등 참조).

또한 청구범위에 기재된 청구항이 복수의 구성요소로 되어 있는 경우에는 각 구성요소가 유기적으로 결합한 전체로서의 기술사상이 진보성 판단의 대상이 되는 것이지 각 구성요소가 독립하여 진보성 판단의 대상이 되는 것은 아니므로, 그 발명의 진보성 여부를 판단함에 있어서는 청구항에 기재된 복수의 구성을 분해한 후 각각 분해된 개별 구성요소들이 공지된 것인지 여부만을 따져서는 안 되고, 특유의 과제 해결 원리에 기초하여 유기적으로 결합된 전체로서의 구성의 곤란성을 따져 보아야 할 것이며, 이 때 결합된 전체 구성으로서의 발명이 갖는 특유한 효과도 함께 고려하여야 할 것이다. 그리고 여러 선행기술문헌을 인용하여 발명의 진보성이 부정된다고 하기 위해서는 그 인용되는 기술을 조합 또는 결합하면 해당 발명에 이를 수 있다는 암시, 동기

등이 선행기술문헌에 제시되어 있거나 그렇지 않더라도 해당 발명의 출원 당시의 기술 수준, 기술상식, 해당 기술분야의 기본적 과제, 발전경향, 해당 업계의 요구 등에 비추어 보아 통상의 기술자가 용이하게 그와 같은 결합에 이를 수 있다고 인정할 수 있는 경우이어야 한다(대법원 2015. 7. 23. 선고 2013후2620 판결 등 참조).

2) 선행발명 1 또는 선행발명 1, 6에 의하여 진보성이 부정되는지 여부

가) 이 사건 제3항 특허발명과 선행발명 1의 구성요소 대비

이 사건 제3항 특허발명의 각 구성요소에 대응하는 선행발명 1의 각 구성요소는 아래 표 기재와 같다.

구성요소	이 사건 제3항 특허발명	선행발명 1
1	상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드;	○ 제2의 리드 프레임 부분(18)은, 제1의 리드 프레임 부분의 공동(동굴)부(16) 내(內)에 수용되고 있는 다이·패들(20)을 갖는다(문단번호 [0011]). ○ 다이·패들(20)은 상호 반대되는 상부 표면 및 하부 표면을 갖는다([도 1]).
2	상기 다이 패드의 상부 표면 상에 실장된 반도체 칩;	○ 집적 회로 다이(22)는, 다이·패들(20)에 장착되어지고, (중략) 다이(22)는, 뿔(24)에 의해 열을 다이(22)로부터 다이·패들(20)에 놓칠 수 있는 뿔 다이 설치 프로세스 등의 주지 방법으로 다이·패들(20)에 장착된다. 다른 실시 형태의 경우에는, 다이(22)는, 접착 재료층 또는 접착테이프에 의해 다이·패들(20)에 장착할 수 있다(문단번호 [0012]).

		호 [0013]).
3	상기 다이 패드의 주변 영역에 상기 다이 패드와 일정 간격 이격되도록 배치된 다수의 리드;	○ 집적 회로 다이(22)는, 다이·패들(20)에 장착되어지고, 다이·패들이 공동(동굴)부 내에 위치하고 있으므로, 다이(22)는, 복수의 리드(14)에 의해 둘러싸여진다(문단번호 [0013]).
4	상기 반도체 칩과 상기 다수의 리드 각각을 전기적으로 연결하는 도전성 클립; 및	○ 다이(22)는, 복수의 다이 본딩 패드(26)를 포함한다. 다이 본딩 패드(26) 가운데 몇 가지는, 와이어(28)에 의해 리드(14) 가운데 대응하는 몇 개 인가의 리드에 전기적으로 접속되고 있다(문단번호 [0014]).
5	적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드, 상기 반도체 칩, 상기 리드 및 상기 도전성 클립을 덮는 패키지 바디를 포함하고,	○ 반도체 디바이스(device)(10)는, 적어도 리드(14)의 밑면 및 제2의 리드 프레임 부분(18)의 밑면을 노출시킨 상태에서, 집적 회로 다이(22)의 정상부 표면, 와이어(28) 및 리드(14)의 정상부 표면을 덮는 봉지재료(30)를 더욱 포함한다(문단번호 [0015]). ○ 봉지재료(30)는 다이·패들(20), 집적 회로 다이(22), 리드(14) 및 와이어(28)를 덮는다([도 1]).
6	상기 다이 패드의 두께가 상기 리드 중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼운 것	○ 제1의 리드 프레임 부분(12)은 금속 또는 금속 합금에서 형성되어, 제1의 소정의 두께를 갖는다. (중략) 제2의 리드 프레임 부분(18)은, 아주 알맞게는, 제1의 두께와는 다른 제2의 두께를 갖는다. 예를 들면, 대량의 열을 발생하는

		<p>전원 회로의 경우에는, 제2의 리드 프레임 부분(18)을 히트 싱크로서 사용할 수 있다. 그러한 경우에는, 아주 알맞게는, 제2의 두께는 제1의 두께보다도 두껍다. 더 바람직한 실시 형태의 경우에는, 제1의 두께는, 제2의 두께 약 절반인가 또는 그것 이하다. 어떤 예의 경우에는, 제1의 부분이 약 8밀(0.2032mm)의 제1의 두께를 갖고, 제2의 두께가 약 20밀(0.508mm)인 리드 프레임을 제조했다(문단번호 [0011]).</p> <p>○ 다이·패들(20)의 두께(제2의 두께)는 리드(14) 중 봉지재료(30)의 외부로 노출되는 측면 부분의 두께(제1의 두께)보다 두껍다([도 1]).</p>
7	<p>상기 리드 중 패키지 바디의 외부로 노출되지 않는 내부 리드 영역은 상기 다이 패드와 같은 두께를 갖는 것을 특징으로 하는 몰디드 리드리스 패키지.</p>	<p>○ 리드(14) 중 봉지재료(30)의 외부로 노출되지 않는 부분은 다이·패들(20)보다 얇은 두께를 갖는다([도 1]).</p> <p>○ 반도체 디바이스(device)(10)는, 적어도 리드(14)의 밑면 및 제2의 리드 프레임 부분(18)의 밑면을 노출시킨 상태에서, 집적 회로 다이(22)의 정상부 표면, 와이어(28) 및 리드(14)의 정상부 표면을 덮는 봉지재료(30)를 더욱 포함한다(문단번호 [0015]).</p> <p>○ 본 발명은, 집적 회로 및 패키징한 집적 회로에 관하고, 특히 패키징한 집적 회로용의 리드 프레임에 관한다(문</p>

		단번호 [0001]).
도면	<p>[도 5]</p>	<p>[도 1]</p>

나) 공통점 및 차이점의 분석

(1) 기술분야

이 사건 제3항 특허발명은 '몰디드 리드리스 패키지(Molded Leadless Package)'에 관한 것이고, 선행발명 1은 '적어도 리드(14)의 밑면 및 제2의 리드 프레임 부분(18)의 밑면을 노출하도록 패키징한 반도체 디바이스(device)(청구항 9항, 14항)'에 관한 것이므로, 양 발명은 반도체의 몰디드 리드리스 패키지에 관한 것이라는 점에서 동일하다.

(2) 구성요소 1, 2, 3, 6

이 사건 제3항 특허발명의 구성요소 1, 2, 3, 6은 '상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드[다이·패들(20)]⁴⁾(구성요소 1)', '다이 패드[다이·패들(20)]의 상부 표면 상에 실장된 반도체 칩[집적 회로 다이(22)](구성요소 2)', '다이 패드[다이·패들(20)]의 주변 영역에 다이 패드[다이·패들(20)]와 일정 간격 이격되도록 배치된 다수의 리드[리드(14)](구성요소 3)', '다이 패드의 두께(제2의 두께)가 리드 중 패키지 바디의 외부로 노출되는 외부 리드(제1의 두께)보다 두꺼우며(구성요소 6)'이고,

4) 이 사건 제3항 특허발명의 구성요소에 대응하는 선행발명 1의 구성요소를 괄호 안에 기재하였고, 이하 같은 방식으로 표기한 다.

선행발명 1도 위 구성요소 1, 2, 3, 6과 동일한 구성을 가지고 있다(이에 대하여 당사자 사이에 다툼이 없다).

(3) 구성요소 4

이 사건 제3항 특허발명의 구성요소 4와 이에 대응하는 선행발명 1의 구성요소는 반도체 칩[집적 회로 다이(22)]과 다수의 리드[리드(14)] 각각을 전기적으로 연결(접속)한다는 점에서 공통된다. 다만, 구성요소 4는 도전성 클립으로 연결하는 반면, 선행발명 1은 와이어(28)로 접속한다는 점에서 차이가 있다(이하 '차이점 1-1'이라 한다).

(4) 구성요소 5

이 사건 제3항 특허발명의 구성요소 5와 이에 대응하는 선행발명 1의 구성요소는 적어도 리드[리드(14)]의 밑면의 일부 및 다이 패드[제2의 리드 프레임 부분(18)]의 일부를 노출하며 다이 패드, 반도체 칩[집적 회로 다이(22)], 리드[리드(14)]를 덮는 패키지 바디[봉지재료(30)]를 포함한다는 점에서 공통된다. 다만, 구성요소 5의 패키지 바디는 반도체 칩과 리드를 연결하는 도전성 클립을 덮는 반면, 선행발명 1의 봉지재료(30)는 집적 회로 다이(22)와 리드(14)를 접속하는 와이어(28)를 덮는다는 점에서 차이가 있다(이하 '차이점 1-2'라 한다).

(5) 구성요소 7

이 사건 제3항 특허발명의 구성요소 7은 리드 중 패키지 바디의 외부로 노출되지 않는 내부 리드 영역은 다이 패드와 같은 두께를 갖는 반면, 선행발명 1의 리드(14) 중 봉지재료(30)의 외부로 노출되지 않는 부분은 다이·패들(20)보다 얇은 두께를 갖는다는 점에서 차이가 있다(이하 '차이점 1-3'이라 한다).

다) 차이점에 대한 검토

앞서 든 증거 및 변론 전체의 취지에 의하여 알 수 있는 다음과 같은 사정을 종합하여 보면, 이 사건 제3항 특허발명은 이 사건 특허발명의 명세서에 개시되어 있는 내용을 알고 있음을 전제로 사후적으로 판단하지 않는 한 이 사건 특허발명 출원 당시의 기술수준에 비추어 통상의 기술자가 선행발명 1에 의하여 또는 선행발명 1에 선행발명 6을 결합하여 차이점 1-1, 1-2, 1-3을 극복하고 쉽게 발명할 수 있다고 보기 어렵다.

(1) 아래와 같은 이 사건 특허발명의 명세서 기재 및 도면의 도시에 의하면, 이 사건 제3항 특허발명은 종래에 ㉠ 열 방출 효율을 높이기 위하여 다이 패드 및 리드의 두께를 증가시키면 전체 패키지의 부피가 증가하는 문제점 및 ㉡ 리드와 리드 사이의 간격을 넓게 확보하여야 하므로 리드의 수를 증가시키는 데 한계가 있는 문제점을 해결하기 위한 발명이다. 위와 같은 문제점을 해결하기 위하여 이 사건 제3항 특허발명은 다이 패드의 두께를 패키지 바디의 외부로 노출되는 외부 리드보다 두껍게 하고(구성요소 6), 리드 중 패키지 바디의 외부로 노출되지 않는 내부 리드 영역은 다이 패드와 같은 두께를 가지며(구성요소 7, 차이점 1-3), 반도체 칩과 다수의 리드 각각을 도전성 클립으로 연결함으로써(구성요소 4, 차이점 1-1, 2) ㉠ 반도체 패키지 내부의 열을 외부로 효과적으로 방출할 수 있도록 하였고, 외부 리드의 두께를 얇게 구성함으로써(구성요소 6) ㉡ 제한된 패키지 부피 내에서 리드의 수를 용이하게 증가시킬 수 있도록 하였다.

즉, 이 사건 제3항 특허발명은 다이 패드와 내부 리드의 두께는 같으면서 두껍게 하고 외부 리드의 두께는 얇게 구성하므로 높은 열 방출 능력을 가지면서도 리드의

수를 쉽게 증가시킬 수 있고, 반도체 칩과 리드를 도전성 클립으로 연결하므로 열 방출 능력을 더욱 높이는 개선된 효과가 있다.

[이 사건 특허발명의 명세서 및 도면]

[0008] 또한, 종래의 MLP의 경우 열 방출 문제가 다소 개선되었다고는 하나, 다이 패드(130) 및 리드(140)의 두께가 0.2 ~ 0.25mm 정도로 얇기 때문에 전력 반도체 장치나 LED 소자에 적용하기에는 여전히 열적 스트레스 문제가 개선되어야 하는 실정이다. 열 방출 효율을 높이기 위하여 다이 패드 및 리드의 두께를 증가시키면 전체 패키지의 부피가 증가하기 때문에 경박단소를 지향하는 최근의 전자기기에 부합하지 못하게 된다.

[0014] 또한, 솔더 조인트(16)가 유동성을 띄게 되어 압력에 의해 옆으로 퍼지게 되면 리드와 리드 사이의 간격이 좁아지게 되므로, 이를 고려하여 리드와 리드 사이의 간격을 통상 0.5mm 정도로 넓게 확보하여야 한다. 따라서, 리드의 수를 증가시키는 데 한계가 있다.

[0015] 본 발명이 해결하려는 과제는 제조단가를 증가시키지 않으면서 높은 열 방출 능력을 가지며 리드의 수를 용이하게 증가시킬 수 있는 구조의 몰디드 리드리스 패키지를 제공하는 데 있다.

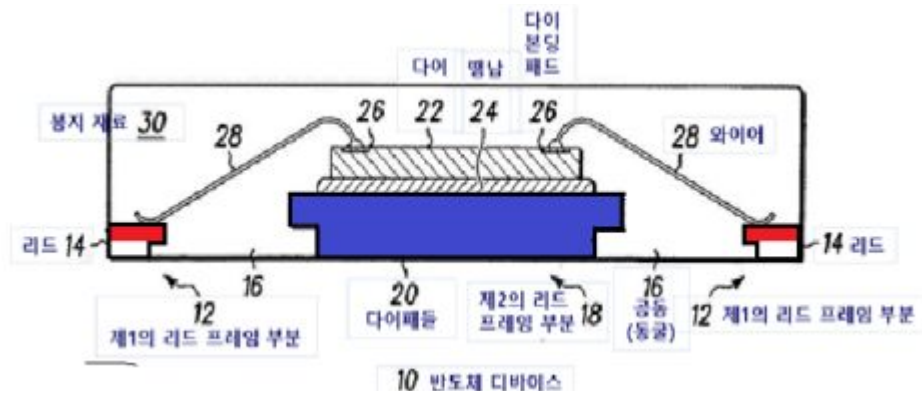
[0041] 특히 본 발명에 따른 MLP의 다이 패드(230)는 0.25 ~ 0.6mm의 두께(d1)를 갖는데, 종래의 다이 패드가 0.2 ~ 0.25mm인 것에 비해 두꺼운 것이 특징이다. 이렇게 다이 패드(230)의 두께(d1)를 두껍게 할 경우 다이 패드를 통해 패키지 내부의 열을 외부로 효과적으로 방출할 수 있기 때문에 반도체 소자의 동작의 신뢰성을 크게 향상시킬 수 있다.

[0045] 리드(240)는 와이어가 연결되는 내부 리드(241)와 반도체 패키지의 외부 접속 단자로서의 역할을 하는 외부 리드(242)로 이루어지는데, 내부 리드(241)는 다이 패드(230)와 마찬가지로 패키지 내부의 열을 외부로 효과적으로 방출할 수 있도록 0.25 ~ 0.6mm의 두께(d1)를 갖는다. 그러나, 외부 리드(242)의 경우에는 제한된 패키지 부피 내에서 적절한 수의 리드를 구현하여야 하기 때문에 내부 리드에 비해 두께(d2)를 얇게 구성한다.

[도 5] 본 발명의 제2 실시예에 따른 몰디드 리드리스 패키지(MLP)의 단면도

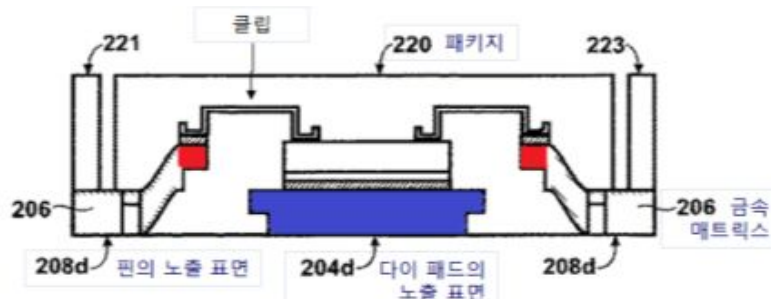
아래 도면과 같이 선행발명 1의 [도 1]에 나타난 반도체 디바이스의 리드(14)의 'T'자 형상 중 상부 부분만을 내부 리드로 보고 하부 부분만을 외부 리드로 본다고 하더라도 다이·패들(20)의 두께가 내부 리드 영역의 두께와 다르다는 구성을 갖고 있다고 할 것이다.

선행발명 1의 [도 1] 본 발명의 일 실시 형태에 의한 패키지(wound package)된 반도체 디바이스(device)의 확대 단면도



(3) 한편 아래와 같은 선행발명 6의 도면의 도시에 의하면, 선행발명 6의 반도체 패키지도 핀(208) 중 클립과 접속되는 부분으로서 패키지(220)에 덮여있는 부분, 즉 내부 리드 영역이 다이 패드(204)와 같은 두께로 형성된 것이 아닌 다이 패드보다 얇은 두께로 형성되었음을 알 수 있다.

선행발명 6의 [도 2J] 패키지를 형성하기 위한 본 발명에 의한 제조법의 실시 형태의 단면도



위와 같이 선행발명 1과 6은 모두 구성요소 7에 대응하는 구성을 전혀 개시하고 있지 않고 이를 내포 또는 암시하고 있다고 보기도 어렵다. 또한 구성요소 7이 이 사건 특허발명의 출원 당시 통상의 기술자에게 공지기술 또는 주지관용기술이라고 볼 만한 별다른 증거도 없다. 따라서 선행발명 1이 구성요소 5, 6에 대응하는 구성을 포함하고 있고, 선행발명 6에 구성요소 4에 대응하는 구성을 포함하고 있어서 통상의 기술자가 선행발명 1에 선행발명 6을 결합한다고 하더라도, 이 사건 제3항 특허발명의 구성요소 7에 대응하는 구성을 포함하고 있지 않다.

(4) 더욱이 이러한 구성상의 차이로 인해서 이 사건 제3항 특허발명의 구성요소 7이 구성요소 4, 5, 6과 유기적인 결합을 통해 발현되는 효과로서 반도체 패키지의 열 방출 효율을 더 향상하면서도 패키지의 두께를 증가시키지 않고 제조 공정의 효율성을 유지할 수 있다는 측면에서도 선행발명 1과 6을 결합한 발명에 비해 다소 더 나은 효과를 기대할 수 있다고 볼 수 있다.

라) 검토 결과 정리

따라서 이 사건 제3항 특허발명은 통상의 기술자가 선행발명 1에 의하거나 선행발명 1에 선행발명 6을 결합하더라도 쉽게 발명할 수 없으므로 진보성이 부정되지 않는다.

3) 선행발명 3 또는 선행발명 3, 6에 의하여 진보성이 부정되는지 여부

가) 이 사건 제3항 특허발명과 선행발명 3의 구성요소 대비

이 사건 제3항 특허발명의 각 구성요소에 대응하는 선행발명 3의 각 구성요소는 아래 표 기재와 같다.

구성요소	이 사건 제3항 특허발명	선행발명 3
------	---------------	--------

1	상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드;	○ 집적회로 다이 또는 칩(2020)이 다이 패드(2004)의 제1 또는 상부 표면에 예를 들어 솔더와 같은 접착제(2021)에 의해 열적 및 전기적 도전 방식으로 부착된다(문단번호 [0186]). ○ MLP(2000)의 바닥은 다이 패드(2004)의 하부 표면(참조번호 없음), 즉 다이(2020)가 부착된 표면의 반대쪽 표면을 노출시키는 중앙 리세스(2250)을 더 포함한다(문단번호 [0190])
2	상기 다이 패드의 상부 표면 상에 실장된 반도체 칩;	○ 집적회로 다이 또는 칩(2020)이 다이 패드(2004)의 제1 또는 상부 표면에 예를 들어 솔더와 같은 접착제(2021)에 의해 열적 및 전기적 도전 방식으로 부착된다(문단번호 [0186]).
3	상기 다이 패드의 주변 영역에 상기 다이 패드와 일정 간격 이격되도록 배치된 다수의 리드;	○ 덤플들/리세스들(2230, 2240)은 리드들(2006, 2008)이 MLP(2000)에 장착된 회로 보드(도시되지 않음)로부터 및/또는 그 위로 일정한 거리만큼 떨어질 수 있도록 해준다(문단번호 [0188]).
4	상기 반도체 칩과 상기 다수의 리드 각각을 전기적으로 연결하는 도전성 클립; 및	○ 본드 와이어(2050)가 내부 및 외부 리드들(2006, 2008)을 각기 다이(2020)에 전기적으로 연결시킨다(문단번호 [0186]).
5	적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드, 상기 반도체 칩, 상기 리드 및 상기 도전성 클립을 덮는 패키지 바	○ 몰딩 물질로 형성되는 MLP 몸체(2010)는 리드 프레임(2002), 다이 패드(2004), 내부 리드들(2006) 및 외부 리드들(2008)을 각기 둘러싼다(문단번호

	<p>더를 포함하고,</p>	<p>[0185]).</p> <p>○ 다이(2020)는 다이 패드(2004)에 부착된 면을 제외하고는 몸체(2010) 내에 둘러싸인다(문단번호 [0186]).</p> <p>○ 각 리드들(2006, 2008)의 바닥 표면의 일부는 각 상당하는 덤플/리세스들(2230, 2240) 내에서 외부 환경에 노출된다. 환언하면, 덤플/리세스들(2230, 2240) 내에서 리드들(2006, 2008)의 바닥 표면들은 몸체(2010)를 형성하는 몰딩 물질에 의해 덮이지 않고 외부로 노출된다(문단번호 [0187]).</p> <p>○ MLP(2500)의 바닥은 다이 패드(2504)의 하부 표면(참조번호 없음), 즉 다이(2520)가 부착된 표면의 반대쪽 표면을 노출시키는 중앙 리세스(2560)을 더 포함한다(문단번호 [0197]).</p>
6	<p>상기 다이 패드의 두께가 상기 리드 중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼운 것</p>	<p>○ 외부 리드들(2008)은 몸체(2010)의 측면(2244)으로부터 일정한 거리만큼 연장된다(문단번호 [0189]).</p> <p>○ 다이 패드(2004)의 두께는 MLP 몸체(2010)의 외부로 노출된 외부 리드들(2256)의 두께와 동일하다([도 30]).</p>
7	<p>상기 리드 중 패키지 바디의 외부로 노출되지 않는 내부 리드 영역은 상기 다이 패드와 같은 두께를 갖는 것을 특징으로 하는 몰딩 리드리스 패키지.</p>	<p>○ 리드 중 와이어에 연결되는 부분으로서 MLP 몸체의 내부에 덮이는 부분은 다이 패드와 같은 두께를 갖는다([도 30])</p> <p>○ 본 발명은 반도체 패키지에 관한 것</p>

		으로서, 특히 향상된 신뢰성 및 높은 열방출 능력을 갖는 몰디드 리드리스 패키지(Molded Leadless Package, 이하 MLP)와 소잉형 MLP 및 그것의 제조방법에 관한 것이다(문단번호 [0002]).
도면	<p>[도 5]</p>	<p>[도 30]</p>

나) 공통점 및 차이점의 분석

(1) 기술분야

이 사건 제3항 특허발명과 선행발명 3은 '몰디드 리드리스 패키지(Molded Leadless Package)'에 관한 것이라는 점에서 동일하다.

(2) 구성요소 1, 2, 3

이 사건 제3항 특허발명의 구성요소 1, 2, 3은 '상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드[다이 패드(2004)]⁵⁾(구성요소 1)', '다이 패드[다이 패드(2004)]의 상부 표면 상에 실장된 반도체 칩[집적회로 다이 또는 칩(2020)](구성요소 2)', '다이 패드[다이 패드(2004)]의 주변 영역에 다이 패드[다이 패드(2004)]와 일정 간격 이격되도록 배치된 다수의 리드[내부 리드들(2006) 및 외부 리드들(2008)](구성요소 3)'이고, 선행발명 3도 위 구성요소 1, 2, 3과 동일한 구성을 가지고 있다(이에 대하여

5) 이 사건 제3항 특허발명의 구성요소에 대응하는 선행발명 1의 구성요소를 괄호 안에 기재하였고, 이하 같은 방식으로 표기한다.

당사자 사이에 다툼이 없다).

(3) 구성요소 4

이 사건 제3항 특허발명의 구성요소 4와 이에 대응하는 선행발명 3의 구성요소는 반도체 칩[다이(2020)]과 다수의 리드[내부 및 외부 리드들(2006, 2008)] 각각을 전기적으로 연결한다는 점에서 공통된다. 다만, 구성요소 4는 도전성 클립으로 연결하는 반면, 선행발명 1은 본드 와이어(2050)로 연결한다는 점에서 차이가 있다(이하 '차이점 2-1'이라 한다).

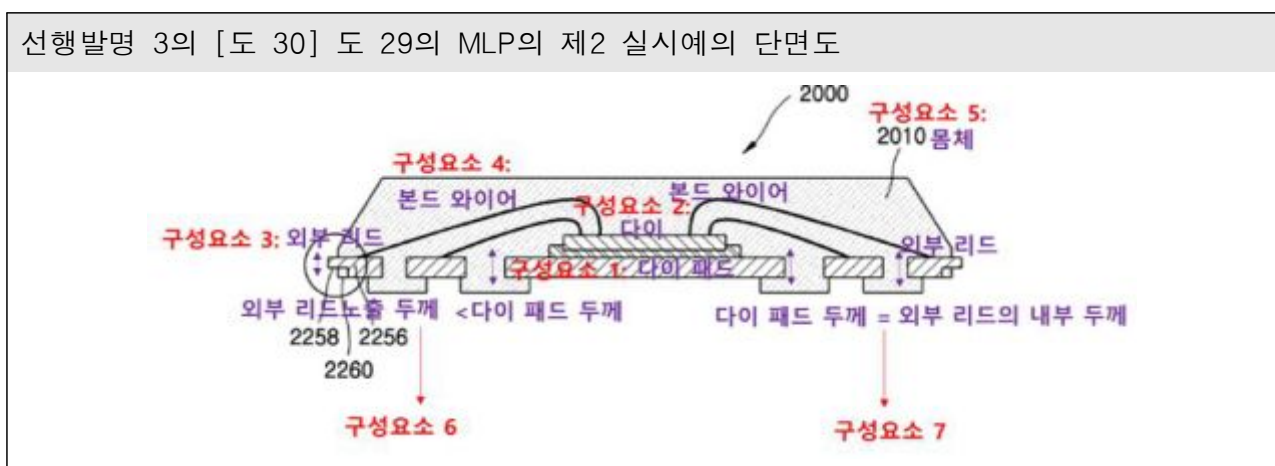
(4) 구성요소 5

이 사건 제3항 특허발명의 구성요소 5와 이에 대응하는 선행발명 3의 구성요소는 적어도 리드의 밑면의 일부[각 리드들(2006, 2008)의 바닥 표면의 일부] 및 다이 패드의 일부[다이 패드(2504)의 하부 표면]를 노출하며 다이 패드[다이 패드(2004)], 반도체 칩[다이(2020)], 리드[내부 리드들(2006) 및 외부 리드들(2008)]를 덮는(둘러싸는) 패키지 바디[MLP 몸체(2010)]를 포함한다는 점에서 공통된다. 다만, 구성요소 5의 패키지 바디는 반도체 칩과 리드를 연결하는 도전성 클립을 덮는 반면, 선행발명 3의 MLP 몸체(2010)는 다이(2020)와 내부 및 외부 리드들(2006, 2008)을 연결하는 본드 와이어(2050)를 덮는다는 점에서 차이가 있다(이하 '차이점 2-2'라 한다).

(5) 구성요소 6

(가) 이 사건 제3항 특허발명의 구성요소 6은 다이 패드의 두께가 리드 중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼운 반면, 선행발명 3의 다이 패드(2004)의 두께는 MLP 몸체(2010)의 외부로 노출된 외부 리드들(2256)의 두께와 동일하다는 점에서 차이가 있다(이하 '차이점 2-3'이라 한다).

(나) 이에 대하여 원고는, 아래 선행발명 3의 도면에 나타난 바와 같이 선행 발명 3의 몰디드 리드리스 패키지도 이 사건 제3항 특허발명의 외부 리드에 대응하는 구성으로서 플랫(2258)을 포함하고 있고, 구성요소 6과 동일하게 다이 패드(2004)의 두 겹을 리드(2256) 중 몸체(2010)의 외부로 노출되는 플랫(2258)보다 두껍게 형성하는 구성을 그대로 포함하고 있다고 주장한다.

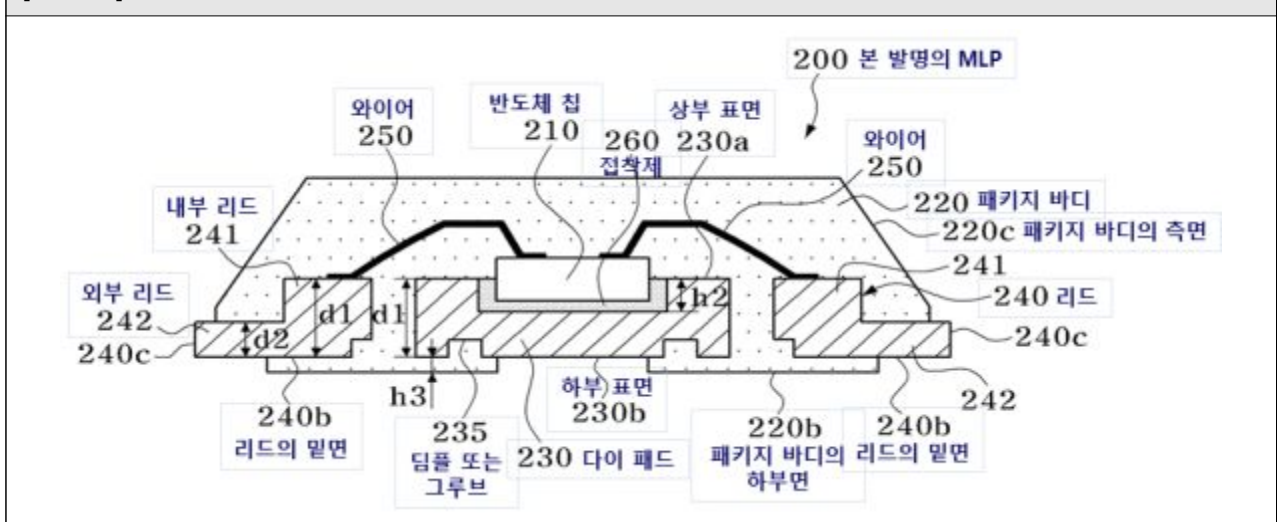


그러나 원고의 주장과 같이 선행발명 3의 외부 리드(2256) 중에서 플랫(2258)을 외부 리드에 포함되는 것으로 보더라도, 외부 리드(2256)의 전체 부분 중 패키지 몸체에 덮여있지 않고 노출되어서 외부 접속 단자로서 기능을 하는 부분은 플랫뿐만 아니라 하부면 일부, 측면 및 상부면 일부를 함께 포함하고 있다. 그러므로 선행발명 3의 MLP에서 단지 플랫만이 외부 리드에 해당하는 구성이라고 보기는 어렵고, 리드 중 플랫을 포함한 이들 전체 부분을 외부 리드로 보아야 한다.

그리고 이때 일반적으로 물체의 두께는 그 물체를 구성하는 부분 중 가장 얇은 부분의 두께를 의미한다기 보다는 가장 주된 부분 또는 가장 두꺼운 부분의 두께를 의미하는 것으로 보는 것이 합리적이고, 같은 이유로 아래 이 사건 특허발명의 도

4a 등에 나타난 바를 보면, 이 사건 특허발명의 MLP도 역시 내부 리드 부분에 리드 전체의 두께보다 작은 두께 부분인 내부 리드 중 가장 안쪽 하부에 식각되어 있는 부분을 일부 포함하고 있다고 하더라도 이를 내부 리드의 두께라고 하지 않고 내부 리드의 가장 주된 부분이면서 가장 두꺼운 부분인 d1을 내부 리드의 두께라고 정의하고 있음을 알 수 있다.

[도 4a] 도 3에 도시된 MLP의 A-A'선을 따라 절단하여 나타내 보인 단면도



그러므로 선행발명 3의 경우 외부 리드(2256)에 형성된 플랫이 비록 다이 패드의 두께보다 얇게 형성된 것이라고 하더라도, 이를 구성요소 6과 동일한 구성으로 보아, 다이 패드의 두께가 외부 리드보다 두껍게 형성된 구성이라고 볼 수는 없다.

(6) 구성요소 7

이 사건 제3항 특허발명의 구성요소 7과 이에 대응하는 선행발명 3의 구성요소는 리드 중 패키지 바디의 외부로 노출되지 않는 내부 리드 영역(리드 중 와이어에 연결되는 부분으로서 MLP 몸체의 내부에 덮이는 부분)은 다이 패드[다이 패드(2004)]와 같은 두께를 갖는다는 점에서 실질적으로 동일하다.

다) 차이점에 대한 검토

(1) 선행발명 3은 직접회로 다이(2020)와 리드들(2006, 2008)을 전기적으로 연결하는 재료로 와이어를 채택하고 있는데, 통상의 기술자가 반도체 패키지 내의 열 방출 효율을 더 향상하기 위해서 와이어 대신 도전성 클립을 채택하여 구성하는 것이 이 사건 특허발명의 출원 전에 통상의 기술자에게 이미 주지관용기술이라고 볼 증거는 없다⁶⁾. 설명 구성요소 4, 5의 연결 재료로서 와이어 대신 클립으로 구성하는 것이 통상의 기술자에게 주지관용기술을 단순히 적용한 것에 불과하다고 하더라도, 아래와 같은 이 사건 특허발명의 명세서 기재에 의하면, 이 사건 제3항 특허발명은 구성요소 6의 '다이 패드의 두께를 외부 리드보다 두껍게 형성하는 구성'이 구성요소 4, 5와 유기적으로 결합하여 종래의 몰디드 리드리스 패키지에 비해 두꺼운 다이 패드를 통해서 패키지 내부의 열을 외부로 효과적으로 방출할 수 있으며, 동시에 제한된 패키지 부피 내에서 적절한 수의 리드를 구현할 수 있다는 기술적 특징 및 효과를 제공하는 몰디드 리드리스 패키지를 제공하는 발명임을 알 수 있으므로, 아래와 같이 선행발명 3이 '다이 패드의 두께를 외부 리드보다 두껍게 형성하는 구성'을 갖고 있지 않은 이상 동일한 작용효과가 있다고 볼 수 없다.

[이 사건 특허발명의 명세서]

[0045] 리드(240)는 와이어가 연결되는 내부 리드(241)와 반도체 패키지의 외부 접속 단자로서의 역할을 하는 외부 리드(242)로 이루어지는데, 내부 리드(241)는 다이 패드(230)와 마찬가지로 패키지 내부의 열을 외부로 효과적으로 방출할 수 있도록 0.25 ~ 0.6mm의 두께(d1)를 갖는다. 그러나, 외부 리드(242)의 경우에는 제한된 패키지 부피 내에서 적절한

6) 선행발명 1에는 "전기적 연결 수단으로서 금, 알루미늄으로 된 와이어가 사용되고, 코팅된 와이어 및 코팅되지 않은 와이어를 포함하는 여러 종류의 재료 및 직경이 가지가지인 주지의 와이어를 사용할 수 있다(문단번호 [0014])"고 개시되어 있을 뿐, 연결 재료로서 와이어 대신 도전성 클립을 채택하여 적용하는 구성이 통상의 기술자에게 주지관용기술이라는 별다른 증거는 없다.

수의 리드를 구현하여야 하기 때문에 내부 리드에 비해 두께(d2)를 얇게 구성한다.

[0053] 이와 같이 반도체 칩과 리드를 도전성 클립으로 연결할 경우, 도전성 클립이 와이어에 비해 면적이 넓기 때문에 흐르는 전류의 양을 증가시킬 수 있고 열 방출 효율도 증가시킬 수 있다. 한편, 본 실시예의 경우에도, 도 4b의 경우와 같이 패키지 바디의 측면을 수직하게 할 수도 있다.

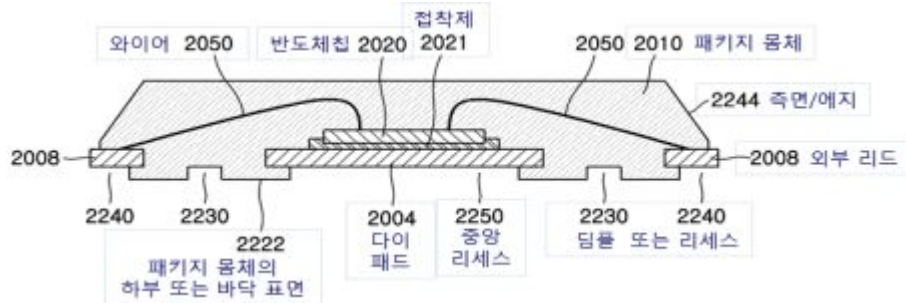
[0058] 또한, 열 방출 효율을 높이기 위하여 도 6d에 도시된 것과 같이, 반도체 칩(210)과 리드(245)의 연결을 와이어가 아닌 도전성 클립(255)으로 할 수 있다.

[0061] 본 발명의 제4 실시예에 따른 MLP(500)는 다이 패드(230)의 일 측이 패키지 바디의 측면까지 확장되어 다이 패드의 일부가 패키지 바디(220)의 외부로 노출되며, 리드(247)는 다이 패드의 일 측에만 배치된다. 패키지의 하부 면을 보여주고 있는 도 7을 참조하면, 패키지의 중앙부분만 아니라 리드가 노출되는 반대 측에서 다이 패드(230)의 일부가 리드(247)와 같은 형태로 노출되어 외부 접속 단자로서의 역할을 하게 된다. 이렇게 다이 패드의 일부가 직접 패키지 외부로 노출될 경우 열 방출 효율을 더욱 증가시킬 수 있으며 다이 패드와 리드를 연결하는 와이어의 수를 줄일 수 있다. 다이 패드(230)와 리드(247) 이외의 구조는 도 6b에 도시된 실시예의 MLP와 동일하므로 동일한 참조번호를 사용하며 그 설명을 생략한다.

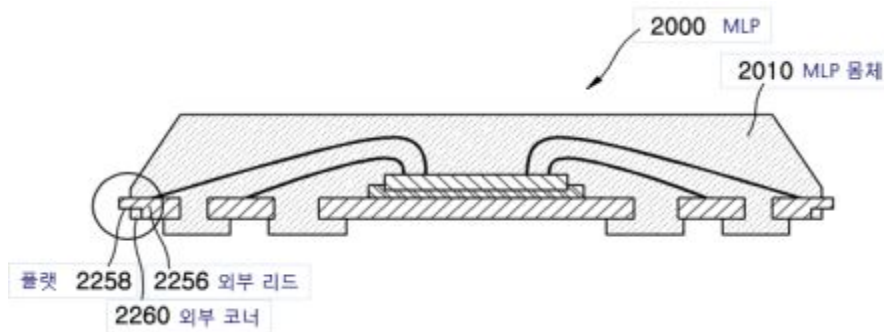
[0042] 다이 패드(230)의 상부 표면 중 반도체 칩(210)이 부착되는 부분은 일정 깊이(h2) 리세스(recess)되어 있다. 이는, 열 방출 효율을 증가시키기 위하여 다이 패드(230)의 두께(d1)를 두껍게 함으로써 패키지의 부피가 커지는 것을 방지하기 위한 것으로, 다이 패드(230)의 상부 표면이 리세스된 깊이(h2)만큼 패키지의 두께를 감소시킬 수 있으며, 패키지의 두께를 줄이기 위해 반도체 칩의 두께를 줄이지 않아도 된다. 다이 패드(230)의 리세스 영역의 폭은 작을수록 열 방출 효율이 높지만 반도체 칩의 크기를 고려하여 결정할 수 있다.

(2) 또한 아래와 같은 선행발명 3의 도면의 도시에 의하면, 다이 패드(2004)의 두께가 MLP 몸체(2010)의 외부로 노출된 외부 리드들(2256)의 두께와 동일하게 형성된 기술적 특징만을 개시하고 있을 뿐 구성요소 6에 대응하는 기술적 특징이나 구성을 개시하고 있지 않다.

선행발명 3의 [도 29a] 도 28의 MLP의 단면도



선행발명 3의 [도 30] 도 29의 MLP의 제2 실시예의 단면도



(3) 따라서 선행발명 3은 이 사건 제3항 특허발명과 구성에 있어서 서로 차이가 있을 뿐만 아니라, 이러한 구성상의 차이로 인해서 이 사건 제3항 특허발명에서 기대되는 종래의 MLP에 비해 다이 패드의 두께를 두껍게 구성함으로써 반도체 패키지의 열 방출 효율을 향상하면서 동시에 외부 리드의 두께를 얇게 형성함으로써 제한된 패키지 부피 내에서 적절한 수의 리드를 구현할 수 있다는 작용효과에 있어서도 서로 차이가 있다고 볼 수 있다.

(4) 원고는 또한 이 사건 제3항 특허발명의 리드(240)는 "ㄴ"자 형상이나 선행발명 3의 외부 리드(2256)는 "ㄱ"자 형상이라는 점에서만 차이가 있을 뿐 그 노출되는 부분과 형상이 동일한데, 패키지 바디의 측면으로 노출되는 부분을 보면 "ㄴ"자 형상이나 "ㄱ"자 형상이나 별다른 차이가 없어 그 효과도 다르지 않다는 취지로 주장한다.

그러나 이 사건 제3항 특허발명은 앞서 본 대로 구성요소 6에서 다이 패드의 두께를 종래 MLP의 다이 패드보다 두껍게 구성하면서 또한 외부 리드보다 두껍게 구성함으로써 반도체 패키지의 열 방출 능력을 향상하는 효과를 가진다. 그리고 구성요소 6, 7에서 외부 리드의 두께를 다이 패드 및 내부 리드보다 얇게 구성함으로써 제한된 패키지 부피 내에서 적절한 수의 리드를 구현할 수 있는 효과를 가진다. 또한 구성요소 4, 5에서 반도체 칩과 리드를 연결하는 구성요소로서 도전성 클립을 채택하고, 구성요소 7에서 내부 리드 영역의 두께도 다이 패드의 두께와 다르게 구성하지 않고 동일한 두께로 구성함으로써 반도체 패키지의 열 방출 효과를 더욱 향상하면서도 제조 단가를 증가시키지 않는다는 효과를 가진다.

그런데 선행발명 3의 MLP는 비록 구성요소 7의 내부 리드 영역을 다이 패드와 같은 두께로 형성하는 구성을 포함하고 있고, 원고의 주장과 같이 이 사건 제3항 특허발명의 리드(240)와 선행발명 3의 외부 리드(2256)의 형상이 "┐"자, "└"자인 것 외에는 그 형상이 유사하다고 하더라도, 선행발명 3은 여전히 구성요소 4, 5, 6의 기술적 구성 및 특징을 포함하고 있지 않으므로, 구성에 있어서 차이가 있고 이러한 구성상의 차이로 인해서 작용효과 측면에 있어서도 동일하다고 보기 어렵다.

게다가 통상의 기술자가 사후적 고찰이 아니고서는 선행발명 3의 "┐"자 형상으로 형성된 외부 리드를 특별한 이유 없이 이 사건 제3항 특허발명의 리드와 같이 "└"자 형상으로 변경하고, 더 나아가 외부 리드 영역을 내부 리드 및 다이 패드보다 얇은 두께로 설계 변경할 동기를 갖기 어렵다. 원고의 이 부분 주장은 이유 없다.

라) 검토 결과 정리

따라서 이 사건 제3항 특허발명은 통상의 기술자가 선행발명 3에 의하거나 선

행발명 3에 선행발명 6(주선행발명을 선행발명 1로 한 부분의 이유와 같다)을 결합하더라도 쉽게 발명할 수 없으므로 진보성이 부정되지 않는다.

4) 선행발명 10 또는 선행발명 10, 6에 의하여 진보성이 부정되는지 여부

가) 이 사건 제3항 특허발명과 선행발명 10의 구성요소 대비

이 사건 제3항 특허발명의 각 구성요소에 대응하는 선행발명 10의 각 구성요소는 아래 표 기재와 같다.

구성요소	이 사건 제3항 특허발명	선행발명 10
1	상호 반대되는 상부 표면 및 하부 표면을 갖는 다이 패드;	○ 반도체 소자(semiconductor device)(2)가 도전성 접착제 등에 따라 다이 패드(3) 위에 접착되고 있다(문단 번호 [0014]). ○ 다이 패드(3)는 상호 반대되는 상부 표면 및 하부 표면을 갖고 있고, 반도체 소자(2)가 다이 패드의 상부 표면에 실장되어 있다([도 1]).
2	상기 다이 패드의 상부 표면 상에 실장된 반도체 칩;	
3	상기 다이 패드의 주변 영역에 상기 다이 패드와 일정 간격 이격되도록 배치된 다수의 리드;	○ 반도체 소자(semiconductor device)상의 전극부(도시하지 않음)가 본딩 와이어(bonding wire)(4)로 리드 단자(lead terminal)(5)에 접속되고 있다(문단 번호 [0014]). ○ 리드 단자(5)는 다이 패드의 주변 영역에 다이 패드와 일정 간격 이격되도록 복수 개 배치되어 있다([도 1]).
4	상기 반도체 칩과 상기 다수의 리드 각각을 전기적으로 연결하는 도전성 클립; 및	
5	적어도 상기 리드의 밑면의 일부 및 상기 다이 패드의 일부를 노출하며 상기 다이 패드, 상기 반도체 칩, 상기 리드	○ 본딩 와이어(bonding wire) 접속부의 실장 기판측(mounted substrate)의 면 즉, 본딩 와이어(bonding wire)를 접

	<p>및 상기 도전성 클립을 덮는 패키지 바디를 포함하고,</p>	<p>속한 면과 서로 마주 보는 면 가운데, 부호 A에서 가리키는 영역 이외의 영역은 에폭시 수지(epoxide resin)로 가리고 있으며 반도체 패키지(wound package)의 아래쪽 면에서는 외부 기관 접속부 및 본딩 와이어(bonding wire) 접속부의 부호 A에서 가리키는 영역이 노출하고 있다. 또, 아래쪽 면 중앙부에 다이 패드도 노출하고 있다(문단번호 [0016]).</p> <p>○ 반도체 패키지(wound package)(1)는 상기한 종래의 반도체 패키지(wound package)와 비슷하게, 반도체 소자(semiconductor device)(2)가 도전성 접착제 등에 따라 다이 패드(3) 위에 접착되고 있다. 더욱이 반도체 소자(semiconductor device)를 외계로부터 보호하기 위해서 에폭시 수지(epoxide resin)(6)에서 반도체 소자(semiconductor device)를 봉지하고 있다(문단번호 [0014]).</p>
6	상기 다이 패드의 두께가 상기 리드 중 패키지 바디의 외부로 노출되는 외부 리드보다 두꺼운 것	<p>○ 도 1 중 부호 f에서 가리키는 본딩 와이어(bonding wire) 접속부의 두께가 0.15mm, 도 1 중 부호 g에서 가리키는 외부 기관 접속부의 두께가 0.05mm가 되는 것처럼 구성되어 있다(문단번호 [0015]).</p> <p>○ 도 2 중 부호 h에서 가리키는 본딩</p>
7	상기 리드 중 패키지 바디의 외부로 노출되지 않는 내부 리드 영역은 상기 다이 패드와 같은 두께를 갖는 것을 특징으로 하는 몰디드 리드리스 패키지.	

드[리드 단자(5)](구성요소 3)'이고, 선행발명 10도 위 구성요소 1, 2, 3과 동일한 구성을 가지고 있다(이에 대하여 당사자 사이에 다툼이 없다).

(3) 구성요소 4

이 사건 제3항 특허발명의 구성요소 4와 이에 대응하는 선행발명 10의 구성요소는 반도체 칩[반도체 소자(2)]과 다수의 리드[리드 단자(5)] 각각을 전기적으로 연결(접속)한다는 점에서 공통된다. 다만, 구성요소 4는 도전성 클립으로 연결하는 반면, 선행발명 10은 본딩 와이어(4)로 접속한다는 점에서 차이가 있다(이하 '차이점 3-1'이라 한다).

(4) 구성요소 5

이 사건 제3항 특허발명의 구성요소 5와 이에 대응하는 선행발명 10의 구성요소는 적어도 리드의 밑면의 일부 및 다이 패드의 일부를 노출하며[리드 단자(5) 중 외부 기관 접속부(13)의 밑면 및 본딩 와이어 접속부(12)의 부호 A에 해당하는 부분의 밑면을 노출하며] 다이 패드[다이 패드(3)], 반도체 칩[반도체 소자(2)], 리드[리드 단자(5)]를 패키지 바디로 덮는다[에폭시 수지(epoxide resin)(6)로 봉지한다]는 점에서 공통된다. 다만, 구성요소 5의 패키지 바디는 반도체 칩과 리드를 연결하는 도전성 클립을 덮는 반면, 선행발명 10의 에폭시 수지(epoxide resin)(6)는 반도체 소자(2)와 리드 단자(5)를 접속하는 본딩 와이어(4)를 봉지한다는 점에서 차이가 있다(이하 '차이점 3-2'라 한다).

(5) 구성요소 6

이 사건 제3항 특허발명의 '리드 중 패키지 바디의 외부로 노출되는 외부 리드'에 대응하는 선행발명 10의 구성요소는 '외부 기관 접속부(13)'인데, 선행발명 10

의 명세서에는 다이 패드 및 외부 기판 접속부의 두께가 명시적으로 기재되어 있지 않으나, 외부 기판 접속부의 두께가 0.05mm인 구성이 실시예로 기재되어 있고, [도 1(a)]에는 다이 패드(3)의 두께가 외부 기판 접속부(13)보다 두껍게 도시된 반도체 패키지(1)가 나타나 있다. 따라서 이 사건 제3항 특허발명의 구성요소 6과 이에 대응하는 선행발명 10의 구성요소는 다이 패드[다이 패드(3)]의 두께가 리드 중 패키지 바디의 외부로 노출되는 외부 리드[외부 기판 접속부(13)]보다 두껍다는 점에서 실질적으로 동일하다.

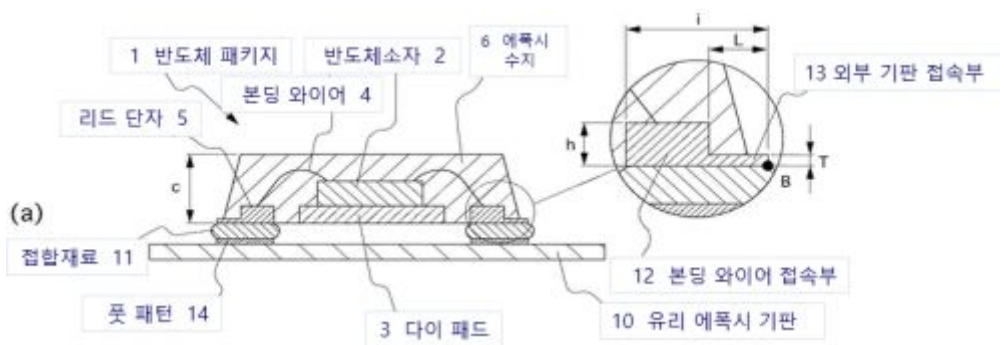
(6) 구성요소 7

이 사건 제3항 특허발명의 '리드 중 패키지 바디의 외부로 노출되지 않는 내부 리드'에 대응하는 선행발명 10의 구성요소는 '본딩 와이어 접속부(12)'인데, 선행발명 10의 [도 1(a)]에는 본딩 와이어 접속부(12)의 두께가 다이 패드의 두께와 다르게 도시된 반도체 패키지(1)가 나타나 있다. 따라서 이 사건 제3항 특허발명의 구성요소 7은 리드 중 패키지 바디의 외부로 노출되지 않는 내부 리드 영역은 다이 패드와 같은 두께를 갖는 반면, 선행발명 10의 본딩 와이어 접속부(12)는 다이 패드와 다른 두께를 갖는다는 점에서 차이가 있다(이하 '차이점 3-3'이라 한다).

한편, 선행발명 10의 도 2(a)에 나타난 반도체 패키지의 형태를 보면, 그 본딩 와이어 접속부(12)의 두께가 다이 패드(3)의 두께와 같은 것처럼 도시되어 있으나, 본딩 와이어 접속부(12)는 그 상면이 에폭시 수지(6)에 의해 덮이고 본딩 와이어(4)에 의해 접속되며 그 밑면 전체가 에폭시 수지(6)로부터 노출되어 땀납 등 접합재료(11)에 의해 실장 기판 상에 형성된 뿔 패턴(14)과 전기적으로 접속되는 것으로 개시되어 있으므로 이 사건 제3항 특허발명의 내부 리드와 외부 리드의 기능을 함께 가지는 구성

으로 볼 수 있다. 따라서 선행발명 10의 도 2(a)에 나타난 반도체 패키지는 이 사건 제 3항 특허발명의 구성요소 6과 같이 다이 패드의 두께가 외부 리드보다 두껍게 형성된 것이 아니고 같은 두께로 형성된 것이다.

선행발명 10의 [도 2(a)] 외부 기판 접속부의 길이 및 두께의 규정 이유를 설명하기 위한 모식도



다) 차이점에 대한 검토

앞서 든 증거 및 변론 전체의 취지에 의하여 알 수 있는 다음과 같은 사정을 종합하여 보면, 이 사건 제3항 특허발명은 이 사건 특허발명의 명세서에 개시되어 있는 내용을 알고 있음을 전제로 사후적으로 판단하지 않는 한 이 사건 특허발명 출원 당시의 기술수준에 비추어 통상의 기술자가 선행발명 10에 의하여 차이점 3-1, 3-2, 3-3을 극복하고 쉽게 발명할 수 있다고 보기 어렵다.

(1) 아래와 같은 이 사건 특허발명의 명세서 기재에 의하면, 반도체 칩과 리드의 연결 수단은 도전성 와이어 또는 도전성 클립 등이 될 수 있는데, 이때 도전성 클립으로 구성할 경우 와이어에 비해 면적이 넓기 때문에 흐르는 전류의 양을 증가시킬 수 있고 열 방출 효율도 높일 수 있다는 것을 알 수 있다.

[이 사건 특허발명의 명세서]

[0027] 상기 연결 수단은 도전성 와이어 또는 도전성 클립을 포함할 수 있다.

[0053] 이와 같이 반도체 칩과 리드를 도전성 클립으로 연결할 경우, 도전성 클립이 와이어에 비해 면적이 넓기 때문에 흐르는 전류의 양을 증가시킬 수 있고 열 방출 효율도 증가시킬 수 있다. 한편, 본 실시예의 경우에도, 도 4b의 경우와 같이 패키지 바디의 측면을 수직하게 할 수도 있다.

[0058] 또한, 열 방출 효율을 높이기 위하여 도 6d에 도시된 것과 같이, 반도체 칩(210)과 리드(245)의 연결을 와이어가 아닌 도전성 클립(255)으로 할 수 있다.

(2) 그리고 아래와 같은 이 사건 특허발명의 명세서 기재에 의하면, 이 사건 제3항 특허발명의 몰디드 리드리스 패키지는 구성요소 4, 5에서 반도체 칩과 리드를 연결하는 수단을 와이어 대신 도전성 클립을 채택하여 구성하고, 구성요소 6에서 다이 패드의 두께를 외부 리드보다 두껍게 구성함으로써 몰디드 리드리스 패키지 내부의 열을 외부로 효과적으로 방출할 수 있고, 구성요소 7에서 다이 패드와 내부 리드의 두께를 서로 다르게 하지 않고 동일하게 구성함으로써 열 방출 효율을 극대화하면서도 반도체 패키지 제조 공정에서의 효율성을 높일 수 있고, 이와 함께 외부 리드는 다이 패드 및 내부 리드보다 얇게 구성함으로써 제한된 패키지 부피 내에서 리드의 수를 용이하게 증가시킬 수 있다는 것을 알 수 있다. 그러므로 이 사건 제3항 특허발명의 몰디드 리드리스 패키지는 구성요소 7이 구성요소 4 내지 6과 유기적으로 결합되어 이러한 작용효과를 한다는 것을 알 수 있다.

[이 사건 특허발명의 명세서]

[0008] 또한, 종래의 MLP의 경우 열 방출 문제가 다소 개선되었다고는 하나, 다이 패드(130) 및 리드(140)의 두께가 0.2 ~ 0.25mm 정도로 얇기 때문에 전력 반도체장치나 LED 소자에 적용하기에는 여전히 열적 스트레스 문제가 개선되어야 하는 실정이다. 열 방출 효율을 높이기 위하여 다이 패드 및 리드의 두께를 증가시키면 전체 패키지의 부피가 증가하기 때문에 경박단소를 지향하는 최근의 전자기기에 부합하지 못하게 된다.

[0015] 본 발명이 해결하려는 과제는 제조단가를 증가시키지 않으면서 높은 열 방출 능력을 가지며 리드의 수를 용이하게 증가시킬 수 있는 구조의 몰디드 리드리스 패키지를 제공하는 데 있다.

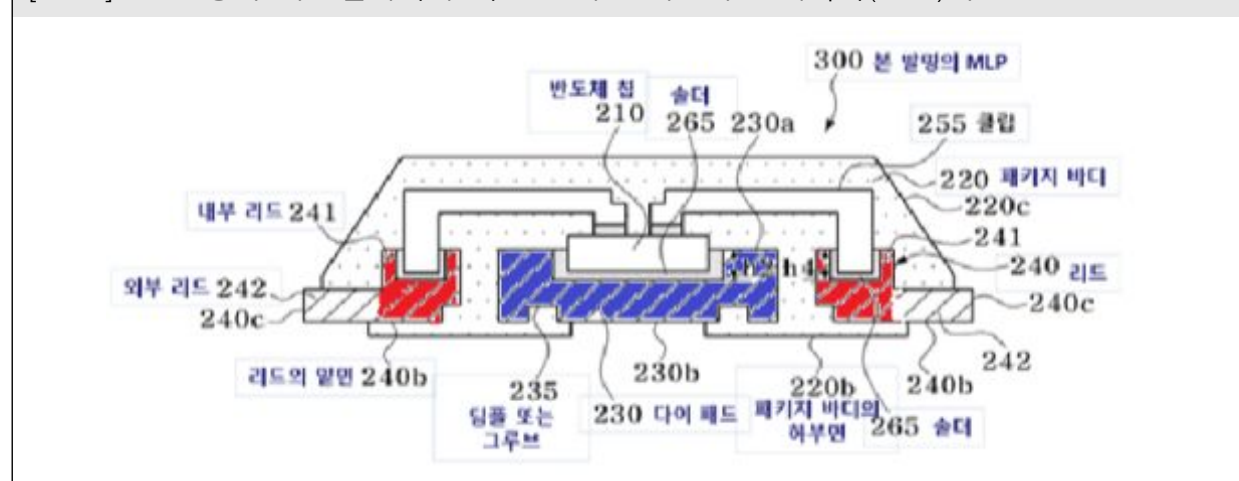
[0041] 특히 본 발명에 따른 MLP의 다이 패드(230)는 0.25 ~ 0.6mm의 두께(d1)를 갖는데, 종래의 다이 패드가 0.2 ~ 0.25mm인 것에 비해 두꺼운 것이 특징이다. 이렇게 다이 패드(230)의 두께(d1)를 두껍게 할 경우 다이 패드를 통해 패키지 내부의 열을 외부로 효과적으로 방출할 수 있기 때문에 반도체 소자의 동작의 신뢰성을 크게 향상시킬 수 있다.

[0045] 리드(240)는 와이어가 연결되는 내부 리드(241)와 반도체 패키지의 외부 접속 단자로서의 역할을 하는 외부 리드(242)로 이루어지는데, 내부 리드(241)는 다이 패드(230)와 마찬가지로 패키지 내부의 열을 외부로 효과적으로 방출할 수 있도록 0.25 ~ 0.6mm의 두께(d1)를 갖는다. 그러나, 외부 리드(242)의 경우에는 제한된 패키지 부피 내에서 적절한 수의 리드를 구현하여야 하기 때문에 내부 리드에 비해 두께(d2)를 얇게 구성한다.

[0053] 이와 같이 반도체 칩과 리드를 도전성 클립으로 연결할 경우, 도전성 클립이 와이어에 비해 면적이 넓기 때문에 흐르는 전류의 양을 증가시킬 수 있고 열 방출 효율도 증가시킬 수 있다. 한편, 본 실시예의 경우에도, 도 4b의 경우와 같이 패키지 바디의 측면을 수직하게 할 수도 있다.

[0058] 또한, 열 방출 효율을 높이기 위하여 도 6d에 도시된 것과 같이, 반도체 칩(210)과 리드(245)의 연결을 와이어가 아닌 도전성 클립(255)으로 할 수 있다.

[도 5] 본 발명의 제2 실시예에 따른 몰디드 리드리스 패키지(MLP)의 단면도

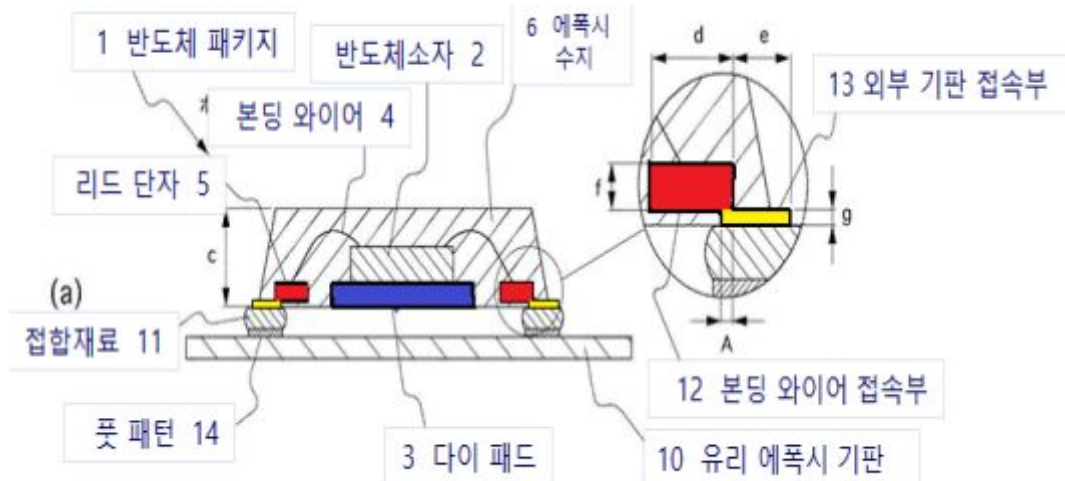


[0061] 본 발명의 제4 실시예에 따른 MLP(500)는 다이 패드(230)의 일 측이 패키지 바디의 측면까지 확장되어 다이 패드의 일부가 패키지 바디(220)의 외부로 노출되며, 리드(24

7)는 다이 패드의 일 측에만 배치된다. 패키지의 하부 면을 보여주고 있는 도 7을 참조하면, 패키지의 중앙부분만 아니라 리드가 노출되는 반대 측에서 다이 패드(230)의 일부가 리드(247)와 같은 형태로 노출되어 외부 접속 단자로서의 역할을 하게 된다. 이렇게 다이 패드의 일부가 직접 패키지 외부로 노출될 경우 열 방출 효율을 더욱 증가시킬 수 있으며 다이 패드와 리드를 연결하는 와이어의 수를 줄일 수 있다. 다이 패드(230)와 리드(247) 이외의 구조는 도 6b에 도시된 실시예의 MLP와 동일하므로 동일한 참조번호를 사용하며 그 설명을 생략한다.

(3) 그러나 선행발명 10의 도면의 도시에 의하면, 선행발명 10의 반도체 패키지는 비록 구성요소 6에 대응하는 구성으로서 에폭시 수지(6)로부터 노출되면서 외부 접속 단자로서의 기능을 하는 외부 기판 접속부(13)가 다이 패드의 두께보다 얇게 형성되는 특징은 포함하고 있으나, 반도체 소자(2)와 리드 단자(5)를 연결하는 재료가 클립이 아닌 와이어이므로 구성요소 4, 5와 차이가 있고, 리드 단자(5) 중 에폭시 수지(6)에 의해 덮이면서 본딩 와이어(4)와 접속하는 본딩 와이어 접속부(12)가 다이 패드(3)보다 얇게 형성되어 있으므로 구성요소 7과 차이가 있음을 알 수 있다.

선행발명 10의 [도 1(a)] 본 발명을 적용한 반도체 패키지의 한 예를 설명하기 위한 모식도



그러므로 이러한 구성상의 차이로 인해서 선행발명 10의 반도체 패키지는 이 사건 제3항 특허발명에서 기대되는 반도체 패키지의 높은 열 방출 능력을 가지면서도 제조 공정에서의 효율성을 유지할 수 있다는 작용효과에 있어서도 서로 차이가 있다고 볼 수 있다. 그리고 선행발명 10의 명세서나 도면에는 선행발명 10의 반도체 패키지가 이와 같은 기술적 특징이나 작용효과를 가질 수 있다는 점이 전혀 개시되어 있지 않다.

(4) 원고는 선행발명 10의 도면에는 본딩 와이어 접속부(12)의 두께가 다이패드(3)의 두께와 비슷하게 도시되어 있는데, 이 사건 특허발명의 명세서에는 내부 리드의 두께가 다이 패드의 두께와 동일함으로 인한 효과는 개시되어 있지 않으므로, 내부 리드의 두께가 다이 패드의 두께와 비슷한 정도면 이 사건 제3항 특허발명의 작용효과를 달성할 수 있어 선행발명 10도 이 사건 제3항 특허발명과 실질적으로 동일한 작용효과를 제공할 수 있다는 취지로 주장한다.

그러나 앞서 든 증거와 변론 전체의 취지에 의하여 인정되는 아래와 같은 사실 및 사정을 종합하여 보면, 원고의 위 주장은 이유 없다.

이 사건 특허발명의 명세서에 기재된 바를 살펴보면, 이 사건 특허발명의 몰디드 리드리스 패키지에서 다이 패드는 반도체 칩과 직접 접합되어 있으면서 패키지의 외부로 노출되어 있으므로, 이를 종래 MLP에서의 다이 패드보다 두껍게 구성하여 열 방출 효율을 높일 수 있는 것임을 알 수 있다(문단번호 [0041]). 그리고 내부 리드는 반도체 패키지의 내부에 덮여 있으면서 도전성 클립과 외부 리드를 연결하는 구성이므로 패키지 내부의 열을 외부로 효과적으로 방출할 수 있는 구성임을 알 수 있다. 그러므로 내부 리드 부분을 최대한 두껍게 구성하여 패키지 내부의 열을 효율적으로

방출할 수 있는데, 이를 다이 패드보다 두껍게 구성하는 경우 전체 패키지의 부피가 증가하여 경박단소를 지향하는 최근의 전자기기에 부합하지 못하게 되기 때문에 내부 리드는 다이 패드와 같은 두께로 구성한다는 것임을 알 수 있다(문단번호 [0008], [0045]). 그러므로 이 사건 특허발명의 명세서에는 내부 리드의 두께를 다이 패드의 두께와 동일하게 구성하는 기술적 구성 및 특징, 이를 통해서 얻을 수 있는 효과에 대해서 개시하고 있다.

[이 사건 특허발명의 명세서]

[0008] 또한, 종래의 MLP의 경우 열 방출 문제가 다소 개선되었다고는 하나, 다이 패드(130) 및 리드(140)의 두께가 0.2 ~ 0.25mm 정도로 얇기 때문에 전력 반도체장치나 LED 소자에 적용하기에는 여전히 열적 스트레스 문제가 개선되어야 하는 실정이다. 열 방출 효율을 높이기 위하여 다이 패드 및 리드의 두께를 증가시키면 전체 패키지의 부피가 증가하기 때문에 경박단소를 지향하는 최근의 전자기기에 부합하지 못하게 된다.

[0015] 본 발명이 해결하려는 과제는 제조단가를 증가시키지 않으면서 높은 열 방출 능력을 가지며 리드의 수를 용이하게 증가시킬 수 있는 구조의 몰디드 리드리스 패키지를 제공하는 데 있다.

[0041] 특히 본 발명에 따른 MLP의 다이 패드(230)는 0.25 ~ 0.6mm의 두께(d1)를 갖는데, 종래의 다이 패드가 0.2 ~ 0.25mm인 것에 비해 두꺼운 것이 특징이다. 이렇게 다이 패드(230)의 두께(d1)를 두껍게 할 경우 다이 패드를 통해 패키지 내부의 열을 외부로 효과적으로 방출할 수 있기 때문에 반도체 소자의 동작의 신뢰성을 크게 향상시킬 수 있다.

[0045] 리드(240)는 와이어가 연결되는 내부 리드(241)와 반도체 패키지의 외부 접속 단자로서의 역할을 하는 외부 리드(242)로 이루어지는데, 내부 리드(241)는 다이 패드(230)와 마찬가지로 패키지 내부의 열을 외부로 효과적으로 방출할 수 있도록 0.25 ~ 0.6mm의 두께(d1)를 갖는다. 그러나, 외부 리드(242)의 경우에는 제한된 패키지 부피 내에서 적절한 수의 리드를 구현하여야 하기 때문에 내부 리드에 비해 두께(d2)를 얇게 구성한다.

이 사건 특허발명의 목적은 종래의 MLP에 비해서 제조단가를 증가시키지 않으면서 높은 열 방출 능력을 가지며 리드의 수를 용이하게 증가시킬 수 있는 구조의

몰디드 리드리스 패키지를 제공하는 것이다(문단번호 [0015]). 그리고 이 사건 제3항 특허발명의 몰디드 리드리스 패키지는 구성요소 4에서 7에 기재된 기술적 특징을 가지는 구성들이 서로 유기적으로 결합된 것으로서 이를 통해 높은 열 방출 능력을 가지며 제조단가를 증가시키지 않으면서 제한된 패키지 공간 내에서 리드의 수를 용이하게 증가시킬 수 있는 작용효과를 가지는 것임을 알 수 있다.

그런데 아래 선행발명 10의 명세서 및 도면에 나타난 바를 살펴보면, 선행발명 10의 목적은 종래의 반도체 패키지를 구성하는 재료와 이에 접합하는 실장 기판을 구성하는 재료가 서로 선팅창 계수에 있어서 차이에 있으므로, 이로 인해 접합 재료에 응력이 더해져서 반도체 패키지의 리드 단자와 실장 기판 상에 형성된 땀납 등 접합 재료의 접합부에 크랙이 생김에 따라 반도체 패키지와 실장 기판과의 접속을 신뢰성 있게 유지할 수 없다는 문제를 해결하고자 하는 것이다. 그리고 선행발명 10은 이러한 문제를 해결하기 위해서 외부 기판 접속부의 두께와 그 측면의 면적을 얇게 구성하여 외부 기판 접속부가 외부 기판의 변형에 추종할 수 있고 외부 기판 접속부로 응력이 집중되는 것을 저감함으로써, 궁극적으로는 반도체 패키지와 외부 기판 사이의 접합 신뢰성을 향상하기 위한 것임을 알 수 있다.

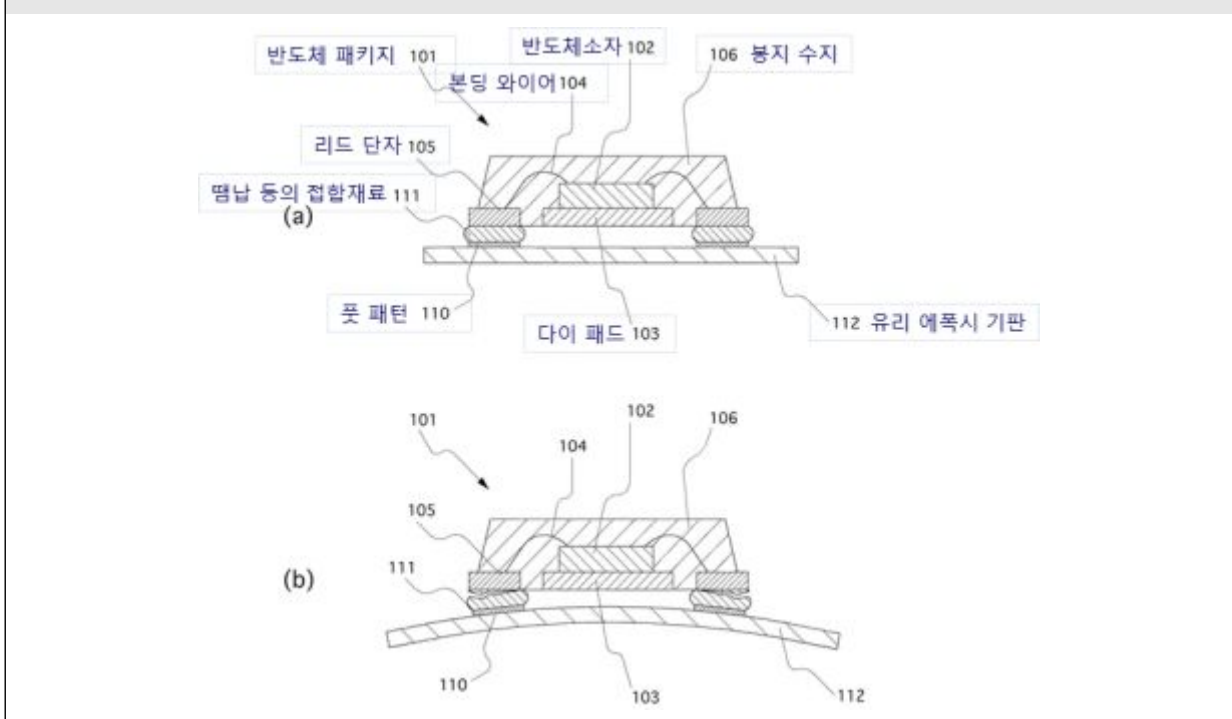
따라서 이 사건 특허발명과 선행발명 10은 그 목적이 서로 다를 뿐만 아니라 선행발명 10은 이 사건 제3항 특허발명의 기술적 구성, 특징 및 작용효과들에 대해 전혀 개시하고 있지 않으므로, 설령 원고의 주장과 같이 선행발명 10의 본딩 와이어 접속부의 두께도 다이 패드와 비슷한 두께로 형성된 것이라고 하더라도, 그 차이는 구성 및 다른 구성들과의 결합관계를 고려할 때, 이 사건 제3항 특허발명과 구성이 실질적으로 동일하다거나 실질적으로 동일한 작용효과를 가지는 것이라고 보기는 어렵

다. 그리고 통상의 기술자가 이를 구성요소 7과 같이 설계 변경하는 경우 선행발명 10을 통해 달성하고자 하는 목적과 기대효과를 상실하게 된다. 그러므로 이 사건 제3항 특허발명의 차이점 3-1, 3-2, 3-3은 통상의 기술자라도 사후적 고찰이 아니고서는 선행발명 10으로부터 쉽게 착안하여 설계 변경하는 동기를 갖기 어렵다.

[이 사건 특허발명의 명세서]

[0001] 본 발명은 반도체 패키지(wound package)에 관한 것이다. 자세한 것은 일정한 응력이 더해졌을 경우에 단자 자체가 가동하는 것에 의해서 접속 신뢰성의 향상을 도모하려고 한 반도체 패키지(wound package)와 관련되는 것이다.

[도 8] 접합부의 크랙(crack)의 발생을 설명하기 위한 모식도



[0007] 그렇지만, 종래의 반도체 패키지(wound package)에서는 반도체 패키지(wound package)의 구성 재료와 실장 기판(mounted substrate)의 구성 재료의 선팅창 계수의 차이에 기인해 접합 재료에 응력이 더해져, 리드 단자(lead terminal)와 접합 재료의 접합부에 크랙(crack)이 생겨 반도체 패키지(wound package)와 실장 기판(mounted substrate)과의 접속을 확보할 수 없는 것이 있다. 즉, 리드프레임(lead frame)을 구리로 형성해 에폭시 수

지(epoxide resin)로 봉지한 반도체 패키지(wound package)를 유리 에폭시기(epoxy function)판에 실장한 경우를 예로 들고 생각하면 구리의 선팅창 계수가 약 17×10^{-6} 이며, 에폭시 수지(epoxide resin)의 선팅창 계수가 약 7×10^{-6} 이며, 유리 에폭시기(epoxy function)판의 선팅창 계수가 약 60×10^{-6} 이므로 예를 들면 상온으로 도 8(a)에서 나타내는 것처럼 반도체 패키지(wound package)의 실장을 실시했다고 해도 예를 들면 -25°C 의 시점에서는 선팅창 계수가 가장 큰 유리 에폭시기(epoxy function)판의 수축량이 크기 위해(때문에) 도 8(b)에서 나타내는 것처럼, 유리 에폭시기(epoxy function)판이 볼록한 모양에 젖혀져 버린다. 그리고 이와 같은 실장 기판(mounted substrate)의 변형에 리드 단자(lead terminal)가 추종할 수 없기 위해(때문에), 반도체 패키지(wound package)와 실장 기판(mounted substrate)의 접합부에 응력이 집중해 리드 단자(lead terminal)와 접합 재료의 접합부에 크랙(crack)이 생겨 버려, 반도체 패키지(wound package)와 실장 기판(mounted substrate)과의 접속을 확보할 수 없는 것이 있다.

[0009] 본 발명은 이상의 점을 거울삼아 창안된 것이며, 반도체 패키지(wound package)와 외부 기판의 접속부의 접속 신뢰성의 향상을 도모할 수 있는 반도체 패키지(wound package)를 제공하는 것을 목적으로 하는 것이다.

[0010] 상기의 목적을 달성하기 위해서 본 발명과 관련되는 반도체 패키지(wound package)는 반도체 소자(semiconductor device)와, 그 반도체 소자(semiconductor device)와 본딩 와이어(bonding wire)에 의해서 접속되는 본딩 와이어(bonding wire) 접속부 및 외부 기판과 접속되는 외부 기판 접속부로 이루어지는 단자와, 상기 반도체 소자(semiconductor device) 및 상기 단자를 봉지하는 봉지 수지를 갖추는 반도체 패키지(wound package)에 있어서 상기 외부 기판 접속부를 정해진 응력이 더해졌을 경우에 상기 봉지 수지로부터 적어도 일부가 분리해 가동하는 것처럼 구성한다.

[0011] 여기서 외부 기판 접속부를 정해진 응력이 더해졌을 경우에 봉지 수지로부터 분리해 가동하는 것처럼 구성하는 것에 의해서 외부 기판 접속부가 외부 기판의 변형에 추종할 수 있으며 외부 기판 접속부로의 응력의 집중을 저감할 수 있다.

라) 검토 결과 정리

따라서 이 사건 제3항 특허발명은 통상의 기술자가 선행발명 10에 의하거나 선행발명 10에 선행발명 6을 결합하더라도 쉽게 발명할 수 없으므로 진보성이 부정되

지 않는다.

나. 소결론

따라서 이 사건 제3항 특허발명은 통상의 기술자가 선행발명 1, 3, 6, 10으로부터 쉽게 발명할 수 있다고 볼 수 없어 선행발명들에 의하여 진보성이 부정되지 않는다.

4. 결론

이 사건 심결의 취소를 구하는 원고의 청구는 이유 없으므로 이를 기각한다.

재판장 판사 이형근

판사 임경옥

판사 윤재필

[별지 1]

선행발명 1

발명의 명칭: 이중 게이지 · 리드 프레임

㉠ 기술분야

[0001] 본 발명은, 집적 회로 및 패키징한 집적 회로에 관한 것으로, 특히 패키징한 집적 회로용의 리드 프레임에 관한 것이다.

㉡ 배경기술

[0002] 집적 회로(IC) 다이는, 실리콘 · 웨이퍼 등의 반도체 웨이퍼 위로 형성된 소형 디바이스다. 리드 프레임은, 통상, 웨이퍼로부터 떼어버려진 IC다이를 서포트하는 패들을 포함하는 금속 프레임이다. 리드 프레임은, 외부와의 전기 연결을 행하는 리드 · 핑거를 갖는다. 즉, 다이는, 다이 · 패들에 장착되어지고, 다음에 다이의 본딩 · 패드가, 외부와의 전기 연결을 행하기 위해서, 와이어 · 본딩을 통해서 리드 · 핑거에 접속된다. 보호재료에 의해 다이 및 와이어 · 본딩을 봉입하면, 패키지가 형성된다. 패키지·타입에 따라서는, 외부와의 전기 연결부는, 슬림형 소형 패키지(TSOP)와 같이 그대로 사용할 수도 있고, 또는 볼·그리드·어레이(BGA)용의 구형 솔더볼을 장착하는 것에 의해 더욱 처리할 수도 있다. 이 단자점에 의해, 다이를 프린트 기판상의 회로와 같은 다른 회로에 전기적으로 접속할 수 있다.

[0003] 리드 프레임은, 통상, 구리 또는 니켈 합금으로부터 형성된다. 다이를 다이 · 패들에 장착하는 1개의 방법은, 납땜이다. 고출력 디바이스는, 대단히 고온의 땜납 다이 설치(약 300도) 및 디바이스·역류(약 260도)를 필요로 한다. 그러나, 고온에 있어서는, 리드 프레임의 도금이 열화하고, 이 열화에 와이어 · 본딩 · 프로세스가 영향을 받는, 보다 상세하게 설명하면, 금의 와이어 접합성은, 도금 표면의 야금적 변화 및 땜납 플럭스의 오염에 의해 영향을 받는다. 게다가, 열 방산을 쉽게 하기 위해서는, 고출력 디바이스의 경우는, 두꺼운 다이 · 패들 쪽이 바람직하다. 그러나, 대단히 두꺼운 금속으로부터 되어 있는 리드 프레임을 (톱 또는 압제 외에 의해) 각각의 리드 프레임에 절단하는 것은 어렵고, 신뢰성이 낮다.

㉢ 발명이 해결하려고 하는 과제

[0004] 열 방산이 잘, 게다가 각각의 리드 프레임을 절단하는 것이 쉬운 리드 프레임을 제공하는 것은 바람직한 것이다. 게다가, 결함이 생기지 않은 고온프로세스에서 다이를 다이 · 패들에 장착하는 것이 바람직하다.

㉣ 발명을 실시하기 위한 최선의 형태

[0011] 도 1을 참조하면, 이 그림은, 본 발명에 의한 반도체 디바이스(device)(10)의 일 실시 형태의 확대 단면도다. 반도체 디바이스(device)(10)는, 공동(동굴)부(16)를 둘러싸는 복수의 리드(14)를 갖는 제1의 리드 프레임 부분(12)을 포함한다. 제1의 리드 프레임 부분(12)은, 아주 알맞게는, 금속 또는 금속 합금에서 형성되어, 제1의 소정의 두께를 갖는다. 제2의 리드 프레임 부분(18)은, 제1의 리드 프레임 부분(12)에 장착되어진다. 제2의 리드 프레임 부분(18)은, 제1의 리드 프레임 부분의 공동(동굴)부(16) 내(內)에 수용되어 있는 다이·패들(20)을 갖는다. 공동(동굴)부(16)는, 패키징되고 있는 IC 다이의 크기 및 형상에 따른 크기 및 형상을 갖는다. 그 때문에, 일반적으로, 공동(동굴)부(16)는, 직사각형 또는 정방형의 형태를 하고 있지만, 집적 회로 다이의 형상에 따라서 다른 형으로 할 수도 있다. 제2의 리드 프레임 부분(18)은, 아주 알맞게는, 제1의 두께와는 다른 제2의 두께를 갖는다. 예를 들면, 대량의 열을 발생하는 전원 회로의 경우에는, 제2의 리드 프레임 부분(18)을 히트 싱크로서 사용할 수 있다. 그러한 경우에는, 아주 알맞게는, 제2의 두께는 제1의 두께보다 두껍다. 더 바람직한 실시 형태의 경우에는, 제1의 두께는, 제2의 두께의 약 절반 또는 그 이하이다. 어떤 예의 경우에는, 제1의 부분이 약 8밀(0.2032mm)의 제1의 두께를 갖고, 제2의 두께가 약 20밀(0.508mm)인 리드 프레임을 제조했다. 이 두께를 함으로써, 제1의 리드 프레임 부분을, 쉽게 각각의 리드 프레임으로 분리할 수 있고, 동시에 제2의 리드 프레임 부분은 효율적으로 열 방산을 행할 수 있다.

[도 1] 본 발명의 일 실시 형태에 의한 패키지(wound package)된 반도체 디바이스(device)의 확대 단면도



[0012] 제1 및 제2의 리드 프레임 부분[(12) 및 (18)]은, 아주 알맞게는, 구리와 같은 금속 또는 금속합금으로부터 형성되어, 도금되는 일 실시 형태의 경우에는, 제2의 리드 프레

임 부분(18)은, 20밀(0.508mm)의 두께의 구리 슬래그를 갖는다. 리드 프레임 부분[(12) 및 (18)]은, 당업자라면 주지와 같이 프레스 가공, 뽑기 가공 또는 에칭 가공에 의해 형성할 수 있다. 제2의 리드 프레임 부분(18)은, 이하에 더욱 상세하게 설명하게, 접착테이프 등의 접착재에 의해 제1의 리드 프레임 부분(12)에 장착되어진다. 아주 알맞게는, 장착되어졌을 경우라도, 양자는 서로 전기적으로 절연 상태다. 이러한 전기적인 절연은, 본 발명의 중요한 특징이며, 특히 멀티·다이·어셈블리의 경우에는 중요한 특징이다.

[0013] 집적 회로 다이(22)는, 다이·패들(20)에 장착되어지고, 다이·패들이 공동(동굴)부 내에 위치하고 있으므로, 다이(22)는, 복수의 리드(14)에 의해 둘러싸여진다. 집적 회로 다이(22)는, 실리콘·웨이퍼 위로 형성되어, 이 웨이퍼로부터 떼어버려진 회로와 같은, 당업자라면 주지의 타입 것이어도 좋다. 이미 설명한 것 같이, 공동(동굴)(16)의 크기 및 형상은 다이(22)를 수용할 수 있게 되고 있다. 전형적인 다이의 크기는, 4mm × 4mm에서 12mm × 12mm의 범위다. 다이(22)는, 약 6밀(0.1524mm)로부터 약 21밀(0.5334mm)의 범위의 두께를 가질 수 있다. 다이(22)는, 땀납(24)에 의해 열을 다이(22)로부터 다이·패들(20)에 놓칠 수 있는 땀납 다이 설치 프로세스 등의 주지 방법으로 다이·패들(20)에 장착된다. 다른 실시 형태의 경우에는, 다이(22)는, 접착 재료층 또는 접착테이프에 의해 다이·패들(20)에 장착할 수 있다.

[0014] 다이(22)는, 복수의 다이 본딩 패드(26)를 포함한다. 다이 본딩 패드(26) 가운데 몇 가지는, 아주 알맞게는, 와이어·본딩·프로세스에서, 와이어(28)에 의해 리드(14) 가운데 대응하는 몇 개의 리드에 전기적으로 접속되고 있다. 당업자라면 이러한 와이어 및 와이어·본딩·프로세스는 주지인 일 실시 형태의 경우에는, 2밀(0.0508mm)의 금의 와이어가 사용되어, 별도의 실시 형태의 경우에는, 10밀(0.254mm)의 알루미늄·와이어가 사용된다. 그러나, 코팅되었다(절연되었다) 와이어 및 코팅되지 않고 있는 와이어를 포함하는 여러 종류의 재료 및 직경이 가지가지인 주지의 와이어를 사용할 수 있다.

[0015] 반도체 디바이스(device)(10)는, 적어도 리드(14)의 밑면 및 제2의 리드 프레임 부분(18)의 밑면을 노출시킨 상태에서, 집적 회로 다이(22)의 정상부 표면, 와이어(28) 및 리드(14)의 정상부 표면을 덮는 봉지재료(30)를 더욱 포함한다. 리드(14)의 노출하고 있는 부분은, 디바이스(10)를, 예를 들면 PCB를 통해서 다른 디바이스에 접속하기 위해서 사용되어, 다이·패들(20)의 노출하고 있는 밑면에 의해, 거기에서 열을 방산할 수 있다. 봉지재료(30)는, 패키징된 전자 디바이스로 통상 사용되는 것 같은 플라스틱을 포함할 수 있고, 성형 프로세스에 의해, 리드 프레임 부분[(12) 및 (18)]과, 다이(22)와, 와이어(28) 위로 형성된다. 전형적인 실시 형태의 디바이스(10)의 전체 두께는 약 2mm이다.

[0026] 도 4D를 참조하면, 복수의 반도체 다이(88)가, 다이·패들(80)의 제2 표면 각각에 장착되어진다. 도 4D는, 장착되어진 1개의 다이(88)를 나타내는. 차의 스텝은, 다른 다이·패들에 또 하나의 다이를 장착하는 스텝이다. 다이(88)는, 에폭시 등의 접착제에서 다이·패들(80)에 장착할 수 있지만, 아주 알맞게는, 땀납 페이스트 등의 열전도성 접착재에서 장착되어진다. 당업자라면 이해할 수 있다고 생각하지만, 다이(88)는, 그 노출하고 있는 표면에 복수의 본딩·패드를 포함한다.

[별지 2]

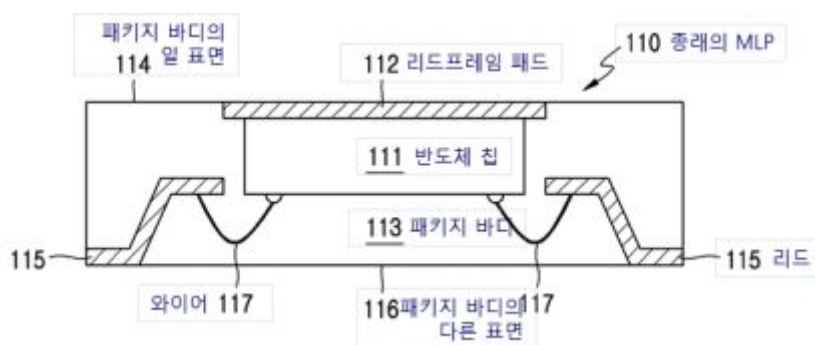
선행발명 3

발명의 명칭: 향상된 신뢰성 및 높은 열방출 능력을 갖는 몰디드 리드리스 패키지 및 소잉형 몰디드 리드리스 패키지 및 그 제조방법

가 발명이 속하는 기술분야 및 그 분야의 종래기술

[0002] 본 발명은 반도체 패키지에 관한 것으로서, 특히 향상된 신뢰성 및 높은 열방출 능력을 갖는 몰디드 리드리스 패키지(Molded Leadless Package, 이하 MLP)와 소잉형 MLP 및 그것의 제조방법에 관한 것이다. 나아가 본 발명은 스탬핑/펀칭(stamping/punching) 및 소잉(sawing)에 의해 싱클레이트된 MLP 및 그 제조 방법에 관한 것이다.

[도 1a] 종래의 몰디드 리드리스 패키지(MLP)의 일 예를 나타내 보인 단면도



[0005] 도 1을 참조하면, 종래의 MLP(110)는, 반도체 칩(111)이 부착되는 리드프레임 패드(112)의 일 표면이 패키지 바디(113)의 일 표면(114)에서 노출되는 구조를 갖는다. 이 외에도 리드(115)의 일부분이 패키지 바디(113)의 다른 표면(116)에서 노출된다. 반도체 칩(111)과 리드(115)는 와이어(117)에 의해 상호 전기적으로 연결된다.

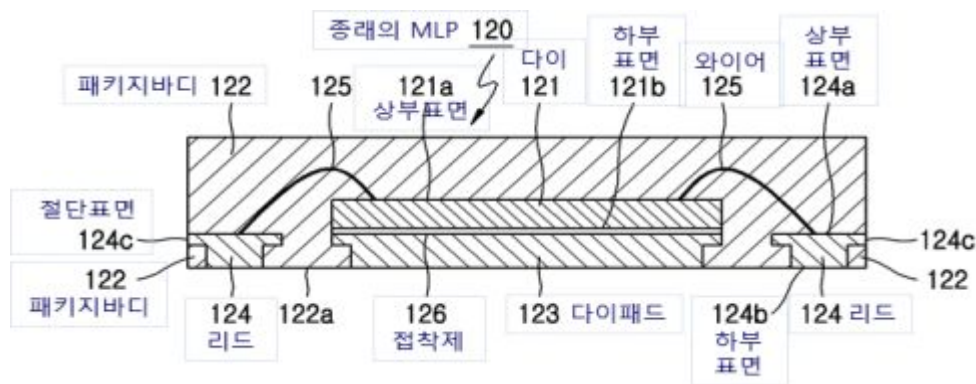
[0006] 도 1b는 종래의 MLP의 다른 예를 나타내 보인 단면도로서, 이 MLP에 관한 상세한 사항들은 미국특허등록번호 제6,437,429호에 개시되어 있다.

[0007] 도 1b를 참조하면, 종래의 MLP(120)는, 다이(die)(121), 패키지 바디(122), 다이 패드(123) 및 리드(124)를 포함하여 구성된다. 다이(121)는, 상부표면(121a) 및 하부표면(121b)을 갖는다. 리드(124)도 상부표면(124a)과, 하부표면(124b) 및 절단표면(124c)을

가지며, 리드(124)의 하부표면(124b)의 일부는 메탈패드를 형성하기 위해 한정된다. 이 메탈패드는 패키지 바디(122) 밖으로 노출되며, MLP(120)의 외부와의 전기적인 연결을 위하여 패키지 바디(122)와 동일평면상에 형성된다. 다이 패드(123)의 일면은 접착제(126)에 의해 다이(121)의 하부표면(121b)과 부착되며, 그 반대면은 패키지 바디(122) 밖으로 노출된다. 다이(121)와 리드(124)는 와이어(125)에 의해 상호 전기적으로 연결된다.

[0008] 도 1a 및 도 1b를 참조하여 설명한 바와 같은 구조를 갖는 종래의 MLP들은 모두 리드프레임패드(도 1a의 112) 및 다이 패드(도 1b의 122)의 일면이 모두 외부로 노출되어 있어서 각각 반도체 칩(도 1a의 111) 및 다이(도 1b의 121)에서 발생하는 열을 효율적으로 외부로 방출시킬 수 있다는 장점을 제공한다.

[도 1b] 종래의 몰디드 리드리스 패키지의 다른 예를 나타내 보인 단면도



[0009] 그러나 이와 같은 장점에도 불구하고 종래의 MLP는 다음과 같이 신뢰성이 떨어진다는 단점을 갖는다. 즉 리드프레임패드(1120) 및 다이 패드(122)의 노출면이 모두 패키지 바디(113 및 122)의 하부면과 동일평면상에 배치되는 구조를 가지므로, 열적스트레스에 취약하다. 구체적으로 설명하면, MLP를 보드에 솔더링할 때 수행되는 리플로우공정은 대략 240 260의 고온에서 수행된다. 이 고온상태에서 리드프레임패드(112) 및 다이 패드(122)의 하부면 전면이 모두 노출되어 있게 되며, 이에 따라 리드프레임패드(112) 및 다이 패드(123)의 노출면적에 비례하는 열적스트레스가 발생된다. 이 외에도 MLP내부로의 흡습경로의 길이를 연장하기가 용이하지 않으며, 더욱이 도 1a의 경우 리드프레임패드(112)와 리드(115) 사이의 단차가 커서 리드프레임패드(112)의 두께를 증가시키는데 한계가 있는데, 이는 리드프레임패드(112)의 두께가 클 경우 리드(115)를 구부리는데 용이하지 않게 되기 때문이다.

[0010] 한편, 반도체 패키지는 반도체 칩 또는 다이(die), 리드 프레임 및 패키지 바디

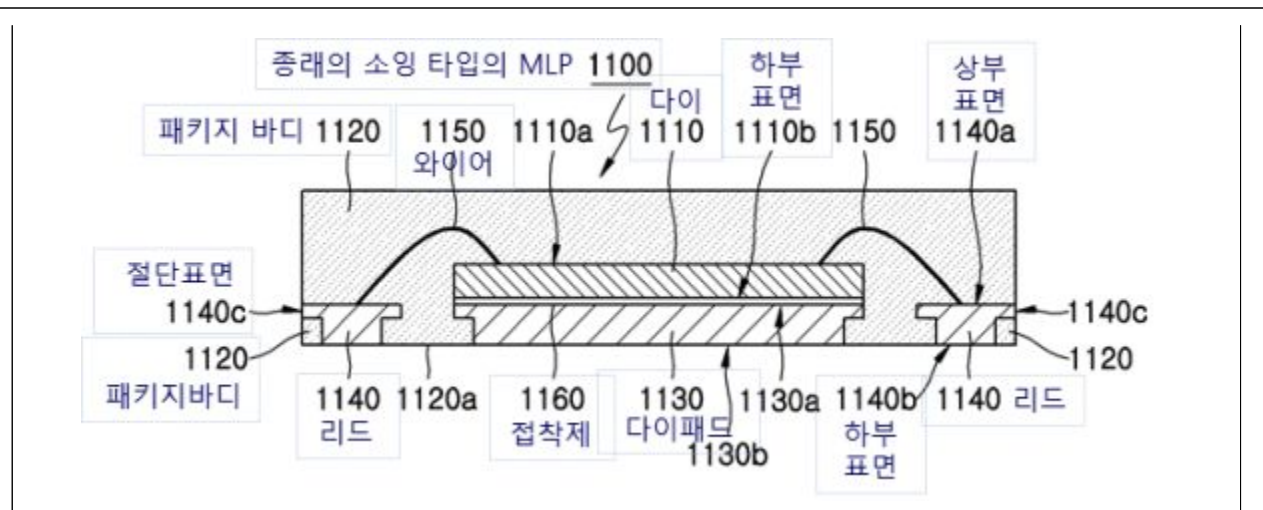
(package body)를 포함하여 구성된다. 반도체 패키지에서 반도체 칩은 리드 프레임의 다이 패드(die pad) 상에 부착되며, 리드 프레임의 리드와는 와이어에 의하여 상호 전기적으로 연결된다. 리드는 와이어가 연결되는 내부 리드(inner lead)와 반도체 패키지의 외부 접속 단자로서의 역할을 하는 외부 리드(outer lead)로 구성된다. 내부 리드는 통상적으로 패키지 바디에 의하여 완전히 밀봉되는데 반하여, 외부 리드는 그 전체 패키지 바디의 외부로 노출되거나 외부 리드의 표면 일부가 외부로 노출된다. 후자와 같이 외부 리드의 표면 일부가 패키지 바디의 외부로 노출되는 반도체 패키지를 MLP라고 한다.

[0011] 그리고, 반도체 패키지는 그 제조 공정에 따라서 소잉 타입의 패키지와 펀치(punch) 타입의 패키지로 구분된다. 소잉 타입의 패키지는 반도체 칩이 탑재된 리드 프레임의 다수를 하나의 블록 몰드 다이(block mold die) 내에서 같이 몰딩한 다음 소잉 공정으로 패키지 바디 및 리드 프레임을 절단하여 개별화함으로써 제조하는 패키지 유형을 말한다. 반면, 펀치 타입의 패키지는 반도체 칩이 탑재된 리드 프레임 각각을 개별 몰드 다이(individual mold die) 내에서 개별적으로 몰딩한 다음, 펀치 등의 방법으로 각 리드 프레임을 분리시켜서 제조하는 패키지 유형을 말한다.

[0012] 종래의 소잉 타입의 MLP에 대한 일 예는 Chun-Jen Su 등에 의한 전술한 미합중국 등록특허 제6,437,429호, "SEMICONDUCTOR PACKAGE WITH METAL PADS"에 개시되어 있으며, 도 15a에는 상기 미합중국 등록특허에 개시되어 있는 MLP에 대한 단면도가 도시되어 있다. 그리고, 도 15b에는 상기 MLP의 저면도가 도시되어 있다.

[0013] 도 15a 및 도 15b를 참조하면, 종래의 소잉 타입의 MLP(1100)는, 반도체 칩 또는 다이(1110), 패키지 바디(1120), 다이 패드(1130) 및 리드(1140)를 포함하여 구성된다. 다이(1110)는 상부 표면(1110a)과 하부 표면(1110b)을 갖는다. 리드(1140)도 상부 표면(1140a), 하부 표면(1140b) 및 절단 표면(1140c)을 가지며, 리드(1140)의 하부 표면(1140b)의 전부 또는 일부는 패키지 바디(1120)의 외부로 노출되어 금속 패드(metal pad)를 형성한다. 이 금속 패드는 MLP(1100)의 외부와의 전기적인 연결을 위하여 패키지 바디(1120)의 밑면(1120a)과 동일 평면상에 형성된다. 그리고, 다이(1110)와 리드(1140)는 와이어(1150)에 의하여 상호 전기적으로 연결된다. 다이 패드(1130)의 일면(1130a)은 접착제(1160)에 의해 다이(1110)의 하부 표면(1110b)과 부착된다.

[도 15a] 종래의 몰드 리드리스 패키지의 일 예를 나타내 보인 단면도



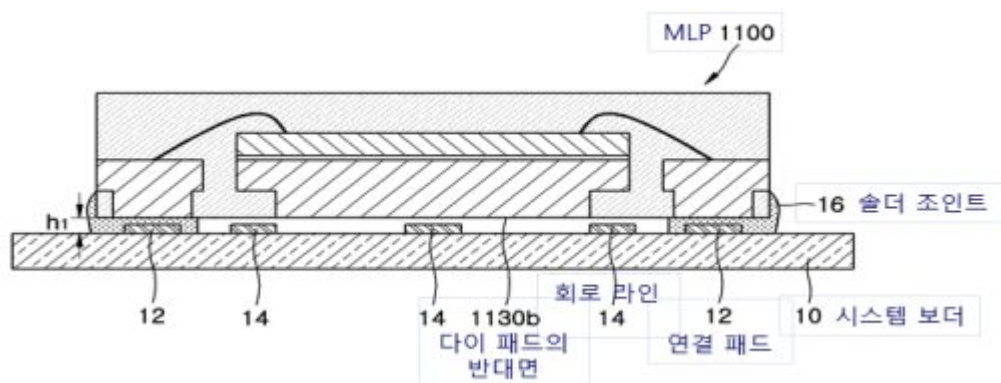
[0014] 소잉 타입 패키지는 그 제조 공정의 특성상 다음과 같은 특징을 가진다. 우선, 다이 패드(1130)의 반대면(1130b)은 패키지 바디(1120) 밖으로 노출되어 패키지 바디(1120)의 밑면(1120a) 및 리드(1140)의 하부표면(1140c)과 동일한 평면을 형성하게 된다. 왜냐하면, 소잉 타입 패키지는 몰드용 수지가 리드(1140)의 하부 표면(1140b)으로 흘러 들어가는 현상을 방지할 수 있도록 다이 패드(1130)와 리드(1140)의 밑면에 커버 테이프를 부착한 상태로 몰딩 공정을 진행하기 때문이다. 또한, 소잉 타입의 패키지는 소잉 공정을 사용하여 MLP를 개별화하기 때문에, 패키지 바디(1120)의 측면이 리드(1140)의 절단 표면(1140c)과 함께 동일한 절단면을 형성한다.

[0015] 도 16에는 시스템 보더 상에 MLP(1100)가 실장되어 있는 구조물(이하에서는, 시스템 보더(10) 상에 MLP(1100)가 실장되어 있는 구조물을 "시스템 패키지"라 한다)에 대한 개략적인 단면도가 도시되어 있다. 도 16을 참조하면, 시스템 보더(10)의 상면에는 연결 패드(12) 및 상기 연결 패드(12)를 서로 전기적으로 연결하기 위한 회로 라인(circuit line, 14)이 형성되어 있다. 연결 패드(12)와 회로 라인(14)은 동일한 도전성 금속 예컨대 구리 등으로 형성되며 통상적으로 동일한 두께를 가진다. 그리고, MLP(100)의 리드(140)와 연결 패드(12)가 솔더 조인트(solder joint, 16)를 통하여 일대일로 접합되어 연결되도록 시스템 보더(10) 상에 MLP(1100)가 탑재된다.

[0016] 종래 기술에 의하면 솔더 조인트(16)로 MLP(1100)를 시스템 보더(10) 상에 접합시킬 때 가하는 압력 및 이때 발생하는 열에 의하여, 솔더 조인트(16)가 약간의 유동성을 가질 수가 있다. 솔더 조인트(16)가 유동성을 띠게 되면 옆으로 흐를 수가 있기 때문에 솔더 조인트(16)의 높이(h1)를 충분히 확보할 수가 없다. 솔더 조인트(16)의 높이(h1)가 예컨

대 30 μ m 이상과 같이 충분하게 확보되지 않으면, 시스템 보더(10) 상에 MLP(1100)를 탑재할 경우에, 다이 패드(1130)의 밑면(1130b)과 시스템 보더(10)의 회로 라인(14) 사이의 간격이 너무 좁기 때문에 패키지의 신뢰성을 확보할 수가 없다. 그리고, 심한 경우에는 다이 패드(1130)와 시스템 보더(10)의 회로 라인(14)이 서로 접촉하게 되어서 단락될 염려가 있다. 뿐만 아니라, 솔더 조인트(16)의 높이(h1)가 낮으면, 솔더 조인트(16) 자체가 열적 스트레스나 기계적 스트레스에 취약해지기 때문에 시스템 패키지의 신뢰성을 떨어뜨린다.

[도 16] 도 15a의 몰디드 리드리스 패키지가 시스템 보더 상에 실장되어 있는 것을 나타내 보인 단면도



[0017] 그리고, MLP(1100)를 시스템 보더(10) 상에 탑재하는 과정에서 솔더 조인트(16)가 유동성을 가지게 되면, 소위 MLP(1100)의 붕괴(collapse) 현상이나 기울어짐(tilt) 현상이 발생할 염려가 있다. MLP(1100)의 붕괴 현상이 발생하면 리드(1140)가 연결 패드(12)와 직접 접촉될 염려가 있고, MLP(1100)의 기울어짐 현상이 발생하면 시스템 패키지의 신뢰성을 떨어뜨리는 문제점이 있다.

☞ 발명이 이루고자 하는 기술적 과제

[0018] 본 발명이 이루고자 하는 기술적 과제는, 리드프레임 패드가 노출되는 부분의 구조를 변경함으로써 향상된 신뢰성 및 높은 열방출 능력을 갖는 MLP를 제공하는 것이다.

[0019] 본 발명이 이루고자 하는 다른 기술적 과제는, 동일한 크기에 대하여 핀 수 또는 리드 수를 증가시킬 수 있는 더블 컨벡스 MLP를 제공하는 데 있다.

[0020] 본 발명이 이루고자 하는 또 다른 기술적 과제는, 내부 리드들 및 외부 리드들 사이에서 솔더 단락(Short)을 방지할 수 있는 더블 컨벡스 MLP를 제공하는 데 있다.

[0021] 본 발명이 이루고자 하는 또 다른 기술적 과제는, 컨벡스의 높이를 조절함으로써

써 솔더 조인트 신뢰성을 향상시킬 수 있는 더블 컨벡스 MLP를 제공하는 데 있다.

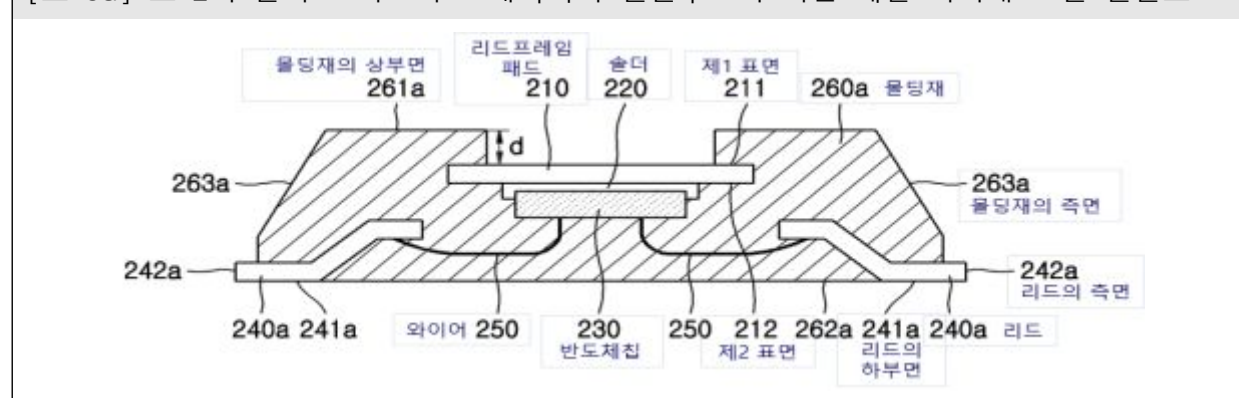
[0022] 본 발명이 이루고자 하는 또 다른 기술적 과제는, 회로 보드상의 회로선과 노출된 패드와의 사이에 전기적 단락을 방지할 수 있는 더블 컨벡스 MLP를 제공하는 데 있다.

[0023] 본 발명이 이루고자 하는 또 다른 기술적 과제는, 회로 보드상에 패키지를 장착할 때 더블 컨벡스에 의한 홀의 존재로 인하여 회전되지 않음으로서 작업성을 향상시킬 수 있는 더블 컨벡스 MLP를 제공하는 데 있다.

㉔ 발명의 구성 및 작용

[0067] 도 3a를 참조하면, 상호 반대되는 제1 표면(211) 및 제2 표면(212)을 갖는 리드프레임패드(210)의 제1 표면(211)상에 반도체 칩(230)이 부착된다. 리드프레임패드(210)와 반도체 칩(230) 사이의 부착면에는 접착제, 예컨대 솔더(solder)(220)가 배치된다. 리드프레임패드(210)의 제2 표면(212)은 몰딩재(260a)에 의해 외부로 노출된다. 이때 제2 표면(212) 모두가 노출되는 것은 아니며, 제2 표면(212)의 일부만이 노출된다. 즉 리드프레임패드(210)의 제2 표면(212) 중 일부는 몰딩재(260a)로 덮이는 반면 일부는 몰딩재(260a) 밖으로 노출된다. 리드프레임패드(210)의 제2 표면(212)의 노출되는 형상은 도 2a에 도시된 바와 같이 원형이다. 리드(240a) 또한 하부면(241a)만이 몰딩재(260a) 밖으로 노출된다. 몰딩재(260a) 내에서 리드(240a)는 와이어(250)에 의해 반도체 칩(230)과 전기적으로 연결된다. 몰딩재(260a)는 리드프레임패드(210)의 제2 표면(212) 일부와 리드(240a)의 하부면(241a) 및 측면(242a)을 제외한 나머지를 모두 둘러싼다.

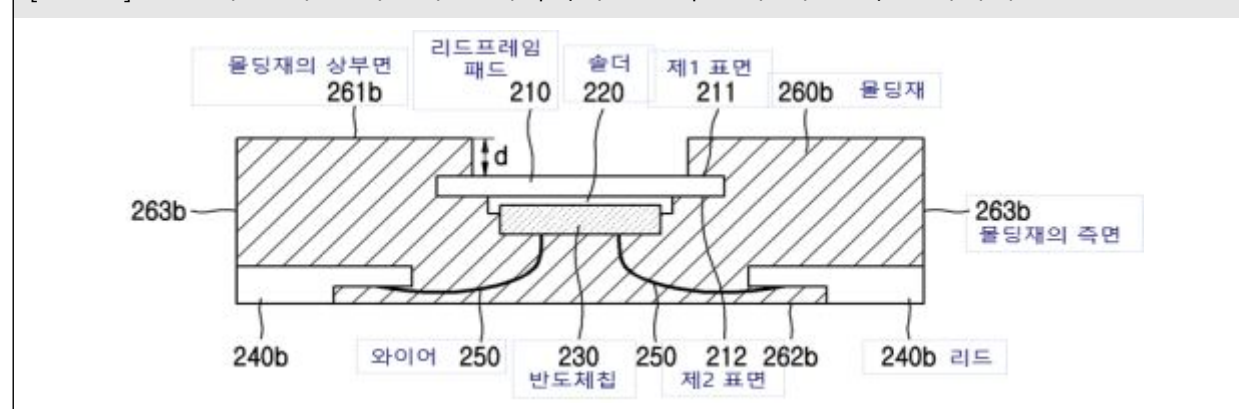
[도 3a] 도 2의 몰딩 리드리스 패키지의 단면구조와 다른 예를 나타내 보인 단면도



[0068] 리드프레임패드(210)의 제2 표면(212)을 노출시키는 몰딩재(260a)의 상부면(261a)과 리드프레임패드(210)의 제2 표면(212)은 동일 평면상에 있지 않고 단차를 갖는다. 즉 리드프레임패드(210)의 제2 표면(212)과 몰딩재(260a)의 상부면(261a)은 일정 간격

[0069] 몰딩재(260a)의 측면(263a)은 비스듬하게 경사를 갖는 구조로 이루어진다. 이는 몰딩재(260a)를 금형을 이용하는 펀치드형(punched type)으로 형성하는 경우이다. 이 경우 리드(240a)의 단부는 몰딩재(260a)로부터 대략 0.08~0.15mm만큼 돌출된다. 리드(240a)는 몰딩재(260a) 내에서 리드프레임패드(210)를 향해 구부러진 형상으로 배치된다. 이와 같이 구부러진 형상을 갖는 리드(240a)는 스탬핑(stamping) 공정에 의해 만들어진다.

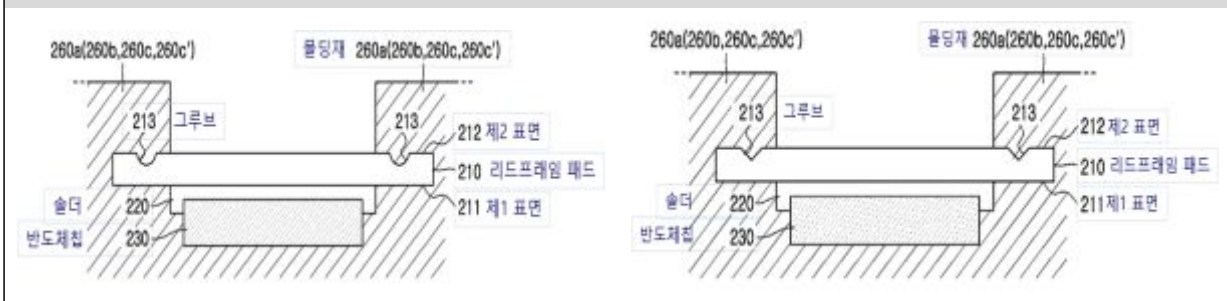
[도 3d] 도 2의 몰디드 리드리스 패키지의 단면구조와 다른 예를 나타내 보인 단면도



- 70 -

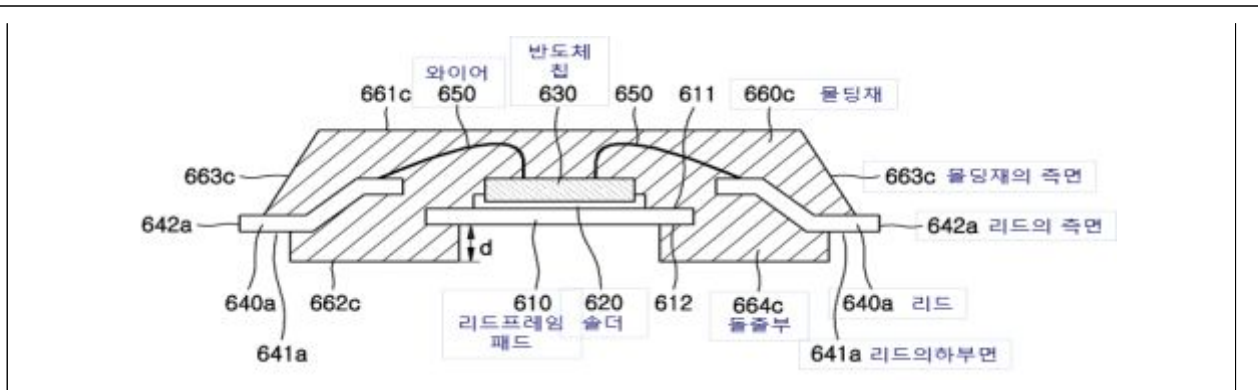
(groove)(213)가 배치될 수 있다. 이 그루브(213)는, 비록 단면구조상으로는 구별되지 않지만, 리드프레임패드(210)의 주변을 따라 길게 배치된다. 그루브(213)는, 도 6a에 나타난 바와 같이, 반원형일 수 있고, 또는 도 6b에 나타난 바와 같이, V자형일 수도 있다. 일반적으로 리드프레임패드(210)를 에칭공정에 의해 만드는 경우에는 반원형의 형상을 갖게 되고, 리드프레임패드(210)를 스탬핑공정에 의해 만드는 경우에는 V자형의 형상을 갖게 된다. 이 그루브(213)는 외부로부터의 습기가 내부로 유입되기 위해 통과하여야 하는 흡습경로를 연장시키는 역할을 수행한다. 이 외에도 이 그루브(213)는, 리드프레임패드(210)와 몰딩재(260a, 260b, 260c 또는 260c') 사이에서 앵커(anchor)역할을 수행하여 리드프레임패드(210)와 몰딩재(260a, 260b, 260c 또는 260c')가 보다 견고하게 부착되도록 한다.

[도 6a, 6b] 본 발명에 따른 몰디드 리드리스 패키지에 사용되는 리드프레임 패드의 일 예들을 나타내 보인 단면도



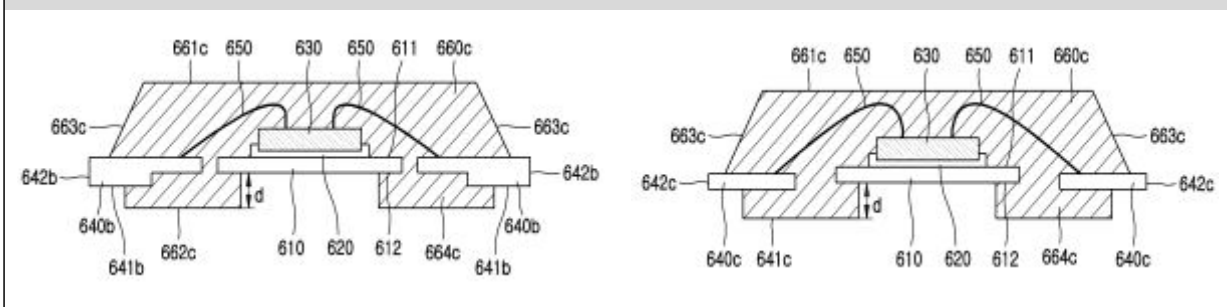
[0103] 도 8e 및 도 8f를 참조하면, 본 실시예에 따른 MLP들에 있어서, 몰딩재(660c)의 하부 구조를 제외한 나머지 부분들은 각각 도 8a 및 도 8c의 MLP와 동일하다. 따라서 동일한 부분에 대한 중복된 설명은 생략하기로 하고 다른 부분에 관해서만 설명하기로 한다. 본 실시예들에 따른 MLP의 몰딩재(660c)는 상부의 제1 표면(661c) 및 하부의 제2 표면(662c)을 갖는데, 하부의 제2 표면(662c)은 리드(640a)의 하부표면(641a) 및 리드프레임패드(610)의 노출표면으로부터 돌출되는 돌출부(664c)에 의해 리드(640a)의 하부표면(641a) 및 리드프레임패드(610)의 노출표면과 동일한 레벨상에 있지 않는다. 상기 돌출부(664c)는 기판(미도시)과의 부착을 위한 솔더조인트(미도시)의 신뢰성을 향상시킨다.

[도 8e] 도 7의 몰디드 리드리스 패키지의 단면구조와 다른 예를 나타내 보인 단면도



[0105] 도 8g를 참조하면, 본 실시예에 따른 MLP들에 있어서, 리드(640c)의 구조를 제외한 나머지 부분들은 도 8e 및 도 8f의 MLP와 동일하다. 따라서 동일한 부분에 대한 중복된 설명은 생략하기로 하고 다른 부분에 관해서만 설명하기로 한다. 본 실시예들에 따른 MLP의 리드(640c)는 상부 및 하부가 평평한 형상을 가지며, 특히 리드프레임패드(610)과 동일한 레벨상에 배치된다.

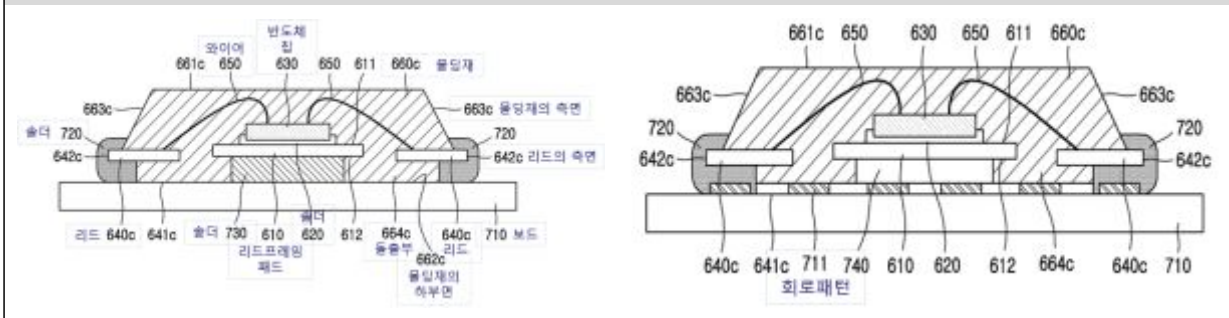
[도 8f, 8g] 도 7의 몰딩드 리드리스 패키지의 단면구조와 다른 예를 나타내 보인 단면도들



[0109] 먼저 도 9c에 도시된 바와 같이, 본 발명에 따른 MLP는 보드(710)에 부착되는데, 부착은 솔더(720, 730)에 의해 이루어진다. 즉 보드(710)의 표면 위에서 리드(640c)의 노출부분이 솔더(720)에 의해 부착된다. 또한 보드(710)의 표면 위에서 리드프레임패드(610)의 노출부분도 솔더(730)에 의해 부착된다. 이 경우 몰딩재(660c)의 돌출부(664c) 하부면(662c)과 리드프레임패드(610)의 제2 표면(612)이 단차를 가지며, 이에 따라 충분한 공간이 형성되므로 많은 양의 솔더(730)가 공급되더라도 이 솔더(730)에 의해 리드(640c)를 부착시키는 솔더(720)에 영향을 주지 않는다. 다음에 도 9d에 도시된 바와 같이, 보드(710)와 리드(640c)만 솔더(720)를 사용하여 부착시키고, 보드(710)와 리드프레임패드(610)

는 부착시키지 않을 수도 있다. 이 경우에는 보드(710)의 일부표면과 리드프레임패드(610)의 제2 표면(612)의 노출부분 사이에는 일정 부피의 공간(740)이 형성된다. 이는 보드(710)의 일부표면에 회로패턴(711)이 있는 경우로서, 이 경우에만까지 솔더를 상기 공간(740)에 배치시키는 경우 전기적인 숏(short)이 원하지 않게 발생할 수 있기 때문이다.

[도 9c, 9d] 도 8a의 몰디드 리드리스 패키지의 응용예들을 설명하기 위하여 나타내 보인 단면도들



[0171] 도 22 내지 도 22d에는 본 발명의 또 다른 실시예에 따른 소잉형 몰디드 리드리스 패키지를 나타내 보인 단면도가 각각 도시되어 있다. 여기서, 도 22a 및 도 22b는 미합중국 등록특허 제6,143,981호에 개시된 것과 같이, 다이 패드(1530a)와 리드(1540a)의 가장자리에 하프-식각(half-etch)된 부분이 형성되지 않은 경우인 반면에, 도 22c 및 도 22d는 미합중국 등록특허 제6,437,429호에 개시된 것과 같이, 다이 패드(1530b)와 리드(1540b)의 가장자리가 하프-식각된(half-etched) 경우이다. 도 22a 내지 도 22d에서 참조 부호 1510은 반도체 칩 및 1560은 접착제 층을 각각 나타낸다. 즉, 본 발명은 리드 프레임(1530, 1540)의 가장자리 부분에 하프-식각된 부분이 형성되어 있는지 여부에 상관없이 적용이 가능하며, 이것은 전술한 실시예들의 경우에도 동일하게 적용된다.

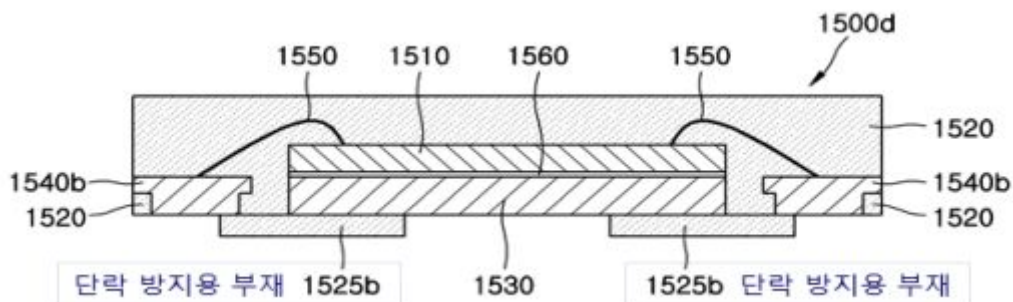
[0172] 도 22a 내지 도 22d를 참조하면, 본 실시예에 따른 소잉형 MLP(1500a 내지 1500d)는 단락 방지용 부재(1525a 내지 1525d)의 형상을 제외한 나머지 부분들은 전술한 실시예에 따른 소잉형 MLP(1200)와 동일하다. 따라서, 동일한 부분에 대한 중복된 설명은 생략하기로 하고, 다른 부분에 관해서만 설명하기로 한다.

[0173] 본 실시예에 따른 소잉형 MLP(1500a 내지 1500d)의 경우에 전술한 실시예와 마찬가지로 단락 방지용 부재(1525a 내지 1525d)가 다이 패드(1530)의 하부 표면 상에 형성되어 있다. 즉, 본 실시예에 따른 소잉형 MLP(1500a 내지 1500d)는, 전술한 실시예와 같이 다이 패드(1530)의 하부 표면이 소정의 깊이로 리세스가 형성되어 채널이 형성되어

있고, 그리고 그 채널에 다이 패드(1530)의 하부 표면과 레벨이 같은 구조물인 채널 필러(1228)와 같은 것이 매립되어 있는 구조는 아니다. 그러나, 본 실시예에 따른 단락 방지용 부재(1525a 내지 1525d)는 전술한 실시예와 마찬가지로 패키지 바디(1520) 형성용 물질과 동일한 물질로 형성한다. 왜냐하면, 본 실시예에 따른 단락 방지용 부재(1525a 내지 1525d)는 전술한 실시예와 마찬가지로 몰딩 공정에서 패키지 바디(1520)와 동시에 형성할 수 있기 때문이다.

[0174] 그리고, 본 실시예에서는 단락 방지용 부재(1525a 내지 1525d)의 모양에는 특별한 제한은 없다. 즉, 단락방지용 부재(1525a 내지 1525d)는 다이 패드(1530)의 하부 표면의 전면을 덮을 수도 있고(도 22a 및 도 22c 참조), 또는 다이 패드(1530)의 하부 표면의 일부를 덮을 수도 있다(도 22b 및 도 22d 참조). 그러나, 본 실시예에 의하면, 다이 패드(1530a 또는 1530b)에 몰딩재 등의 통로 즉 채널이 형성되지 않기 때문에, 단락 방지용 부재(1525a 내지 1525d)가 적어도 다이 패드(1530a 또는 1530b)와 리드(1540a, 1540b) 사이의 공간인 갭(gap)을 채우는 패키지 바디(1520)의 부분과 연결되어 있다.

[도 22d] 본 발명의 제4 실시예에 따른 몰디드 리드리스 패키지의 일 예를 나타내 보인 단면도

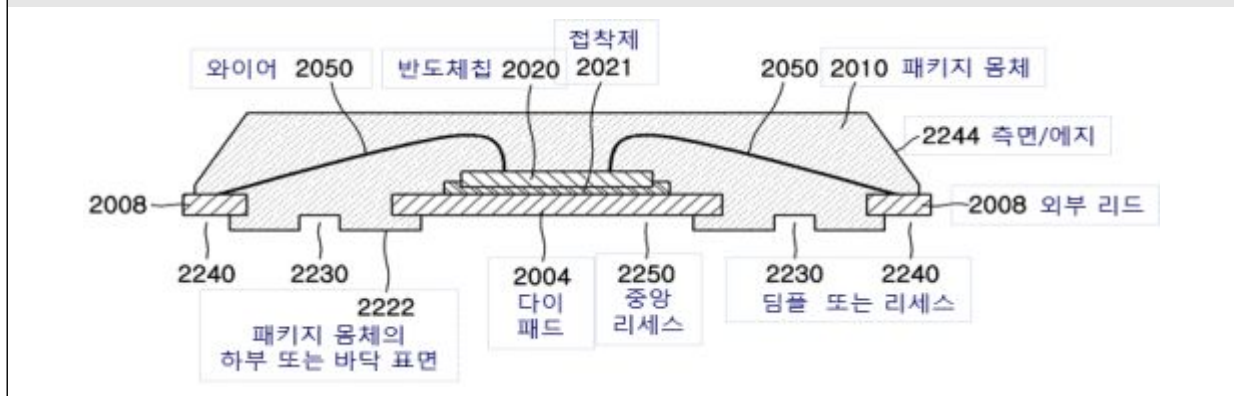


[0185] 도 28을 참조하면, 본 발명의 더블 컨벡스(double convex) MLP의 하나의 실시예가 보여진다. MLP(2000)는 일반적으로 다이 패드(2004)를 갖는 리드 프레임(2002), 내부 리드들(2006) 및 외부 리드들(2008)을 포함한다. 몰딩 물질로 형성되는 MLP 몸체(2010)는 리드 프레임(2002), 다이 패드(2004), 내부 리드들(2006) 및 외부 리드들(2008)을 각기 둘러싼다.

[0186] 보다 구체적으로, 도 29a 내지 도 29c를 참조하면, MLP(2000)의 단면도들이 각기 라인 A-A, B-B, C-C를 따라 보여진다. 집적회로 다이 또는 칩(2020)이 다이 패드

(2004)의 제1 또는 상부 표면에 예를 들어 솔더와 같은 접착제(2021)에 의해 열적 및 전기적 도전 방식으로 부착된다. 다이(2020)는 다이 패드(2004)에 부착된 면을 제외하고는 몸체(2010) 내에 둘러싸인다. 본드 와이어(2050)가 내부 및 외부 리드들(2006, 2008)을 각기 다이(2020)에 전기적으로 연결시킨다.

[도 29a] 도 28의 MLP의 단면도



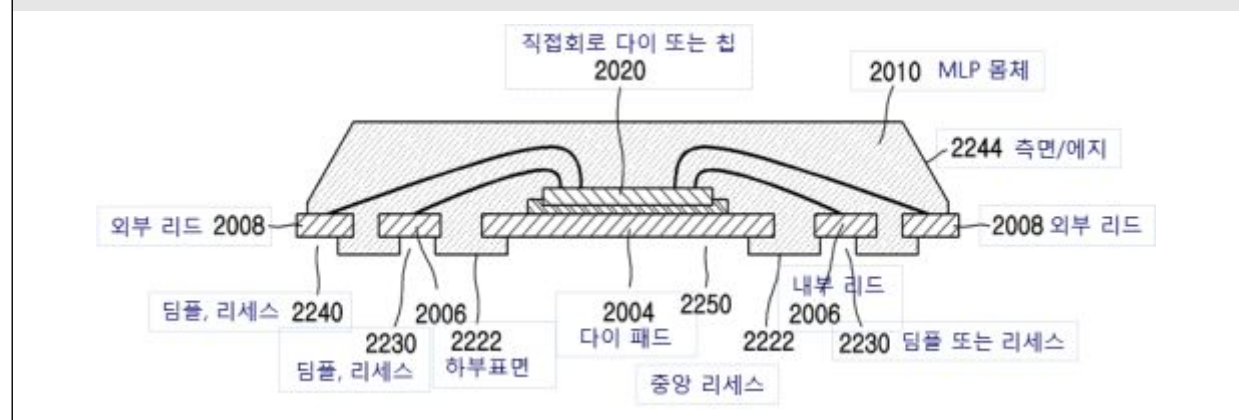
[0187] 몸체(2010)의 바닥 또는 하부 표면(2222)은 이중으로 볼록한 더블 컨벡스(double convex) 형태를 갖는다. 특히, 하부 표면(2222)은 두 세트의 오목한 덩플 또는 리세스(2230, 2240)들을 포함한다. 한 세트의 덩플/리세스(2230)들은 내부 리드들(2006)에 상당하며, 다른 세트의 덩플/리세스(2240)들은 외부 리드들(2008)에 상당한다. 각 세트의 덩플/리세스(2230, 2240)들은 패키지 몸체(2010)의 하부 또는 바닥 표면(2222)으로부터 일정한 거리 또는 깊이로 함몰된다. 각 리드들(2006, 2008)의 바닥 표면의 일부는 각 상당하는 덩플/리세스들(2230, 2240) 내에서 외부 환경에 노출된다. 환언하면, 덩플/리세스들(2230, 2240) 내에서 리드들(2006, 2008)의 바닥 표면들은 몸체(2010)를 형성하는 몰딩 물질에 의해 덮이지 않고 외부로 노출된다.

[0188] 덩플들/리세스들(2230, 2240)은 리드들(2006, 2008)이 MLP(2000)가 장착된 회로 보드(도시되지 않음)로부터 및/또는 그 위로 일정한 거리만큼 떨어질 수 있도록 해준다. 따라서 도 37에서 잘 보여지는 바와 같이, 덩플들/리세스들(2230, 2240)은 MLP(2000)의 리드들(2006, 2008)을 회로 보드에 전기적으로 연결하는 솔더 조인트들이 원하는 바의 높이 또는 최소한의 높이를 갖는 것을 보장해줌으로써 이들 솔더 조인트들의 접착력 및 기계적 강도와, MLP(2000)의 신뢰성을 증진시켜준다.

[0189] 도 29a 내지 도 29c의 MLP(2000)는 경사진 측면/에지(2244)를 갖는 펀치형(punched-type) 패키지로 구성된다. 외부 리드들(2008)은 몸체(2010)의 측면(2244)으로부터

터 일정한 거리만큼 연장된다.

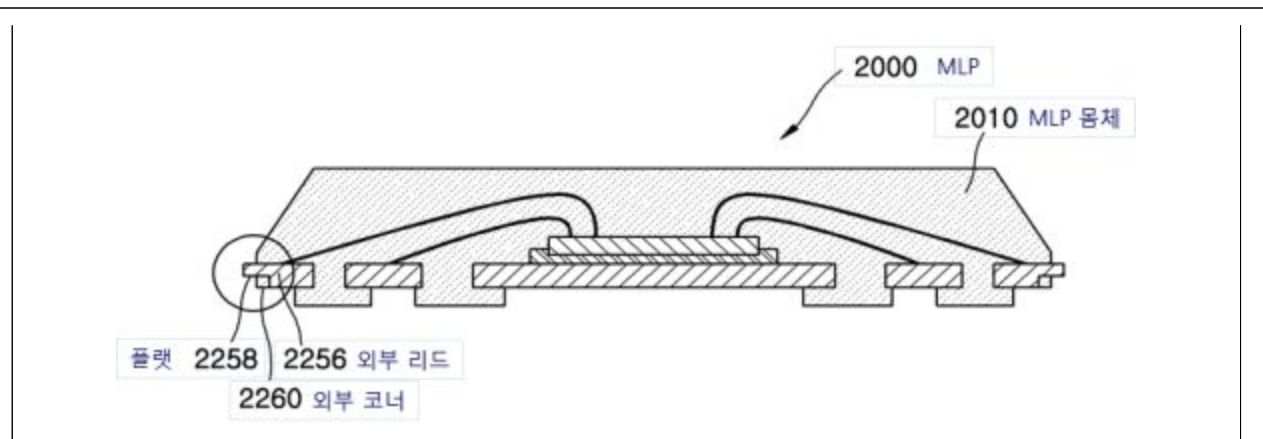
[도 29c] 도 28의 MLP의 단면도



[0190] MLP(2000)의 바닥은 다이 패드(2004)의 하부 표면(참조번호 없음), 즉 다이 (2020)가 부착된 표면의 반대쪽 표면을 노출시키는 중앙 리세스(2250)을 더 포함한다. 중앙 리세스(2250)는 다이 패드(2004)의 하부 표면이 패키지 몸체(2010)의 하부 또는 바닥 표면으로부터 일정한 거리만큼 이격되고, 그리하여 MLP(2000)가 장착되는 회로 보드(도 37의 3000)로부터 그 위로 일정한 거리만큼 이격되는 것을 보장해준다. 따라서 다이 패드 (2004)가 회로 보드(3000)의 표면상의 회로 선 또는 도전체(3002)와 접촉할 및/또는 전기 적으로 단락할 가능성이 현저히 감소된다.

[0191] 도 30은 도 29a 내지 도 29c에서 보여진 리드 구성과 다른 구성 및/또는 형상인 리드들을 갖는 MLP(2000)의 구성을 보여준다. 보다 구체적으로는 MLP(2000)의 외부 리드들(2256)이 플랫폼들(2258)을 갖도록 구성되며, 따라서 패키지 몸체(2010)는 외부 코너들(2260)을 포함하게 된다.

[도 30] 도 29의 MLP의 제2 실시예의 단면도



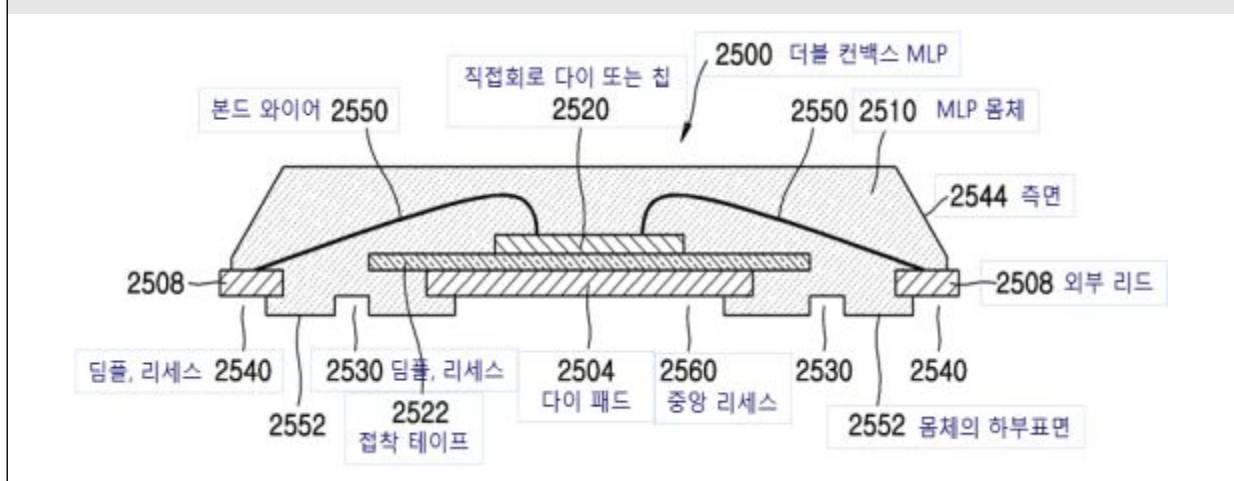
[0193] 도 33a 내지 도 33c는 본 발명의 더블 컨벡스 MLP의 또다른 실시예를 보여준다. 더블 컨벡스 MLP(2500)는 일반적으로 다이 패드(2504), 내부 리드들(2506) 및 외부 리드들(2508)을 갖는 리드 프레임을 포함한다. 몰딩 물질로 된 MLP 몸체(2510)이 리드 프레임의 일부, 다이 패드(2504), 내부 및 외부 리드들(2506, 2508)을 각기 둘러싼다. 집적회로 다이 또는 칩(2520)이 다이 패드(2504)의 제1 또는 상부 표면에 예를 들어, 접착 테이프와 같은 열적-도전적 방식으로 부착된다. 접착 테이프(2522)는 다이 패드(2504)로부터 내부 리드들(2506)의 상부 표면까지 연장된다. 다이(2520)는 다이 패드(2504)에 부착되는 면을 제외하고 몸체(2510) 내에 둘러싸인다. 본드 와이어(2550)가 내부 및 외부 리드들(2506, 2508)을 각기 다이(2520)에 전기적으로 연결시킨다. 다이 패드(2504)에 부착되는 다이 또는 칩(2520)은 접착 테이프(2522)에 비하여 작게 도시하였지만, 도 33d에서 보여지는 바와 같이 다이 또는 칩(2520)은 접착 테이프(2522)의 길이에 상응하는 크기가 될 수 있다.

[0194] 몸체(2510)의 바닥 또는 하부 표면(2552)은 MLP(2000)와 관련하여 전술한 바와 같이 이중으로 볼록한 더블 컨벡스(double convex) 형태를 갖는다는 점에서 MLP(2000)와 유사하다. 특히, 하부 표면(2552)은 두 세트의 오목한 딤플 또는 리세스(2530, 2540)들을 포함한다. 한 세트의 딤플/리세스(2530)들은 내부 리드들(2506)에 상당하며, 다른 세트의 딤플/리세스(2540)들은 외부 리드들(2508)에 상당한다. 각 세트의 딤플/리세스(2530, 2540)들은 패키지 몸체(2510)의 하부 또는 바닥 표면(2552)으로부터 일정한 거리 또는 깊이로 함몰된다. 각 리드들(2506, 2508)의 바닥 표면의 일부는 각 상당하는 딤플/리세스들(2530, 2540) 내에서 외부 환경에 노출된다. 환언하면, 딤플/리세스들(2530, 2540) 내에서 리드들(2506, 2508)의 바닥 표면들은 몸체(2510)를 형성하는 몰딩 물질에 의해 덮이지 않고 외부로 노출된다.

[0195] 딤플들/리세스들(2530, 2540)은 리드들(2506, 2508)이 MLP(2500)가 장착된 회

로 보드(도 37의 3000)로부터 및/또는 그 위로 일정한 거리만큼 떨어질 수 있도록 해준다. 따라서, 댄플들/리세스들(2530, 2540)은 MLP(2500)의 리드들(2506, 2508)을 회로 보드(3000)에 전기적으로 연결하는 솔더 조인트(도 37의 3004)들이 원하는 바의 높이 또는 최소한의 높이를 갖는 것을 보장해줌으로써 이들 솔더 조인트들(3004)의 접착력 및 기계적 강도와, MLP(2000)의 신뢰성을 증진시켜준다.

[도 33a] 발명의 더블 컨택스 MLP의 다른 실시예의 단면도들



[0197] MLP(2500)의 바닥은 다이 패드(2504)의 하부 표면(참조번호 없음), 즉 다이(2520)가 부착된 표면의 반대쪽 표면을 노출시키는 중앙 리세스(2560)을 더 포함한다. 중앙 리세스(2560)는 다이 패드(2504)의 하부 표면이 패키지 몸체(2510)의 하부 또는 바닥 표면(2552)으로부터 일정한 거리만큼 이격되고, 그리하여 MLP(2500)가 장착되는 회로 보드(도시되지 않음)로부터 그 위로 일정한 거리만큼 이격되는 것을 보장해준다. 따라서 다이 패드(2504)가 회로 보드의 표면상의 회로 선 또는 도전체와 접촉할 및/또는 전기적으로 단락할 가능성이 현저히 감소된다.

㉠ 발명의 효과

[0201] 본 발명에 따른 더블 컨택스 MLP의 각 실시예들은 주어진 패키지 크기에 대하여 더블 컨택스 구조를 갖지 않는 종래의 MLP 패키지에 비하여 핀 또는 리드 수가 증가된다는 것을 알 수 있다. 예를 들어, 표준 패키지 크기 또는 7mm 스퀘어의 치수를 갖는 더블 컨택스 구조를 갖지 않는 종래의 MLP는 0.5 mm의 리드 피치에서 48 핀/리드를 가지는 것에 비하여, 본 발명의 더블 컨택스 MLP는 0.5 mm의 리드 피치에서 80 핀의 최대 핀/리드 수를 가지며, 0.65mm 피치에서 68 핀을 갖는다.

[별지 3]

선행발명 6

발명의 명칭: 스탬핑 가공을 이용하여 형성되는 형상을 가지는 반도체 소자 패키지

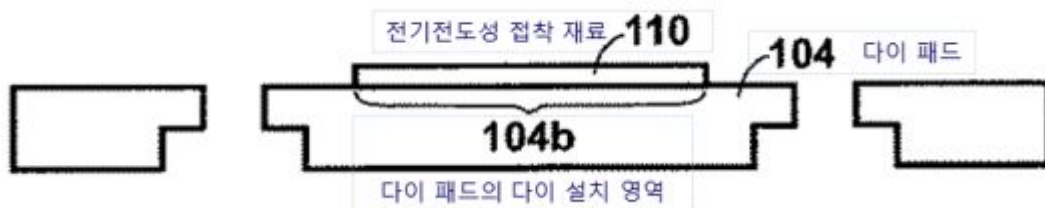
㉠ 기술분야

[0001] (관련 출원의 상호대조) 본 특허출원은, 모든 점에서 참조되어 그 내용 전체를 본명세서에 집어 넣을 수 있는, 출원된, 미국 특허가출원 제61/042,602호의 우선권을 주장한다.

㉡ 배경기술

[0006] 그림 1D는, 다이 패드 104의 다이 설치 영역 104b 상의 전기전도성 접착 재료 110의 형성을 나타내고 있다. 이 전기전도성 접착 재료는, 용해 상태로 용착(溶着) 및 무른 땀질을 포함하고 있어도 상관없다. 또 대신, 이 전기전도성 접착 재료는, 용제 등의 결합제 중에 녹은 땀납이 소형의 입자상태에서 용착(溶着) 및, 땀납 페이스트로부터 되고 있어도 좋다.

[도 1D] 패키지를 제작하기 위한 종래 제조법의 단면도



[0011] 여기서 기재한 종래의 제조법 흐름은, 반도체 소자 패키지를 형성하기 위해서 충분하지만, 몇 가지의 결점을 들 수 있다. 구체적으로는, 그림 1C로 가리킨 부분적 에칭 공정은, 실현하는 것이 곤란해서, 그 때문에 반도체 장치의 제조비용을 증대시키는 요인이 되고 있다. 또, 이 부분적 에칭 공정은, 고정밀도의 마스크 형태화 가공, 계속되는 노출면의 부분적 에칭 가공, 그 후의 마스크 제거를 포함하는 다수의 공정을 포함하고 있다. 게다가, 금속 룰의 부분적 에칭 가공은, 충분한 정밀도와 재현성을 갖아서 중지하는 것은 곤란할 경우가 있다.

㉔ 발명이 해결하려고 하는 과제

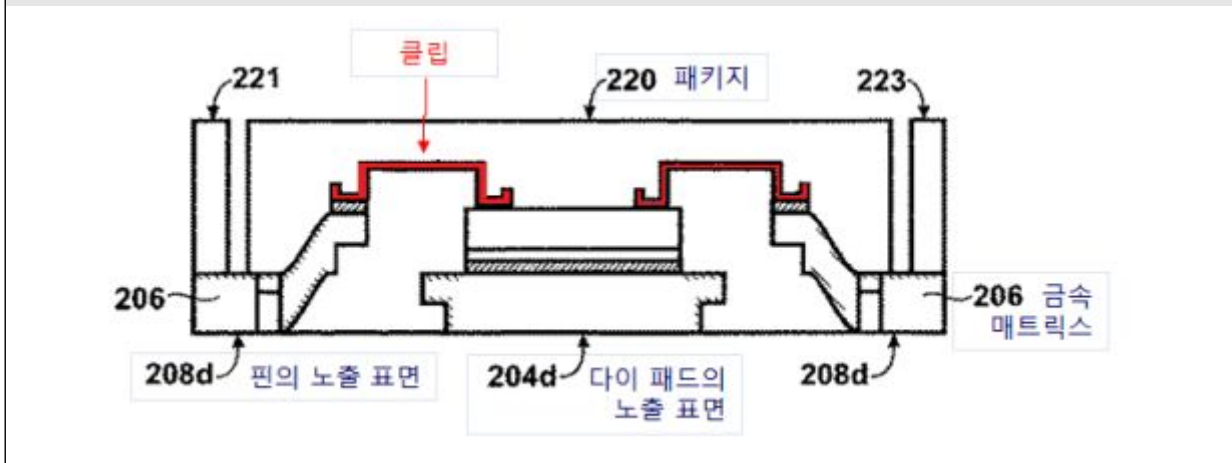
[0012] 따라서 부분적 에칭 공정을 필요로 하지 않는, 반도체 소자 패키지를 형성하기 위한 제조법이, 당 기술분야에서 요청되고 있다.

㉕ 발명을 실시하기 위한 형태

[0031] 다이 패드 204에 인접하는 핀 208이 들어 올릴 수 있었던 부분 208a의 끝에도 피전기도금 재료가 존재하는. 이하로 상술 되도록, 이 피전기도금 영역은 지지를 받는 다이의 상표면으로부터 전기전도성의 본드 와이어나 본드 리본, 본드 클립을 받는 것을 예정되고 있다.

[0037] 그림 2K의 패키지 싱글레이션 가공은, 핀의 일부 208의 노출 표면 208d와 다이 패드 204의 노출 표면 204d를 갖는 패키지 220을 브라운 옥사이드가 벗겨내진 상태인 채로 해 두고, 하부의 프린티드 서킷(PC)기판 (여기서는 용도 설명하지 않는다)에 납땜하기 위한 준비를 한다.

[도 2J] 패키지를 형성하기 위한 본 발명에 의한 제조법의 실시 형태의 단면도

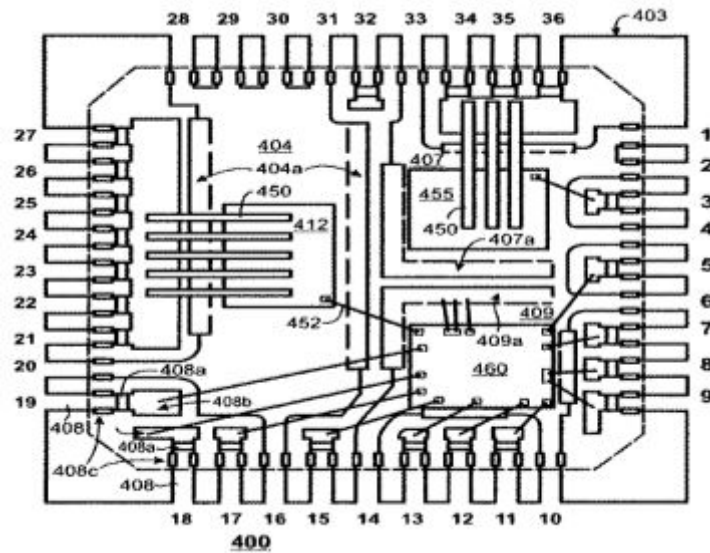


[0042] 4번째 공정(308)에서는, 리드 프레임의 일부가 적절한 금속으로 선택적으로 전기 도금되어도 좋다. 그러한 피전기 도금 영역의 실시에는, 다른 쪽 끝이 다이에 접속되어 있는 와이어나 리본, 클립 등의 결합 구조체의 끝을 받는 것이 예정되는 다이 부착면이나 핀의 융기한 일부를 포함한다.

[0047] 8번째 공정(316)에서는, 하나 또는 복수의 결합 구조체가, 다이와 적절한 핀의 표면 사이에 장착된다. 이 표면은 전기 도금되어 있어도 좋다. 전술한 것과 같이, 결합 구조체는 전도성의 클립, 와이어, 혹은 리본이어도 좋다.

[0056] 게다가, 실시 형태의 몇 가지는, 본드 와이어 대신 클립의 사용을 포함한다. 이러한 본드 클립의 사용은, 다이의 접촉점과 주위의 핀과의 사이에 전기적 결합의 저항을 감소하는 것을 가능하게 한다. 그리고 이는, 앞으로 큰 다이에 필적하는 퍼포먼스를 갖는 종래보다 작은 다이의 사용을 가능하게 한다.

[도 4B] 그림 4A의 패키지의 다이와 결합 구조체를 가리키는 평면도



선행발명 10

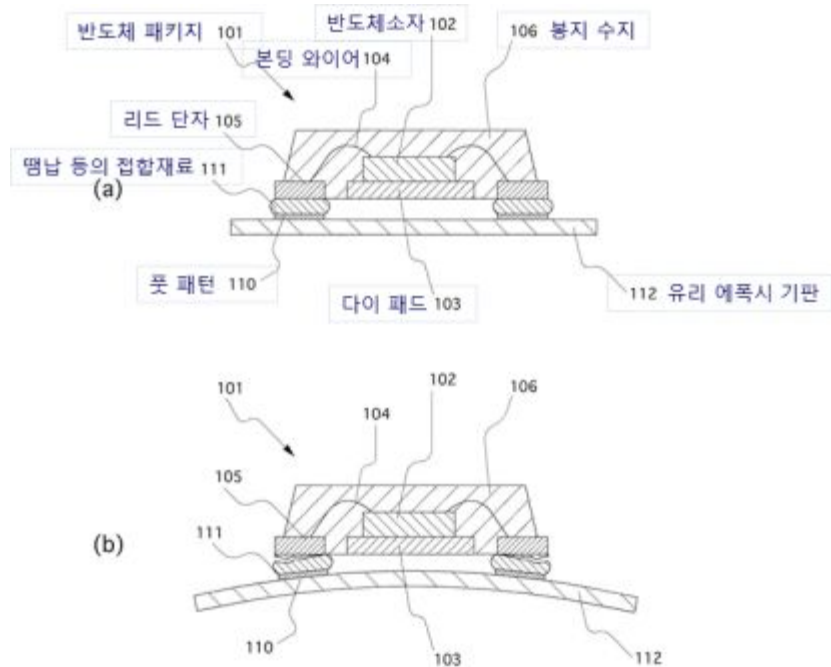
발명의 명칭: 반도체 패키지

㉠ 기술분야

[0001] 본 발명은 반도체 패키지(wound package)에 관한 것이다. 자세한 것은 일정한 응력이 더해졌을 경우에 단자 자체가 가동하는 것에 의해서 접속 신뢰성의 향상을 도모하려고 한 반도체 패키지(wound package)와 관련되는 것이다.

㉡ 발명이 해결하려고 하는 과제

[도 8] 접합부의 균열(crack) 발생을 설명하기 위한 모식도



[0007] 그렇지만, 종래의 반도체 패키지(wound package)에서는 반도체 패키지(wound package)의 구성 재료와 실장 기판(mounted substrate)의 구성 재료의 선팅창 계수의 차이에 기인해 접합 재료에 응력이 더해져, 리드 단자(lead terminal)와 접합 재료의 접합부에 크랙(crack)이 생겨 반도체 패키지(wound package)와 실장 기판(mounted substrate)과의 접속을 확보할 수 없는 것이 있다. 즉, 리드프레임(lead frame)을 구리로 형성해 에폭시 수지(epoxide resin)로 봉지한 반도체 패키지(wound package)를 유리 에폭시기(epoxy

function)판에 실장한 경우를 예로 들고 생각하면 구리의 선팅창 계수가 약 17×10^{-6} 이며, 에폭시 수지(epoxide resin)의 선팅창 계수가 약 7×10^{-6} 이며, 유리 에폭시기(epoxy function)판의 선팅창 계수가 약 60×10^{-6} 이므로 예를 들면 상온으로 도 8(a)에서 나타내는 것처럼 반도체 패키지(wound package)의 실장을 실시했다고 해도 예를 들면 -25°C 의 시점에서는 선팅창 계수가 가장 큰 유리 에폭시기(epoxy function)판의 수축량이 크기 위해(때문에) 도 8(b)에서 나타내는 것처럼, 유리 에폭시기(epoxy function)판이 볼록한 모양에 찢어져 버린다. 그리고 이와 같은 실장 기판(mounted substrate)의 변형에 리드 단자(lead terminal)가 추종할 수 없기 위해(때문에), 반도체 패키지(wound package)와 실장 기판(mounted substrate)의 접합부에 응력이 집중해 리드 단자(lead terminal)와 접합 재료의 접합부에 크랙(crack)이 생겨 버려, 반도체 패키지(wound package)와 실장 기판(mounted substrate)과의 접속을 확보할 수 없는 것이 있다.

[0008] 덧붙여 근년의 반도체 패키지(wound package)의 소형화에 수반해 반도체 패키지(wound package)와 실장 기판(mounted substrate)의 접합부의 면적도 축소화하는 경향에 있기 위해서 반도체 패키지(wound package)와 실장 기판(mounted substrate)의 접합부의 접속 신뢰성의 확보가 중요한 문제가 되어지고 있다.

[0009] 본 발명은 이상의 점을 거울삼아 창안된 것이며, 반도체 패키지(wound package)와 외부 기판의 접속부의 접속 신뢰성의 향상을 도모할 수 있는 반도체 패키지(wound package)를 제공하는 것을 목적으로 하는 것이다.

㉔ 과제를 해결하기 위한 수단

[0010] 상기의 목적을 달성하기 위해서 본 발명과 관련되는 반도체 패키지(wound package)는 반도체 소자(semiconductor device)와, 그 반도체 소자(semiconductor device)와 본딩 와이어(bonding wire)에 의해서 접속되는 본딩 와이어(bonding wire) 접속부 및 외부 기판과 접속되는 외부 기판 접속부로 이루어지는 단자와, 상기 반도체 소자(semiconductor device) 및 상기 단자를 봉지하는 봉지 수지를 갖추는 반도체 패키지(wound package)에 있어서 상기 외부 기판 접속부를 정해진 응력이 더해졌을 경우에 상기 봉지 수지로부터 적어도 일부가 분리해 가동하는 것처럼 구성한다.

[0011] 여기서 외부 기판 접속부를 정해진 응력이 더해졌을 경우에 봉지 수지로부터 분리해 가동하는 것처럼 구성하는 것에 의해서 외부 기판 접속부가 외부 기판의 변형에 추종할 수 있으며 외부 기판 접속부로의 응력의 집중을 저감할 수 있다.

[0012] 덧붙여 본딩 와이어(bonding wire) 접속부의 본딩 와이어(bonding wire)를 접속

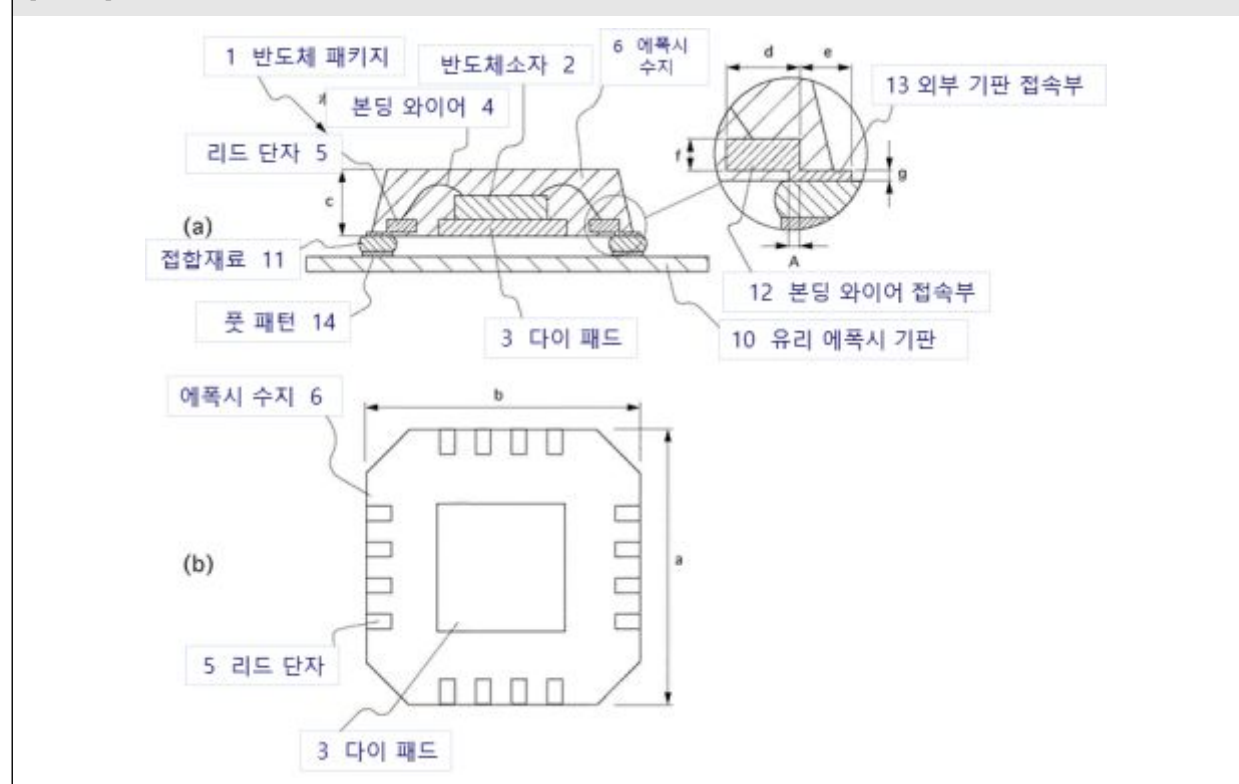
한면과 서로 마주 보는 면이 적어도 일부가 봉지 수지에 따라 덮여 있는 분이 바람직하다. 이것에 의해서 본딩 와이어(bonding wire) 접속부에 관련되는 응력을 저감할 수 있으며 본딩 와이어(bonding wire) 접속부의 박리를 억제할 수 있기 때문이다.

ㄹ 발명의 효과

[0013] 상기한 본 발명의 반도체 패키지(wound package)에서는 반도체 패키지(wound package)의 구성 재료와 외부 기판의 구성 재료의 선팽창 계수의 차이에 의한 열팽창 혹은 열수축에 기인해 반도체 패키지(wound package)와 외부 기판의 접합부에 응력이 집중하는 것을 완화해 접합부의 피로파괴(fatigue breakdown)를 억제할 수 있기 위해서 반도체 패키지(wound package)와 외부 기판의 접합 신뢰성이 비약적으로 향상한다.

ㄹ 발명을 실시하기 위한 최선의 형태

[도 1] 본 발명을 적용한 반도체 패키지의 한 예를 설명하기 위한 모식도



[0014] 이하, 본 발명의 실시 형태에 대해서 도면을 참조하면서 설명해 본 발명의 이해에 제공한다. 도 1은 본 발명을 적용한 반도체 패키지(wound package)의 한 예를 설명하기 위한 모식도[도 1(a)은 모식적인 단면도 도 1(b)은 모식적인 저면도]이며, 여기서 가리

키는 반도체 패키지(wound package)(1)는 상기한 종래의 반도체 패키지(wound package)와 비슷하게, 반도체 소자(semiconductor device)(2)가 도전성 접착제 등에 따라 다이 패드(3) 위에 접착되고 있다. 또, 반도체 소자(semiconductor device)상의 전극부(도시하지 않음)가 본딩 와이어(bonding wire)(4)로 리드 단자(lead terminal)(5)에 접속되고 있으며 더욱이 반도체 소자(semiconductor device)를 외계로부터 보호하기 위해서 에폭시 수지(epoxide resin)(6)에서 반도체 소자(semiconductor device)를 봉지하고 있다. 덧붙여 반도체 패키지(wound package)는 도 1 중 부호 a에서 가리키는 길이가 5.4mm, 도 1 중 부호 b에서 가리키는 길이가 5.4mm, 도 1 중 부호 c에서 가리키는 길이가 0.8mm가 되는 것처럼 구성되어 있다.

[0015] 또, 리드 단자(lead terminal) 5는 본딩 와이어(bonding wire) 접속부 12로 외부 기판 접속부 13으로 구성되어 반도체 소자(semiconductor device)상의 전극부(도시하지 않음)와 본딩 와이어(bonding wire) 접속부 12가 본딩 와이어(bonding wire) 4로 접속되어 외부 기판 접속부 13은 본딩 와이어(bonding wire) 접속부 12보다도 두께가 얇게 형성되고 있다. 구체적으로는 도 1 중 부호 d에서 가리키는 본딩 와이어(bonding wire) 접속부의 길이가 0.35mm, 도 1 중 부호 e에서 가리키는 외부 기판 접속부의 길이가 0.25mm, 도 1 중 부호 f에서 가리키는 본딩 와이어(bonding wire) 접속부의 두께가 0.15mm, 도 1 중 부호 g에서 가리키는 외부 기판 접속부의 두께가 0.05mm가 되는 것처럼 구성되어 있다.

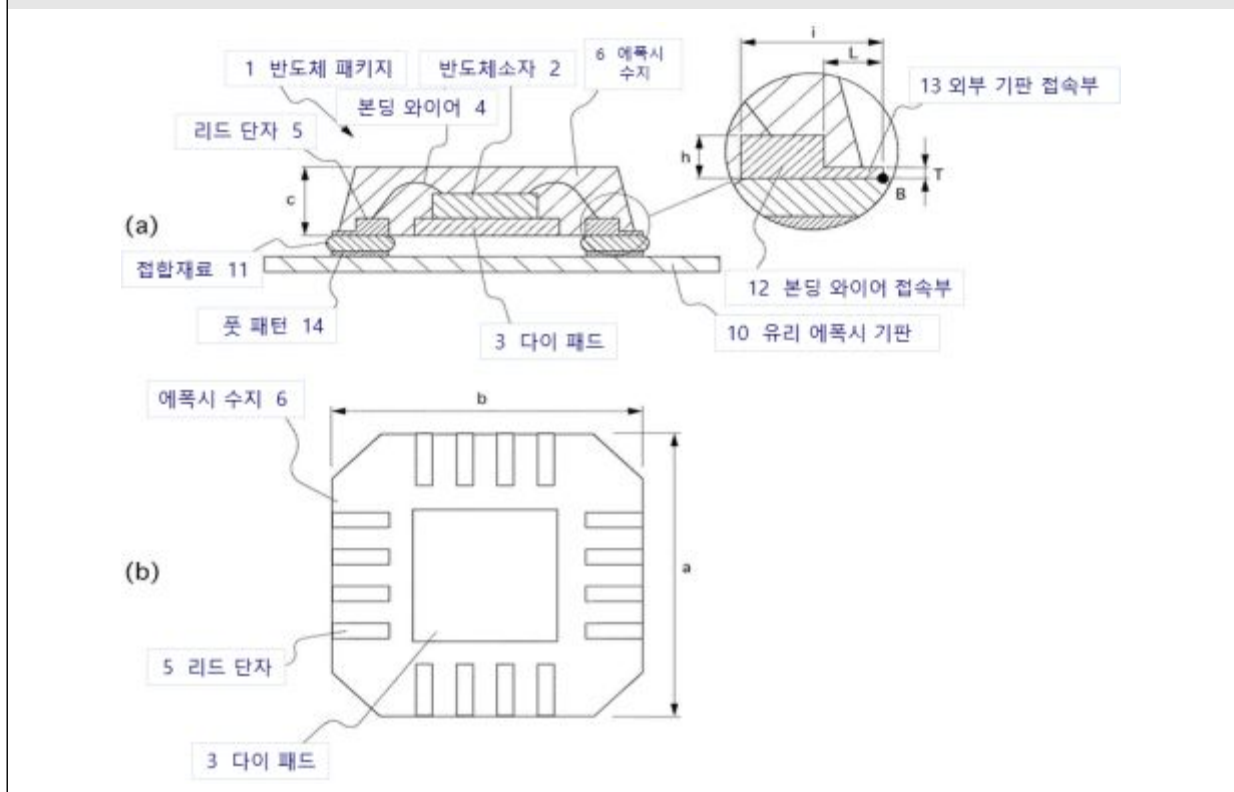
[0016] 덧붙여 본딩 와이어(bonding wire) 접속부의 실장 기판측(mounted substrate)의 면 즉, 본딩 와이어(bonding wire)를 접속한 면과 서로 마주 보는 면 가운데, 부호 A에서 가리키는 영역 이외의 영역은 에폭시 수지(epoxide resin)로 가리고 있으며 반도체 패키지(wound package)의 아래쪽 면에서는 외부 기판 접속부 및 본딩 와이어(bonding wire) 접속부의 부호 A에서 가리키는 영역이 노출하고 있다. 또, 아래쪽 면 중앙부에 다이 패드도 노출하고 있다.

[0017] 덧붙여 본 발명을 적용한 반도체 패키지(wound package)와 실장 기판(mounted substrate)(예를 들면 유리 에폭시기(epoxy function)판) 10의 접속은 반도체 패키지(wound package)의 아래쪽 면으로부터 노출한 외부 기판 접속부 및 본딩 와이어(bonding wire) 접속부의 부호 A에서 가리키는 영역과 실장 기판(mounted substrate)상으로 형성된 풋 패턴(pattern) 14를 땀납 등의 접합 재료 11을 이용해 접속하는 것으로써 가고 있다.

[0018] 이하, 외부 기판 접속부의 길이를 0.25mm, 외부 기판 접속부의 두께를 0.05mm로

한 이유를 도 2를 이용해 설명한다. 덧붙여 도 2에 나타내는 반도체 패키지(wound package)는 도 1에서 나타내는 반도체 패키지(wound package)와 비슷하게, 도 2 중 부호 a에서 가리키는 길이가 5.4mm, 도 2 중 부호 b에서 가리키는 길이가 5.4mm, 도 2 중 부호 c에서 가리키는 길이가 0.8mm가 되는 것처럼 구성되어 있다. 또, 도 2 중 부호 h에서 가리키는 본딩 와이어(bonding wire) 접속부의 두께가 0.2mm, 도 2 중 부호 i에서 가리키는 리드 단자(lead terminal)의 길이가 0.6mm가 되는 것처럼 구성되어 있다.

[도 2] 외부 기판 접속부의 길이 및 두께의 규정 이유를 설명하기 위한 모식도



[0019] 여기서 리드프레임(lead frame)을 구성하는 구리의 선팽창 계수가 약 17×10^{-6} 이며, 에폭시 수지(epoxide resin)의 선팽창 계수가 약 7×10^{-6} 이며, 유리 에폭시기(epoxy function)판으로 이루어지는 실장 기판(mounted substrate)의 선팽창 계수가 약 60×10^{-6} 이다고 하면 -25°C 의 시점에서 가장 응력이 집중하는 도 2 중 부호 B에서 가리키는 개소의 변위량은 $50\mu\text{m}$ 이다.

[0020] 그런데, 외부 기판 접속부가 실장 기판(mounted substrate)의 변형에 추종하는 것에 의해서 접합부에 응력이 집중하는 것을 완화한다는 본 발명의 원리를 기능시키기 위

해서는 도 2 중 부호 B에서 가리키는 개소로의 부하에 의한 실장 기판(mounted substrate)의 젖혀져에 외부 기판 접속부가 추종할 필요가 있다. 여기서 외부 기판 접속부의 길이를 L, 외부 기판 접속부의 두께를 T로 하면 L 및 T와 도 2 중 부호 B에서 가리키는 개소로의 부하에 의한 외부 기판 접속부의 변위량은 도 3에 나타내는 관계를 가지기 때문에 -25°C 의 시점에서 가장 응력이 집중하는 도 2 중 부호 B에서 가리키는 개소가 -25°C 의 시점에서 에폭시 수지(epoxide resin)로부터 분리해 실장 기판(mounted substrate)의 휘어진 상태에 추종하기 위해서는 외부 기판 접속부의 변위량이 $50\mu\text{m}$ 이상이면 안되어, $50\mu\text{m}$ 이상의 변위량을 얻기 위해서는 도 3으로부터 외부 기판 접속부의 길이는 0.25mm 이상, 외부 기판 접속부의 두께는 0.05mm 이하로 할 필요가 있다. 따라서 외부 기판 접속부의 길이를 0.25mm , 외부 기판 접속부의 두께를 0.05mm 로 했다.

[0021] 덧붙여 상기한 외부 기판 접속부의 길이 및 두께는 상기한 치수의 반도체 패키지(wound package)에 있으며서 리드프레임(lead frame)을 구성하는 구리의 선팽창 계수가 약 17×10^{-6} 이며, 에폭시 수지(epoxide resin)의 선팽창 계수가 약 7×10^{-6} 이며, 유리 에폭시기(epoxy function)판으로 이루어지는 실장 기판(mounted substrate)의 선팽창 계수가 약 60×10^{-6} 이라고 해 접합부의 신뢰성을 평가하는 온도로서 -25°C 의 시점을 채용해 이 -25°C 에서의 에폭시기(epoxy function)판의 변위량에 외부 기판 접속부가 추종 한다는 것을 전제로 해서 정한 수치이며, 반도체 패키지(wound package)의 치수가 다르거나 반도체 패키지(wound package)나 실장 기판(mounted substrate)을 구성하는 재료가 다르거나 접합부의 신뢰성을 평가하는 온도역이 다르거나 하는 경우에는 외부 기판 접속부의 길이 및 두께가 달라지는 것은 물론이다.

[0022] 여기서 상기한 실시예에서는 외부 기판 접속부의 두께를 0.05mm 와 얇게 해 외부 기판 접속부의 측면의 면적을 작게 해 외부 기판 접속부와 에폭시 수지(epoxide resin)와의 접착력을 저하시키는 것으로 외부 기판 접속부에 정해진 응력이 더해졌을 경우에 외부 기판 접속부가 에폭시 수지(epoxide resin)로부터 분리할 수 있는 것처럼 구성되어 있지만, 외부 기판 접속부에 정해진 응력이 더해졌을 경우에 외부 기판 접속부가 에폭시 수지(epoxide resin)로부터 분리할 수 있다면 반드시 외부 기판 접속부의 두께를 얇이 할 필요는 없고, 예를 들면 외부 기판 접속부에 표면 처리(treating the surface)를 실시해 에폭시 수지(epoxide resin)와의 접착력을 저감시키는 등의 방법에 따라 외부 기판 접속부에 정해진 응력이 더해졌을 경우에 외부 기판 접속부가 에폭시 수지(epoxide resin)로부터 분리하는 것처럼 해도 좋다.

[0023] 또, 상기한 실시예에서는 외부 기판 접속부에 정해진 응력이 더해지기 전에서는

외부 기판 접속부와 에폭시 수지(epoxide resin)는 접합되고 있으며 정해진 응력이 더해졌을 경우에 외부 기판 접속부와 에폭시 수지(epoxide resin)의 접합이 더해진 응력에 따라 파괴되어 외부 기판 접속부가 에폭시 수지(epoxide resin)로부터 분리해 이동하는 경우를 예로 들고 설명을 실시했지만, 외부 기판 접속부는 실장 기판(mounted substrate)의 변형에 추종 할 수 있으면 충분히 반드시 정해진 응력이 더해지기 전에서 외부 기판 접속부와 에폭시 수지(epoxide resin)가 접합되고 있을 필요는 없다. 즉, 외부 기판 접속부에 정해진 응력이 더해지기 전에서 외부 기판 접속부와 에폭시 수지(epoxide resin)가 접합되지 않고, 외부 기판 접속부에 정해진 응력이 더해지기 전부터 외부 기판 접속부가 에폭시 수지(epoxide resin)로부터 분리해 이동하는 것처럼 구성되어 있으며도 상관없다.

[0024] 또한, 상기한 실시예에서는 본딩 와이어(bonding wire) 접속부의 실장 기판측(mounted substrate)의면 가운데, 부호 A에서 가리키는 영역 이외의 영역은 에폭시 수지(epoxide resin)로 가리고 있었지만, 외부 기판 접속부에 정해진 응력이 더해졌을 경우에 외부 기판 접속부가 에폭시 수지(epoxide resin)로부터 분리할 수 있는 것처럼 구성되어 있으면 충분히 반드시 본딩 와이어(bonding wire) 접속부의 실장 기판측(mounted substrate)의면 가운데, 부호 A에서 가리키는 영역 이외의 영역을 에폭시 수지(epoxide resin)로 가릴 필요는 없고, 본딩 와이어(bonding wire) 접속부의 실장 기판측(mounted substrate)의면의 전면이 반도체 패키지(wound package)의 아래쪽 면으로부터 노출하고 있으며도 상관없다. 단, 본딩 와이어(bonding wire) 접속부가 적어도 일부를 에폭시 수지(epoxide resin)로 가리는 것에 의해서 실장 기판(mounted substrate)의 변형에 기인하는 응력이 본딩 와이어(bonding wire) 접속부에 관련되기 어려워져, 본딩 와이어(bonding wire) 접속부의 박리를 억제할 수 있으며 보다 한층 반도체 패키지(wound package)와 실장 기판(mounted substrate)과의 접합부의 신뢰성의 향상을 도모할 수 있다고 생각되기 위해서 본딩 와이어(bonding wire) 접속부의 실장 기판측(mounted substrate)의면이 적어도 일부는 에폭시 수지(epoxide resin)로 가리는 분이 바람직하다.

[0025] 상기한 본 발명을 적용한 반도체 패키지(wound package)는 도 4(a)에서 나타내는 것처럼 반도체 패키지(wound package)의 실장을 실시한 후에 예를 들면 -25℃의 시점에서 유리 에폭시기(epoxy function)판이 볼록한 모양에 젖혀졌다고 해도 도 4(b)에서 나타내는 것처럼, 유리 에폭시기(epoxy function)판의 변형에 추종 해 외부 기판 접속부가 에폭시 수지(epoxide resin)로부터 박리하기 위해서 즉, 유리 에폭시기(epoxy function)판의 휘어진 상태에 의한 응력으로 리드 단자(lead terminal)가 부분적으로 박리해 유리 에폭시기(epoxy function)판의 휘어진 상태에 추종 하는 것으로, 접합부에 관련되는 응력을 분산

할 수 있으며 반도체 패키지(wound package)를 실장 기판(mounted substrate)과의 접합부에 크랙(crack)이 생기기 어렵고, 반도체 패키지(wound package)와 실장 기판(mounted substrate)과의 접속을 충분히 확보할 수 있다.

[도 4] 본 발명을 적용한 반도체 패키지의 실장 상태를 설명하기 위한 모식도

