**数据读测试（FPGA发起从HPS侧DDR中读取数据）：**

1. 加载FPGA进行复位后，寄存器37 bit0写0，这个是初始化操作；
2. 对寄存器36 bit0写1，表示启动PRBS测试模式
3. 软件申请2个喷头通道分别对应的连续地址空间（大小可配置）；
4. 在两个通道地址空间中分别按照128bit连续数填充PRBS数据；128bit数据为单位，[31:0]对应PRBS种子；[63:32]对应PRBS种子+1；[96:65]对应PRBS种子+2；【127:96】对应PRBS种子+3；第一个32bit对应其种子产生的第一个PRBS数据；
5. 完成2）后，将起始地址写入寄存器（喷头0通道对应偏移地址2，喷头1通道对应偏移地址4），将PRBS种子（32bit随机数）写入寄存器（喷头0通道对应偏移地址3，喷头1通道对应偏移地址5）；
6. 将1）中的地址空间大小写入偏移地址1（按照3KB为单位）
7. 完成2）、3）4）后启动DMA数据读，写入寄存器（偏移地址0，bit0有效）写1、写0；
8. **等待f2h中断（32位中断总线，这里使用irq0（32个中断），中断0对应喷头0通道DMA读数据搬移完成，中断1对应喷头1通道DMA读数据搬移完成）；**

**2021年9月24日修改为：**

**两通道中断统一处理，对应IRQ0的中断0；**

1. 中断后参看寄存器（喷头0通道对应偏移地址14，喷头1通道对应偏移地址21）是否为全0，不为全0则说明数据出错；

查看寄存器（喷头0 12、13；喷头1通道对应偏移地址19、20；）是否为正确（这个值是按照1）中地址空间大小/3KB来计算的）；

注意这些值是累积的

查看寄存器38、39、40（这个值是按照1）中地址空间大小/3KB来计算的）；

注意这些值是累积的。注意，这几个寄存器需要软件收到中断，在查询完12、13、19、20寄存器之后延时10ms再去查38、39、40

1. 重复2~9可以进行拷机测试；也可以重复1~9进行拷机测试；

区别在于上文中的9）中的各寄存器是否是累积的。

注意：6）中喷头0通道对应偏移地址12、13可以通过寄存器26 bit0写1、写0进行清零，否则就会累加，最大值是32’hffffffff; 喷头1通道对应偏移地址19、20可以通过寄存器26 bit1写1、写0进行清零，否则就会累加，最大值是32’hffffffff;

**数据写测试（FPGA发起向HPS侧DDR写数据）：**

寄存器37 bit0写0

1. 软件申请2个喷头通道分别对应的连续地址空间（大小可配置）；
2. 将起始地址写入寄存器（喷头0通道对应偏移地址8，喷头1通道对应偏移地址10），将PRBS种子（32bit随机数）写入寄存器（喷头0通道对应偏移地址9，喷头1通道对应偏移地址11）；
3. 将1）中的地址空间大小写入偏移地址7（按照3KB为单位）
4. 完成1）、2）、3）后启动DMA数据写，写入寄存器（偏移地址6，bit0有效）写1、写0；
5. **等待f2h中断（32位中断总线，这里使用irq0（32个中断），中断2对应喷头0通道DMA写数据搬移完成，中断3对应喷头1通道DMA写数据搬移完成）；**

**2021年9月24日修改：**

**两通道中断合一，对应IRQ0的中断1；**

1. 中断后参看寄存器（喷头0通道对应偏移地址18，喷头1通道对应偏移地址25）是否为全0，不为全0则说明数据出错；

查看寄存器（喷头0通道对应偏移地址17；喷头1通道对应偏移地址24；）是否为正确（这个值是按照1）中地址空间大小/3KB来计算的）；

1. 软件查看两通道地址空间数据是否满足PRBS规则，进行数据校验；128bit数据为单位，[31:0]对应PRBS种子；[63:32]对应PRBS种子+1；[96:65]对应PRBS种子+2；【127:96】对应PRBS种子+3；第一个32bit对应其种子产生的第一个PRBS数据；
2. 重复2~6可以进行拷机测试；也可以重复1~6进行拷机测试；

注意：6）中喷头0通道对应偏移地址17可以通过寄存器26 bit2写1、写0进行清零，否则就会累加，最大值是32’hffffffff; 喷头1通道对应偏移地址245可以通过寄存器26 bit3写1、写0进行清零，否则就会累加，最大值是32’hffffffff;

2021年10月9日更新：

注意：7）中喷头0通道对应偏移地址17可以通过寄存器27 bit0写1、写0进行清零，否则就会累加，最大值是32’hffffffff; 喷头1通道对应偏移地址24可以通过寄存器27 bit1写1、写0进行清零，否则就会累加，最大值是32’hffffffff;

**FPGA DDR 8Gbit空间PRBS测试功能：**

偏移地址28：系统时钟锁定指示，bit0有效；RO，正常状态下为1，异常为0；

偏移地址29：DDR初始化状态指示，bit[2:0]有效；RO，正常状态下为110，其他值为异常；

偏移地址30：DDR PRBS写使能，bit0有效，RW，写1写0触发FPGA向DDR写入8Gbit PRBS数据；

偏移地址31：DDR PRBS读使能，bit0有效，RW，写1写0触发FPGA从DDR读取8Gbit PRBS数据，并进行校验；

偏移地址32：DDR PRBS种子，32bit有效，RW；此数据在每轮测试时最好随机产生；

偏移地址35：DDR PRBS错误清零控制，bit0有效，RW；1表示清除；

偏移地址33：DDR PRBS错误指示，bit0有效，RW，1表示有错误，受偏移地址45清零；

偏移地址34：DDR PRBS 错误个数统计，用于判断误码率，32位有效，最大ffffffff后保持，受偏移地址35清零；

FPGA DDR PRBS软件流程说明：

1. HPS对FPGA进行复位（这个是系统流程，这里只是提一下）；
2. 查看偏移地址28和29，确认系统处于正常状态；
3. 偏移地址35写1写0；
4. 配置偏移地址32，PRBS种子；
5. 寄存器37 bit0写0，配置偏移地址30，启动写；
6. **等待f2h中断5（从0开始算）;**

**2021年9月24日修改：**

**等待IRQ0中断3**

1. 寄存器37 bit0写0，配置偏移地址31，启动读校验；
2. **等待f2h中断4（从0开始算）；  
   2021年9月24修改：**

**对应IRQ0的中断4；**

**2021年10月11日修改：**

**对应IRQ0的中断2；**

1. 检测偏移地址33和34，判断是否有误码，有多少误码；

测试方式：

方式1：一次写多次读，软件流程是执行完2-6后，反复执行7-9；

方式2：多次写多次读，软件流程是反复执行2-9；