

## **PLATAFORMA DE DISEÑO ISE**

---

M.I. NORMA ELVA CHÁVEZ RODRÍGUEZ

## 6.1 HERRAMIENTAS DE DISEÑO “ISE”

La plataforma ISE (Integrated Software Environment) integra herramientas de desarrollo necesarias para procesar diseños en forma amigable e incluso manejar proyectos jerárquicos. También cuenta con métodos poderosos de síntesis lógica, compilación, partición, simulación funcional, simulación en tiempo y simulación enlazada con varios dispositivos. Para el manejo de esta plataforma se requiere introducir un diseño, sintetizarlo y finalmente configurarlo y grabarlo en el dispositivo seleccionado; sin embargo, es recomendable, antes de crear el diseño, que éste se simule y se analice en el tiempo.

## 6.2 PROYECTO

Un proyecto contiene todos los archivos de la jerarquía de un diseño. Los módulos que contenga un proyecto son llamados fuentes. La plataforma ISE realiza la compilación, síntesis, simulación, análisis en el tiempo y programación de un dispositivo en un solo proyecto. Para compilar un proyecto con archivos independientes se debe especificar, primero, qué archivo se desea compilar.

## 6.3 INTRODUCCIÓN DEL DISEÑO

Introducir un diseño significa el proceso de describir la arquitectura del diseño, utilizando algún método que sea soportado por ISE. La selección del dispositivo a utilizar se hace en el momento de introducir el diseño a esta plataforma. Existen muchos métodos para introducir un diseño; sin embargo, algunas reglas simples a seguir son las siguientes:

- La captura de cualquier esquemático se efectúa en el editor gráfico.
- La captura de diagramas de estado se efectúa en el editor gráfico.
- La captura de diseños hechos en lenguaje de descripción ABEL se efectúa en el editor de texto.
- La captura de diseños hechos en lenguaje de descripción VHDL se efectúa en el editor de texto.
- La captura de diseños hechos en lenguaje de descripción Verilog-HDL se efectúa en el editor de texto.
- La captura de diseños hechos en forma de vectores se efectúa en el editor de forma de onda.
- La captura de archivos generados en Edit, netlist y Xilinx netlist que son diseños hechos con herramientas EDA de otras industrias se efectúa en el editor de texto.

## 6.4 SÍNTESIS DEL DISEÑO

Sintetizar un diseño significa traducirlo a código creador de hardware. Para sintetizar un proyecto se requiere compilarlo. Compilar un diseño significa evaluar el manejo correcto de la sintaxis necesaria para la creación de hardware. Puede darse el caso de que un diseño sea compilado exitosamente y sin embargo no sea sintetizable debido a que la plataforma ISE no tenga los constructores necesarios para alguna instrucción de dicho diseño.

Después de sintetizar el diseño se requiere hacer una asignación a los pines de entrada y salida.

## 6.5 CONFIGURACIÓN O PROGRAMACIÓN DEL DISEÑO

Después de sintetizar cualquier diseño, éste queda listo para programarse en un CPLD o para configurarse en un FPGA, utilizando el puerto paralelo de la computadora.

## 6.6 ESPECIFICACIONES DE UN PROYECTO

Considérese un proyecto que consta de dos módulos. El primer módulo será un contador que actúa como sincronizador de una máquina de estados y el segundo será la máquina de estados. Esta máquina de estados manejará los cambios de las tres luces de cada semáforo y contará con los estados de la tabla 6.1.

Tabla 6.1

Estados	Salidas
Estado 1	Luz Roja
Estado 2	Luz Roja, Luz amarilla
Estado 3	Luz Verde
Estado 4	Luz Amarilla

Para el diseño de cada módulo se utilizará una herramienta de diseño diferente, así: el módulo del contador, que denominaremos “control”, se hará en el editor de texto utilizando el lenguaje “VHDL” y el módulo de la máquina de estados se hará en el editor de esquemáticos utilizando un diagrama de estados.

## 6.7 CREACIÓN DE UN PROYECTO

Lo primero que se requiere es crear una carpeta en donde se tendrán todos los archivos generados durante el desarrollo del proyecto, posteriormente, desde Windows, se sigue la siguiente secuencia para el llamado al entorno ISE:

Inicio → Programas → Xilinx ISE → Project Navigator

Esta acción inicia la ejecución del Project Navigator, el cual es el entorno de desarrollo de la plataforma ISE, que permite acceder a los recursos y procesos de la plataforma. La figura 6.1 muestra el menú principal del entorno de desarrollo Project Navigator.

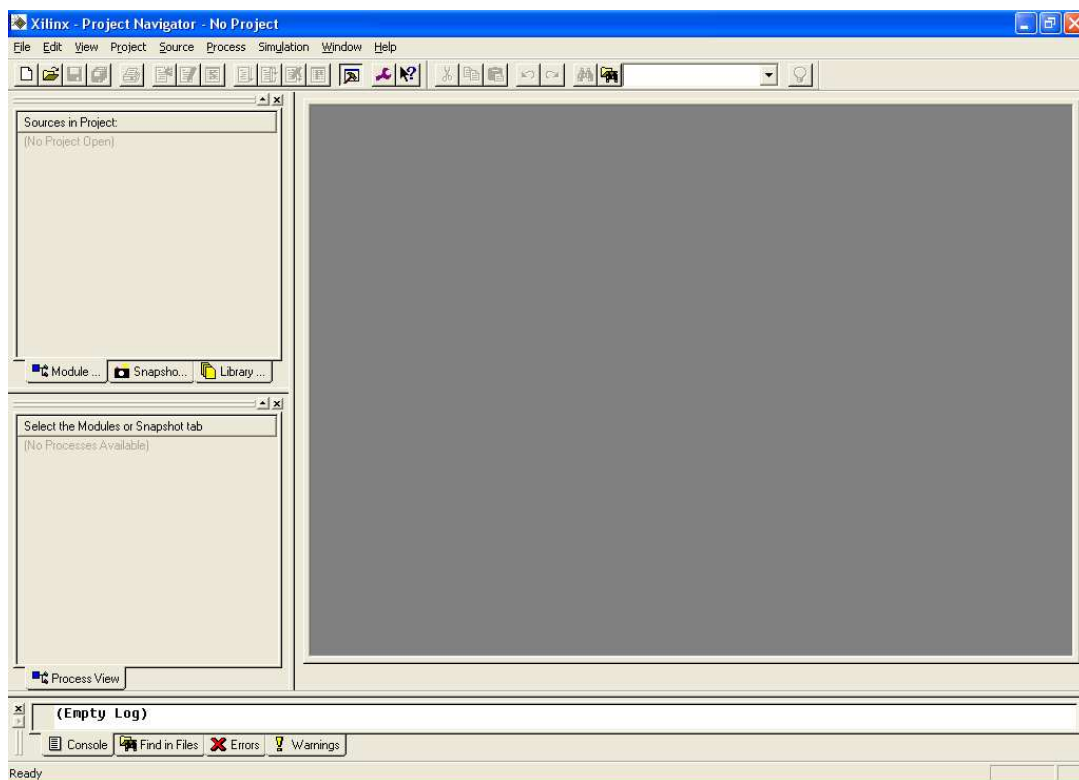


Figura 6. 1. Menú principal del entorno de desarrollo Project Navigator

Para crear un nuevo proyecto se requiere de las acciones listadas a continuación:

- En la opción “File” del menú principal seleccione “New Project”. Al hacer esto aparece una ventana de ayuda para introducir el nombre y la localización del proyecto, tal como se muestra en la figura 6.2.
- Al proyecto se le llamará “Semaforos”.
- Seleccione “HDL” en la opción “Top Level Module Type” para indicar que el archivo del nivel superior del proyecto será un lenguaje descriptivo de hardware.
- Presione siguiente para abrir la página de propiedades del proyecto.

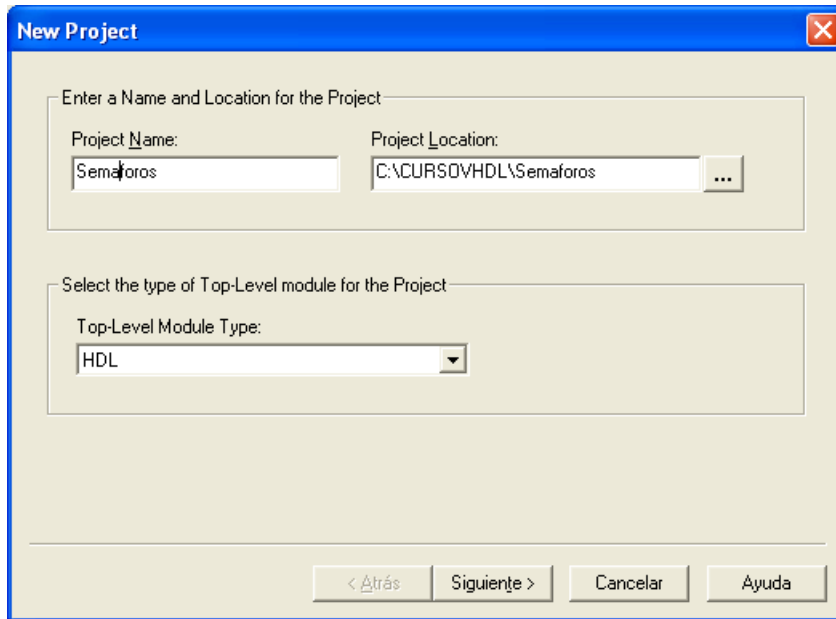


Figura 6. 2. Creación de un nuevo proyecto.

En la página de propiedades del proyecto se requiere escribir los datos del dispositivo que se desee utilizar. El dispositivo incluido en la tarjeta de desarrollo del “Spartan III Starter Kit”, con el que cuenta la Facultad de Ingeniería, tiene las siguientes propiedades:

Device Family:	Spartan3
Device:	xc3s200
Package:	ft256
Speed grade:	-5
Top Level Module Type:	HDL
Synthesis Tool:	XST (VHDL/Verilog)
Simulator:	ISE Simulator
Generated simulation language	VHDL

La tabla de propiedades del proyecto aparece como se muestra en la figura 6.3:

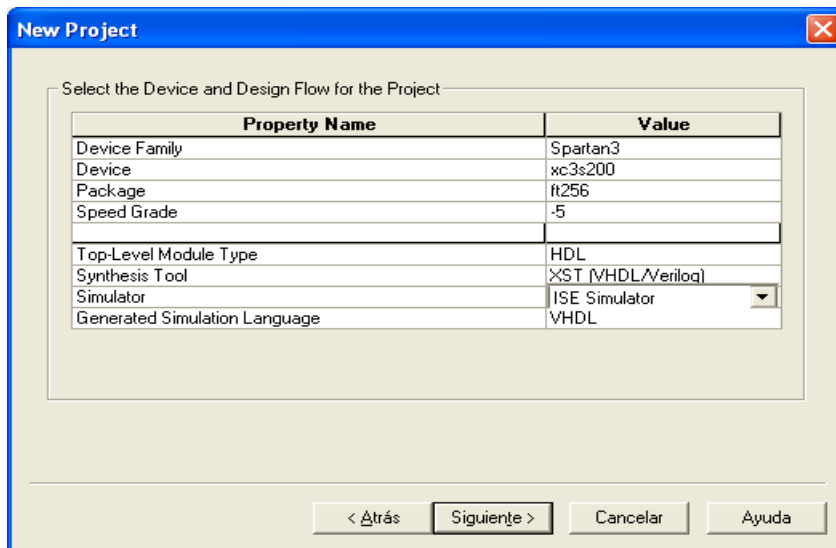


Figura 6.3. Tabla de propiedades del proyecto

## 6.8 CREACIÓN DE UN MÓDULO

Una vez que se introducen los datos solicitados en la página de propiedades, se requiere la creación del módulo; por lo que se presiona la opción “siguiente”, para que aparezca otra ventana en la que se debe hacer un “click” en “New Source”. Después se selecciona “VHDL Module”, se da un nombre al diseño y se selecciona la opción “Add to Project”, tal como lo muestra la figura 6.4. .

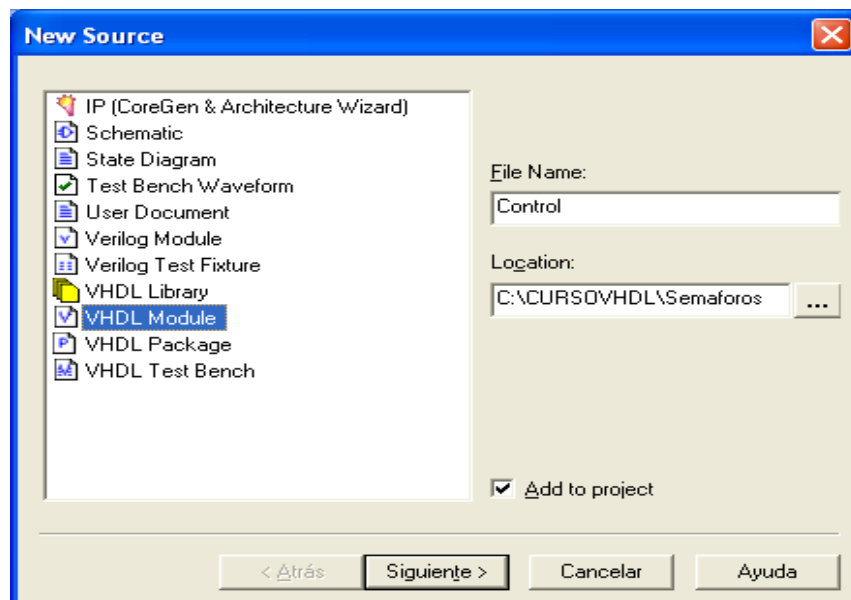


Figura 6. 4. Selección y nombre del archivo que se desea crear.

A continuación siga los pasos siguientes:

- Dé “click” en siguiente para abrir la ventana que permite definir los puertos del diseño en VHDL. No modifique los nombres de la entidad y la arquitectura. Utilice las columnas “Port Name” para asignar nombre al puerto, “Direction” para declarar los puertos como entradas, salidas o entrada/salida, “MSB” y “LSB” para indicar si el puerto es de uno o más bits. En la columna “Port Name” introduzca en renglones diferentes los nombres “clock”, “reset”, “count”. En “Direction” seleccione “in” para declarar los puertos “clock” y “reset” como entradas e “inout” para “count”. Para indicar que “count” es un puerto bidireccional de 4 bits, seleccione 3 en “MSB” (Más significativo) y 0 en “LSB” (Menos significativo). La asignación de los nombres de la entidad, arquitectura y declaración de puertos se muestra en la figura 6.5.

Port Name	Direction	MSB	LSB
clock	in		
reset	in		
count	inout	3	0
	in		
	in		
	in		
	in		
	in		
	in		
	in		
	in		
	in		
	in		

Figura 6.5. Asignación de los nombres de la entidad, arquitectura y declaración de puertos.

- Presione siguiente y observe que aparece la ventana con la información del proyecto. Si al revisar la información se determina modificar algún parámetro de la fuente creada recientemente es posible ejecutar dicha modificación presionando el botón atrás. El reporte de los parámetros en VHDL de esta fuente se muestran en la figura 6.6.

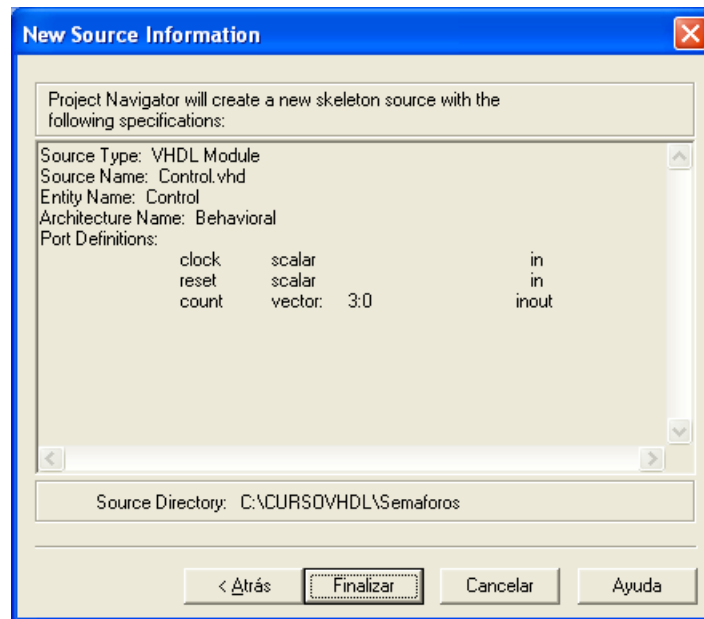


Figura 6.6. Reporte de parámetros del módulo VHDL.

- Dé “click” en finalizar para que la fuente “Control” se integre al proyecto “Semáforos”. Presione en las dos ventanas que se presentan a continuación el botón siguiente de tal forma que se abra la ventana de información del proyecto. La Información sobre proyecto y fuente creados se muestran en la figura 6.7

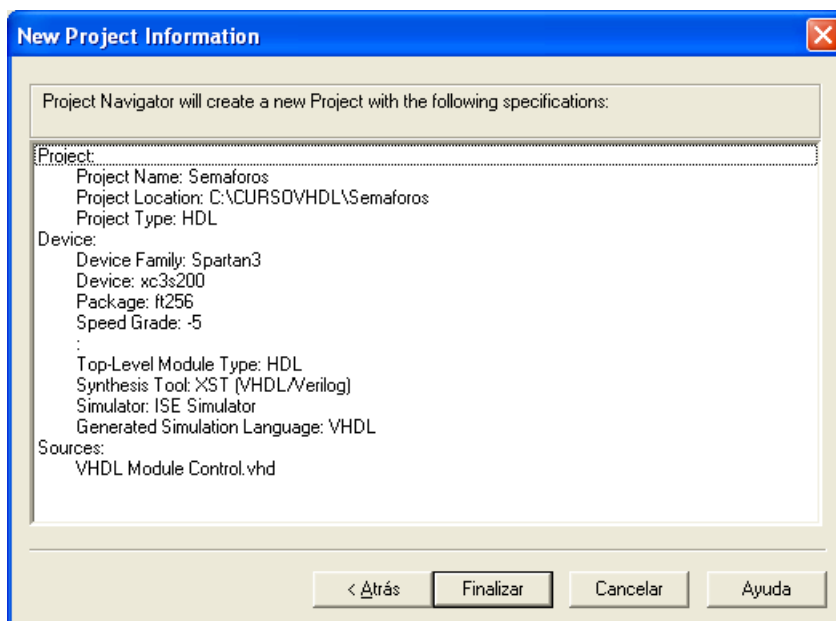


Figura 6.7. Información del proyecto y fuente creados.



## 6.9 CREACIÓN DEL CÓDIGO FUNCIONAL DEL MÓDULO “CONTROL”

Un módulo en “VHDL”, consiste de:

- Declaración de las bibliotecas a utilizar.
- Declaración de puertos (Entidad).
- Descripción funcional del módulo (Arquitectura).

Exceptuando la descripción funcional, las dos primeras secciones ya han sido generadas, como lo muestra la figura 6.8. Entonces, el siguiente paso es escribir el código del comportamiento del módulo “control” en la arquitectura. Para ello utilizaremos las plantillas de diseño incluidas en la plataforma ISE. Para seleccionarlas, dé “click” en el botón con el icono de una bombilla o foco localizado en la esquina superior derecha, como está señalado en la figura 6.8.

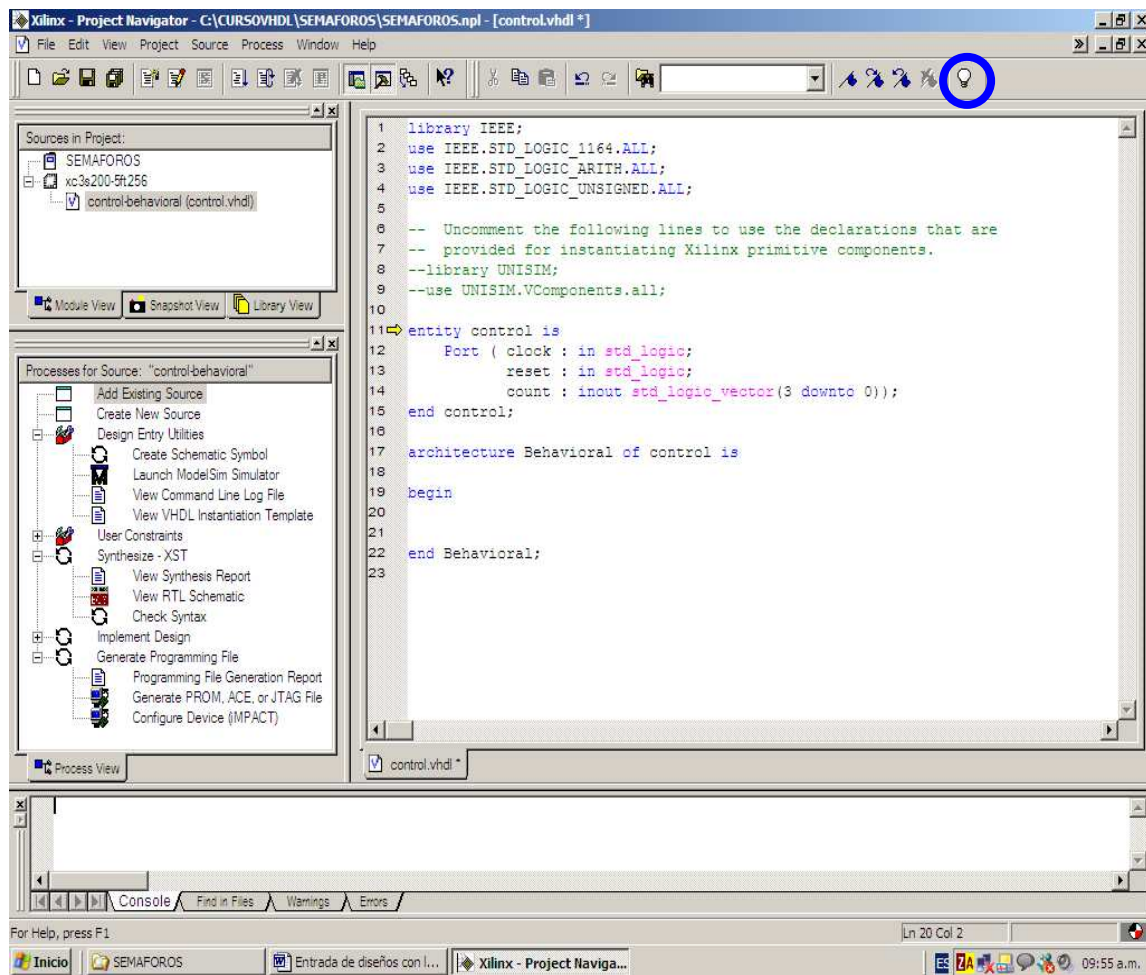


Figura 6.8. Requerimientos mínimos necesarios, sin desarrollo de la arquitectura en lenguaje “VHDL”.

- Seleccione “VHDL” → “Synthesis Constructs” → “Coding Examples” → “Counters” → “Binary” → “Up Counters” → “ /w CE and Async Active High Reset”. Seleccione y copie el código de la plantilla dentro de las instrucciones “begin” y “end” de la arquitectura.
- Como se tienen varios archivos abiertos, seleccione el archivo “control.VHD”, para regresar al archivo que se está diseñando y pegarle la plantilla del contador; posteriormente, borre las líneas de código “VHDL” que no se utilizarán, ya que el código del contador de la plantilla tiene control de habilitación que no es necesario en el diseño actual. La figura 6.9 señala con un círculo los archivos de trabajo actuales.
- En el archivo “control”, verifique que los nombres de los puertos concuerden con los nombres utilizados en la plantilla, elimine los signos “< >” de los nombres y las siguientes líneas de código:

```
if <clock_enable>='1' then
```

```
end if;
```

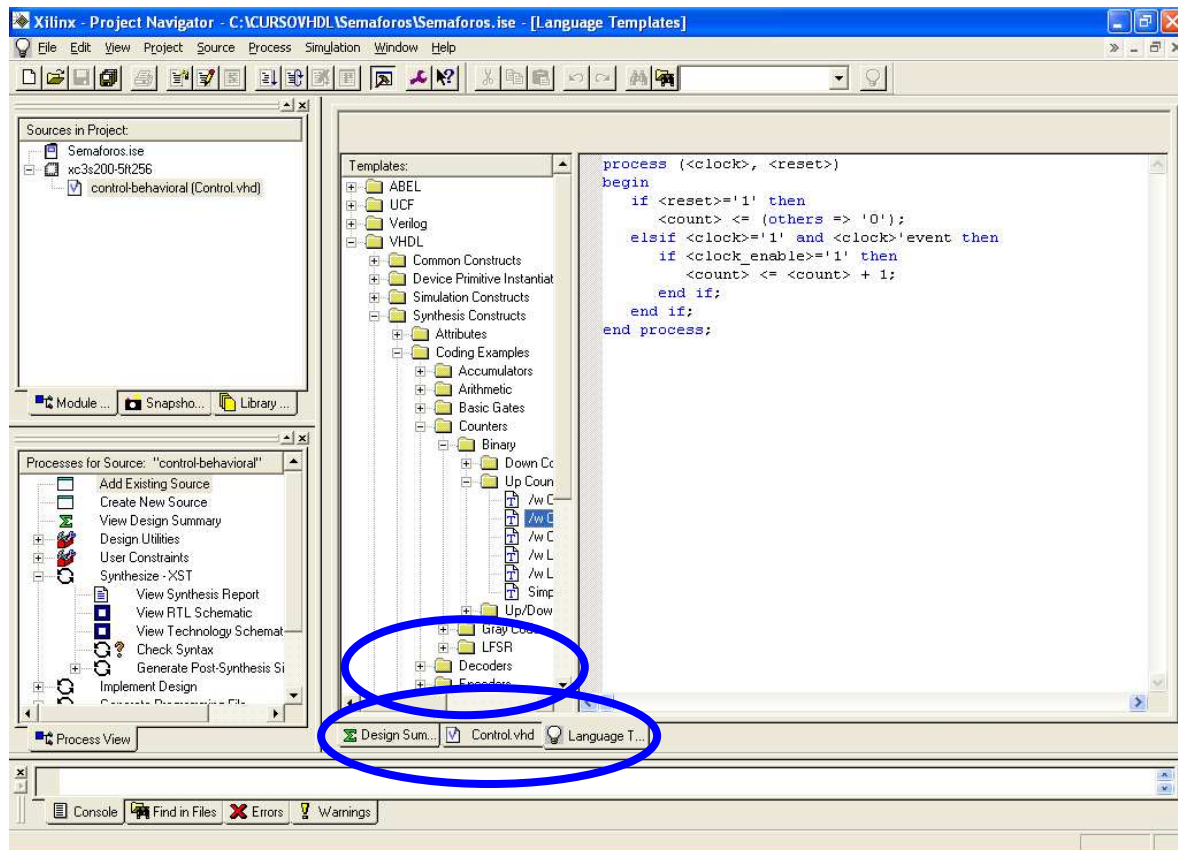


Figura 6.9. Plantilla del diseño de un contador

- Una vez actualizado el módulo “VHDL” del archivo “control”, se requiere respaldarlo. Dé “click” en el botón con el ícono “save file”.
- Verifique la sintaxis del código. En la ventana de procesos asociados al archivo “control”, localice “Synthesize XST” y dé doble “click” en la opción “Check Syntax”. La figura 6.10 muestra este proceso. Si la sintaxis tiene errores, el procesador de sintaxis mostrará una cruz roja en el proceso donde dice “Check Syntax” y en la ventana de mensajes aparecerá el error y su ubicación en el archivo con el código. Si no hay errores, en el proceso aparecerá una paloma verde, como se muestra en la figura 6.10. De esta manera el módulo VHDL “Control” está completo.

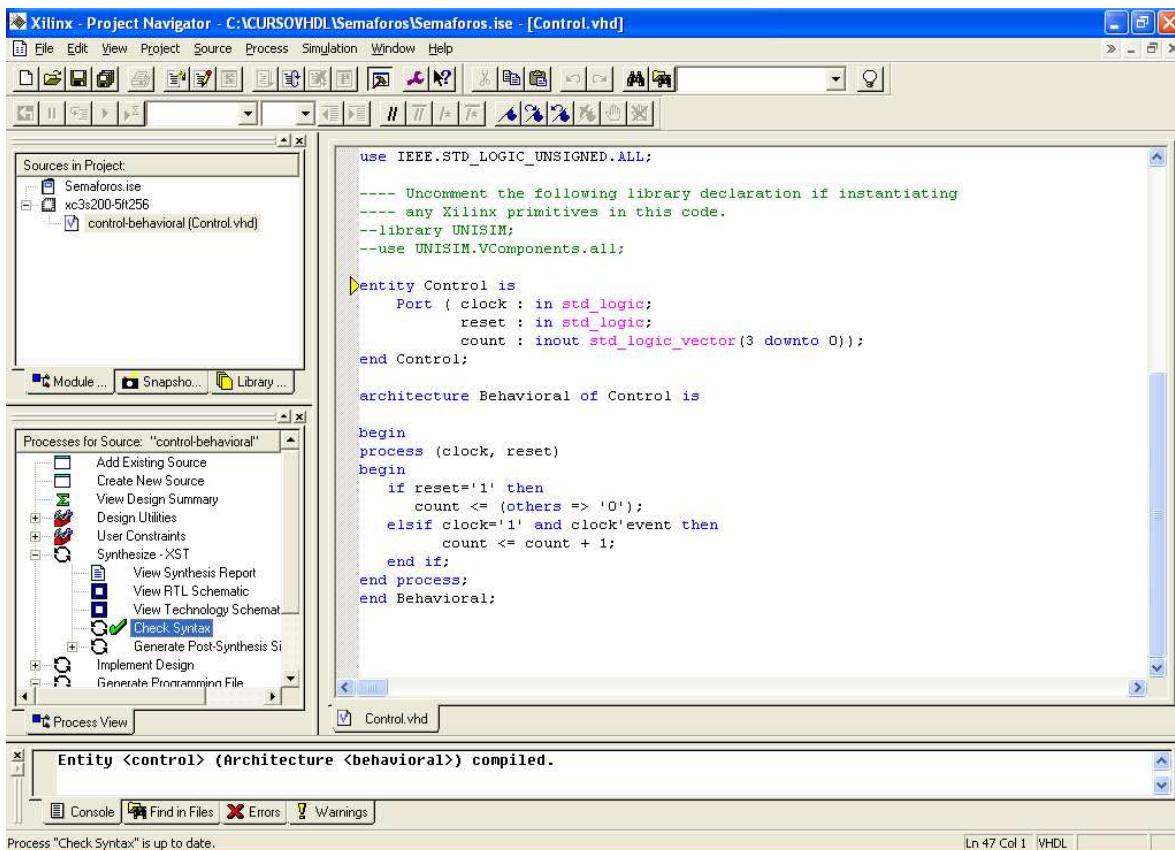


Figura 6.10. Verificación de la sintaxis.

## 6.10 CREACIÓN DE MÁQUINA DE ESTADOS

Para la creación de la máquina de estados se utilizará el editor de diagramas de estados y la especificación del problema, la cual establece que la máquina de estados manejará 4 estados, controlando en cada uno de ellos el encendido o apagado de tres luces, en función del valor del contador (módulo control) que actúa como temporizador del ciclo de operación del semáforo.

Como será observado mas adelante, la ejecución de un ciclo completo del semáforo requiere de tres vueltas completas del contador. Además, las combinaciones de luces en cada estado son:

Estado 1: Luz Roja, estado inicial y hasta que el contador tenga su cuenta máxima

Estado 2: Luz Roja y Luz Amarilla, hasta que el contador sea 256 (0100 Hex)

Estado 3: Luz Verde, hasta que el contador sea 17 (0011 Hex)

Estado 4: Luz Amarilla, hasta que el contador sea 0.

Las etapas de creación son:

- Seleccione “Project” → “New Source” → “State diagram”. Asigne el nombre “luces” con la extensión “.dia” y verifique que la opción “Add to project” esté elegida, como se observa en la figura 6.11. Dé “click” en siguiente y, en la ventana de información que aparece a continuación, en finalizar para abrir la ventana del editor de diagramas de estado. El editor de diagramas de estados se muestra en la figura 6.12
- Para incluir los estados, dé “click” en el botón con el icono “Add State”, localizado en la columna de la izquierda y mostrado dentro de un círculo en la figura 6.12. Posteriormente, con el apuntador del “Mouse”, dentro de la ventana de edición, dé 4 “clicks” para incluir los cuatro estados.
- Para las transiciones entre estados, seleccione el botón con el icono “Add Transition”, localizado bajo el botón “Add State”, y posteriormente dé un “click” en el estado donde desea que inicie la transición y otro “click” en el estado donde desea que finalice. El editor permite construir diagramas de estado utilizando el modelo de la máquina de Mealy o de Moore. Por lo que se pueden escribir dentro de cada estado el nombre y las salidas correspondientes, y en las transiciones los nombres y valores de las entradas o se puede escribir dentro de cada estado simplemente su nombre y en las transiciones los valores de las entradas y salidas. Esta máquina de estados utilizará el modelo de la máquina de Moore, en la cual las variables de salida dependen únicamente del estado actual y las transiciones de las variables de entrada.

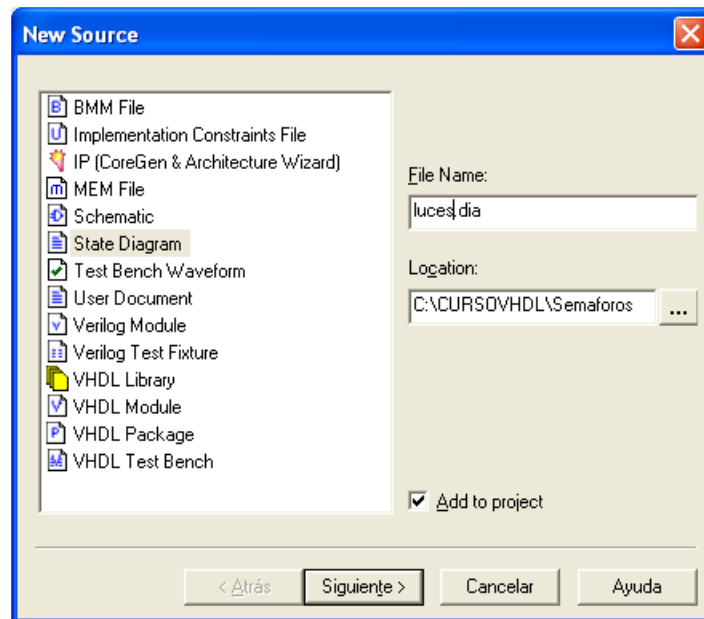


Figura 6.11. Máquina de estados utilizando el editor de diagrama de estados

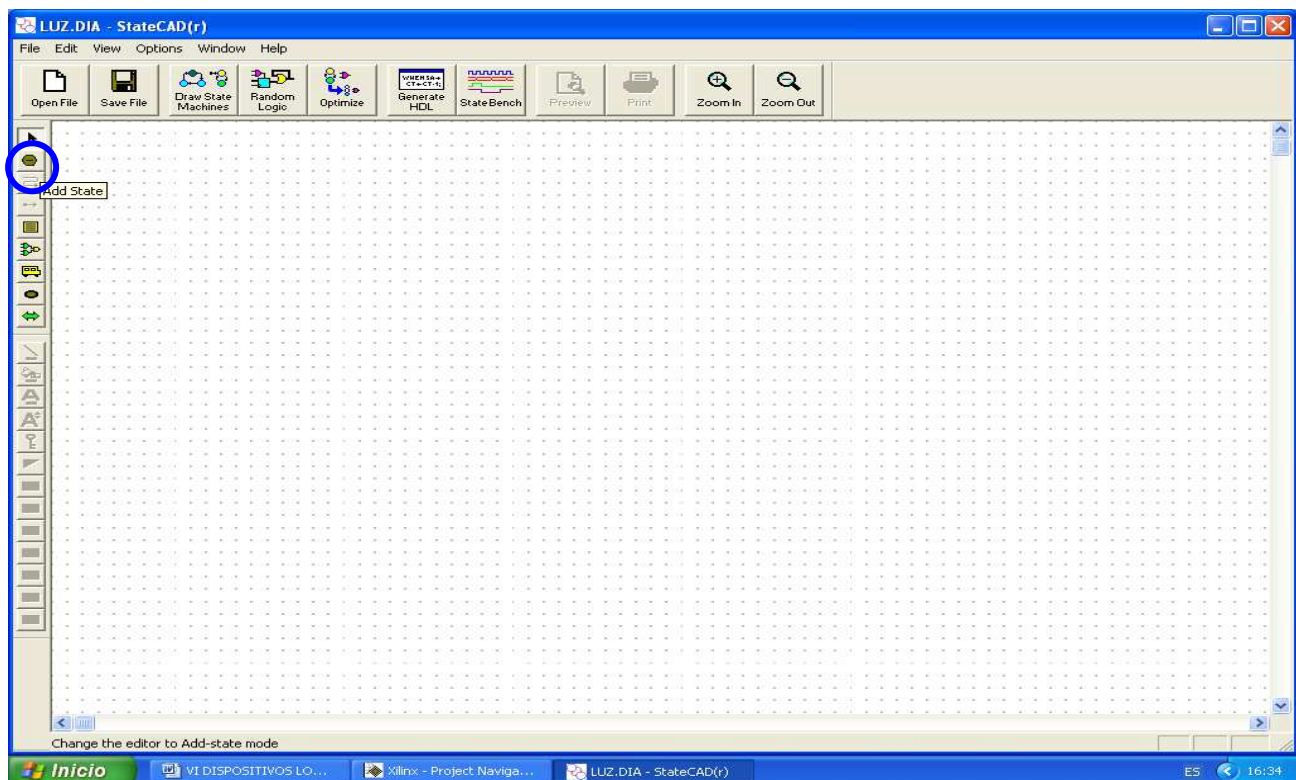


Figura 6.12. Editor de diagrama de estados, mostrando la opción para adicionar estados

Para dar nombre a los estados y asignar valor a las salidas, dé doble “click” en cada estado para abrir la ventana de diálogo, que permite asignar nombre y editar las variables de salida siguiendo las asignaciones ilustradas en la tabla 6.2. La forma de ir escribiendo en cada estado sus entradas y salidas se ilustra en la figura 6.13

TABLA 6.2 NOMBRE DE LOS ESTADOS Y ACTIVACIÓN DE SALIDAS EN CADA ESTADO

State Name	Outputs
Estado1	LR = '1';
Estado2	LR = '1'; LA = '1';
Estado3	LV = '1';
Estado4	LA = '1';

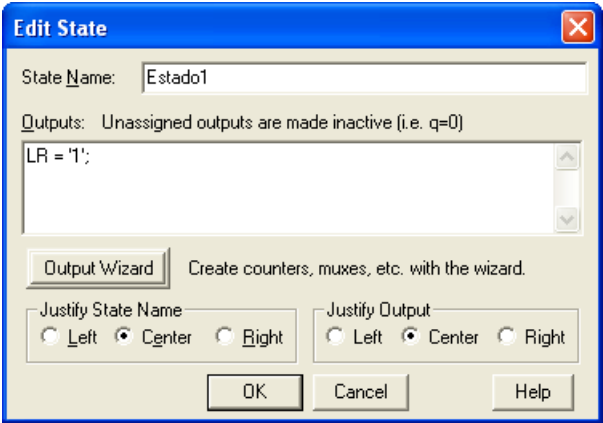


Figura 6.13. Edición de nombre de estado y asignación de variables de salida

Las condiciones para la transición entre estados se establecen dando un doble “click” en las flechas de transición, con lo que se abre la ventana de edición de la condición, tal como se muestra en la figura 6.14. Asigne las condiciones de la forma mostrada en la tabla 6.3:

TABLA 6.3 Dirección de la transición y valor de la condición para hacer la transición

Transition	Condition
Estado1 → Estado2	timer = “1111”
Estado2 → Estado3	timer = “0100”
Estado3 → Estado4	timer = “0011”
Estado4 → Estado1	timer = “0000”

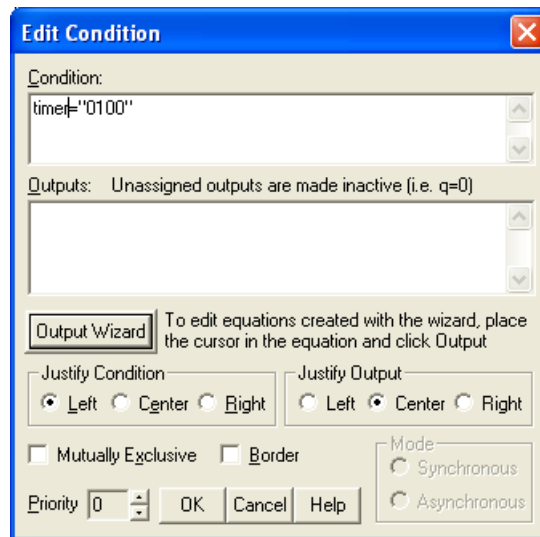


Figura 6.14. Edición de las condiciones para la transición entre estados

Dé “click” en el botón “Add Reset” para incluir la señal de inicio de la máquina de estados. Después, dé un “click” fuera del estado que se desea sea el estado inicial y otro “click” en la vecindad del mismo, con lo cual aparece una ventana para seleccionar si se desea que la señal de “reset” sea síncrona o asíncrona.

Cuando se manejan variables con más de un bit, es necesario incluir la variable como vector. Dé “click” en el botón “Add Vector” para anexar la variable de entrada “timer” como una señal de 4 bits, ver figura 6.15.

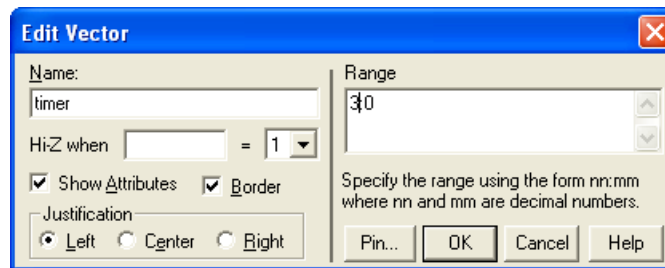


Figura 6.15. Edición de variables como vectores.



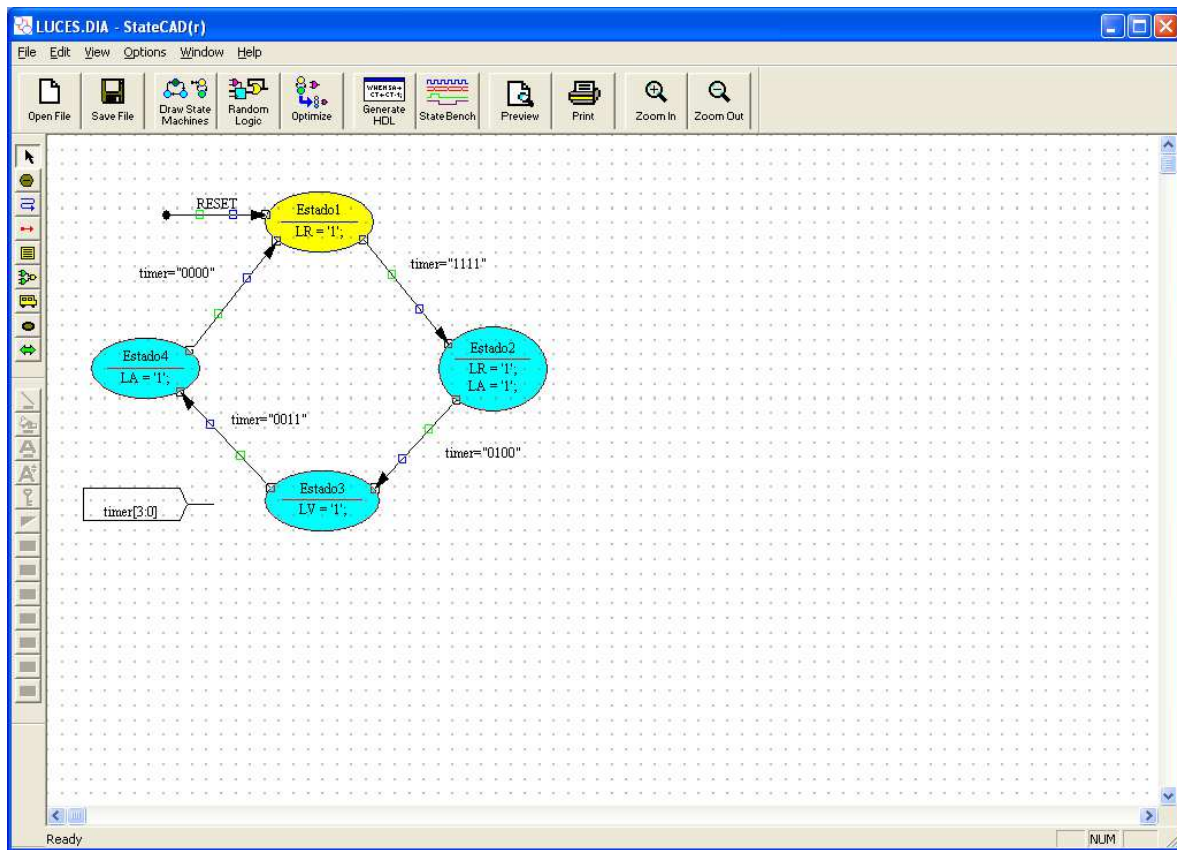


Figura 6.16. Máquina de estados utilizando el editor de diagramas de estado

El diagrama de la máquina de estados, obtenido utilizando el editor de diagramas de estados, se ilustra en la figura 6.16.

Después:

- Genere el código en lenguaje VHDL correspondiente a la máquina de estados. Para esto, dé “click” en el botón “Compile” (Generate HDL). Entonces, si no hay errores, aparecerá la ventana de resultados con el mensaje “Compiled Perfectly”, ver figura 6.17; en caso contrario es necesario localizar y corregir los errores.
- Respalde el archivo y cierre el editor de diagramas de estados. La máquina de estados ahora debe incluirse al proyecto.
- Seleccione la opción “Add Source” del menú “Project”. De las fuentes existentes seleccione “LUCES. vhd”. Dé “click” en “Abrir” y declárelo como “VHDL Design”. El código VHDL asociado a la máquina es incluido en el proyecto.
- Seleccione la opción “Add Source” del menú “Project”. Ahora seleccione “LUCES.DIA”. Al presionar “Abrir” el diagrama será incluido en la jerarquía más alta de las fuentes del proyecto, como lo muestra la organización de los archivos fuente en el proyecto de la figura 6.18. Para abrirlo, dé doble “click” en este archivo.



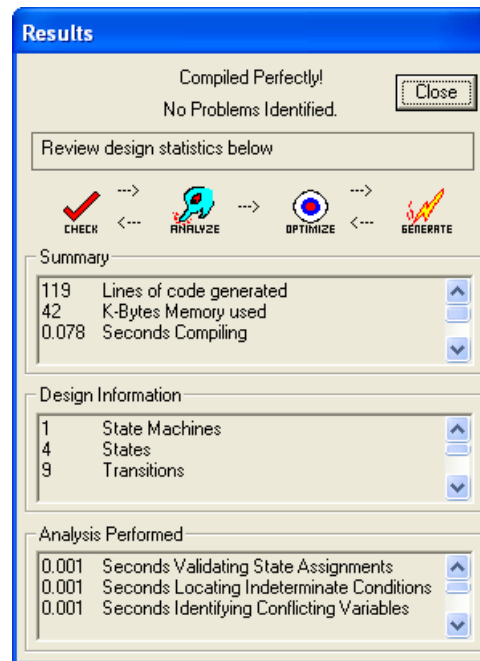


Figura 6.17. Resultados de la compilación para la generación del código HDL

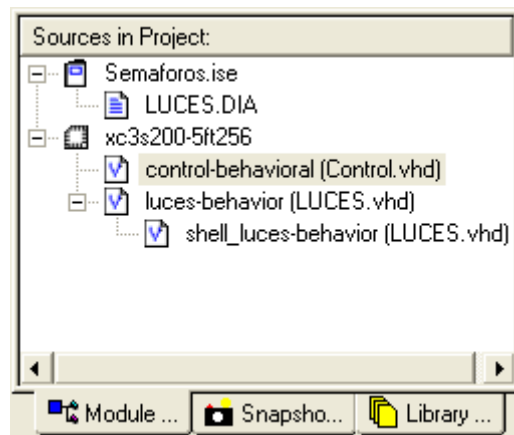


Figura 6.18. Organización de los archivos fuente en el proyecto.

## 6.11 CREACIÓN DE MÓDULO JERÁRQUICO EN VHDL

El siguiente paso es unir los dos módulos creados en este proyecto en un nuevo módulo que actúa como el módulo de mayor jerarquía. Esta unión se puede hacer utilizando el editor de texto o utilizando el editor esquemático. Primero se hará la unión en el editor de texto y posteriormente se hará en el editor de esquemáticos.

Para respaldar la secuencia de cambios o el estado actual del proyecto en un subdirectorio que le permita volver a un estado específico, deseado, puede hacer uso del “Snapshot”. Este se crea de la siguiente manera: Dé “click” en “Project” → “Take snapshot” y se presentará la ventana mostrada en la figura 6.19.

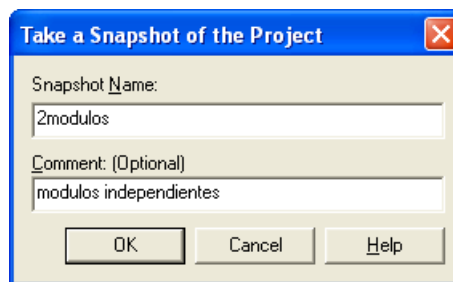


Figura 6.19. SNAPSHOT del proyecto

Ahora proceda a la creación del módulo jerárquico, creando una nueva fuente, de la siguiente manera:

- “Project” → “New Source” → “VHDL Module”. Asigne el nombre Top.
- Dé “click” en siguiente para abrir la ventana que permite definir los puertos del diseño en VHDL. No modifique los nombres de la entidad y la arquitectura. Utilice las columnas “Port Name”, para asignar nombre al puerto, y “Direction”, para declarar los puertos como entradas, salidas o entrada/salida.
- En la columna “Port Name” introduzca en renglones diferentes los nombres “clock”, “reset”, “luz\_roja”, “luz\_amarilla” y “luz\_verde”. En “Direction”, seleccione “in” para declarar los puertos “clock” y “reset” como entradas y “out” para “luz\_roja”, “luz\_amarilla”, “luz\_verde”. Después, presione siguiente y, en la ventana que aparece a continuación, finalizar para que aparezca el código VHDL de este módulo.

La figura 6.20 muestra la definición de puertos del módulo jerárquico y la figura 6.21 ilustra el módulo “Top” en VHDL

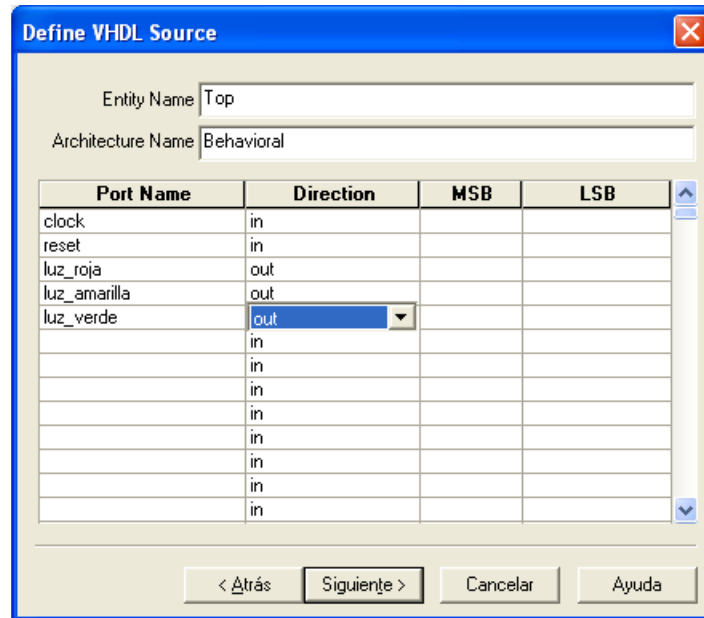


Figura 6.20. Definición de puertos del módulo jerárquico

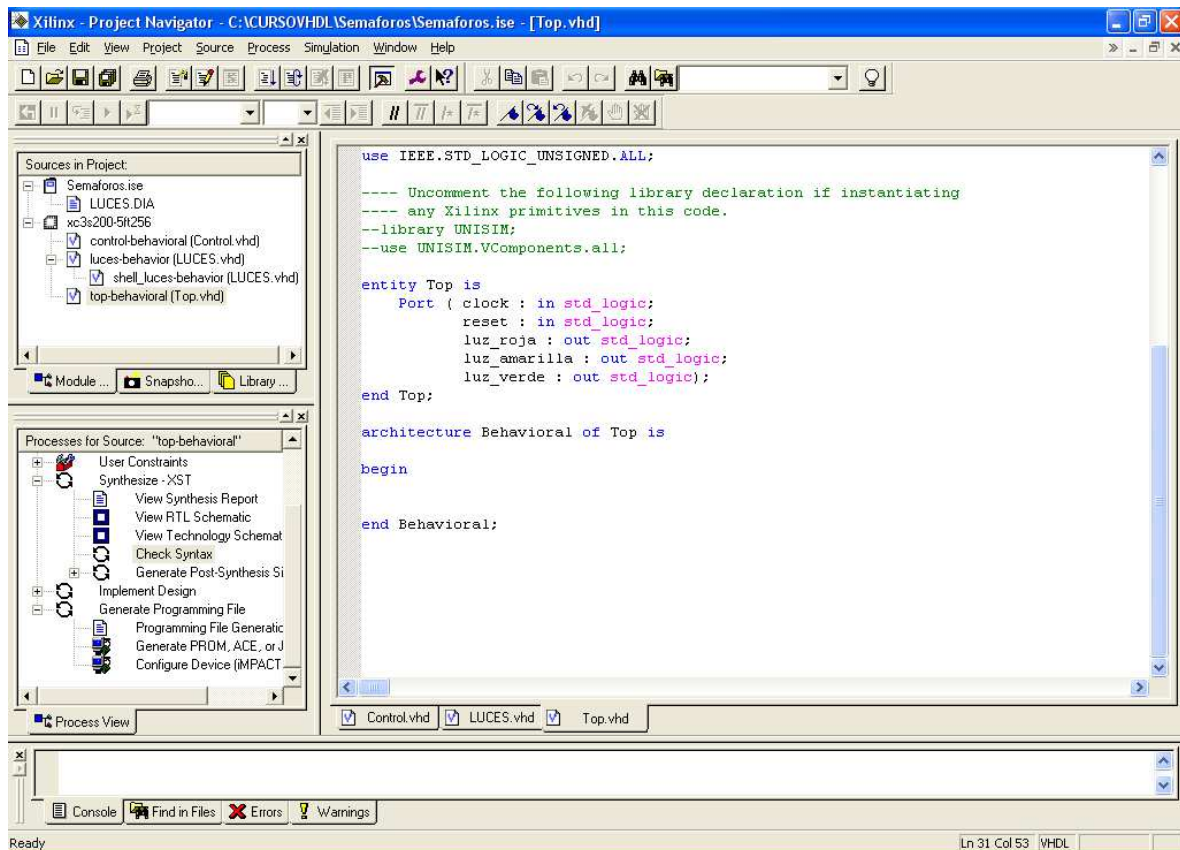


Figura 6.21. Vista del módulo "Top" en VHDL

Lo siguiente es crear la instancia de los módulos “Control” y “Luces” para el llamado e inclusión en el módulo jerárquico. En la ventana “Sources in Project”, seleccione “Control” y, en la ventana “Processes for source”, dé doble “click” en “View VHDL Instantiation Template”; si esta opción no esta visible, entonces ir a la sección “Design Utilities”, donde debe de estar visible. Copie la instancia y el componente, de la forma en que se muestra en la figura 6.22.

```
COMPONENT control
PORT(
    clock : IN std_logic;
    reset : IN std_logic;
    count : INOUT std_logic_vector(3 downto 0)
);
END COMPONENT;

Inst_control: control PORT MAP(
    clock => ,
    reset => ,
    count =>
);
```

Figura 6.22. “Template” de la instancia del módulo control

Pegue la instancia y el componente en el módulo “Top.vhd”, como se muestra en la figura 6.23. Declare dentro de la arquitectura la señal “timer”. Asigne las señales a la instancia. Cierre el “template” de la instancia

```
architecture Behavioral of Top is
    signal timer: std_logic_vector(3 downto 0);
    COMPONENT control
    PORT(
        clock : IN std_logic;
        reset : IN std_logic;
        count : INOUT std_logic_vector(3 downto 0)
    );
    END COMPONENT;
begin
    Inst_control: control PORT MAP(
        clock => clock,
        reset => reset,
        count => timer
    );
```

Figura 6.23. Componente e instancia del módulo “control” en el archivo “Top”

Repita los mismos pasos para el módulo “luces.vhd”. Pegue la instancia y el componente como se muestra en la figura 6.24.

```

architecture Behavioral of Top is
signal timer: std_logic_vector(3 downto 0);
COMPONENT control
  PORT(
    clock : IN std_logic;
    reset : IN std_logic;
    count : INOUT std_logic_vector(3 downto 0)
  );
END COMPONENT;
COMPONENT luces
  PORT(
    timer : IN std_logic_vector(3 downto 0);
    CLK : IN std_logic;
    RESET : IN std_logic;
    LA : OUT std_logic;
    LR : OUT std_logic;
    LV : OUT std_logic
  );
END COMPONENT;
begin
Inst_control: control PORT MAP(
  clock => clock,
  reset => reset,
  count => timer
);
Inst_luces: luces PORT MAP(
  timer => timer,
  CLK => clock,
  RESET => reset,
  LA => luz_amarilla ,
  LR => luz_roja,
  LV => luz_verde
);
end Behavioral;

```

Figura 6. 24. Componente e instancia de los módulos “control y luces” en el archivo Top

Salve el módulo “Top.vhd”, observe en la ventana “Sources” que en forma automática este módulo pasa a ser el de más alta jerarquía. “Control.vhd y Luces.vhd” son ahora sub-módulos de “Top.vhd”.

## 6.12 CREACIÓN DE MÓDULO JERÁRQUICO EN EL EDITOR DE ESQUEMÁTICOS

De manera análoga, el módulo “Top” se puede crear utilizando el editor de esquemáticos, lo cual facilita la visualización de los diseños. Recupere el proyecto que no incluye el módulo jerárquico “Top”, respaldado en el “snapshot” y creado previamente, llamado “2módulos”, de la siguiente manera: en la parte inferior de la ventana “Sources”, seleccione la opción “snapshot” y elija “2modulos”; en el menú “Project”, seleccione “Make a Snapshot Current” para recuperar el proyecto que únicamente incluía los dos módulos. Para crear el módulo jerárquico utilizando el editor de esquemáticos efectúe la siguiente secuencia:

“Project” → “New Source” → “Schematic”. Asigne el nombre Top\_esq, tal como se muestra en la figura 6.25. Dé “click” en siguiente y en la ventana que se presenta a continuación dé “clic” en finalizar, de tal forma que aparezca la ventana del editor de esquemáticos.

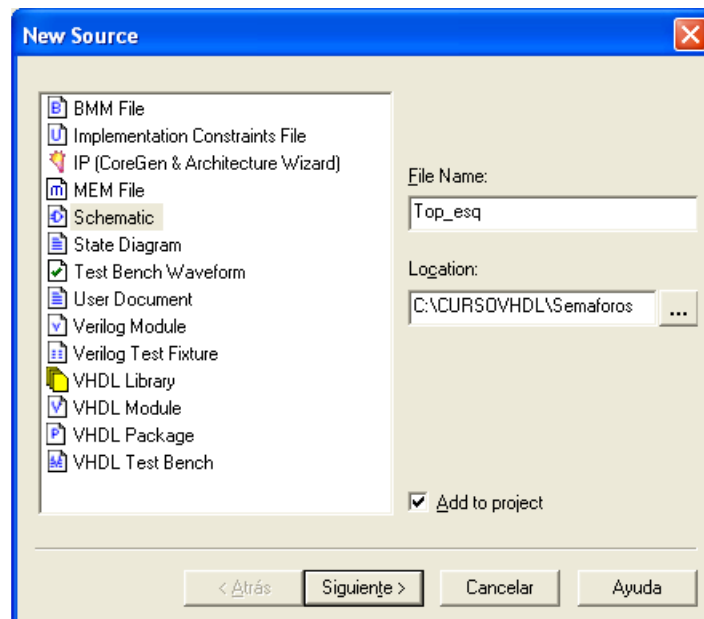


Figura 6. 25. Creación del archivo esquemático “Top\_esq”

- Cree el símbolo correspondiente al módulo “Control” para su inclusión en el módulo jerárquico. En la ventana “Sources in Project”, seleccione “Control” y en la ventana “Processes for source”, dé doble “click” en “Create Schematic Symbol”; sino aparece esta opción, entonces hágalo dentro de la sección “Design Utilities”. El símbolo creado se incluirá en la librería del editor de esquemáticos.
- Cree el símbolo correspondiente al módulo “Luces” para su inclusión en el módulo jerárquico. En la ventana “Sources in Project”, seleccione “Luces” y en la ventana “Processes for source”, dé doble “click” en “Create Schematic Symbol”; sino aparece esta opción, entonces hágalo dentro de la sección “Design Utilities”. El símbolo creado se incluirá en la librería del editor de esquemáticos.
- En la parte inferior de la ventana “Sources” seleccione “Symbols” y en categorías elija el directorio y el proyecto de trabajo “semaforos”. Observe que los símbolos disponibles en esta categoría corresponden a “Control y Luces”.
- Seleccione, arrastre y coloque en la ventana de edición los símbolos de los módulos.

Los módulos creados en el editor gráfico se muestran en la figura 6.26.

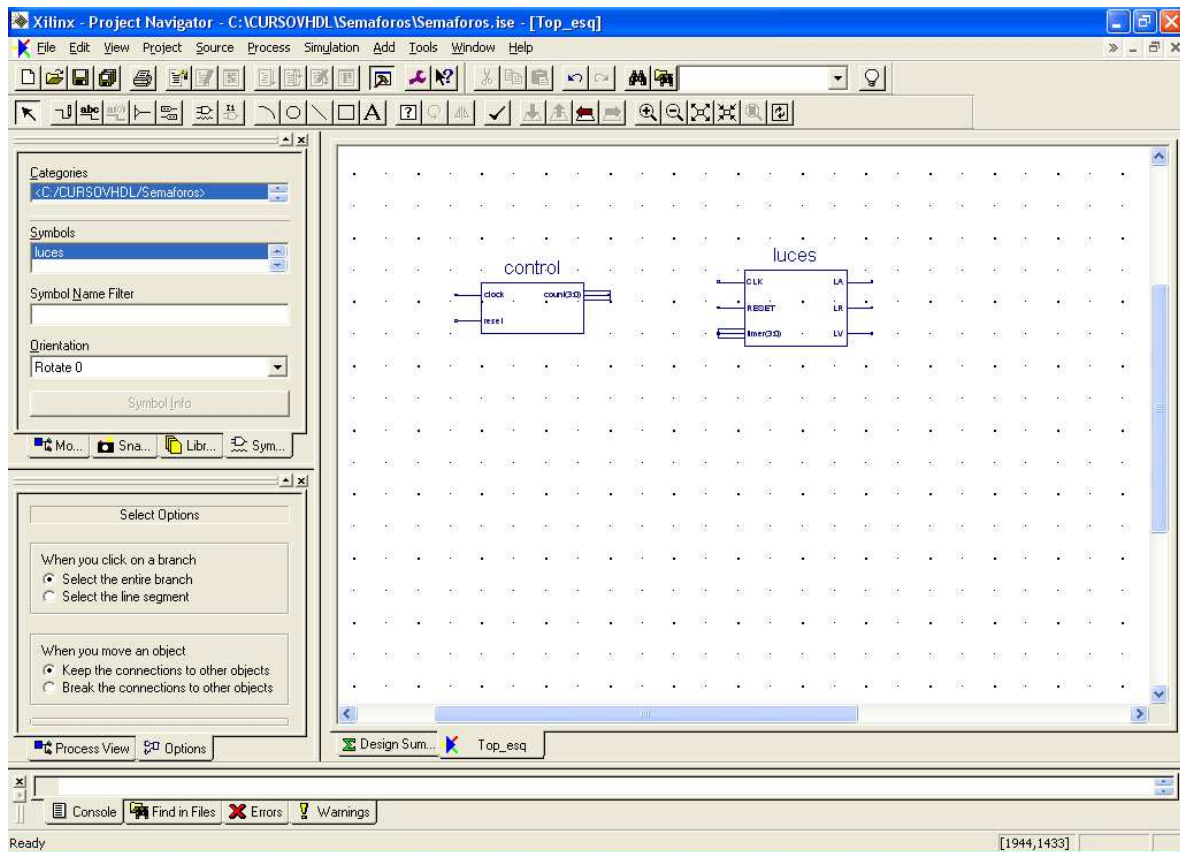


Figura 6. 26. Símbolos de los módulos “control y luces”

Seleccione el botón “Add Wire” para efectuar la conexión de señales. Para incluir un alambre entre dos señales, dé “click” en un extremo del puerto del símbolo y otro “click” en otro puerto. Realice las conexiones como se muestra en la figura 6.27.

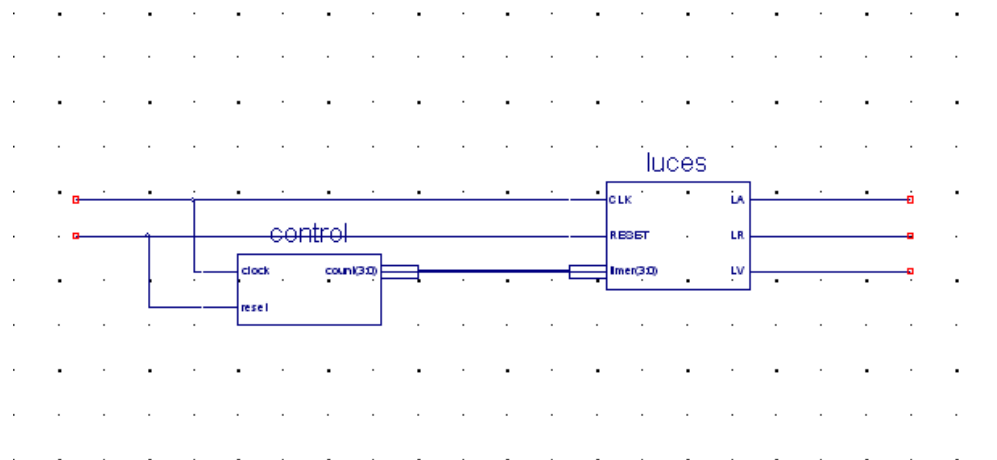


Figura 6.27. Conexión de los símbolos “control y luces”

- Incluya los puertos de entrada/salida seleccionando en el menú de herramientas la opción “add I/O marker”. Una vez seleccionado se hace un “click” en la línea donde se desea la entrada o salida para que aparezca el elemento requerido. La figura 6.28 muestra esa opción dentro de un círculo azul.

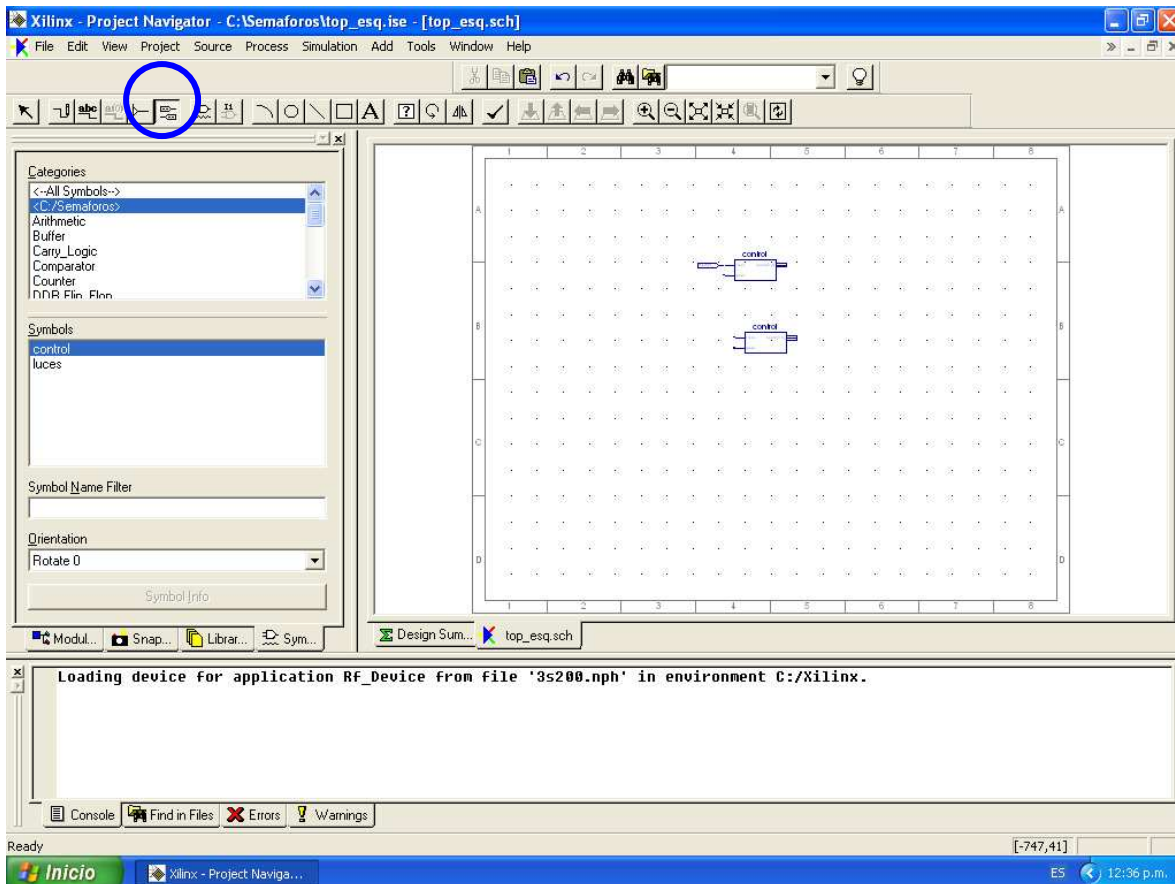


Figura 6.28. Forma de acceder a los puertos de entrada y salida.

- Con el botón “Select” activo, de la misma barra de herramientas, renombre los puertos de entrada/salida dando “click” en la entrada o salida, con el botón derecho, y luego seleccione “Rename Port”, como se muestra en la figura 6.29. Repita este proceso y asigne los nombres a todos los puertos de entrada y de salida; el resultado final se encuentra ilustrado en la figura 6.30.



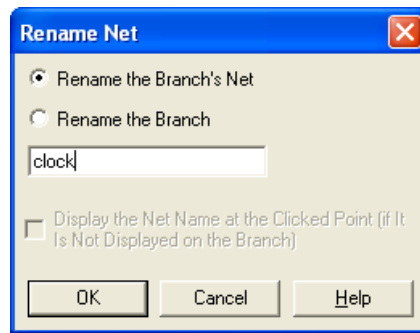


Figura 6.29. Renombrando los puertos de entrada y salida.

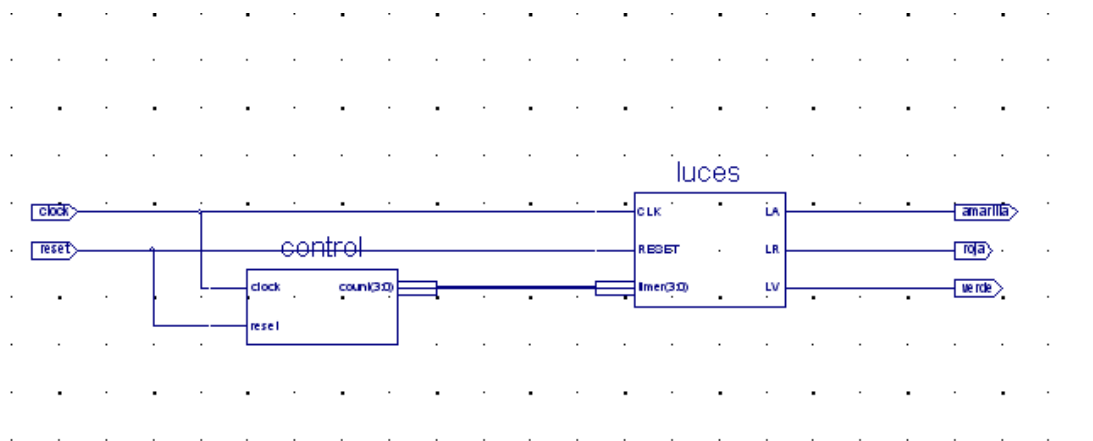


Figura 6.30. Módulo jerárquico “Top\_esq”

Salve el archivo “Top\_esq”. Después, en la opción “Module View” de la ventana “Sources”, usted observará que este archivo es ahora el de más alta jerarquía. Seleccionelo y dé doble “click” en el proceso “Synthesize XST” para verificar que no tenga errores.

### 6.13 SIMULACIÓN DEL MÓDULO JERÁRQUICO

Una vez creado el módulo jerárquico del proyecto, el siguiente paso es simularlo para verificar que efectivamente funcione de acuerdo a lo especificado. Para simular el proyecto se requiere crear un archivo de excitación con la asignación de valores a las señales de entrada para que se generen durante la simulación, a partir de ellas, los correspondientes valores de salida. Para crear este archivo y simular el proyecto efectúe los siguientes pasos:

Cree una nueva fuente. “Project” → “New Source” → “Test Bench Waveform”. Asigne el nombre Top\_tb (ver figura 6.31). Dé “click” en siguiente y seleccione “Top\_esq” como archivo fuente de excitación, de la forma presentada en la figura 6.32

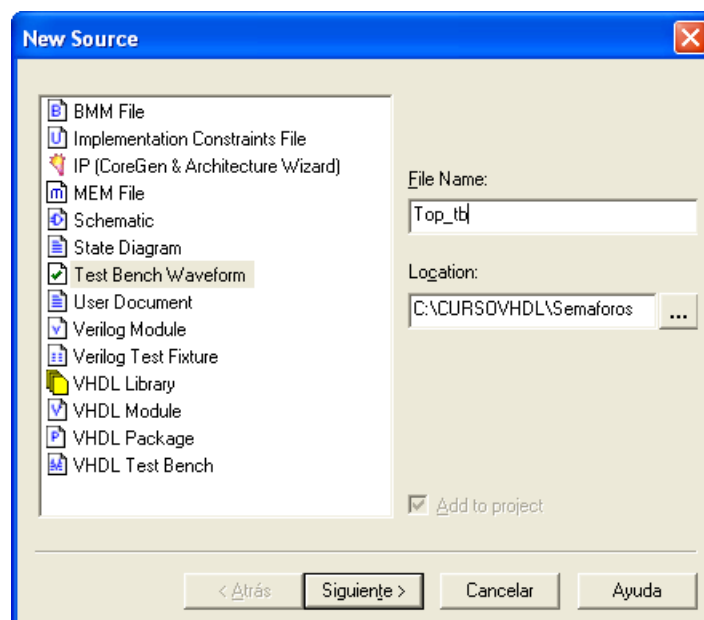


Figura 6.31. Creación del archivo de excitación para la simulación

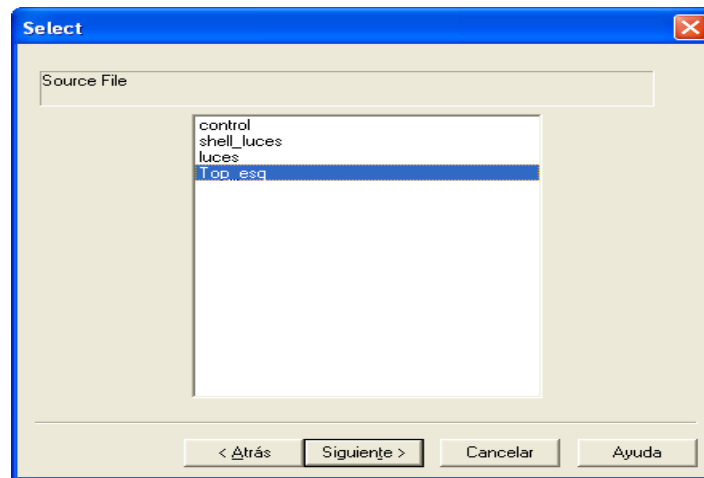


Figura 6.32. Selección del módulo fuente del archivo de excitación

A continuación aparecerá la ventana para seleccionar el período del reloj y la señal que funcionará como fuente de la señal de reloj. Asigne los valores mostrados en la figura 6.33 y dé “click” en “Ok”. Aparecerá una ventana de edición de forma de onda de las señales como la mostrada en la figura 6.34.

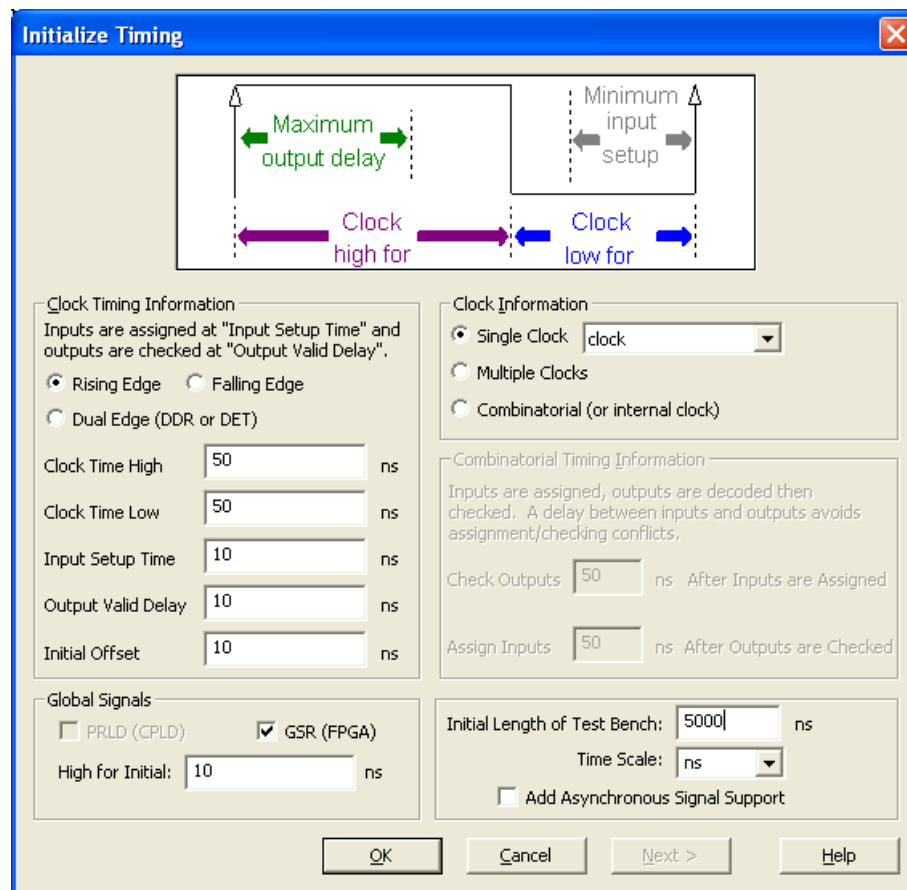


Figura 6.33. Asignación del período de reloj y de la señal asociada al reloj

Ponga la señal de “reset” a ‘1’ durante un par de ciclos y salve el archivo “Top\_tb”. En la ventana “Sources” seleccione “Top\_tb”. En la ventana “Processes” → “Xilinx ISE Simulator” → “Generate Expected Simulation Results”, dé doble “click”. Seleccione aceptar y aparecerá, en el editor de forma de onda, el resultado de la simulación. Con base en lo especificado, en el primer estado la única señal activa es la de la luz roja, en el segundo estado están activas la luz roja y la amarilla, en el tercer estado está únicamente la luz verde, en el último estado la luz amarilla y después se regresa al estado inicial. La figura 6.34 muestra el resultado de la simulación

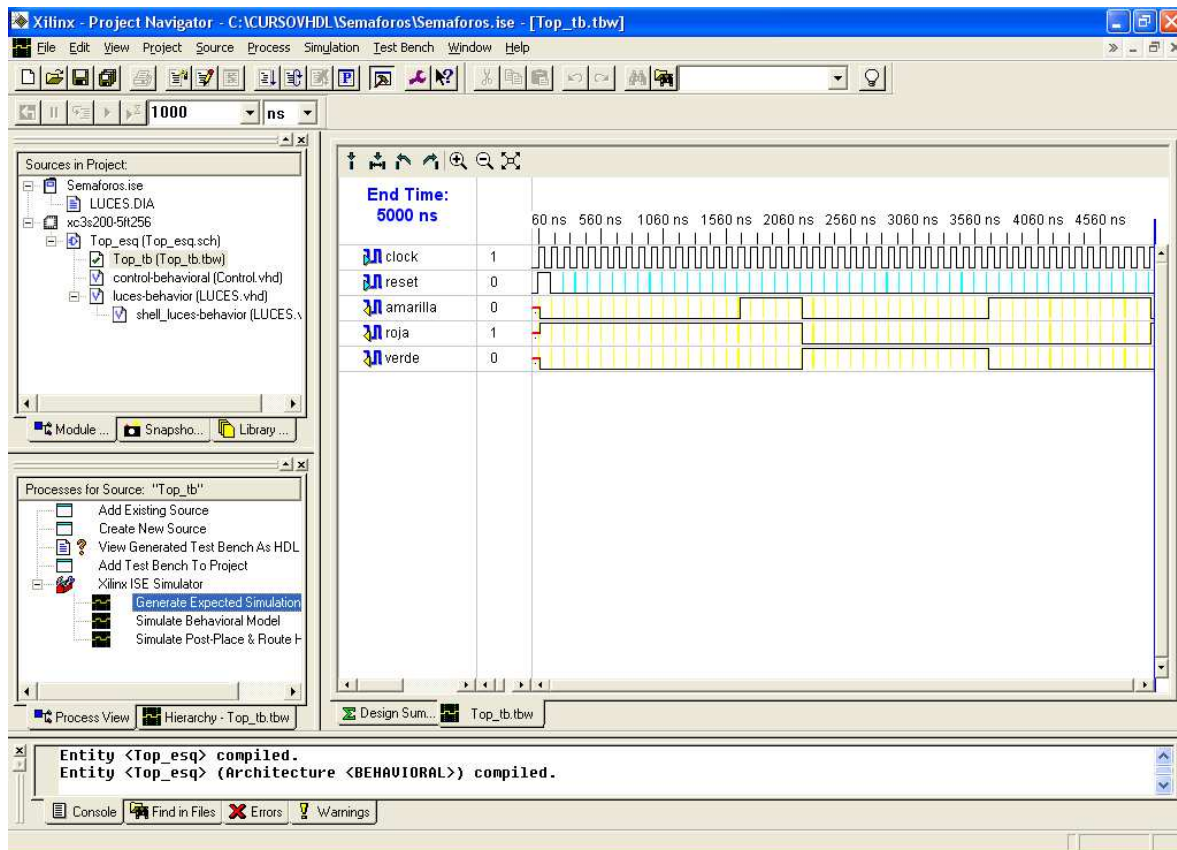


Figura 6.34. Ventana resultante de la simulación

## 6.14 IMPLANTACIÓN DEL PROYECTO EN UN FPGA

Una vez simulado el diseño, el siguiente paso es sintetizarlo para crear el archivo “netlist”. Este archivo no se puede leer y describe el circuito actual para ser implantado en algún dispositivo programable FPGA.

Para el proyecto “semaforos”, creado como ejemplo, se requiere el archivo “Netlist” del archivo “Top.vhd” o del archivo “Top\_esq” que son los últimos y que a nivel jerarquía contienen a los dos módulos. Una vez ejecutado el proceso “Synthesize – XST” se asignan los puertos de entrada salida a pines físicos del dispositivo. Para ello, realice las siguientes acciones:

Dé doble “click” en la opción “Processes” → “Users Constraints” → “Assign Package Pins”. Aparecerá una ventana de diálogo, dé “click” en « Si » y aparecerá la ventana de edición de la herramienta “PACE” que permite la asignación de pines a los puertos de entrada y salida como se muestra en la figura 6.35.

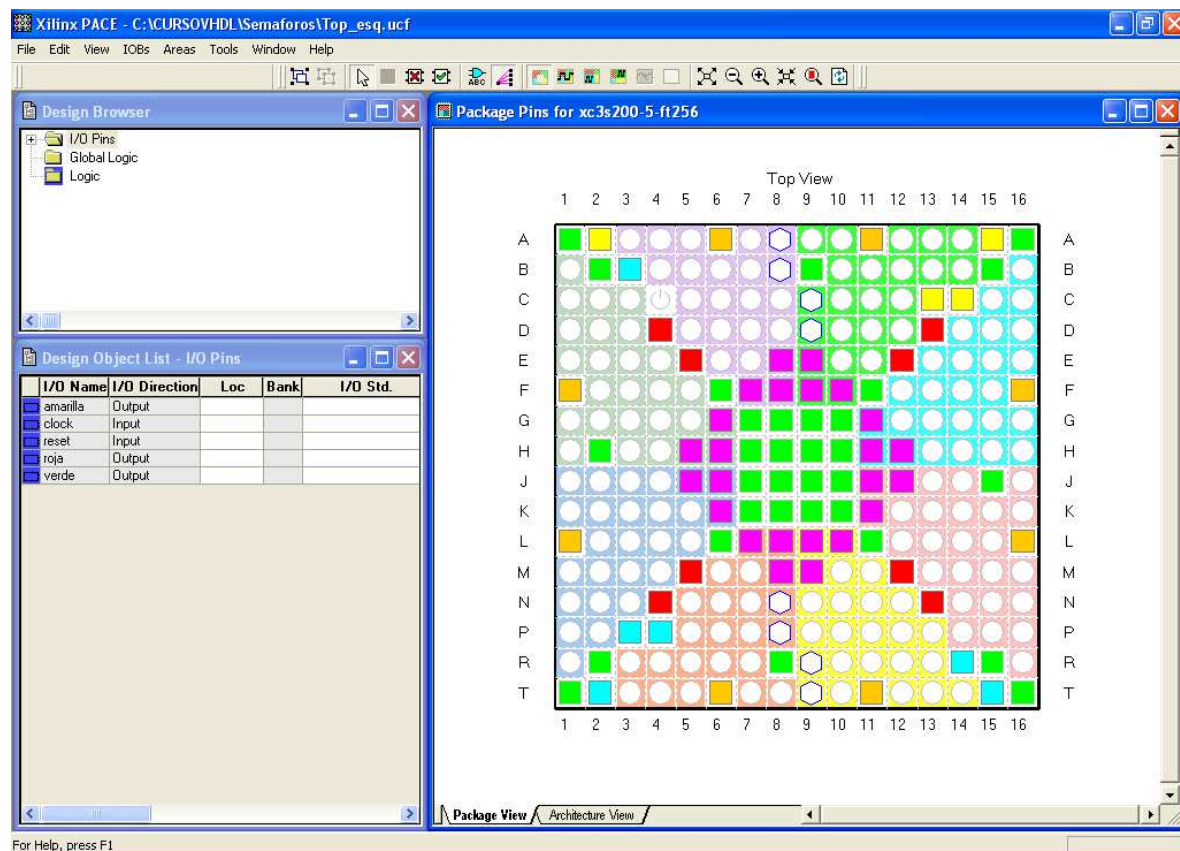


Figura 6.35. Herramienta para la asignación de pines a los puertos de entrada salida

En la columna “Loc” de la ventana “Design Object List I/O Pins”, asigne los pines seleccionados del dispositivo. Por ejemplo:

<b>I/O Name</b>	<b>Loc</b>
Reset	K13
Clock	T9
Roja	P11
Verde	P12
Amarilla	N12

- Salve la configuración y cierre la aplicación.
- Alimente y conecte (ver manual “Starter Kit Board User Guide”) adecuadamente la tarjeta de evaluación Spartan – 3 al puerto paralelo de la computadora de escritorio o portátil.
- Ejecute los pasos “Processes” → “Generate Programming File” → “Configure Device (IMPACT)”. Entonces aparecerán las siguientes ventanas de diálogo:

La de la figura 6.36, que muestra la selección a realizar en la configuración del dispositivo y las de las figuras 6.37 y 6.38 que muestran las selecciones en las siguientes ventanas.

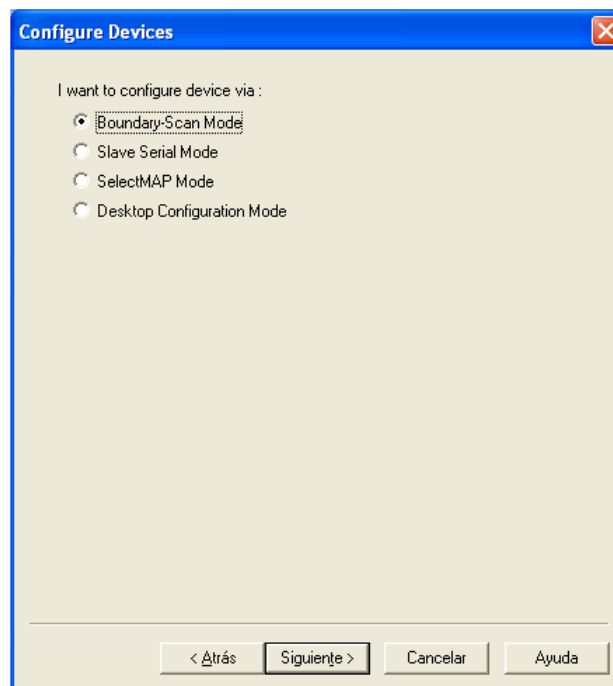


Figura 6.36. Configuración del dispositivo

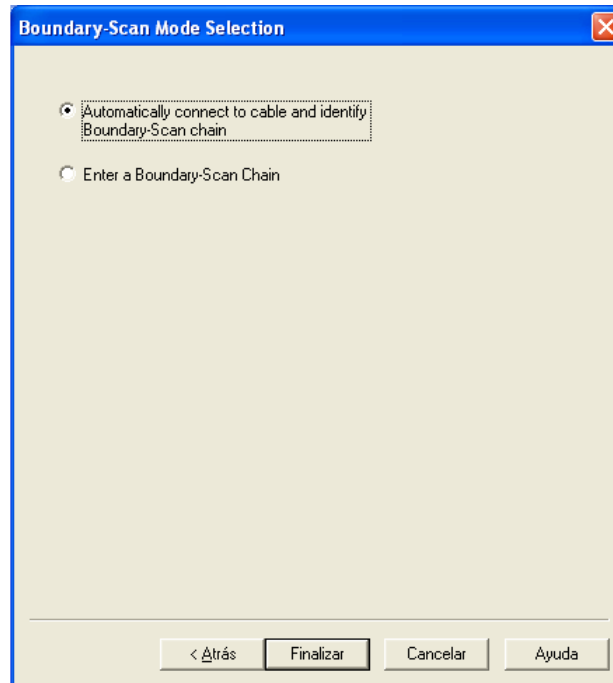


Figura 6.37. Selección del modo



Figura 6.38. Aceptación del contenido del resumen

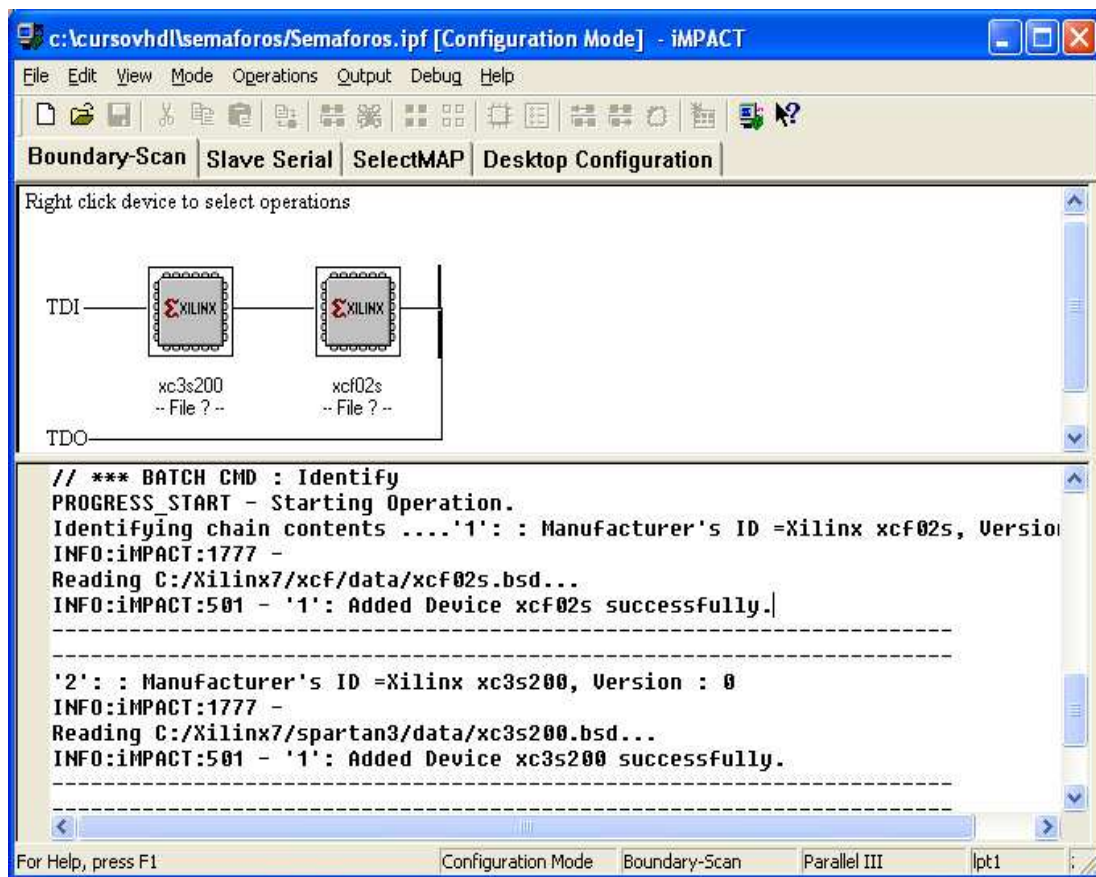


Figura 6.39. Selección del dispositivo dentro de la tarjeta

Selecione el dispositivo xc3s200 que corresponde a la memoria de configuración del FPGA, como se muestra en la figura 6.39. Dé “click” en el botón derecho del ratón y seleccione “Assign New Configuration File”. Aparecerá la ventana con los archivos de configuración disponibles como se muestra en la figura 6.40. Seleccione “top\_esq.bit” y dé “click” en abrir. Acepte el mensaje de aviso.



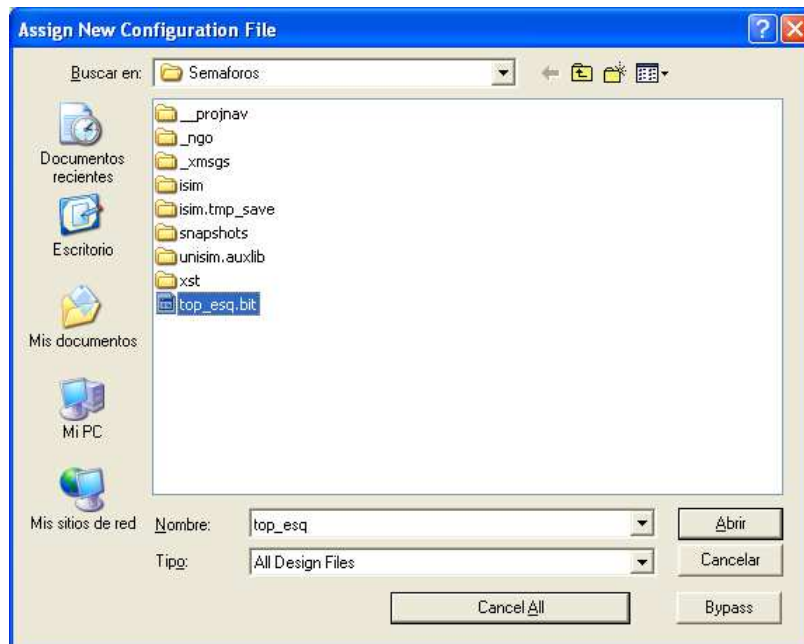


Figura 6.40. Archivos de configuración disponibles

Vuelva a seleccionar el dispositivo xc3s200 y con el botón derecho del ratón seleccione “Program”, aparecerá la ventana de opciones de programación. Presione “Ok”, como se muestra en la figura 6.41, para ejecutar la operación de programación. Si esta acción es correcta aparece un mensaje indicando el éxito de la misma. Finalmente, el proyecto desarrollado está implantado y ejecutándose en el FPGA.

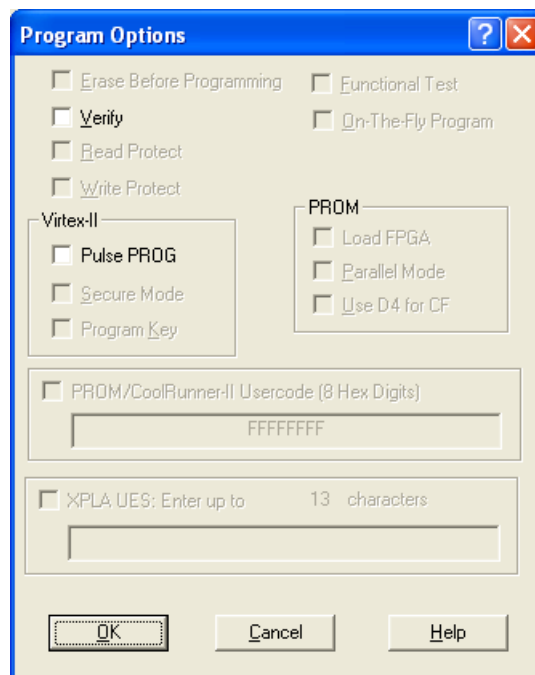


Figura 6.41. Opciones de programación