



上海交通大学

SHANGHAI JIAO TONG UNIVERSITY

计算机系统结构实验报告lab2

姓	名：	张卫鸣
学	号：	520021911141
专	业：	计算机科学与技术

2022 年 3 月 15 日

计算机系统结构实验lab2

目录

计算机系统结构实验lab2

一、实验概述

（一）实验名称

（二）实验目的

二、实验描述

（一）一位全加器

（二）四位全加器

三、实验心得

四、参考资料

一、实验概述

（一）实验名称

FPGA基础实验：4-bit Adder

（二）实验目的

1. 掌握Xilinx逻辑设计工具Vivado的基本操作
2. 掌握VerilogHDL进行简单的逻辑设计
3. 使用功能仿真
4. 约束文件的使用和直接写法
5. 生成Bitstream文件

二、实验描述

（一）一位全加器

1. 一位全加器描述

一位全加器包括三个1位输入端 a, b, c_i ，分别表示输入的两个数和进位状态；以及两个1位输出端 s, c_o ，表示加法运算结果和进位结果。

我们列出一位全加器的真值表如表1：

a	b	c_i	s	c_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

表1

实验指导书中给出对应的代码如下：

```
1 module adder_1bit(  
2     input a,  
3     input b,
```

```

4      input ci,
5      output s,
6      output co
7  );
8      wire s1, c1, c2, c3;
9      and (c1, a, b),
10         (c2, b, ci),
11         (c3, a, ci);
12      xor (s1, a, b),
13         (s, s1, ci);
14      or (co, c1, c2, c3);
15 endmodule

```

（二）四位全加器

1. 四位全加器描述

四位全加器包括4位输入端 a , b 和1位输入端 c_i ，分别表示输入的数和接收到的上一部分的进位结果；输出端包括4位输出端 s 和1位输出端 c_o ，分别表示加法运算结果与需要传递到下一部分的进位结果。

四位全加器可以看作是一位全加器功能的扩展，由四个一位全加器串联而成。

2. 四位全加器代码实现

我们利用四个一位全加器串联实现四位全加器的功能。前一个一位全加器的 c_o 端接入后一个一位全加器的 c_i 端，第一个一位全加器的 c_i 端为整个四位全加器的 c_i 端，最后一个一位全加器的 c_o 端为整个四位全加器的 c_o 端。

参考实验指导书中的代码，具体实现代码如下：

```

1  module adder_4bits(
2      input [3:0] a,
3      input [3:0] b,
4      input ci,
5      output [3:0] s,
6      output co
7  );
8
9      wire [2:0] ct;
10
11     adder_1bit a1(.a(a[0]), .b(b[0]), .ci(ci), .s(s[0]),
12                  .co(ct[0])),
13                  a2(.a(a[1]), .b(b[1]), .ci(ct[0]), .s(s[1]),
14                  .co(ct[1])),

```

```

13         a3(.a(a[2]), .b(b[2]), .ci(ct[1]), .s(s[2]),
    .co(ct[2])),
14         a4(.a(a[3]), .b(b[3]), .ci(ct[2]), .s(s[3]),
    .co(co));
15 endmodule
16

```

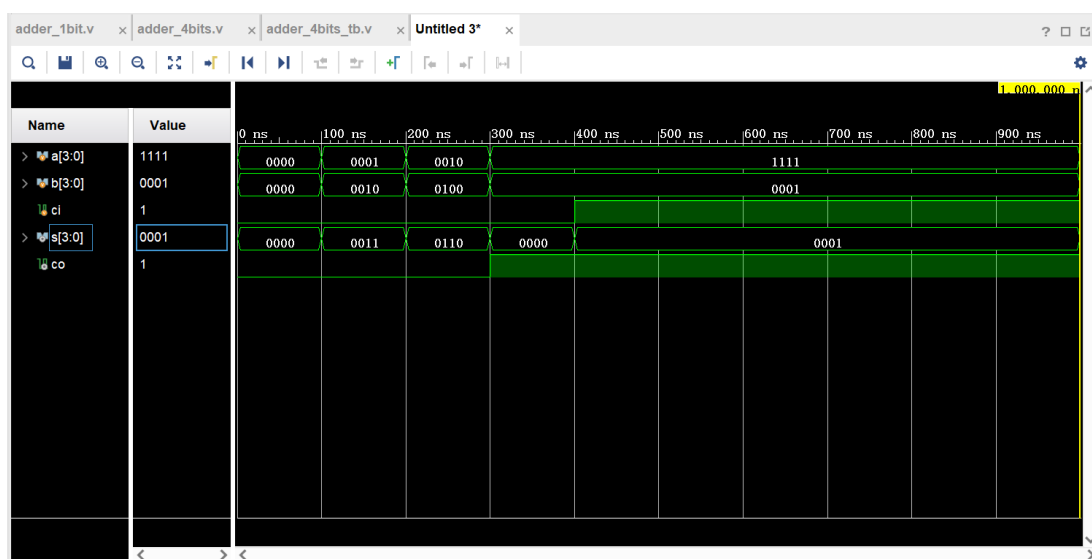
3. 仿真测试代码

```

1 module adder_4bits_tb(
2
3     );
4     reg [3:0] a;
5     reg [3:0] b;
6     reg ci;
7     wire [3:0] s;
8     wire co;
9     adder_4bits u0 (
10         .a(a),
11         .b(b),
12         .ci(ci),
13         .s(s),
14         .co(co)
15     );
16     initial begin
17         a=0;
18         b=0;
19         ci=0;
20         #100;
21         a=4'b0001;
22         b=4'b0010;
23         #100;
24         a=4'b0010;
25         b=4'b0100;
26         #100;
27         a=4'b1111;
28         b=4'b0001;
29         #100;
30         ci=1'b1;
31     end
32 endmodule

```

4. 仿真波形



从图1看出，四位全加器的功能仿真正确。

三、实验心得

本实验同样也是FPGA一个基础部件的设计与仿真，是实现的四位全加器。实验难度比lab1略难一点点，主要是难在一些verilog里面的运算实现，但是实验指导书中的参考代码还是比较完备的，比较有启发意义。

在这个实验中我主要还认识到了一种新的思路：在实现一个较大的部件时，我们可以将其分为更小的部件先实现，然后用比较简单的逻辑将小部件连接成大部件，这是一个设计电子部件的一个很重要的思想。在后期做更加复杂的实验时有着广泛的应用。

本次实验再次将lab1里学习到的技能得到了温习和巩固，仿真模拟结果，为下面的实验也做了一定的铺垫。

四、参考资料

2022计算机系统结构实验指导书1ab2