

Le domande sono ordinate alfabeticamente in base alla parte iniziale del quesito posto.

NOTA: Per le domande molto simili tra loro, ho evidenziato in giallo le differenze, per richiamare l'attenzione sugli elementi che le distinguono. Fate i bravi e NON SBAGLIATE RIGA ;) ci siamo capiti.

1. A parità di altri tempi indicati nel ciclo di bus se una CPU A ha un tempo di setup maggiore di una CPU B **La memoria collegata ad A deve essere più veloce di quella collegata a B**
2. A partire dall'indirizzo 00000h nell'8086 si trovano in ordine crescente i seguenti valori (in esadecimale): 0A 0B 0C 0D 0E 0F AA AB AC AD AE AF BA BB BC BD BE BF CA CB CC CD CE CF Arriva l'interruzione software di Divide by Zero. A che indirizzo si trova la RRI? **0D0C:0B0A**
3. add r3,var1 è un'istruzione assembly di una CPU con ISA sintassi **destinazione-sorgente** con un operando implicito. Significa: **r3=r3+var1**
4. add var5,r2 è un'istruzione assembly di una CPU con ISA avente sintassi **sorgente-destinazione** con un operando implicito. L'istruzione significa: **r2=r2+var5**
5. add var1,r3 è un'istruzione assembly di una CPU con ISA avente sintassi **destinazione-sorgente** con un operando implicito. Significa: **var1=var1+r3**
6. Attualmente sul mercato si vendono più **Embedded**
7. Avendo le seguenti istruzioni
MOV DX, IOADR
IN AL, DX
DEC DX
OUT DX, AL
Che cosa si verifica?
Che esistono due periferiche: una di ingresso all'indirizzo IOADR e una di uscita all'indirizzo IOADR meno uno e che il dato letto dalla prima viene scritto nella seconda
8. Avendo le seguenti istruzioni
MOV DX, IOADR
IN AL, DX
INC DX
OUT DX, AL
Che cosa si verifica?
Che esistono due periferiche : una di ingresso all'indirizzo IOADR e una di uscita all'indirizzo IOADR più uno e che il dato letto dalla prima viene scritto nella seconda
9. Che cosa è un'interruzione? **E' la sospensione forzata del processo di esecuzione e trasferimento di controllo ad una "routine di servizio" che soddisfa le richieste dell'evento che ha provocato l'interruzione, al termine della quale il controllo viene restituito al processo sospeso**
10. Chi definisce l'ISA **Una casa costruttrice o un consorzio**
11. Come bisogna configurare un DMAC per permettere la trasmissione di un blocco di 4 byte da I/O a memoria? **Collegare l'I/O a una richiesta di DMA; indicare per la richiesta il trasferimento I/O-> mem, indicare al contatore 4 e l'indirizzo di partenza della memoria**
12. Con la definizione delle architetture RISC **Le prestazioni delle CPU sono passate dal 35% a più del 50% ogni anno.**
13. Considerando un modello di memoria non allineato, ordinamento big endian e definito il seguente segmento dati a partire dell'indirizzo 1000h:
VAR1: db 1
VAR2: dw ABCDh
VAR3: db 2, 17
VAR4: dd 123456h
leggendo un dato a 16 bit dall'indirizzo 1004h che valore viene letto? (Attenzione, questa domanda è molto complessa). **0017h** (n.d.y. questa è segnata come la risposta corretta, ma secondo me sarebbe 1700h)
14. Considerando un processore 8086, in memoria definisco due word con la direttiva dell'assemblatore:
dw 1234h, 5678h
guardando un'immagine della memoria dall'indirizzo più basso a quello più alto troverò: **34h, 12h, 78h, 56h**
15. Cosa è il CPI? **Clock per instruction: numero di clock per eseguire una istruzione data una microarchitettura**
16. Cosa è l'effective address per l'architettura 8086? **è l'indirizzo calcolato dalla CPU prima della combinazione con il rispettivo registro di segmento**
17. Cosa è l'unità di controllo cablata? **è l'unità di controllo realizzata in hardware senza microcodice**
18. Cosa è la descrizione comportamentale di un sistema **E' la descrizione funzionale come corrispondenza tra le uscite e gli ingressi del sistema**
19. Cosa è la RAM dentro all'unità di controllo microprogrammata? **è l'unità che memorizza il microcodice**
20. Cosa è un modello **E' una astrazione della realtà che descrive solo i dettagli di interesse**
21. Cosa è un trasferimento a burst **Un trasferimento di più parole ad indirizzi consecutivi**
22. Cosa fa il DRAM controller **Fa da interfaccia tra il processore e la memoria creando tutti i segnali**

necessari alla DRAM

23. Cosa serve EOP per il DMAC? **E' un segnale che indica la fine del trasferimento e puo' essere usato come richiesta di interruzione per la CPU**
24. Cosa sono nell'architettura dell'8086 la EU e BIU? **le due parti interne alla CPU, rispettivamente la Execution Unit e la Bus Interface Unit**
25. Cosa succede in hardware all'8086 alla richiesta di interruzione con il segnale INTR? **Se il flag IF=1 viene mandato un impulso di INTA# per notificare l'accettazione. Poi viene mandato un secondo impulso di INTA# per ricevere l'interrupt type**
26. Cosa vuol dire che il DMAC lavora in fly by? **Che i dati trasferiti da I/O a memoria (o viceversa) non passano per il DMAC**
27. Cosa vuol dire che le interruzioni possono essere sentite dall'interrupt controller "a fronte"? **Che appena arriva un fronte di salita sul piedino di una richiesta di interruzione il bit corrispondente del registro IRR viene posto a 1**
28. Cosa vuol dire che l'interrupt controller 8259 lavora con Automatic EOI? **Che l'end of interrupt e' automatico e appena l'interrupt type viene mandato, l'interruzione e' considerata terminata per l'interrupt controller e una nuova interruzione puo' essere mandata anche dello stesso tipo**
29. Dalla legge di Amdahl si desume che in un calcolatore se un miglioramento architetturale è poco usato, allora **se anche lo speedup parziale fosse infinito, lo speedup complessivo sarebbe limitato dalla percentuale di tempo in cui è usato.**
30. Dato il seguente codice assembly 8086:

```
mov ah,02h
mov cx,100
mov bx,offset stringa
ciclo: mov si,cx
mov dl,[bx+si]
int 21h
loop ciclo
```

Supponendo che la RRI (Routine di Risposta all'Interruzione) dell'interrupt DOS 21h impieghi 10 cicli di clock e che le altre istruzioni impieghino un ciclo di clock, a cui si sommano 4 cicli di clock nel caso si debba accedere alla memoria, quanti cicli di clock impiega il programma? **1703**
31. Dato il seguente segmento di dati dell'8086:

```
DATI segment at F0004h
db 10h,FFh
Varx dw 0FF5h
db AA,?,F0h
DATI ends
```

Cosa c'è in memoria all'indirizzo F0007? **il valore 0F**
32. Dato un banco di memoria RAM la cui decodifica dei segnali di indirizzo è DEC, avendo a disposizione i segnali M/IO#, RD#, WR#, la decodifica del chip select in logica negata è **CSmem# = /DEC + [(RD# * WR#) + /M/IO#]**
33. Detti n il parallelismo interno, na la dimensione del bus indirizzi e nd la dimensione del bus dati, nel Pentium si ha che **n=32, na=32, nd=64**
34. Detti Tacc e Trc i tempi di accesso e read cycle di una memoria e Taddr, Toe, Tcs i ritardi della memoria da quando sono pronti gli indirizzi, i segnali di lettura e di chip select si ha che **Tacc= max (Tcs, Toe, Taddr)**
35. Dopo l'esecuzione di queste istruzioni:

```
MOV AL,0CDh
MOV CL,2
SAL AL,CL
```

che valore assume AL? **34h**
36. Dopo l'esecuzione di queste istruzioni:

```
MOV AL,0CDh
MOV CL,2
SAR AL,CL
```

che valore assume AL? **0F3h**
37. Dopo l'esecuzione di queste istruzioni:

```
MOV AL,0AAh
AND AL,0BBh
```

che valore assume AL? **0AAh**
38. Dopo l'esecuzione di queste istruzioni:

```
MOV AL,0AAh
ADD AL,0BBh
```

che valore assume AL? **65h**
39. Dove possono essere memorizzati gli operandi della CPU **Nei registri**
40. Dovendo trasferire dati da 32 bit, un processore definisce un ciclo di bus composto da tre cicli di clock a

100Mhz, uno per fornire gli indirizzi e due per i dati. **La memoria deve trasferire 4byte in un tempo minore di 30ns**

41. Due processori A e B differiscono solo dell'accesso in memoria che è più veloce in A di 2 volte; sapendo che l'accesso in memoria interviene nel 60% dei casi quanto è lo speedup di A su B? **Circa 1.4**
42. E' vero che **Il tempo di accesso non è mai maggiore del tempo di ciclo**
43. Eseguendo il seguente codice assembly 8086:

```
mov ax, 1358h
push ax
xchg ah, al
inc ax
push ax
mov bp, sp
mov bx, [bp+1]
```

che valore troviamo nel registro BX? 5858h
44. Esistono diverse soluzioni per memorizzare gli operandi per le operazioni della CPU. In base alla soluzione adottata di definiscono le seguenti architetture (indicare quella che non esiste): **a microprogramma**
45. I calcolatori A,B comprati in due anni successivi hanno la CPU che migliora ogni anno di 4 volte il Tcpu (comprendente operazioni in memoria e operazioni interne nella CPU) ma hanno sempre lo stesso sottosistema di I/O per cui il tempo Tio per le operazioni di I/O rimane inalterato. Consideriamo due tipi di applicazioni - CPU bound in cui il 80% Tcpu e 20% Tio - I/O bound in cui il 40% Tcpu e 60% Tio Lo speedup di B rispetto ad A nei due casi e' rispettivamente **2,5 e 1,43**
46. I compilatori **Migliorano il numero di istruzioni Ni**
47. I processori più costosi sono nei **Supercalcolatori**
48. I processori RISC, rispetto ai processori CISC: **hanno un'unità di controllo più semplice**
49. I registri che contengono l'indirizzo della prossima istruzione e l'istruzione corrente sono rispettivamente **PC e IR**
50. I registri di segmento nell'8086 sono: **CS, DS, ES, SS**
51. I registri di un processore sono detti ortogonali se: **possono essere utilizzati indifferentemente in tutte le istruzioni**
52. I registri si dicono ortogonali **Se si possono usare per tutte le istruzioni dell'ISA**
53. I segnali di ALE e DEN# nell'8086 sono **I segnali di abilitazione per i bus di indirizzi e di dati**
54. I segnali di DT/R# e DEN# nell'8086 sono **Il segnale di direzione e di abilitazione del bus dei dati**
55. I sistemi ASIC **sono solo configurabili nell'hardware**
56. I sistemi embedded sono **Calcolatori per uso specifico**
57. IDIV BX esegue l'operazione **DX.AX diviso BX e mette il quoziente in AX e il resto in DX.**
58. Il bit rate **La quantità di bit che possono essere trasferiti in un secondo**
59. Il bit rate è **Il reciproco del tempo di ciclo in una memoria ad accesso casuale**
60. Il bus è **un collegamento bidirezionale tra più dispositivi**
61. Il chip select è **Un segnale creato dal bus controller per indicare ad un dispositivo che è stato selezionato**
62. Il chip select viene creato **Dal bus controller usando i segnali di indirizzo e se necessario i segnali di controllo**
63. Il ciclo di Refresh è **Il ciclo di lettura e riscrittura dei dati su DRAM**
64. Il data path è? **La parte della CPU che si occupa del trasferimento, memorizzazione ed elaborazione dei dati**
65. Il livello che definisce il linguaggio macchina del calcolatore è **il livello ISA.**
66. Il master del bus è **il dispositivo che gestisce i segnali di controllo sul bus**
67. Il master del bus è **l'unità che in quel momento gestisce i segnali di controllo**
68. Il processo di lettura di un disco fisso prevede: **che il solenoide sulla testina del disco non sia percorso da corrente ma senza alcun tipo di contatto con il piatto venga indotta una corrente sulla testina avente segno positivo o negativo a seconda dell'orientamento delle particelle polarizzate sul piatto**
69. Il processore 8088 ha **registri a 16 bit, bus dati a 8 bit e bus indirizzi a 20 bit**
70. il registro AX e' impiegato nell'8086 **per le operazioni di ALU, di memoria, di I/O**
71. Il segnale di ALE nell'8086 a cosa serve? **Ad indicare l'inizio del ciclo di bus e la presenza sul bus di indirizzi stabili**
72. Il segnale di M/IO# nell'8086 **Indica se la CPU sta lavorando con lo spazio di indirizzamento in memoria o in I/O**
73. Il segnale di ready è **un segnale che entra nella CPU per indicare che la memoria è pronta a fornire i dati e il ciclo di bus si può concludere**
74. Il simulatore di CPU E' **uno strumento software per modellare e simulare il comportamento di una CPU e valutarne le prestazioni**
75. Il tempo di accesso in una memoria ad accesso casuale in scrittura **Comprende il tempo per ricevere indirizzi, segnali di controllo e il dato**
76. Il throughput di una CPU è maggiore del reciproco del tempo di risposta **Se il sistema riesce a sovrapporre nel tempo l'esecuzione anche parziale di alcune operazioni**

77. IMUL BL esegue l'operazione AL moltiplicato BL e mette il risultato in AX
78. IMUL BX esegue l'operazione AX moltiplicato BX e mette il risultato in DX.AX.
79. In lettura **Il processore manda prima l'indirizzo poi riceve i dati**
80. In un disco fisso il tempo di latenza è: **il tempo per posizionare la testina sul settore opportuno all'interno della traccia**
81. In un disco fisso per cilindro si intende **l'insieme sui vari piatti di tutte le tracce equidistanti dal centro**
82. In una architettura a stack, le seguenti istruzioni:
 PUSH A
 PUSH B
 ADD
 PUSH C
 PUSH D
 ADD
 MUL
 lasciano sullo stack il risultato dell'operazione: **$(A+B)*(C+D)$**
83. In una architettura a stack, le seguenti istruzioni:
 PUSH A
 PUSH B
 ADD
 PUSH C
 ADD
 PUSH D
 MUL
 lasciano sullo stack il risultato dell'operazione: **$((A+B)+C)*D$**
84. In una cache si ha MISS quando **l'indirizzo fornito dalla CPU non corrisponde a alcun TAG memorizzato nella cache directory**
85. In una cpu come l'8086, un'istruzione mov ax, var1 si trova all'indirizzo A0F00h; var1 si trova all'indirizzo A0D00h in memoria; la CPU **legge all'indirizzo A0F00h durante il fetch e legge all'indirizzo A0D00h durante l'execute**
86. In una CPU con formato di istruzione fisso a 32 bit e 6 bit di codice operativo con indirizzamento esplicito di 3 operandi, avendo il codice 10d per l'istruzione add e volendo sommare il contenuto del registro r1 con se stesso per mettere il risultato in r2 (avendo 32 registri interni), quale delle seguenti istruzioni ha una sintassi sorgente-destinazione corretta? **0010 1000 0010 0001 0001 0000 0000 0000**
87. In una gerarchia di memorie perchè i dati vengono replicati in tutti i livelli? **Per velocità: per avere i dati utili a disposizione nel livello più vicino alla CPU**
88. In una interruzione hardware i passi da compiere sono:
 1) accettazione della interruzione
 2) identificazione della sorgente e reperimento dell'indirizzo della RRI
 3) salvataggio dello stato della CPU e modifica del PC
 4) notifica alla CPU della interruzione
 5) ritorno al programma chiamante e ripristino dello stato
 6) esecuzione delle RRI
 Scrivere l'ordine corretto con cui vengono eseguiti.
4) 1) 2) 3) 6) 5)
89. In una macchina a stack la sequenza di operazioni seguente
 PUSH A
 PUSH B
 PUSH C
 PUSH D
 ADD
 ADD
 MUL
 POP R
 mette in R il risultato della seguente operazione aritmetica: **$a*(b+c+d)$**
90. In una memoria in cui il tempo di accesso è costante per ogni dato memorizzato, l'accesso è **Casuale**
91. In una periferica di I/O, a cosa servono i segnali di indirizzo? **A indirizzare registri interni per la configurazione e le operazioni di I/O**
92. In una periferica di I/O, cosa rappresenta il segnale di CS#? **E' il chip select che serve per abilitare la periferica ad essere letta o scritta da parte del Master del bus**
93. In una RAM dinamica RAS è il segnale di **Row address select**
94. In un modello di memoria lineare **La memoria e' un solo blocco di byte consecutivi normalmente indirizzata con un offset definito dal compilatore ed una base definita dal loader**
95. I seguenti bit sono esempi di flag di stato e di controllo rispettivamente: **OF,CF di stato e DF,IF di controllo**
96. L'8086 è in grado di indirizzare fino a **1024 KByte di memoria**

97. L'architettura di von Neumann si dice anche **stored program computer**
98. L'elapsed time (Telapsed) è il tempo **complessivo per eseguire un task da parte dell'intero calcolatore**
99. L'elapsed time **Comprende il tempo della CPU, il tempo di I/O e il tempo di memoria**
100. L'essere non cancellabile è una caratteristica della memoria di **Alterabilità**
101. L'essere volatile è una caratteristica della memoria di **Durevolezza**
102. L'Instruction Fetch è? **è la fase di recupero dalla memoria dell'istruzione corrente**
103. L'IR è? **L'Instruction register: il registro della CPU che contiene l'istruzione corrente**
104. L'Instruction register (IR) è **il registro della CPU che contiene l'istruzione corrente**
105. L'interrupt type n.25h dove ha l'indirizzo della Routine in risposta all'interrupt? **All'indirizzo 00094h**
106. L'istruzione add r1,r2,r3 (somma il contenuto di r1 e r2 e metti il risultato in r3), può essere utilizzato in macchine di tipo: **registro/registro (0,3)**
107. L'istruzione ADC AX,BX **esegue la somma AX + BX + Carry Flag e mette il risultato in AX.**
108. La CPU A esegue le istruzioni di ALU con un CPI due volte maggiore di B e le istruzioni di controllo con un CPI 3 volte minore di B;. a parità del resto sapendo che le istruzioni di ALU sono il 60% delle istruzioni e quelle di controllo il 20% che speedup ha B su A? **Circa 0.9**
109. La CPU lavora con dati a 32 bit, ha uno spazio di indirizzamento di 4GB e una data bus interface a 64 bit. Ha una memoria centrale di 1Mbyte a parallelismo di 16 bit
istruzione $var3 = var1 + var2$; tutti i dati sono integer a 32 bit
istruzioni elementari eseguite (ISA, assembler)
- ```
ld r1,var1 r1<- M[var1]
ld r2,var2 r2<- M[var2]
add r1,r2,r3 r3<- r1+r2
st var3,r3 M[var3]<- r3
```
- se ogni trasferimento ed elaborazione avviene ad un ciclo di clock più il tempo di accesso alla memoria, quanti clock sono necessari? (senza considerare il reperimento delle istruzioni?) **10**
110. La legge di Amdahl indica che in un calcolatore **Se un miglioramento architetturale è poco usato potrebbe essere anche infinito che lo speedup complessivo sarebbe limitato dipendentemente dalla frequenza di uso**
111. La Legge di Moore prevede che **Il numero di transistor di un calcolatore raddoppiano ogni anno e mezzo**
112. La località temporale ci dice che **E' probabile che un dato usato in un istante possa essere riusato in un tempo localmente vicino**
113. La modalità di indirizzamento dell'I/O denominata mappata in I/O prevede **che la porta di I/O abbia un spazio di indirizzi riservato e un set di istruzioni specifiche(in,out ..)**
114. La RRI dell'interruzione con interrupt type=34h è allocata in memoria all'indirizzo CS:IP F030:B002. L'indirizzo corrente nel momento in cui arriva l'interruzione è CS:IP A0B0:F020. Il registro di Flag contiene 0F00 (tutto esadecimale). Cosa c'è scritto nell'interrupt vector? **A partire dall'indirizzo D0h (in modo crescente) viene memorizzato 02, B0, 30,F0**
115. La sequenza
- ```
MAR <-IR[var1]
MDR <-M[MAR]
R[r1] <-MDR
```
- è? **Un'istruzione di Load su un registro r1 di una variabile in memoria var1**
116. La sequenza
- ```
A<- IR[var1]; B<-IR[immed]
Aluout<-A+B
MAR<-Aluout
R[r1]<-MDR
```
- è? **Un'istruzione di Load su un registro r1 di una variabile all'indirizzo var1 + un valore immed**
117. La sequenza
- ```
MAR <-PC
MDR<-M[MAR]
IR<- MDR
PC<- PC+N ; DECODE (IR)
MAR<-IR(opadr)
MDR<- R[IR(reg)]
M[MAR]<-MDR
```
- è? **Un'istruzione di Store in una variabile in memoria all'indirizzo opadr del valore di un registro reg**
118. La sequenza
- ```
MAR <-PC
MDR<-M[MAR]
IR<- MDR
PC<-PC+N ; DECODE (IR)
A<-IR(displ)
B<- PC
PC<-Aluout
```



- è? **Un'istruzione di salto all'indirizzo PC+ N+displ**
119. La sequenza di microistruzioni che segue:  
 A <- R[IR(BX)]  
 B <- IR(3)  
 ALUOUT <- A + B  
 MAR <- ALUOUT  
 MDR <- M[MAR]  
 A <- R[IR(AX)]  
 B <- MDR  
 ALUOut <- A - B  
 R[IR(AX)] <- ALUOut  
 è relativa all'istruzione: **SUB AX,[BX+3]**
120. La sigla PCI, riferita al "bus PCI" è l'acronimo di **Peripheral Component Interconnect**
121. La suddivisione in zone per avere un numero di settori variabile dipendente dalla circonferenza della traccia in cui si trovano consente: **di incrementare la capacità di memorizzazione del disco rispetto a una struttura con il numero di settori per traccia fissato**
122. La tastiera ha i due registri interni RBR e SR agli indirizzi 60h e 64h. Lo stato è pronto se contiene 00000001b. Il driver lavora in polling ed è il seguente:  
 [...]  
 Ciclo:  
 IN AL,<X1>  
 CMP AL,01h  
 <X2> Ciclo  
 IN AL,<X3>  
 [...]  
 Che cosa deve essere messo al posto di <X1>, <X2> e <X3>? **64h, JNE, 60h**
123. Le EPROM sono **Erasable PROM**
124. Le interruzioni in polling su una sola linea che non usano il daisy-chain **Hanno una priorità che dipende dal software di risposta all'interrupt**
125. Le interruzioni software sono mascherabili **Mai**
126. Le istruzioni nell'8086 **sono a lunghezza variabile**
127. Le memorie che si possono solo leggere e cancellare con raggi UV sono le **EPROM**
128. Le memorie DRAM sono di solito a più alta capacità delle SRAM perchè **Necessitano meno transistor per memorizzare un bit**
129. Le memorie SRAM sono **Memorie RAM statiche**
130. MDR e MAR **Sono i registri di interfaccia per trasferire da e verso la memoria rispettivamente dati e indirizzi.**
131. MDR significa **Memory Data Register**
132. Memorie con parallelismo di un byte possono essere messe in **parallelo** per aumentare la dimensione della parola
133. Memorie con parallelismo di un byte possono essere messe in **serie** per aumentare il numero di celle realmente indirizzabili.
134. Nel processore 8086, i registri general purpose sono **AX, BX, CX, DX, SI, DI, BP, SP.**
135. Nel progetto del formato delle istruzioni **si progetta la dimensione dell'istruzione e dei campi dell'istruzione**
136. Nel registro flag nell'8086, il bit SF **E' un bit di stato che indica che il risultato dell'operazione e' negativo**
137. Nell'8086 come si definisce la dimensione in bit del trasferimento? **Dalla dimensione del registro destinazione o sorgente**
138. Nell'8086, i registri general purpose sono **AX, BX, CX, DX, BP, SI, DI e SP**
139. Nell'8086, il registro IP **contiene l'indirizzo della prossima istruzione**
140. Nell'8086, il registro SH è la parte alta di: **di nessuno dei tre (n.d.y. le altre alternative erano SI, SP e SS)**
141. Nell'architettura dell'8086 i segmenti sono allineati **al paragrafo**
142. Nell'architettura di Von Neumann i dati e le istruzioni **Sono codificati come stringhe binarie memorizzate nelle stesse unità di memoria**
143. Nell'architettura di Von Neumann la memoria secondaria **Fa parte dell'IO**
144. Nell'esecuzione dell'istruzione **in ax, dx** quanto valgono i segnali di RD#, WR# e M/IO# ? **0,1,0**
145. Nell'esecuzione dell'istruzione **mov ax, [bx]** quanto valgono i segnali di RD#, WR# e M/IO# ? **0,1,1**
146. Nell'esecuzione dell'istruzione **mov [bx], ax** quanto valgono i segnali di RD#, WR# e M/IO# ? **1,0,1**
147. Nell'indirizzamento ISOLATED I/O l'I/O **usa i metodi di indirizzamento con istruzioni specifiche in uno spazio di indirizzamento separato dalla memoria**
148. Nell'istruzione MOV BX,000FCh il valore 000FCh viene codificato con: **16 bit.**
149. Nella formula TCPU=Ni\*CPI\*Tck, il termine Ni non dipende **dalla tecnologia microelettronica**
150. Nelle architetture ld/st e nelle architetture memory register normalmente il numero di registri espliciti nel formato della istruzione e' rispettivamente **3 e 2**

151. Nelle CPU attuali i bit di parità sono usati **Uno per ogni byte di parallelismo della memoria per controllare errori nel trasferimento tra CPU e memoria**
152. Nelle macchine RISC a parità degli altri componenti del calcolo del Tcpu, **Ni aumenta perché con un repertorio di istruzioni semplice la traduzione di linguaggi di alto livello richiede più istruzioni**
153. Nelle macchine RISC il CPI diminuisce rispetto alle CISC **perché le istruzioni sono tutte semplici e l'implementazione hardware è più efficiente**
154. Pentium, Pentium II, Pentium III e Pentium 4 hanno **la stessa dimensione dei registri interni**
155. Per comunicare con le periferiche la CPU può lavorare in (si indichi il protocollo di comunicazione sbagliato) **Maximum Mode**
156. Per evitare che il formato delle istruzioni sia troppo lungo, i bit dell'indirizzo dell'istruzione successiva **Non sono indicati esplicitamente nelle istruzioni se non nelle istruzioni di controllo e si usa il PC**
157. Per ridurre le miss di tipo capacity **converrebbe aumentare la dimensione della cache.**
158. Perché fu progettata l'architettura RISC? **Per ottimizzare l'esecuzione di istruzioni frequenti e ridurre così il CPI medio**
159. Perché nell'8086 ci sono due ALU? **Per eseguire nello stesso tempo l'operazione sugli operandi ed il calcolo dell'indirizzo o per gli operandi o per la prossima istruzione**
160. Perché nelle gerarchie di memoria un dato acceduto viene ricopiato nelle memorie gerarchicamente più alte? **Per la località temporale**
161. Perché si dice che nell'8086 il bus è multiplexato: **perché può essere usato per dati e indirizzi ma in tempi diversi**
162. Quando si memorizza un dato più grande di un byte nell'8086: **l'MSB viene memorizzato a indirizzi più alti**
163. Quando si scrive DS:BX, si intende accedere all'indirizzo: **DS\*16+BX**
164. Quale delle seguenti istruzioni per assembly 8086 è corretta? **MOV DS,AX**
165. Quale di queste affermazioni è vera **Il microprocessore può contenere più CPU**
166. Quanti cicli di clock servono per eseguire l'istruzione `ld r1,var1` sapendo che ogni microoperazione necessita di un ciclo di clock e la memoria 4 cicli aggiuntivi? (si consideri una sola operazione per la decodifica e l'incremento del PC) **15**
167. Ricordando che la funzione 02h del DOS visualizza il carattere contenuto in DL, che cosa visualizza il seguente programma?
- ```

mov ah,0
mov al,0ffh
mov bl,8
div bl
xchg ah,al
mov ah,0
mov si,ax
mov dl,CaratteriEsa[si]
mov ah,02h
int 21h
CaratteriEsa db '0123456789ABCDEF'

```
- 7**
168. Sapendo che CS=181E, DS=180E, SS=1826, AX=4C77, BX=A3F9, BP=B939, l'istruzione: `MOV AX,[BP]` (i valori sono tutti espressi in esadecimale) **legge dalla memoria all'indirizzo 23B99**
169. Sapendo che CS=181E, DS=180E, SS=1826, AX=4C77, BX=A3F9, BP=B939, l'istruzione: `MOV AX,[BX]` (i valori sono tutti espressi in esadecimale) **legge dalla memoria all'indirizzo 224D9**
170. Se arriva una interruzione sul piedino NMI dell'8086, **viene sempre abilitata l'interruzione con interrupt type numero 2**
171. Se AX=AB79 e BX=12FF, dopo l'esecuzione delle istruzioni
- ```

xor ax,bx
xor bx,ax
xor ax,bx

```
- che cosa c'è in AX e BX? **AX=12FF - BX=AB79**
172. Se DS=9999h e BX=9999h l'operazione `mov ax,[bx]` legge dall'indirizzo: **A3329h**
173. Se il program counter viene incrementato di n, quale è il motivo? **Perché n è il numero di byte dell'istruzione**
174. Se la CPU richiede un tempo di accesso massimo di 2 cicli di clock a 100Mhz e la memoria ha tempo di accesso di 40ns **La memoria richiede due cicli di wait**
175. Se la cpu vuole leggere in una periferica i segnali di RD#, M/IO#, WR# nel bus di controllo assumono il valore **001**
176. Se la cpu vuole scrivere in una periferica i segnali di RD#, M/IO#, WR# nel bus di controllo assumono il valore **100**
177. Se la memoria deve essere letta dalla cpu i segnali di RD#, M/IO#, WR# nel bus di controllo assumono il valore **011**
178. Se la memoria deve essere scritta dalla cpu i segnali di RD#, M/IO#, WR# nel bus di controllo assumono il

valore **110**

179. Se si considerasse la memoria centrale come la cache della memoria virtuale, sarebbe una cache **Fully associative**
180. Se un 8086 esegue un'istruzione mov AX, [BX] i segnali di RD#, WR#, M/IO# durante il ciclo di bus valgono **101**
181. Se una CPU esegue una sequenza di 100 istruzioni con CPI=5 in media, per impiegare meno di 500 cicli di clock, devo scegliere una CPU con **Un throughput maggiore**
182. Se una memoria ha un tempo di accesso ad un dato di 10ns e necessita di 1ns tra un accesso e il successivo se sono di tipo diverso (ad es. una lettura ed una scrittura), il sistema avrà una larghezza di banda **Di 100M accessi al secondo se gli accessi sono dello stesso tipo**
183. Se una memoria RAM ha 18 bit di indirizzo e 16 bit di dati ha una capacità di **512Kbyte**
184. Se una memoria statica ha i segnali MCS, MRD e MOE per abilitazione lettura e output enable (con scrittura realizzata con MRD e MOE negati) e un processore ha i segnali RD# e WR# e M/IO#, tralasciando la decodifica degli indirizzi i segnali della memoria sono realizzati come **MRD= M/IO# and not(RD#)**
185. Se una memoria statica ha i segnali MCS, MRD e MOE per abilitazione lettura e output enable (con scrittura realizzata con MRD e MOE negati) e un processore ha i segnali RD# e WR# e M/IO#, tralasciando la decodifica degli indirizzi i segnali della memoria sono realizzati come **MWD= M/IO# and not (WR#)**
186. Segnale digitale **Se assume solo un numero finito di valori**
187. Si deve eseguire un programma con un ciclo di 10 iterazioni; in ogni ciclo si devono leggere le variabili var1, var2, var3 e var4 che sono allocate in memoria agli indirizzi rispettivamente F000A023, F000A021, A000A022, F000A025. Con uno spazio di indirizzamento a 32 bit ed una cache 2-way associative con linee di 16B di dati e di capacità di 1Mbyte, quante miss si verificano? **Meno di 15 miss**
188. Si vuole progettare un PC con un processore a 32 bit di dati, e 32MB di memoria. Usando dispositivi di DRAM da 16Mb con parallelismo 4 bit come si devono disporre i banchi? **2 serie di 8 dispositivi in parallelo**
189. Si vuole progettare un PC con un processore a 64 bit di dati, e 512MB di memoria. Usando dispositivi di DRAM da 64Mb con parallelismo 4 bit come si devono disporre i banchi? **4 serie di 16 dispositivi in parallelo**
190. Sia data una cache di capacità di 128Kbyte a 4-way associative con blocchi di 16Byte Quanti sono i bit di tag, index e offset se lo spazio di indirizzamento è a 16Gbyte? **19, 11, 4**
191. Sia data una cpu con parallelismo interno n=16, un bus di indirizzi na=24, un bus di dati nd=32 e istruzioni di ni=28 bit. Le istruzioni hanno campi di lunghezza fissa 6,5,5,5,7 di cui 6 bit per il codice operativo e per le istruzioni di ALU, 5 bit destinati ai campi degli operandi sorgente e destinazione e 7 per funzioni aggiuntive. Di quanti bit è formato il registro Program Counter? **24 (n.d.y. Il program counter contiene l'INDIRIZZO di una istruzione, quindi deve essere di na bit)**
192. Sia data una cpu con parallelismo interno n=16, un bus di indirizzi na=24, un bus di dati nd=32 e istruzioni di ni=28 bit. Le istruzioni hanno campi di lunghezza fissa 6,5,5,5,7 di cui 6 bit per il codice operativo e per le istruzioni di ALU, 5 bit destinati ai campi degli operandi sorgente e destinazione e 7 per funzioni aggiuntive. Di quanti bit è formato l'Instruction Register? **28 (n.d.y. L'instruction register contiene UNA INTERA ISTRUZIONE, quindi deve essere di ni bit)**
193. Sia data una cpu con parallelismo interno n=16, un bus di indirizzi na=24, un bus di dati nd=32 e istruzioni di ni=28 bit. Le istruzioni hanno campi di lunghezza fissa 6,5,5,5,7 di cui 6 bit per il codice operativo e per le istruzioni di ALU, 5 bit destinati ai campi degli operandi sorgente e destinazione e 7 per funzioni aggiuntive. Quante istruzioni diverse sono previste al massimo nell'ISA? **64**
194. Sia dato un disco fisso con settori da 512 byte e 32 settori per traccia Tseek=10ms, RPM=5200; bitrate pari a 5MB/s; Si vogliono leggere 256 Kbyte nel caso di organizzazione sequenziale e random quali sono i tempi di lettura: **0,15 sec ; 8,12 sec**
195. Sia dato un processore a 24 bit di indirizzo e bus di dati ad 16 bit con spazio di indirizzamento allineato; deve indirizzare 1Mbyte di RAM a partire dagli indirizzi bassi. **Utilizza un blocco con due dispositivi in parallelo CS0#=(A23 x A22 x A21 x A20) CS1#=(A23 x A22 x A21 x A20)**
196. Sia dato un processore a 24 bit di indirizzo e bus di dati ad 8 bit; deve indirizzare 1Mbyte di RAM a partire dagli indirizzi bassi. **Utilizza un blocco di Memoria con CS#=(A23 x A22 x A21 x A20)**
197. Sia definita una variabile byte Contatore. L'espressione MOV AL,[Contatore+BX] è un'indirizzamento **indiretto tramite registro base e spiazzamento**
198. Siano A1, A2 e A3 delle Word valorizzate così A1=A000h, A2=B000h, A3=D000h, e sia dato il seguente codice
- ```
Code segment at A1
Mov DS,A2
Mov ES,A3
Mov DX,A1
Mov BX,2
Mov AL,ES:[BX]
Out DX,AL
Mov AL,ES:[BX+2]
Out DX,AL
```



```

Mov Dx, A2
In AL, DX
Mov [A1], AL
Code ends

```

Le operazioni in memoria a che indirizzi sono riferite? **D0002, D0004, BA000**

199. Supponendo che il ciclo di bus necessiti due cicli di clock per leggere da memoria allo stesso parallelismo della CPU e due cicli per ogni trasferimento di I/O, sapendo che la porta parallela ha parallelismo un byte un 286 a 10 MHz per trasferire 1KByte quanto tempo impiega? **400 microsecondi circa**
200. Tempo di risposta in alcuni casi si può chiamare (indicare il termine sbagliato) **Larghezza di banda**
201. Tra i processori intel 8088 e 8086 **non ci sono differenze se non il parallelismo del bus dei dati**
202. Un'architettura ha metodo di indirizzamento allineato se il dato può essere allocato solo ad indirizzi multipli della dimensione del bus dati
203. Un Giga, Un Tera, Un Mega byte significano **2^{30} , 2^{40} , 2^{20} byte**
204. Un interrupt controller ha base 40h e tre richieste di interruzioni del modem, la keyboard e il mouse, collegate alle richieste IR0, IR1 e IR2. Il mask register vale MR[7:0] = 00001101. le priorità sono come di default **Vengono servite le richieste della keyboard e basta**
205. Un modello di memoria segmentato, rispetto ad uno lineare, ha il seguente vantaggio: **semplifica la rilocalizzazione del codice**
206. Un Peta e un Giga byte sono **2^{50} e 2^{30} byte**
207. Un processore a **16 bit** di bus di dati e 24 bit di indirizzi con spazio di indirizzamento non allineato ha una memoria RAM di 8Mbyte (a partire dall'indirizzo 0) composta da due memorie M0 e M1, ognuna a parallelismo di 1 byte, i cui chip select sono dati da **$CSM1\# = \neg(A23) + BE1\#$, $CSM0\# = \neg(A23) + BE0\#$**
208. Un processore a **8 bit** di bus di dati e 24 bit di indirizzi con spazio di indirizzamento non allineato ha una memoria RAM di **4Mbyte** (a partire dall'indirizzo 0) composta da due memorie M0 e M1 grandi uguali, ognuna a parallelismo di 1 byte, i cui chip select (codifica espandibile) sono dati da **$CSM1\# = \neg(A23 \times A22 \times A21)$, $CSM0\# = \neg(A23 \times A22 \times A21)$**
209. Un processore a **8 bit** di bus di dati e 24 bit di indirizzi con spazio di indirizzamento non allineato ha una memoria RAM di **8Mbyte** (a partire dall'indirizzo 0) composta da due memorie M0 e M1 grandi uguali, ognuna a parallelismo di 1 byte, i cui chip select (codifica espandibile) sono dati da **$CSM1\# = \neg(A23 \times A22)$, $CSM0\# = \neg(A23 \times A22)$**
210. Un processore ha la cache di primo livello on chip con tempo di accesso di 1Tck e hit rate del 90%; in caso di miss deve andare in memoria centrale dove per caricare una linea di 32 byte sono necessari 10 clock con il clock di sistema a 500Mhz e il clock del processore a 1Ghz. Quale è il tempo di accesso medio? **3 ns**
211. Un processore ha i bus di dati ed indirizzi di 16bit e 24 bit rispettivamente. Vuole riempire tutto lo spazio di indirizzamento con memorie di 2Mbyte a 8 bit di parallelismo interno. Quanti dispositivi deve considerare? **4 banchi in serie di 2 dispositivi in parallelo**
212. Un processore ha il bus dati a 64 bit e il bus indirizzi a 32 bit. Ha spazio di indirizzamento non allineato e la memoria centrale realizzata con banchi da 512 MB ognuno con il parallelismo del bus dati. Questi sono realizzati combinando in parallelo alcuni dispositivi da 8 bit. La memoria è espandibile. Quanti sono, nell'ordine: 1) i bit di indirizzo nel chip select per selezionare il banco? 2) i bit di indirizzo che vanno ad ogni dispositivo? 3) i segnali di BE#? **3, 26, 8**
213. Un processore ha un CPI di 3 per istruzioni di ALU che statisticamente sono una istruzione su due in ogni programma; un CPI di 6 per gli accessi alla memoria che sono il 20% del tempo rimanente e un CPI di 1 per le istruzioni di controllo. Quale è il CPI medio? **CPI medio=3**
214. Un programma necessita **33** milioni di istruzioni e mediamente processa istruzioni a **2** cicli di clock per istruzione con una frequenza di clock di 3GHz. Qual è il tempo di CPU? **22 ms**
215. Un programma necessita **66** milioni di istruzioni e mediamente processa istruzioni a **4** cicli di clock per istruzione con una frequenza di clock di 3GHz. Qual è il tempo di CPU? **88 ms**
216. Una CPU vuole copiare un dato da una periferica di input alla memoria; nei due cicli di bus i segnali di bus di controllo RD#, M/IO#, WR# avranno valore **001 110**
217. Una CPU vuole copiare un dato dalla memoria ad una periferica di output; nei due cicli di bus i segnali di bus di controllo RD#, M/IO#, WR# avranno valore **011 100**
218. Una memoria ad accesso casuale ha tempo di ciclo di 150ns, parallelismo di 32bit e bus degli indirizzi a 16 bit. **Ha una velocità di trasferimento massima di 48Mbyte/sec**
219. Una memoria associativa **L'accesso avviene tramite associazione tra l'indirizzo e parte del contenuto**
220. Una memoria è affidabile **Se ha un elevato Mean time between failure**
221. Una memoria è volatile se **I dati nelle celle di memoria nel tempo possono modificare il loro valore (in assenza di alimentazione)**
222. Una memoria ha accesso casuale se (scegliere la definizione corretta) **Il tempo di accesso non dipende dalla posizione del dato in memoria**
223. Una memoria ha accesso diretto se (scegliere la definizione corretta) **è possibile accedere direttamente ad un dato senza dover accedere a quelli precedenti**
224. Una memoria ha accesso sequenziale se (scegliere la definizione corretta) **Il tempo di accesso comprende il tempo per accedere ai dati precedenti**