**《数字逻辑》实验报告**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **姓名** | | 姚凡，杨小艺 | | **年级** | | 2022级 |
| **学号** | | 20221879，20221849 | | **专业、班级** | | 信息安全02班，信息安全01班 |
| **实验名称** | 实验七数字时钟设计 | | | | | |
| **实验时间** | 2023.11.11 | | **实验地点** | | DS1410 | |
| **实验成绩** |  | | **实验性质** | | **□验证性 ☑设计性 □综合性** | |
| 教师评价：  □算法/实验过程正确； □源程序/实验内容提交 □程序结构/实验步骤合理；  □实验结果正确； □语法、语义正确； □报告规范；  评语：  评价教师签名（电子签名）： | | | | | | |
| 一、实验目的  通过实验，充分理解和掌握数字钟的原理，理解多进制计时器和数码管的工作原理，学会设计自己的数字钟。 | | | | | | |
| 二、实验项目内容  1、实现一个六十进制数字时钟，秒到60则归零重加，同时让分加1，分加到60归零重加，并让小时加1，小时加到24归零重加。 2、设计用于数字钟的计数器(60进制，24进制)并编写仿真文件，观察其波形图并验证期正确性。 3、将设计好的计数器连接数码管并显示数值，数码管1,0 显示秒值，数码管2,3显示分值，小时数值可以以十六进制形式显示在led灯上。  4、综合、实验、生成bit流，下载到开发板进行验证。 | | | | | | |
| 三、实验设计  1.实验原理  Basys 3提供了4位带小数点的七段共阳极数码，但其阴极分开，通过使对应的二极管电路阴极为低电平，点亮相应的LED灯，再通过使能端控制对应的数码管。代码实现了一个数字钟，通过七段显示器和数码管控制信号显示当前的秒和分钟数。同时，根据条件判断信号，可以选择以不同的速度递增秒和分钟数。  2.RTL原理图： | | | | | | |
| 3.功能模块图：  retouch_2023111422273332 | | | | | | |
| 四、实验过程或算法  1.核心代码：  module digit\_clock  (  input clk,  input reset,  input pause,  output reg [6:0]seven,  output reg [3:0]an,  output reg dp  );    reg [3:0] num;  reg [26:0] count=0;  reg [6:0] second;  reg [6:0] minute;  wire [1:0] show;    always@(\*)  case(num)  4'h0:seven=7'b0000001;  4'h1:seven=7'b1001111;  4'h2:seven=7'b0010010;  4'h3:seven=7'b0000110;  4'h4:seven=7'b1001100;  4'h5:seven=7'b0100100;  4'h6:seven=7'b0100000;  4'h7:seven=7'b0001111;  4'h8:seven=7'b0000000;  4'h9:seven=7'b0000100;  default:seven=7'b0000001;  endcase  assign show=count[15:14];  always@(\*)  begin  if(show==0) begin  num=second[3:0];dp=1;end  else if(show==1) begin  num=second[6:4];dp=1;end  else if(show==2) begin  num=minute[3:0];dp=0;end  else if(show==3) begin  num=minute[6:4];dp=1;end  end    always@(\*)  begin  an=4'b1111;an[show]=0;  end    always@(posedge clk)  begin  if(reset==1)  begin  second=0; minute=0; count=0;  end  else if(pause==1)  begin  count=count+1; second=second; minute=minute;  end  else if(count==100000000 )  begin  if(second[3:0]==9)  begin  if(second[6:4]==5)  begin  if(minute[3:0]==9)  begin  if(minute[6:4]==5)  begin  minute[6:4]=0;  end  else minute[6:4]=minute[6:4]+1; minute[3:0]=0;end  else minute[3:0]=minute[3:0]+1; second[6:4]=0;end  else second[6:4]=second[6:4]+1; second[3:0]=0;end  else second[3:0]=second[3:0]+1; count=0;end  else count=count+1;  end  Endmodule  2.通过simulate判断正确性  module digit\_clock\_sim();  reg clk;  reg reset;  reg pause;  wire [6:0] seven;  wire [3:0] an;  wire dp;  digit\_clock gate(clk,reset,pause,seven,an,dp);  initial  begin  clk=0;  reset=1;  pause=0;  #100 reset=0;  end  always #0.001 clk=~clk;  endmodule  3.仿真波形图    4.RTL分析，查看电路图    5.run Synthesis，run Implementation  6.打开Schematic可视化界面，配置相关IO口    7.创建比特流  8.连接开发板，进行烧录  9.上板验证 | | | | | | |
| 五、实验过程中遇到的问题及解决情况  1.不清楚七段数码管具体实现，如段控制以及位控制等的实现  解决方法：询问同学和老师，查询资料，阅读指导书中关于七段数码管部分的说明多次尝试  2.编写的代码在开发板运行出来显示为十六进制的数值  解决方法;询问同学，在老师指导下重新改写相关代码  3.开发板验证时计时只能计十秒  解决方法：在网上查阅资料，更改代码，重新上板验证 | | | | | | |
| 六、实验结果及分析和（或）源程序调试过程  1.实验分析：  模块中包含了时钟信号、复位信号、暂停信号以及七段显示器和数码管控制信号作为输入，同时还有一个小数点信号作为输出。在模块中，定义了三个寄存器：clk、reset和pause，分别用于存储时钟信号、复位信号和暂停信号。同时，定义了两个线路：seven和an，分别用于存储七段显示器的输出信号和数码管控制信号。还有一个线路dp，用于存储小数点的状态。通过时钟信号的周期性变换，以及复位和暂停信号的控制，来模拟数字钟的运行过程，并将七段显示器和数码管控制信号的输出结果进行仿真。  2.实验结果  （1）仿真结果：    （2）实际显示结果：    七、小组分工情况说明  姚凡：主要负责实验代码编写、实际实现、仿真波形、RTL电路图观测和实验报告收尾工作  杨小艺：主要负责编写实验报告工作 | | | | | | |