



(12) 发明专利

(10) 授权公告号 CN 113917714 B

(45) 授权公告日 2025.09.30

(21) 申请号 202110702565.4

(51) Int.CI.

(22) 申请日 2021.06.24

G02F 1/025 (2006.01)

(65) 同一申请的已公布的文献号

G02F 1/21 (2006.01)

申请公布号 CN 113917714 A

G02F 1/225 (2006.01)

(43) 申请公布日 2022.01.11

G02B 6/13 (2006.01)

(30) 优先权数据

(56) 对比文件

20184635.9 2020.07.08 EP

US 2019384135 A1, 2019.12.19

(73) 专利权人 IMEC 非营利协会

US 2012257850 A1, 2012.10.11

地址 比利时勒芬

审查员 张思瑶

(72) 发明人 金荣现 D·尤迪斯缇拉

B·库纳特 J·范卡姆潘豪特

M·I·潘图瓦基

(74) 专利代理机构 上海专利商标事务所有限公司 31100

专利代理人 杨洁 陈斌

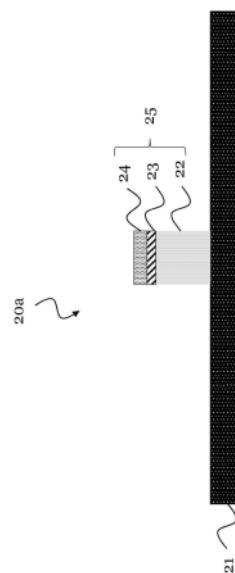
权利要求书2页 说明书8页 附图15页

(54) 发明名称

具有脊形波导的单片硅上III-V族光电调相器

(57) 摘要

本公开涉及电光装置领域。具体而言，本公司提供了通过硅上III-V族半导体工艺制造的单片集成电光调相器。该调相器包括硅基n型衬底基层，以及用于传播光的III-V族n型脊形波导，其中该脊形波导从该n型衬底基层突出并沿着该n型衬底基层延伸。此外，该调相器包括被提供在脊形波导上的一个或多个绝缘层，以及被提供在该一个或多个绝缘层上的至少在该脊形波导上方的硅基p型顶盖层，其中该一个或多个绝缘层总共具有1-100nm的厚度。



1. 一种单片集成电光调相器,其中所述调相器在光调制区域中包括:
硅基n型基层;

用于传播光的n型脊形波导,其中所述脊形波导从所述n型基层突出并沿所述n型基层延伸,且由III-V族半导体材料制成;

被提供在所述脊形波导上的一个或多个绝缘层,其中所述一个或多个绝缘层总共具有1-100nm范围内的厚度;以及

被提供在所述一个或多个绝缘层上的至少在所述脊形波导上方的硅基p型覆盖层,

其中所述n型脊形波导、所述一个或多个绝缘层、以及所述p型覆盖层共同形成用于在所述光调制区域中对沿所述脊形波导传播的光进行调相的单片集成的半导体-绝缘体-半导体电容器。

2. 如权利要求1所述的调相器,进一步包括:

被提供在所述n型基层上的一个或多个第一触点;以及

被提供在所述p型覆盖层上的一个或多个第二触点;

其中施加在所述一个或多个第一触点和所述一个或多个第二触点之间的电压导致沿所述脊形波导传播的光在所述光调制区域中进行调相。

3. 如权利要求1所述的调相器,其中:

所述一个或多个绝缘层以及所述p型覆盖层是平坦的并且被提供在所述脊形波导的平坦顶表面上。

4. 如权利要求1所述的调相器,其中:

所述一个或多个绝缘层以及所述p型覆盖层包裹在所述脊形波导的顶部周围。

5. 如权利要求1所述的调相器,其中:

所述脊形波导、所述一个或多个绝缘层、以及所述p型覆盖层被介电材料包围或被嵌入所述介电材料中。

6. 如权利要求1所述的调相器,其中所述调相器在光过渡区域中包括:

硅基非故意掺杂NID基层;

从所述NID基层突出并沿所述NID基层延伸的所述n型脊形波导;

被提供在所述脊形波导上的所述一个或多个绝缘层;以及

被提供在所述一个或多个绝缘层上的至少在所述脊形波导的一部分上方的硅基NID覆盖层。

7. 如权利要求6所述的调相器,进一步包括:

与所述脊形波导毗邻地在所述NID基层上或由所述NID基层形成的硅基波导。

8. 如权利要求7所述的调相器,其中:

所述脊形波导和所述硅基波导被配置和布置成使得沿这些波导中的一个波导传播的光被耦合到这些波导中的另一个波导中。

9. 如权利要求6所述的调相器,其中:

所述NID覆盖层在所述光过渡区域中是锥形的。

10. 如权利要求6所述的调相器,其中:

所述脊形波导被部分地布置在形成在所述n型基层和/或所述NID基层中的沟中;和/或所述脊形波导被生长在形成在所述n型基层和/或所述NID基层中的V型槽上。

11. 如权利要求6所述的调相器,其中:

所述n型基层和/或所述NID基层是由绝缘体上硅衬底的顶层形成的。

12. 如权利要求6所述的调相器,其中:

所述脊形波导包括被布置在所述n型基层和/或所述NID基层上的较窄底部,以及被布置在所述底部之上的较宽顶部;并且

所述较宽顶部具有矩形横截面或三角形横截面。

13. 如权利要求6所述的调相器,其中:

所述脊形波导包括并排从所述n型基层和/或所述NID基层突出的两个部分。

14. 一种Mach-Zehnder调制器,包括:

光输入和光输出;

第一波导臂和第二波导臂,其中每一个波导臂将所述光输入与所述光输出相连接;以及

如权利要求1到13中的任一项所述的一个或多个调相器,

其中这些调相器中的至少一个调相器被布置在所述第一波导臂和/或所述第二波导臂中。

15. 一种用于制造单片集成电光调相器的方法,其中为了制造所述调相器的光调制区域,所述方法包括:

提供硅基n型基层;

生长用于传播光的n型脊形波导,其中所述脊形波导从所述n型基层突出并沿所述n型基层延伸,且由III-V族半导体材料制成;

在所述脊形波导上形成一个或多个绝缘层,其中所述一个或多个绝缘层总共具有1-100nm范围内的厚度;以及

在所述一个或多个绝缘层上形成至少在所述脊形波导上方的硅基p型覆盖层,

其中所述n型脊形波导、所述一个或多个绝缘层、以及所述p型覆盖层共同形成用于在所述光调制区域中对沿所述脊形波导传播的光进行调相的单片集成的半导体-绝缘体-半导体电容器。

具有脊形波导的单片硅上III-V族光电调相器

技术领域

[0001] 本公开涉及电光装置领域,尤其涉及电光调制器领域。本公开提出了一种单片集成电光调相器,其基于脊形波导的硅上III-V族半导体工艺。本公开还提供了一种用于制造电光调相器的方法,以及包括至少一个这样的电光调相器的Mach-Zehnder(马赫-增德尔)调制器。

背景技术

[0002] 电光调制器是硅(Si)光子学中的基本构建块并被用来调制光,例如对光进行调相。常规的硅基光调相器采用自由载流子等离子体色散效应来通过光传播材料中的载流子密度调制实现调相。

[0003] 然而,这一常规的硅基调相器的效率固有地受到硅基材料中的载流子的有效质量的限制,因为载流子调制量与该有效质量成反比。因此,一些工作致力于使用III-V族半导体材料,而不是硅基材料,并致力于利用其较低的有效质量。

[0004] 作为示例,III-V族/硅混合调相器可通过使用晶片键合工艺来制造,然而该晶片键合工艺对于更大批量制造而言是有问题的工艺。

[0005] 作为另一示例,单片集成III-V族/硅混合调相器可通过在硅上外延地生长III-V族半导体材料的工艺来制造,该工艺对于大规模生产是更有利的。然而,在该示例中,调相器经常由于外延地生长的III-V族半导体材料的晶体质量太低而遭受性能降级。

发明内容

[0006] 鉴于上述缺点,本发明的实施例的目的是提供一种改进的电光调相器。具体而言,目标是提供一种单片集成光调相器,该调相器利用III-V族半导体材料的较低有效质量,但不遭受该III-V族半导体材料的过低晶体质量所导致的性能降级。用于制造该电光调相器的工艺对于大批量生产还应当是更有利的。另外,该电光调相器应适用于在各种光学块中(如在Mach-Zehnder调制器中)实现。

[0007] 该目标通过在所附的独立权利要求中提供的本发明的实施例来达成。这些实施例的优势实现在从属权利要求中限定。

[0008] 具体而言,为了克服上述示例性调相器的问题,本发明的实施例提出了一种包括用于传播光的脊形波导的单片硅上III-V族电光调相器。

[0009] 本公开的第一方面提供了一种单片集成电光调相器,其中该调相器在光调制区域中包括:硅基n型基层;用于传播光的n型脊形波导,其中该脊形波导从该n型基层突出并沿该n型基层延伸且由III-V族半导体材料制成;被提供在该脊形波导上的一个或多个绝缘层,其中该一个或多个绝缘层总共具有1-100nm范围内的厚度;以及被提供在该一个或多个绝缘层上的至少在该脊形波导上方的硅基p型覆盖层,其中该n型脊形波导、该一个或多个绝缘层、以及该p型覆盖层共同形成单片集成的半导体-绝缘体-半导体(SIS)电容器,该SIS电容器用于在光调制区域中对沿该脊形波导传播的光进行调相。

[0010] 第一方面的调相器是单片集成光调相器,其利用脊形波导的III-V族半导体材料的较低有效质量。然而,该调相器不遭受III-V族半导体材料的过低晶体质量。这可能是因为该脊形波导,可导致半导体材料中的缺陷在其底部(特别是在其中该脊形波导不传播将要进行调相的光的主要部分的部分)中被捕获。具体而言,光主要在限定SIS电容器的界面处(即在脊形波导的顶部)传播,在那里可以对光进行调相。

[0011] 此外,用于制造该电光调相器的工艺对于大批量生产可以是有利的,因为可使用外延并且晶片键合并非必需。

[0012] 在一实现中,该调相器进一步包括:被提供在n型基层上的一个或多个第一触点;以及被提供在p型覆盖层上的一个或多个第二触点;其中施加在该一个或多个第一触点和该一个或多个第二触点之间的电压导致沿该脊形波导传播的光在该光调制区域中进行调相。

[0013] 第一和第二触点由此允许控制光在调相器的光调制区域中的调相,例如允许控制光相位到底是否被调制和/或光相位被调制的强度。第一和第二触点具体可控制SIS电容器的电荷状态。p型硅基覆盖层以及一个或多个绝缘层可由此分别像栅极触点和栅极绝缘体那样运作,以修改n型脊形波导的顶部区域中的载流子密度。

[0014] 在该调相器的一实现中,该一个或多个绝缘层以及p型覆盖层是平坦的,并且被提供在脊形波导的平坦顶表面上。

[0015] 该实现形式启用单个制造工艺。例如,脊形波导可被嵌入介电材料中,并且可使用化学机械抛光(CMP)来提供共用平坦表面,然后能够以高层质量和精度将一个或多个绝缘层提供到该表面上。

[0016] 在该调相器的一实现中,该一个或多个绝缘层以及p型覆盖层包裹在脊形波导的顶部周围。

[0017] 该实现形式允许对脊形波导中的载流子密度的更高效且精确的控制。

[0018] 在该调相器的一实现中,脊形波导、一个或多个绝缘层以及p型覆盖层被介电材料包围或嵌入介电材料中。

[0019] 这将SIS电容器与其周围隔离,并由此可改进调相器的性能。具体而言,在脊形波导中传播的光的相位可以在调制区域中被高效且准确地调制。

[0020] 在一实现中,该调相器在光过渡区域中包括:硅基非故意掺杂(NID)基层;从NID基层突出并沿该NID基层延伸的n型脊形波导;被提供在该脊形波导上的一个或多个绝缘层;以及被提供在该一个或多个绝缘层上的至少在该脊形波导的一部分上方的硅基NID覆盖层。

[0021] 光过渡区域允许将在脊形波导中传播的光引导出并离开光调制区域,例如以便将光耦合到另一波导,或者将光提供至光学系统的某一其他光学块。注意,NID基层和n型基层可以从选择性n掺杂的一个基层形成。例如,SOI衬底的顶层可以选择性n掺杂的,并且脊形波导可以因此跨该顶层的掺杂和非掺杂区域形成。同样,NID覆盖层和p型覆盖层可以从选择性p掺杂的一个覆盖层形成。

[0022] 在一实现中,该调相器进一步包括:在NID基层上或由NID基层与脊形波导毗邻地形成的硅基波导。

[0023] 硅基波导可以例如由硅或氮化硅制成。硅基波导可用于向调相器的调制区域引导

光和从调相器的调制区域引导光。

[0024] 在该调相器的一实现中,脊形波导和硅基波导被配置和布置成使得沿这些波导中的一个波导传播的光被耦合到这些波导中的另一个波导中。

[0025] 例如,硅基波导可以是锥形的,或者具有锥形端,或者可以是弯曲的,以支持和/或定制该耦合硅基波导可被放置在距脊形波导预定距离处,并且可具有一个或多个确定尺寸,以使得能够将光高效地从一个波导耦合到另一个波导。

[0026] 在该调相器的一实现中,NID覆盖层在光过渡区域中是锥形的。

[0027] 这支持从脊形波导到硅基波导的耦合,并且反之亦然。

[0028] 在该调相器的一实现中,脊形波导被部分地布置在n型和/或NID基层中所形成的沟中;和/或该脊形波导被生长在n型和/或NID基层中所形成的V型槽上。

[0029] 这具有以下优点:可以在脊形波导的底部(例如被布置在沟或槽中的部分)中高效地捕获缺陷。这可以导致在更靠近或在SIS电容器形成之处的脊形波导的顶部中的缺陷显著减少。例如,可使用纵横比捕获(ART)技术来减少缺陷。硅V型槽改进了脊形波导的III-V族半导体材料的生长的质量,并由此导致调相器的性能进一步提高。

[0030] 在该调相器的一实现中,n型和/或NID基层由绝缘体上硅衬底的顶层形成。

[0031] 在该调相器的一实现中,脊形波导包括布置在n型和/或NID基层上的较窄底部以及布置在底部之上的较宽顶部;并且较宽顶部具有矩形横截面或三角形横截面。

[0032] 该较窄和较宽部分支持脊形波导的下部中的缺陷的ART。

[0033] 在该调相器的一实现中,脊形波导包括从n型和/或NID基层并排突出的两个部分。

[0034] 这可进一步使得一个或多个绝缘层和覆盖层能够特别有效地包裹在脊形波导周围,并由此使得能够特别有效地调制脊形波导中的载流子密度。

[0035] 本公开的第二方面提供了一种Mach-Zehnder调制器,包括:光输入和光输出;第一波导臂和第二波导臂,其中每一波导臂将光输入与光输出相连接;以及根据第一方面或其任何实现形式的一个或多个调相器,其中这些调相器中的至少一者被布置在第一波导臂和/或第二波导臂中。

[0036] 由此,第一方面的电光调相器可适用于在光学构建块(如第二方面的Mach-Zehnder调制器)中实现。Mach-Zehnder调制器采用(诸)调相器的优点并且能以高性能调制光。

[0037] 本公开的第三方面提供了一种用于制造单片集成电光调相器的方法,其中为了制造该调相器的光调制区域,该方法包括:提供硅基n型基层;生长用于传播光的n型脊形波导,其中该脊形波导从该n型基层突出并沿该n型基层延伸生长并由III-V族半导体材料制成;在该脊形波导上形成一个或多个绝缘层,其中该一个或多个绝缘层总共具有1-100nm范围内的厚度;以及在该一个或多个绝缘层上形成至少在该脊形波导上方的硅基p型覆盖层,其中该n型脊形波导、该一个或多个绝缘层、以及该p型覆盖层共同形成单片集成的半导体-绝缘体-半导体(SIS)电容器,该SIS电容器用于在光调制区域中对沿该脊形波导传播的光进行调相。

[0038] 第二方面的方法实现与第一方面的调相器相同的优点,并且可通过如上所述的用于第一方面的调相器的相应实现来扩展。

附图说明

- [0039] 上述各方面和实现参照所附附图来在以下具体实施方式中解释：
- [0040] 图1示出了根据本发明的实施例的Mach-Zehnder调制器，其示例性地包括根据本发明的两个调相器。
- [0041] 图2示出了根据本发明的实施例的调相器中的SIS电容器。
- [0042] 图3示出了根据本发明的实施例的调相器，其具有(诸)平坦绝缘层和覆盖层，具体而言是该调相器的光调制区域。
- [0043] 图4示出了根据本发明的实施例的另一调相器，其具有(诸)平坦绝缘层和覆盖层，具体而言是该调相器的光调制区域。
- [0044] 图5示出了根据本发明的实施例的另一调相器，其具有(诸)平坦绝缘层和覆盖层，具体而言是该调相器的光调制区域。
- [0045] 图6示出了根据本发明的实施例的调相器，其具有(诸)非平坦绝缘层和覆盖层，具体而言是该调相器的光调制区域。
- [0046] 图7示出了根据本发明的实施例的另一调相器，其具有(诸)非平坦绝缘层和覆盖层，具体而言是该调相器的光调制区域。
- [0047] 图8示出了根据本发明的实施例的另一调相器，其具有(诸)非平坦绝缘层和覆盖层，具体而言是该调相器的光调制区域。
- [0048] 图9示出了根据本发明的实施例的调相器，具体而言是该调相器的光过渡区域。
- [0049] 图10示出了根据本发明的实施例的另一调相器，具体而言是该调相器的光过渡区域。
- [0050] 图11示出了根据本发明的实施例的用于制造调相器的第一集成流程的各步骤。
- [0051] 图12示出了根据本发明的实施例的用于制造调相器的第一集成流程的各步骤。
- [0052] 图13示出了根据本发明的实施例的用于制造调相器的第一集成流程的各步骤。
- [0053] 图14示出了根据本发明的实施例的用于制造调相器的第二集成流程的各步骤。
- [0054] 图15示出了根据本发明的实施例的用于制造调相器的第二集成流程的各步骤。

具体实施方式

- [0055] 图1示出了可如何使用根据本发明的实施例的调相器20的示例。具体而言，图1示意性地示出了根据本发明的实施例的Mach-Zehnder调制器10。Mach-Zehnder调制器10示例性地包括调相器20中的两个调相器。
- [0056] 具体而言，Mach-Zehnder调制器10包括光输入11和光输出12。光输入11和光输出12之间的线表示硅基(例如，硅或氮化硅)波导。Mach-Zehnder调制器10进一步包括两个波导臂，即第一波导臂13和第二波导臂14。每一波导臂13、14将光输入11与光输出12相连接。
- [0057] Mach-Zehnder调制器10被示为具有被布置在第一波导臂13中的一个调相器20以及被布置在第二波导臂14中的另一调相器20。一般而言，Mach-Zehnder调制器10可包括至少一个波导臂13、14中的至少一个调相器20。每一个调相器20包括波导过渡(即，光过渡区域)和移相器(即，光调制区域)。III-V族半导体材料具体地在光调制区域和光过渡区域中被用来形成脊形波导，如下文中更详细地解释的。

[0058] 图2示出了根据本发明的实施例的电光调相器20的横截面，具体而言是形成在调

相器20的光调制区域中的SIS电容器的横截面。调相器20是单片集成调相器20，即图2所示的所有元件都可以在一个制造工艺流程中生长在彼此之上。调相器20由此是单片硅上III-V族光学移相器。

[0059] 在光调制区域中，调相器20包括硅基n型基层21、从n型基层21突出并沿n型基层21延伸(此处是在进入到图2的平坦中的方向上延伸)的n型脊形波导22、被提供在该脊形波导22上的一个或多个绝缘层23、以及被提供在该一个或多个绝缘层23上的至少在该脊形波导22上方的硅基p型覆盖层24。

[0060] 硅基n型层21可由硅或氮化硅制成。例如，该层可以是SOI衬底的顶层，其中该顶层至少在调相器20的光调制区域中n掺杂。

[0061] 脊形波导22被配置成具体沿其在基层21上的延伸方向传播光。脊形波导22由III-V族半导体材料制成。例如，它可包括砷化镓(GaAs)、砷化铟镓(InGaAs)、磷化铟(InP)和/或磷化铟镓(InGaAsP)。III-V族半导体材料可以用硅(Si)、锗(Ge)、硒(Se)和/或碲(Te)来掺杂。

[0062] 一个或多个绝缘层23总共具有范围在1-100nm，特别是在1-50nm的范围内，更特别地低于40nm的厚度。非常薄的一个或多个绝缘层23允许光的光模被局限在脊形波导22的顶部，特别是在SIS电容器25中。该模的最高光强甚至可以存在于绝缘层23处，而光模可以从脊形波导22的顶部区域扩散到覆盖层24中。同时，薄绝缘层23仍能担当栅极绝缘体，从而允许修改脊形波导22的顶部区域中的载流子密度。该一个或多个绝缘层23对于沿着脊形波导22传播的光而言可以是透光的。该一个或多个绝缘层23可包括氧化铝(Al_2O_3)层和/或氧化硅(SiO_2)层和/或氧化铪(HfO_2)层和/或高k介电材料层。

[0063] p型硅基覆盖层24可包括p型多晶硅(poly-Si)层、p型硅层、p型多晶硅锗(poly-SiGe)层和/或p型硅锗(SiGe)层。

[0064] 图3示出了根据本发明的实施例的调相器20的光调制区域的横截面，该实施例构建在图2所示的实施例上。图2和图3中的相同的元件用相同的附图记号来标记并且可被同样地实现。具体而言，图3示出了具有(诸)平坦绝缘层23以及平坦覆盖层24的调相器。

[0065] 如同在图2中那样，n型掺杂III-V族半导体材料脊形波导22可以外延地生长在高度n型掺杂硅基基层21上，例如SOI衬底的顶层上。SOI衬底可包括硅衬底、具有约 $2\mu\text{m}$ 厚度的掩埋氧化物(BOX)以及具有200-250nm(例如，约215nm)厚度的硅顶层。然而，在SOI衬底的顶层形成n型基层21的情况下，该硅顶层可具有约50-60nm的减小的厚度。一个或多个绝缘层23可以形成在脊形结构22的平坦化III-V族半导体材料上，并且在该实施例中，形成包围或内嵌脊形波导22的介电材料33以及III-V族半导体材料的平坦化表面。覆盖层24被提供在一个或多个绝缘层23上。如图所示，介电材料33可以进一步包围或者还内嵌一个或多个绝缘层23以及p型顶盖层24。

[0066] 此外，一个或多个第一触点31可以被提供在n型衬底基层21上，并且一个或多个第二触点32可以被提供在p型覆盖层24上。具体而言，金属触点31、32可以被提供到这些掺杂层上，并且可被构造用于提供电信号端子。通过向触点31、32之一施加偏置电压并将另一触点32、31接地，载流子可以在SIS电容器25的界面处被显著地调制。作为结果，施加在一个或多个第一触点31和一个或多个第二触点32之间的电压可导致沿脊形波导22传播的光在光调制区域中进行调相。

[0067] 光的光模可被局限在SIS电容器25中,如图3中的圆圈所描绘的,并且最高光强可存在于绝缘层23处(不像例如在激光二极管或光电二极管应用中),脊形波导22的III-V族半导体材料在此处对于可以是用于光通信的波长的光波长而言是透明的。因此,绝缘层/n型III-V族半导体材料界面处的电子可主要归因于高效光调制以及p型硅基层/绝缘层界面处的空穴。

[0068] 图3所示的脊形波导22进一步包括被布置在n型基层21上的较窄的底部以及被布置在该底部之上的较宽的顶部。底部可具有50-100nm(例如,约70nm)的宽度以及200-250nm(例如,约215nm)的高度,而较宽部分可具有最多400-500nm(例如,450nm)的宽度(在最宽部分,此处是三角形顶部)以及300-350nm(例如,约325nm)的高度。

[0069] 此外,脊形波导22,具体而言是其较窄部分,被部分地布置在n型基层21中所形成的沟110中(也参见图11和图14)。脊形波导22,具体而言是其较窄部分,可以在n型基层21中所形成的V型槽上(例如,外延地)生长。即,ART技术可应用于形成脊形波导22并且可以在较窄的底部捕获缺陷。较宽的顶部因此可以是无缺陷的,或者至少可包括少得多的缺陷。由于在脊形波导22中传播的光的光模位于较宽的顶部,因此实现更好的性能。

[0070] 在图3的示例性实施例中,一个或多个绝缘层23包括氧化铝。覆盖层24进一步包括p型多晶硅。n型基层21包括硅。第一触点31和第二触点32由金属制成。

[0071] 图4示出了根据本发明的实施例的另一调相器20的光调制区域的横截面,该实施例构建在图2所示的实施例上并且与图3所示的实施例共享元件。图2、图3和图4中的相同的元件用相同的附图记号来标记并且可被同样地实现。具体而言,图4示出了具有(诸)平坦绝缘层23以及覆盖层24的另一调相器。

[0072] 分别在图3和图4中示出的调相器20的实施例之间的区别在于,在图3中脊形波导22的顶部具有三角形横截面,而在图4中它具有矩形横截面。矩形横截面可受益于到另一硅基波导的改进的波导过渡(将稍后描述)。矩形顶部可具有100-200nm(例如,约150nm)的高度以及400-500nm(例如,约450nm)的宽度,而底部的尺寸可以与图3中相同。

[0073] 图5示出了根据本发明的实施例的另一调相器20的光调制区域的横截面,该实施例构建在图2所示的实施例上并且与图3所示的实施例共享元件。图2、图3和图5中的相同的元件用相同的附图记号来标记并且可被同样地实现。具体而言,图5示出了具有(诸)平坦绝缘层23以及覆盖层24的另一调相器20。

[0074] 原则上,图5所示的调相器20具有与图3所示的调相器20相同的概念。然而,在图5的调相器20中,如所描绘的,触点31、32的数量减少。具体而言,调相器20包括连接到n型基层21的仅仅一个第一触点31以及连接到p型覆盖层24的仅仅一个第二触点。

[0075] 图6示出了根据本发明的实施例的另一调相器20的光调制区域的横截面,该实施例构建在图2所示的实施例上并且与图5所示的实施例共享一些元件。图2、图5和图6中的相同的元件用相同的附图记号来标记并且可被同样地实现。具体而言,图6的调相器20包括(诸)非平坦绝缘层23和非平坦覆盖层24。一个或多个绝缘层23以及p型覆盖层24分别包裹在脊形波导22的顶部周围。

[0076] 图7示出了根据本发明的实施例的另一调相器20的光调制区域的横截面,该实施例构建在图2所示的实施例上并且与图6所示的实施例共享一些元件。图2、图6和图7中的相同的元件用相同的附图记号来标记并且可被同样地实现。具体而言,图7的调相器20包括

(诸)非平坦绝缘层23和覆盖层24。一个或多个绝缘层23以及p型覆盖层24包裹在脊形波导22的顶部周围。与图6的调相器相比,图7的调相器20不具有顶部比其较窄的底部更宽的脊形波导22。脊形波导22的底部和顶部改为具有相似或相同的宽度。

[0077] 图8示出了根据本发明的实施例的另一调相器20的光调制区域的横截面,该实施例构建在图2所示的实施例上并且与图7所示的实施例共享一些元件。图2、图7和图8中的相同的元件用相同的附图记号来标记并且可被同样地实现。具体而言,图7的调相器20包括(诸)非平坦绝缘层23和覆盖层24。一个或多个绝缘层23以及p型覆盖层24包裹在脊形波导22的顶部周围。具体而言,脊形波导2在该实施例中包括两个部分,这两个部分并排从n型基层21突出。这两个部分中的每一者被一个或多个绝缘层23和覆盖层24包裹。

[0078] 图9(a)示出了根据本发明的实施例的另一调相器20的光调制区域(“移相器”)和光过渡区域(“波导过渡”)的俯视图(触点/金属层被省略)。图9(b)示出了图9(a)的调相器20的光过渡区域的具体地沿着图9(a)所示的虚线的横截面。

[0079] 如图9(b)所示,在光过渡区域中,调相器20包括硅基NID基层91、从NID基层91突出并沿NID基层91延伸的n型脊形波导22、被提供在该脊形波导22上的一个或多个绝缘层23、以及被提供在该一个或多个绝缘层23上的至少在脊形波导22的一部分的上方的硅基NID覆盖层94。光过渡区域中的NID基层91以及光调制区域中的n型基层21可由提供有不同的非掺杂区域(用于NID)和掺杂区域(用于n型)的同一层(例如,SOI衬底的顶层)来形成。同样,光过渡区域中的NID覆盖层94以及光调制区域中的p型覆盖层24可由提供有不同的非掺杂区域(用于NID)和掺杂区域(用于p型)的同一层来形成。

[0080] 在光过渡区域中,脊形波导可以按与它在光调制区域中形成在n型基层21上相似的方式被形成在NID基层91上。具体而言,脊形波导22可被部分地布置在NID基层91中所形成的沟110中,和/或脊形波导22可以在NID基层91中所形成的V型槽上生长。沟110和/或V型槽可以沿该基层跨非掺杂区域(用于NID)和掺杂区域(用于n型)延伸。

[0081] 调相器20的光过渡区域对于建立硅基波导95与III-V族脊形波导22之间的低损耗光路可以是有益的。具体而言,(无源)硅基波导95可以与脊形波导22毗邻地在NID基层91上或由该NID基层91形成。脊形波导22和硅基波导95被配置和布置成使得沿波导22、95中的一个波导传播的光被耦合到波导22、95中的另一个波导中。例如,硅基波导95的中心可以距离脊形波导22的底部约200-350nm,例如约315nm。硅基波导95可包括锥形端和/或可以是弯曲的,以支持该耦合。硅基波导95可以是定向的线性锥形,和/或可以是先进的绝热耦合器,以支持该耦合。由此,如图9(b)所示,光模在光从硅基波导95耦合到脊形波导22中时移动,直到(诸)绝缘层23位于该光模的中间。

[0082] 图10(a)示出了根据本发明的实施例的另一调相器20的光调制区域(“移相器”)和光过渡区域(“波导过渡”)的俯视图。图10(b)和10(c)示出了调相器20的光过渡区域的具体地沿图10(a)所示的两条虚线的横截面。图9和图10中的相同的元件用相同的附图记号来标记并且可被同样地实现。

[0083] 图10(a)示出NID覆盖层94在光过渡区域中可以是锥形的。图10(c)示出其中硅基波导95与脊形波导22毗邻地形成的光过渡区域。图10(b)示出其中不形成硅基波导95,而只形成NID基层91以支持脊形波导22的光过渡区域。

[0084] 图11-13示出了根据本发明的实施例的用于制造调相器20的第一集成方案。具体

而言,图11示出了第一集成方案的步骤1-4,图12示出了步骤5-8,且图13示出了步骤9和10。

[0085] 在步骤1中,提供包括NID硅顶层的SOI衬底。在步骤2中,对SOI的NID硅顶层进行n掺杂以形成n型(硅)基层21。

[0086] 在步骤3中,将空穴图案化到n型基层21中,该空穴由介电材料(例如,氧化硅)填充,该介电材料被蚀刻,并且硅V型槽110穿过所蚀刻的介电材料被形成到n型基层21中。在步骤4中,将III-V族半导体材料脊形波导22生长到硅V型槽上,特别是采用ART生长。

[0087] 在步骤5中,形成一个或多个绝缘层23(例如,可沉积栅极氧化物)。示例性地,该一个或多个绝缘层23包裹在脊形波导22的顶部周围。在步骤6中,沉积氮化硅层120和介电材料(例如,氧化硅)(包裹在该一个或多个绝缘层23以及脊形波导22的顶部周围)。

[0088] 在步骤7中,平坦化介电材料以连同氮化硅120的顶表面共同形成平坦表面。在步骤8中,蚀刻氮化硅120以暴露该一个或多个绝缘层23的顶表面。

[0089] 在步骤9中,在该平坦顶表面上并由此在所暴露的一个或多个绝缘层23上提供p型硅基覆盖层24(例如,多晶硅)。注意,该覆盖层24由此不包裹在脊形波导22的顶部周围。在步骤10中,形成第一触点31和第二触点32,例如沉积金属层。由此,制造调相器20。

[0090] 图14-15示出了根据本发明的实施例的用于制造调相器20的第二集成方案。具体而言,图14示出了第二集成方案的步骤1-4,且图15示出了步骤5-8。

[0091] 在步骤1中,如同在第一集成方案中,提供包括NID硅顶层的SOI衬底。在步骤2中,对SOI的NID硅顶层进行n掺杂以形成n型(硅)基层21。

[0092] 在步骤3中,与第一集成方案类似地,将空穴图案化到n型基层21中(与第一集成方案相比,由此在SOI衬底的右侧移除n型基层21,如图所示),该空穴由介电材料(例如,氧化硅)填充,该介电材料被蚀刻,并且硅V型槽110穿过所蚀刻的介电材料被形成到n型基层21中。在步骤4中,将III-V族半导体材料脊形波导生长到硅V型槽上,特别是采用ART生长。

[0093] 在步骤5中,如同在第一集成方案中,形成一个或多个绝缘层23(例如,可沉积栅极氧化物)。示例性地,该一个或多个绝缘层23包裹在脊形波导22的顶部周围。在步骤6中,提供包裹在该一个或多个绝缘层23以及脊形波导22的顶部周围的p型硅基覆盖层24(例如,多晶硅)。

[0094] 在步骤7中,图案化p型覆盖层24(在n型基层21上方移除覆盖层24在SOI衬底左侧的部分)。然后,执行用于形成p型覆盖层24中的p+区域的注入步骤(右侧),并且沉积介电材料(例如,二氧化硅)以包围或内嵌脊形波导22。此外,一个或多个绝缘层23被包裹在脊形波导22的顶部周围,并且覆盖层24被包裹在该一个或多个绝缘层23以及脊形波导22的顶部周围。在步骤8中,形成第一触点31和第二触点32,例如沉积金属层。由此,制造调相器20。

[0095] 如以上讨论的,根据句本发明的各实施例,能实现高度可制造且高效的硅上III-V族(混合)调相器20。调相器20可使用(纳米)脊形波导通过实现硅上III-V族来实现。本发明的实施例实现了以可制造方式制造硅光子学中的高效且低损耗硅上III-V族混合光调制器的途径。

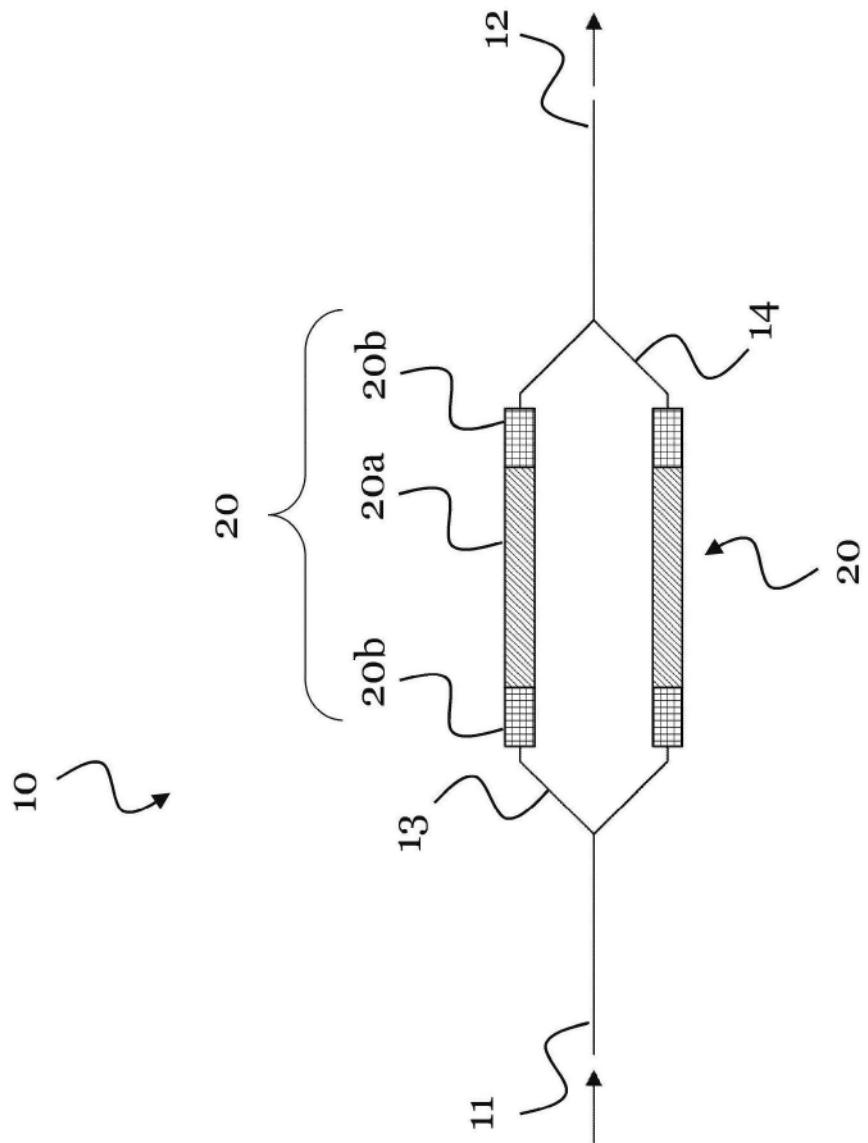


图1

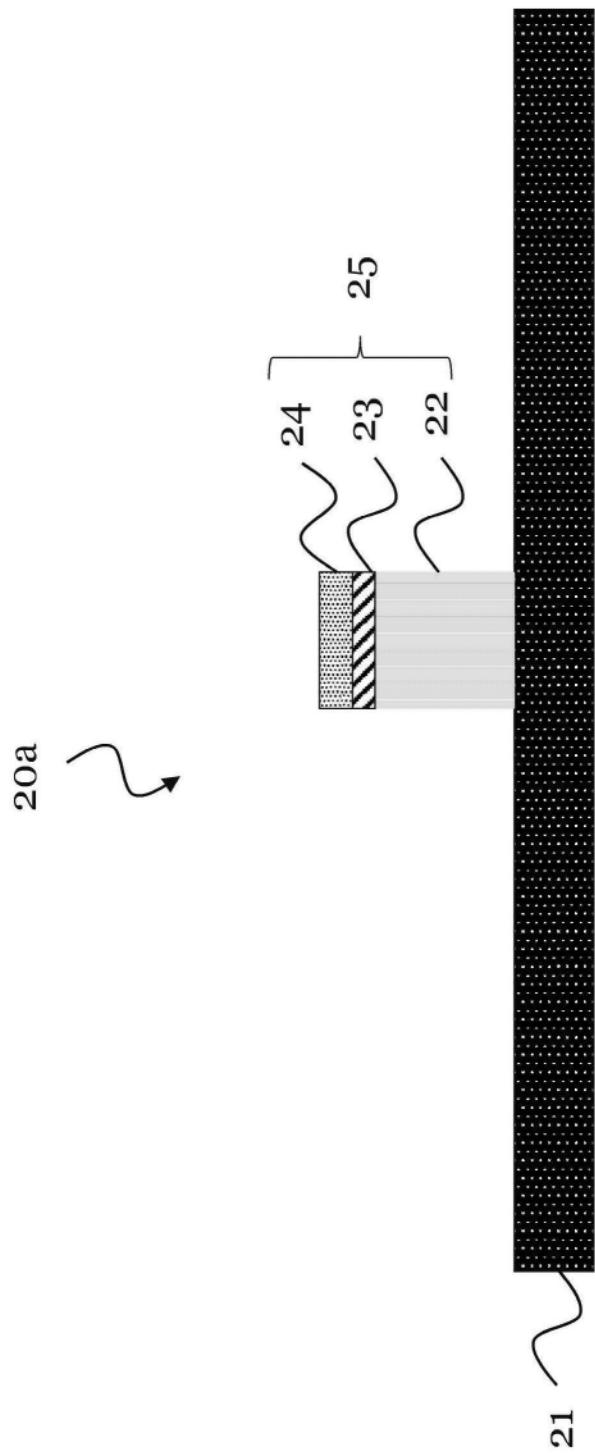


图2

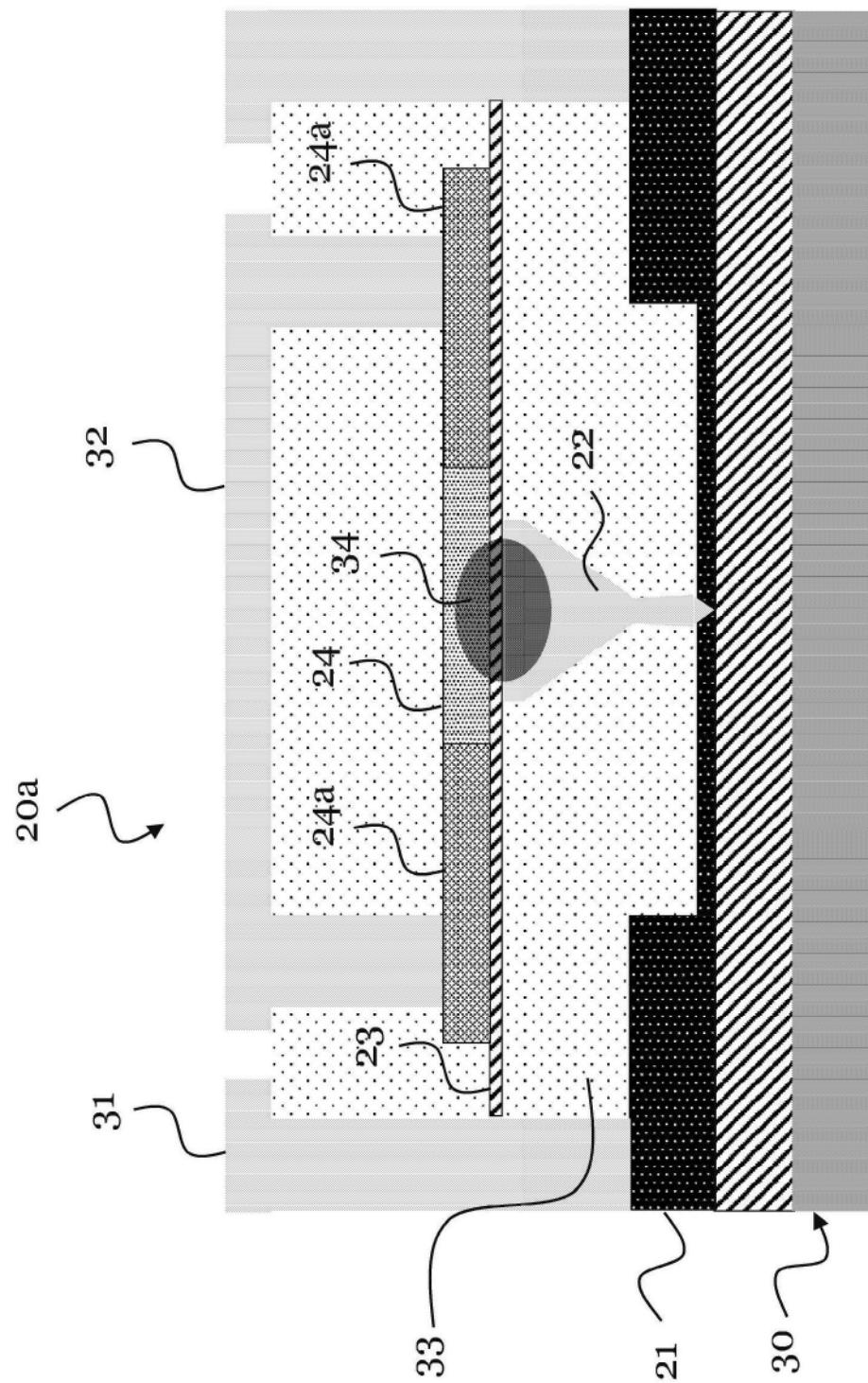


图3

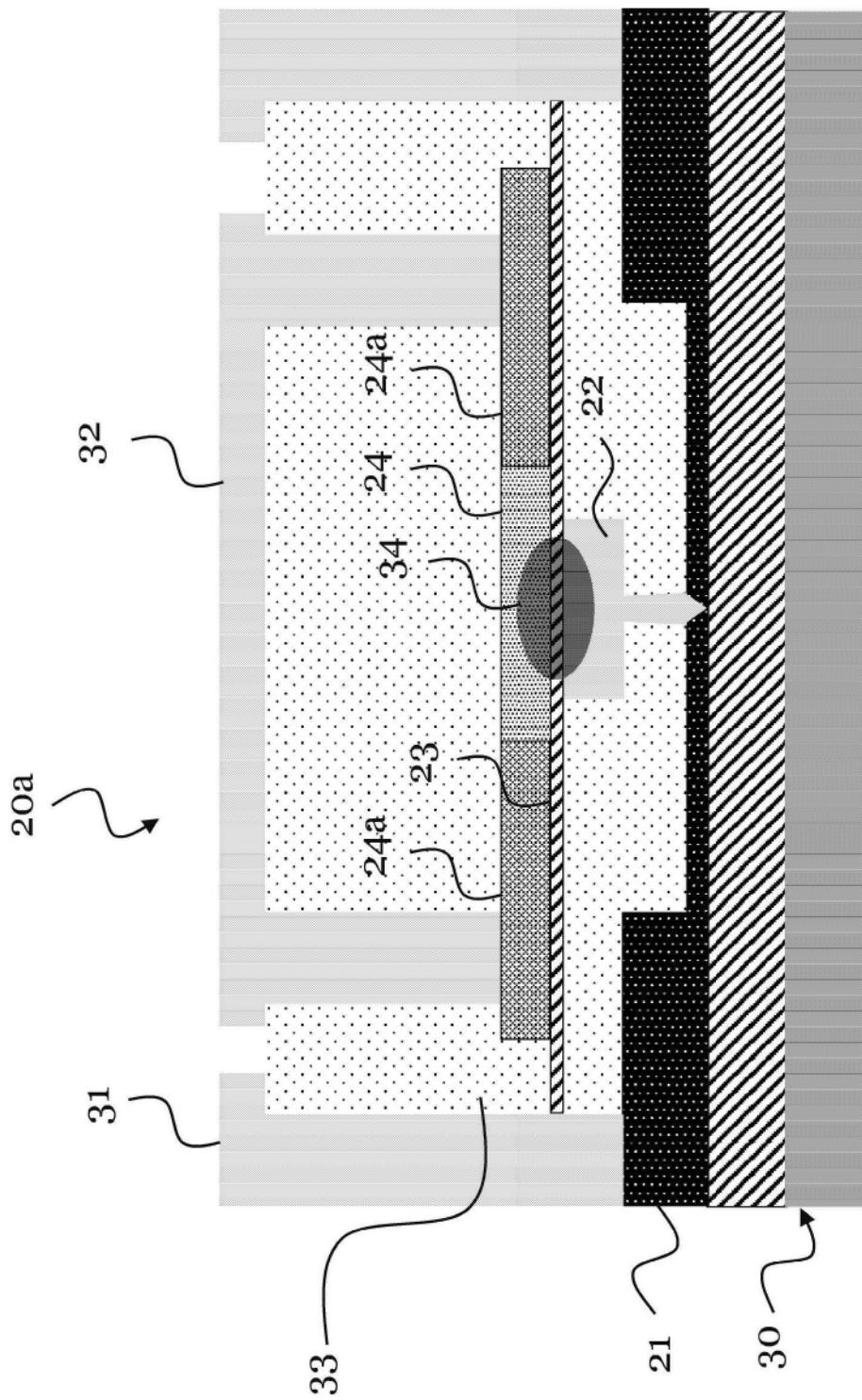


图4

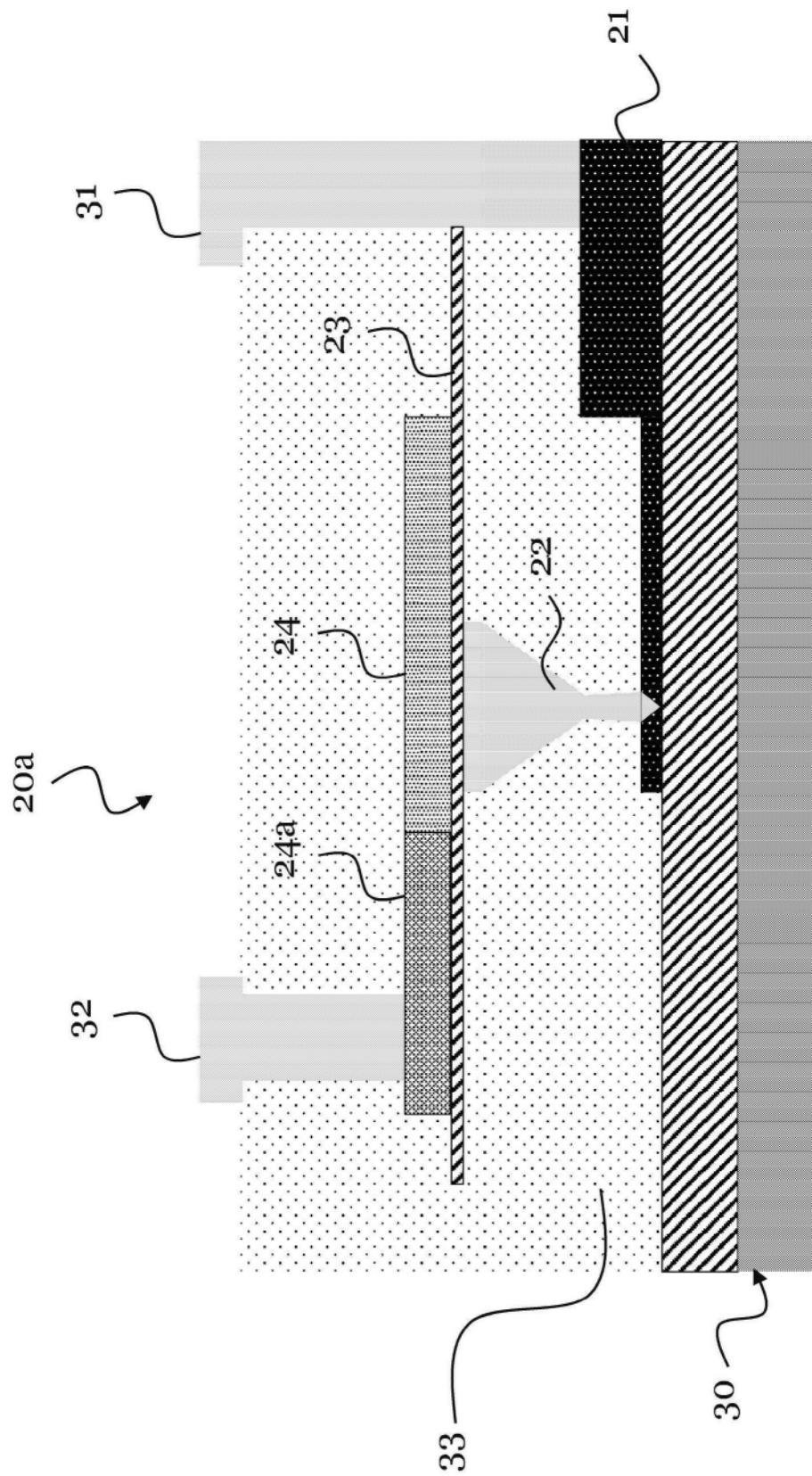


图5

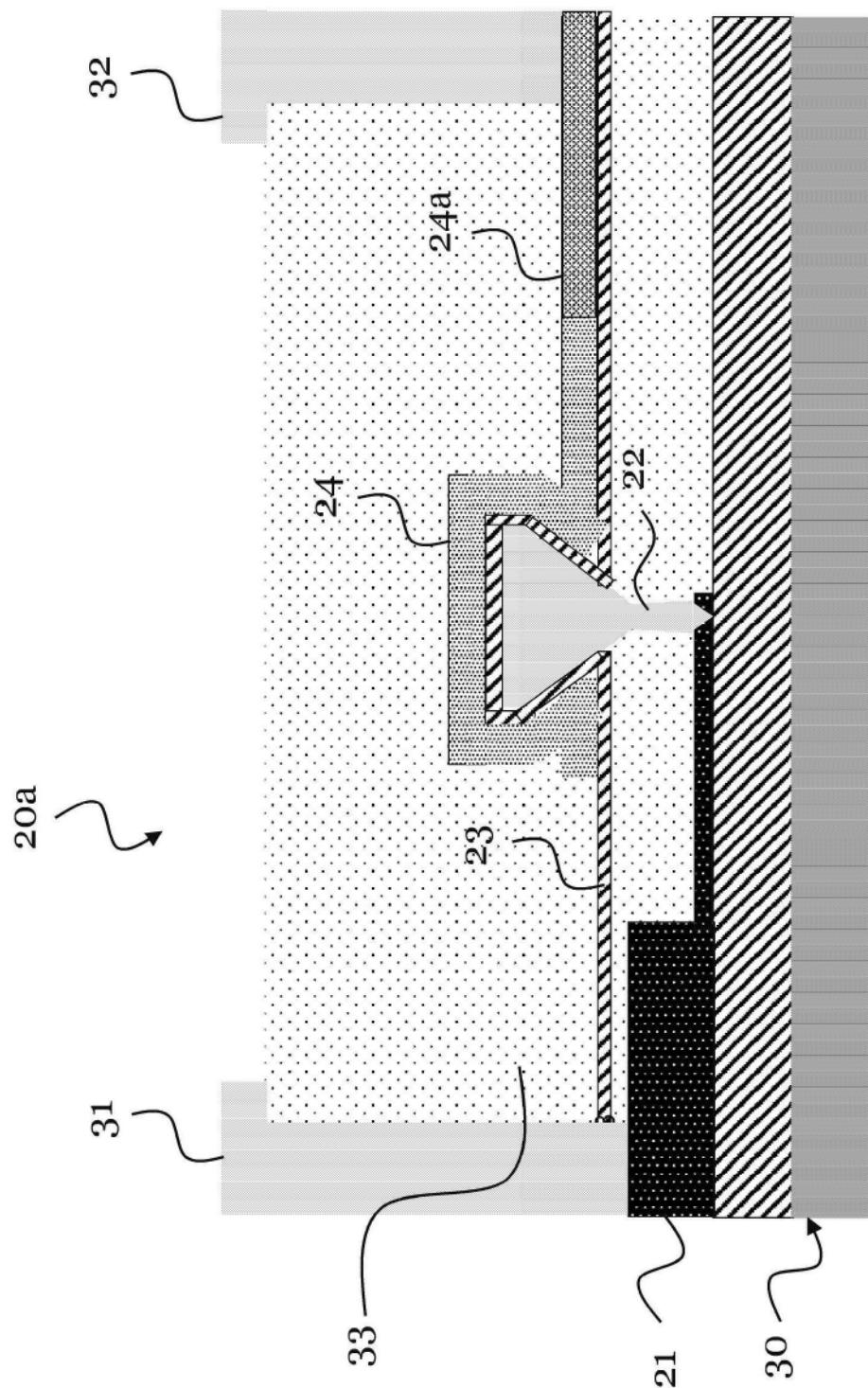


图6

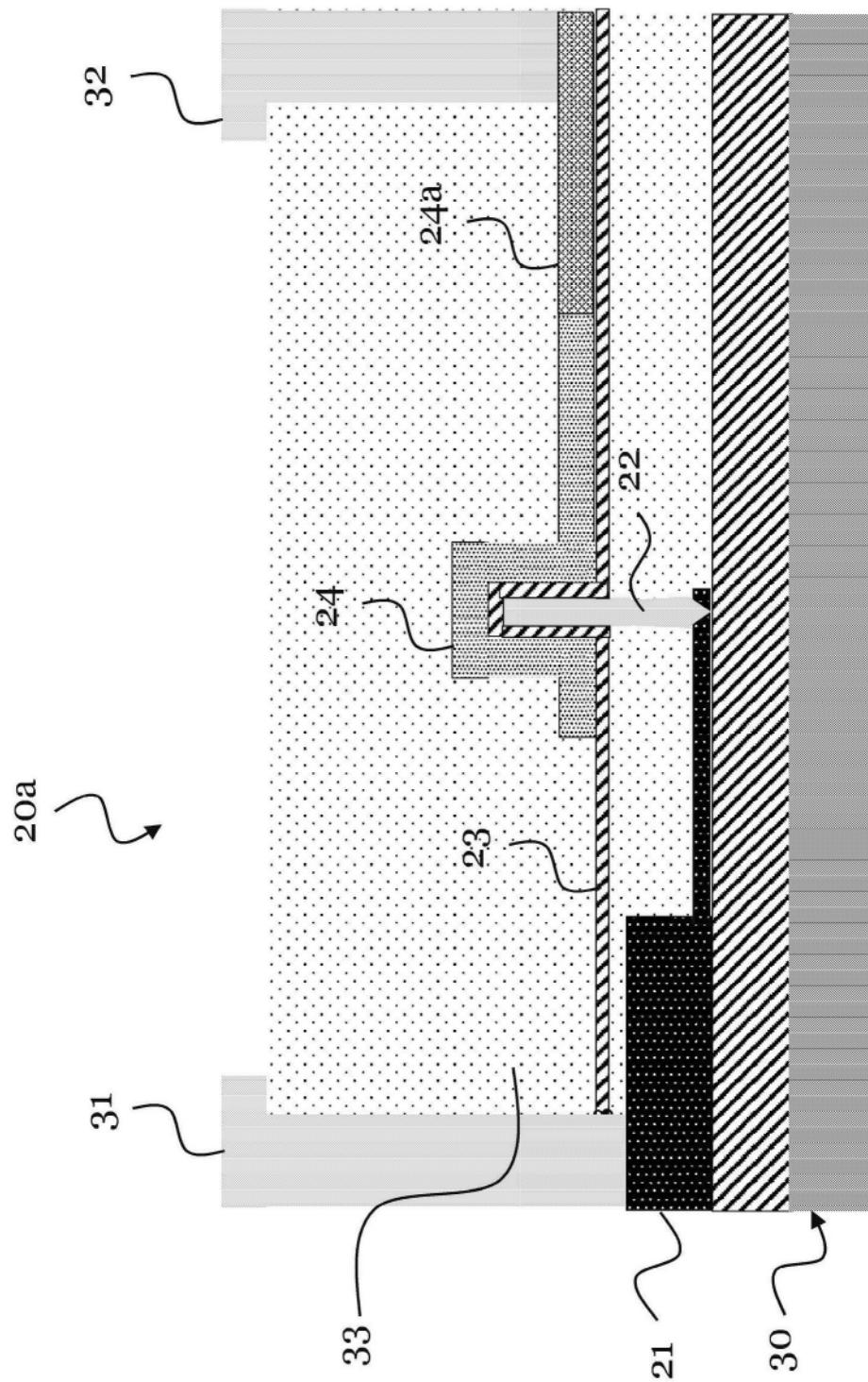


图7

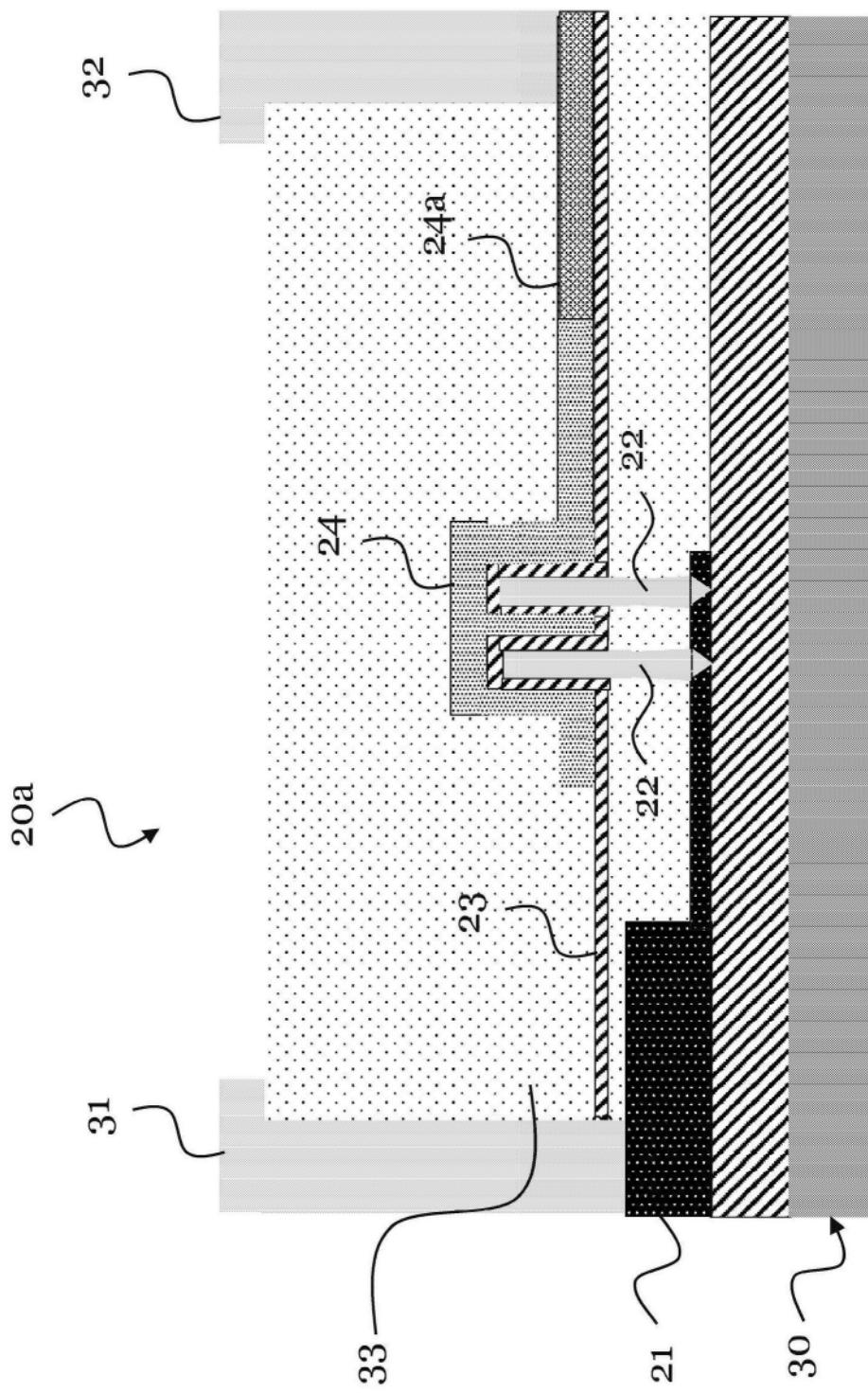


图8

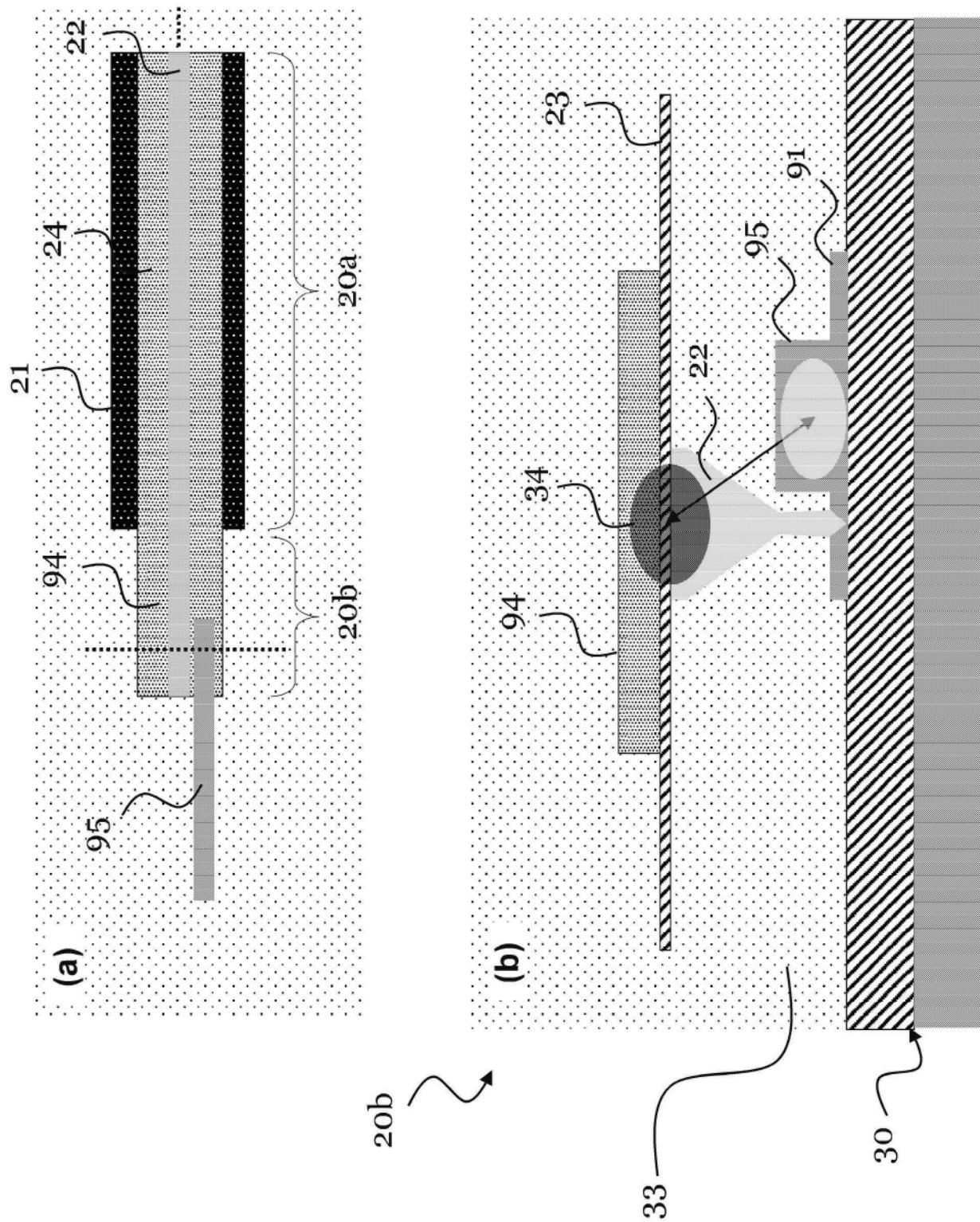


图9

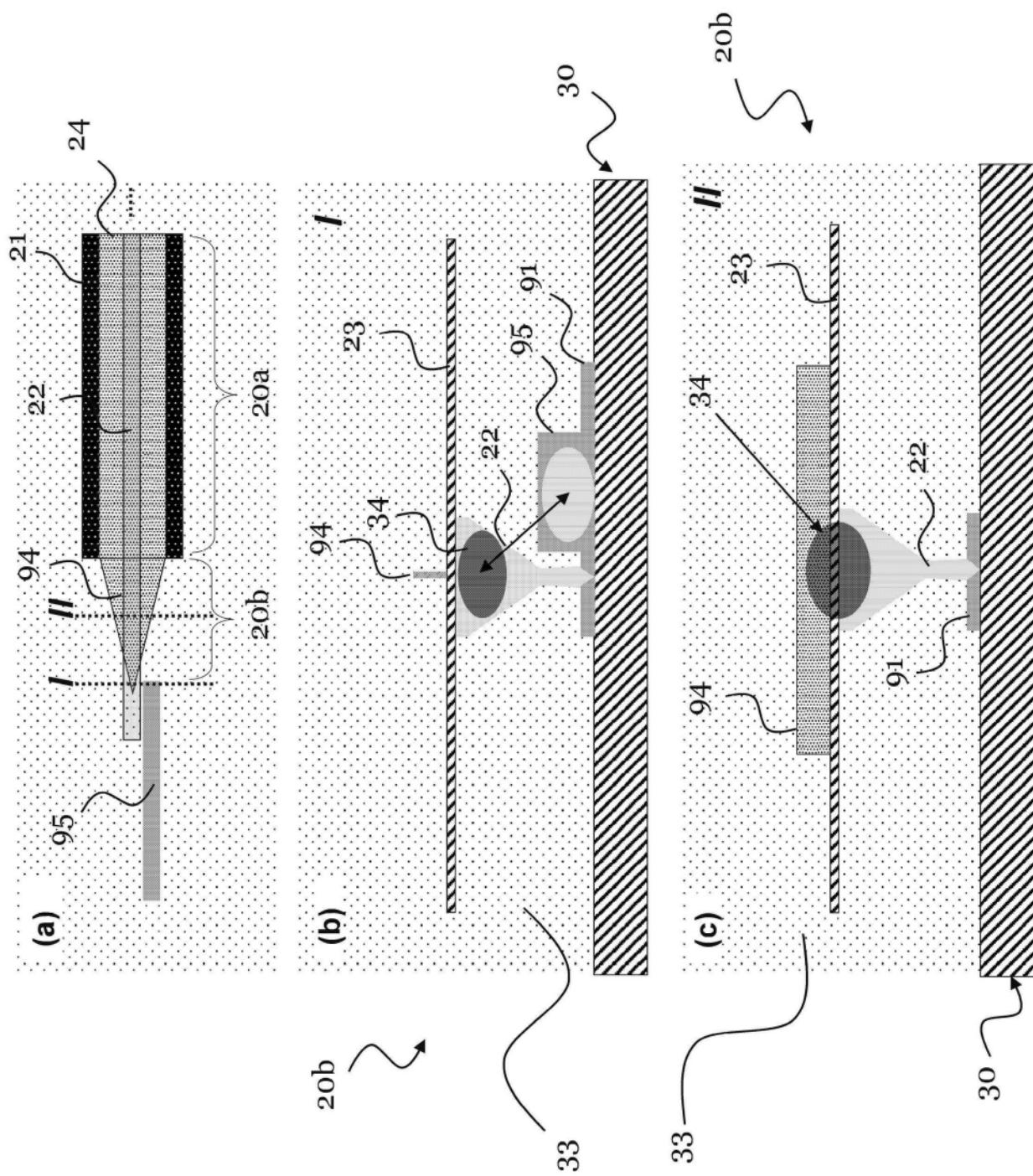


图10

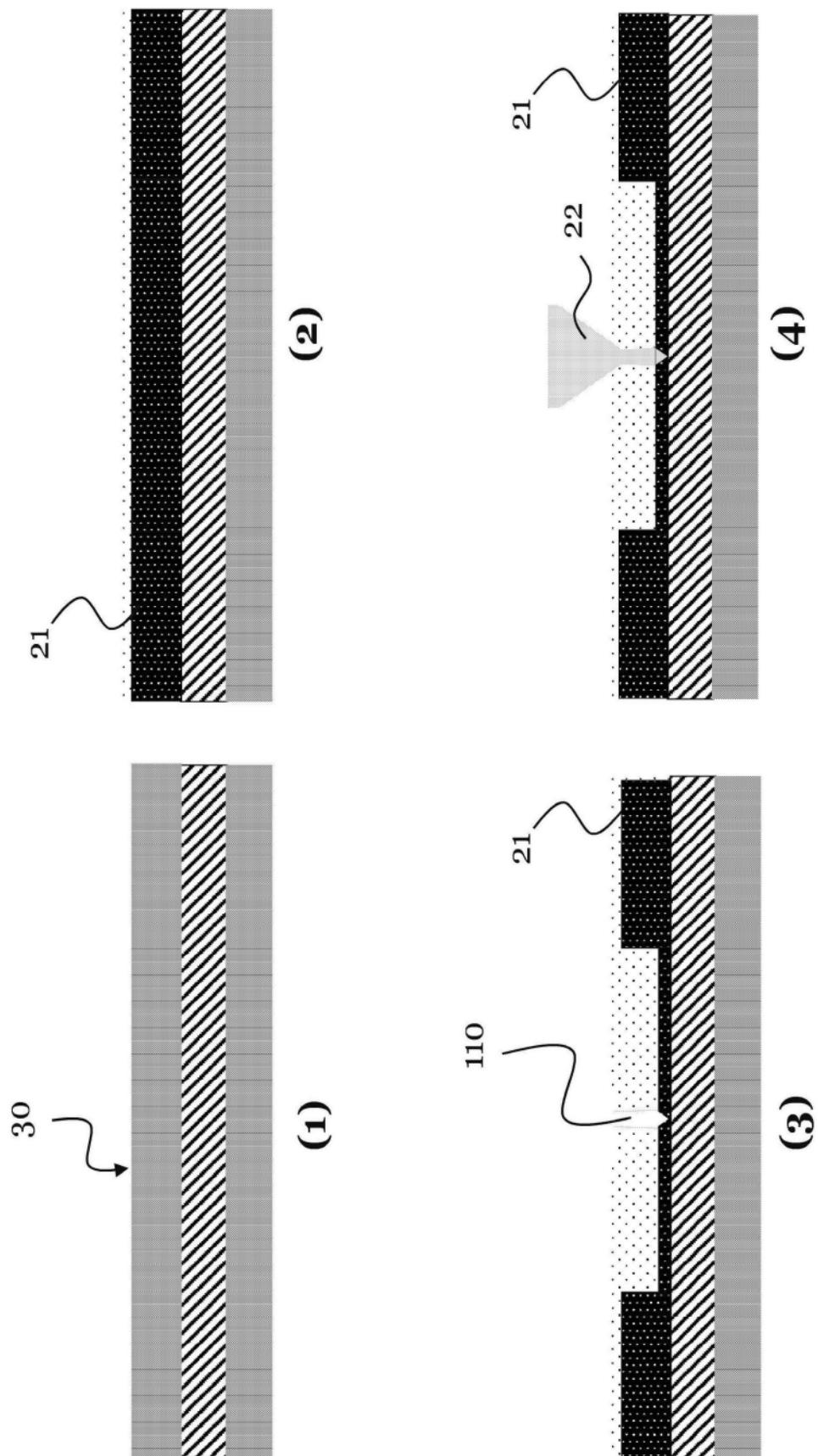


图11

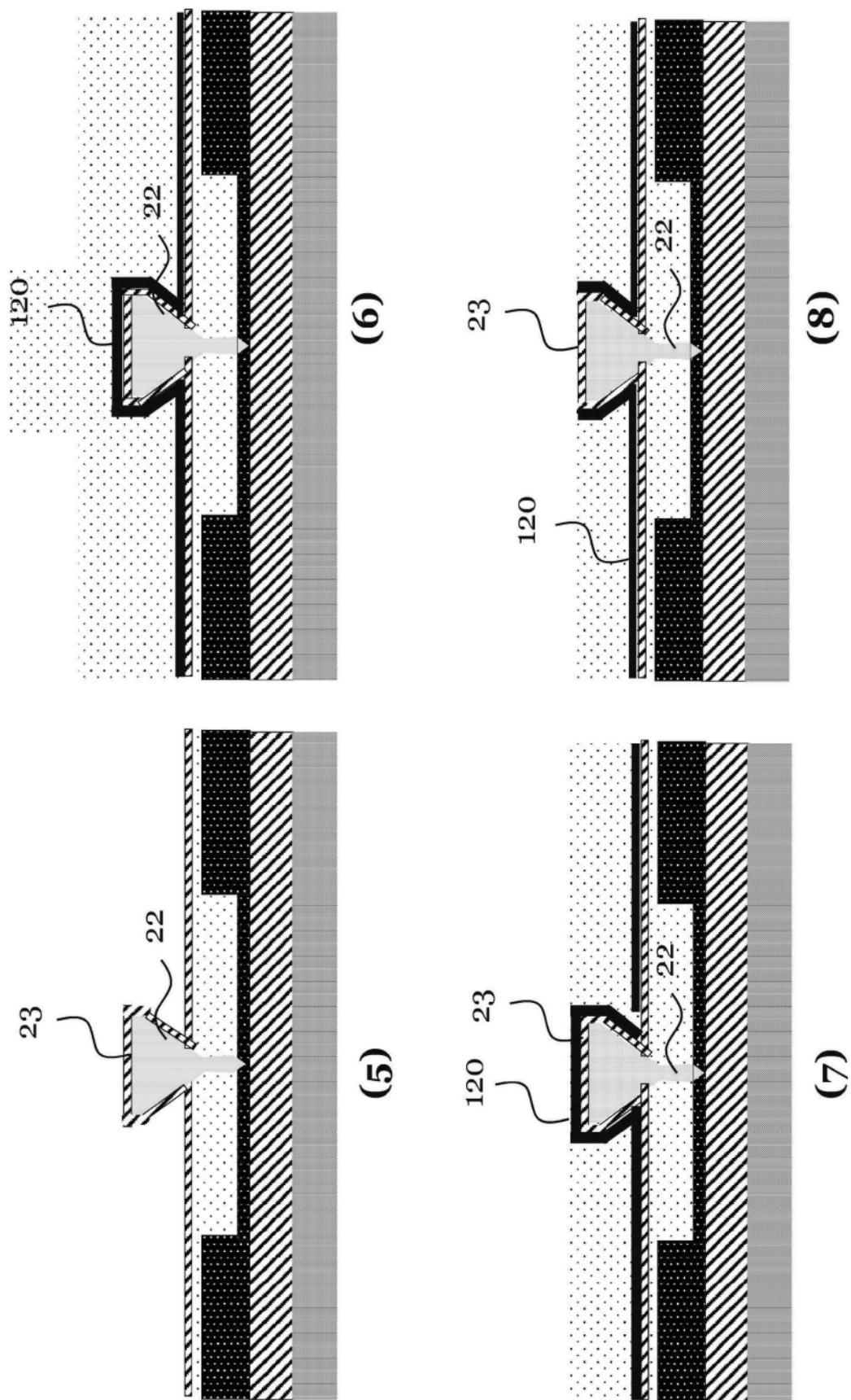


图12

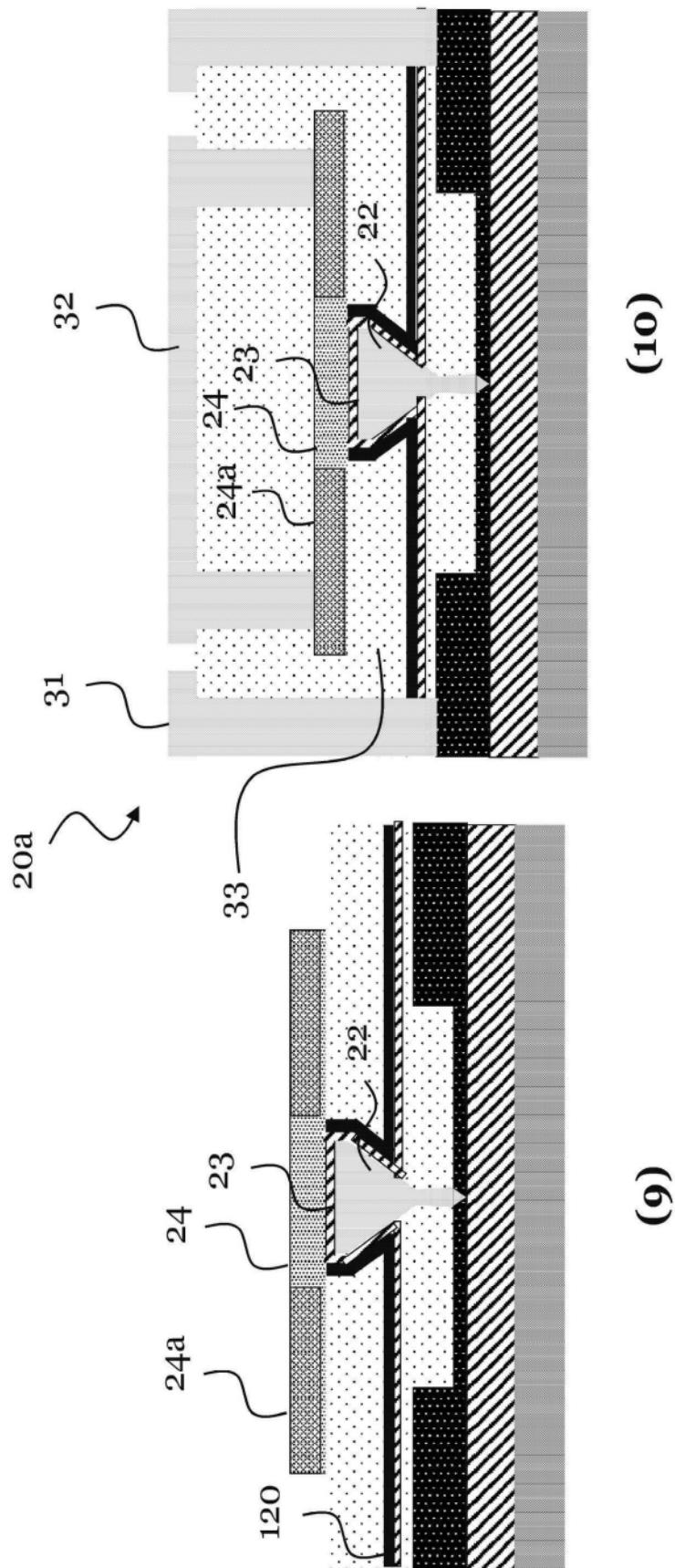


图13

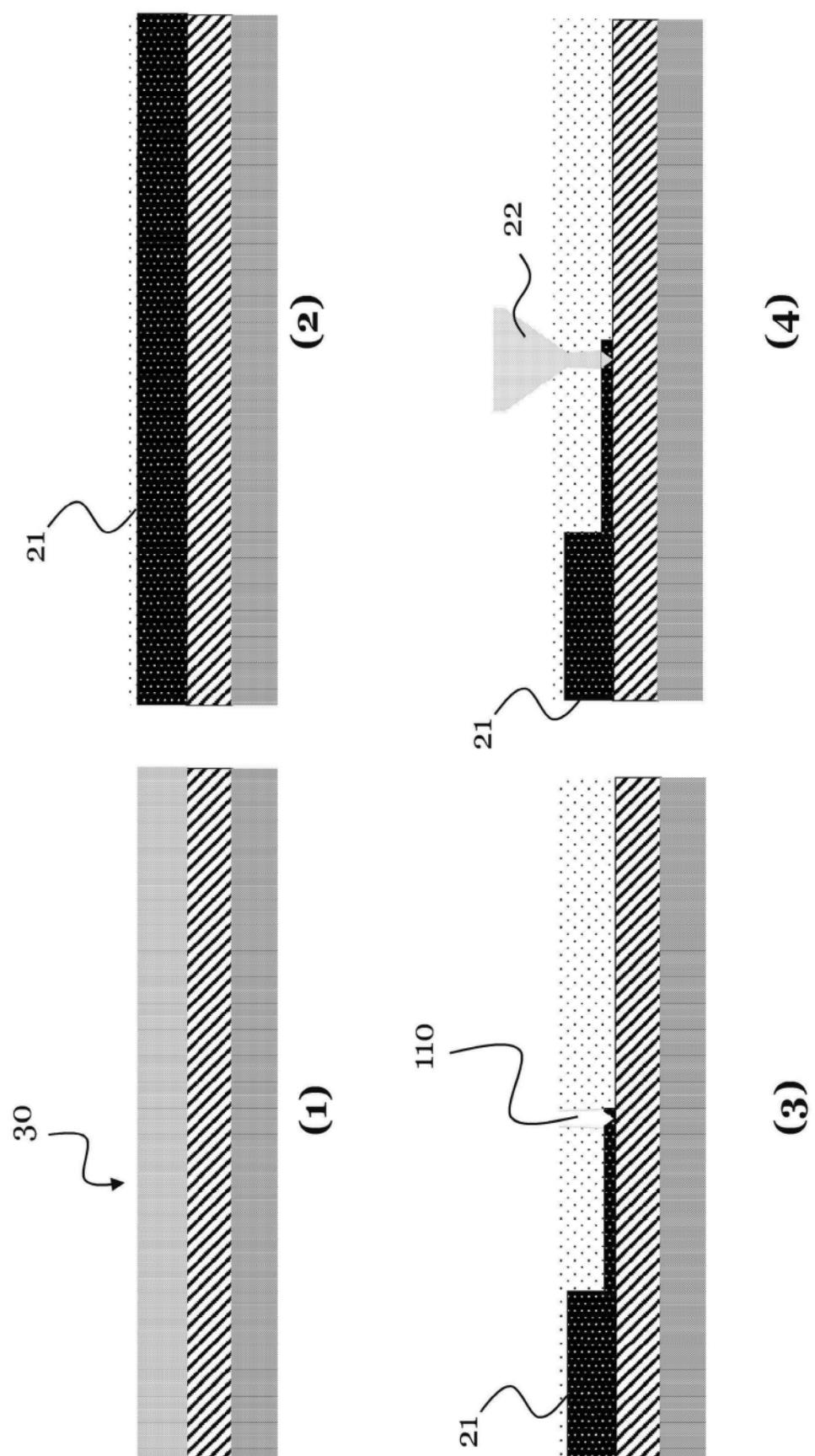


图14

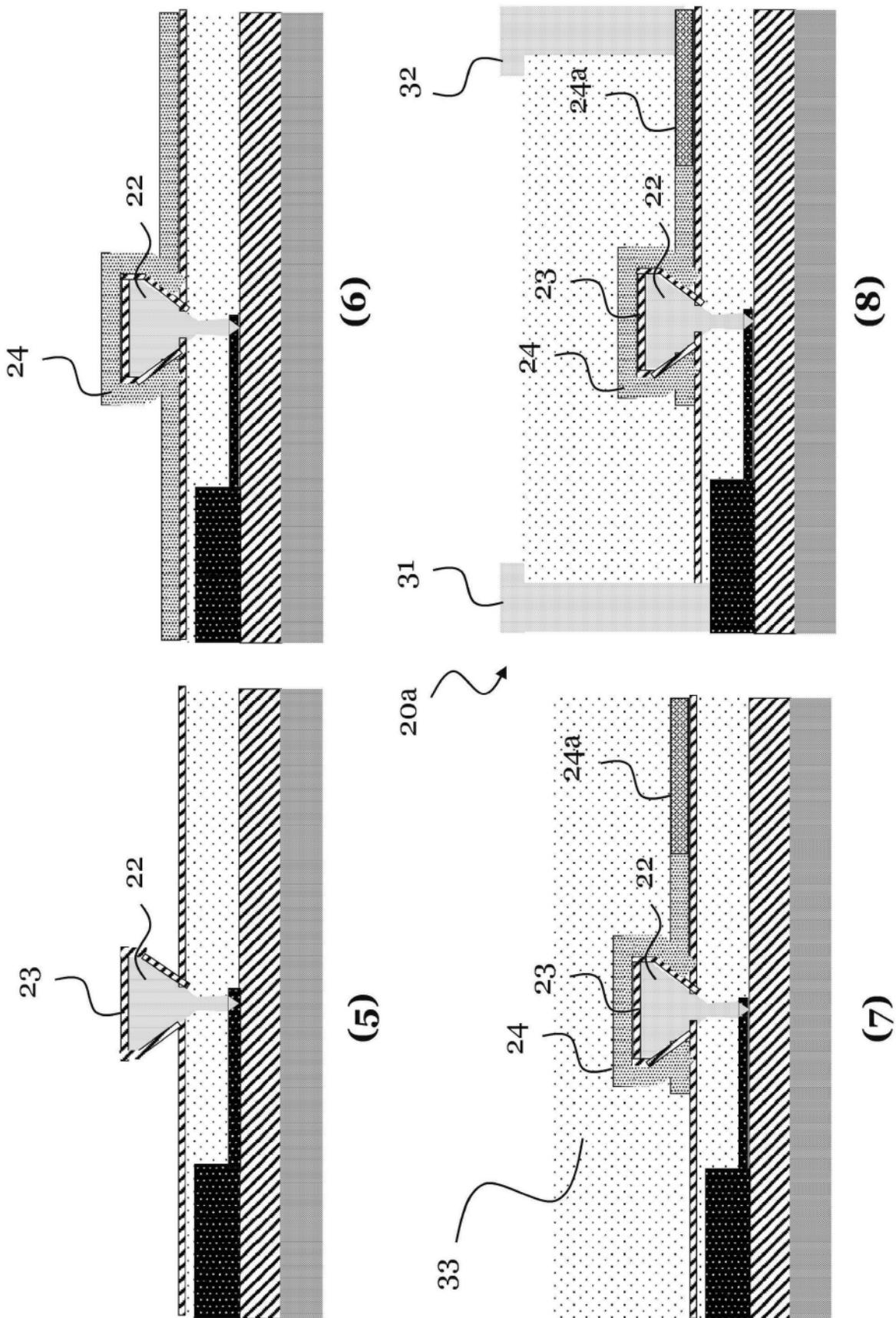


图15