



등록특허 10-2915845



(19) 대한민국 지식재산처(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2026년01월20일

(11) 등록번호 10-2915845

(24) 등록일자 2026년01월16일

(51) 국제특허분류(Int. Cl.)

H10B 80/00 (2023.01) G02B 6/12 (2025.01)

G02B 6/42 (2006.01) H10B 80/00 (2023.01)

H10W 70/68 (2026.01) H10W 70/692 (2026.01)

(52) CPC특허분류

H10W 90/00 (2026.01)

G02B 6/12 (2025.01)

(21) 출원번호 10-2024-0144093

(22) 출원일자 2024년10월21일

심사청구일자 2024년10월21일

(56) 선행기술조사문현

KR1020230122105 A

KR1020180115393 A

(73) 특허권자

한양대학교 에리카산학협력단

경기도 안산시 상록구 한양대학로 55

(72) 발명자

김영현

경기도 안산시 상록구 한양대학로 55, 제2과학기
술관 502-1호

조경진

경기도 안산시 상록구 한양대학로 55, 제2과학기
술관 503호

(74) 대리인

유동환, 정병훈

전체 청구항 수 : 총 18 항

심사관 : 임정식

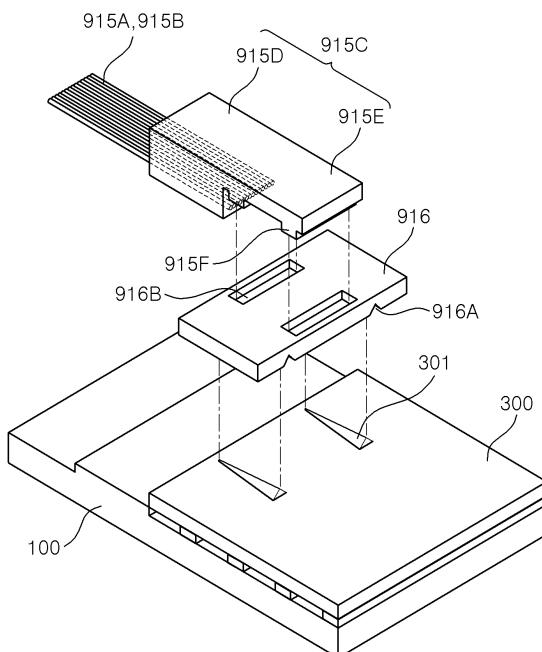
(54) 발명의 명칭 광 연결 탑재 반도체 패키지의 클래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조 및 이를 포함하는 광 연결 탑재 반도체 패키지

(57) 요 약

본 발명의 클래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조는 포토닉 컴포넌트 및 도파관을 포함하는 클래스 베이스 구조체, 상기 클래스 베이스 구조체 상에 배치되는 포토닉 패키지를 포함하는 반도체 칩, 및 상기 클래스 베이스 구조체에 장착되고, 상기 도파관에 광 신호를 전송하는 광 신호 전송 장치를 포함하는 광 연결 탑

(뒷면에 계속)

대 표 도 - 도5a



재 반도체 패키지의 글래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조에 있어서, 상기 광 신호 전송 장치는 광 신호를 전송하는 복수의 광 섬유; 상기 광 섬유를 고정하고, 상기 도파관에 정렬시키는 폐룰; 및 상기 폐룰과 상기 글래스 베이스 구조체를 결합시키고, 상기 글래스 베이스 구조체에 고정된 폐룰 커넥터를 포함하고, 상기 폐룰은 상기 광 섬유를 고정시키는 제1 몸체; 상기 제1 몸체의 선단에 연결되고, 상기 제1 몸체의 두께보다 작은 두께를 갖는 제2 몸체; 및 상기 제2 몸체에서 상기 폐룰 커넥터 방향으로 돌출된 적어도 하나의 돌기부를 포함하며, 상기 폐룰 커넥터는 상기 돌기부를 수용하는 적어도 하나의 제1 돌기 수용 홈을 포함할 수 있다.

(52) CPC특허분류

- G02B 6/4201* (2013.01)
G02B 6/4296 (2013.01)
H10W 70/68 (2026.01)
H10W 70/692 (2026.01)
H10W 90/00 (2026.01)
G02B 2006/12069 (2013.01)
G02B 2006/12111 (2013.01)
-

명세서

청구범위

청구항 1

포토닉 컴포넌트 및 도파관을 포함하는 클래스 베이스 구조체, 상기 클래스 베이스 구조체 상에 배치되는 포토닉 패키지를 포함하는 반도체 칩, 및 상기 클래스 베이스 구조체에 장착되고, 상기 도파관에 광 신호를 전송하는 광 신호 전송 장치를 포함하는 광 연결 탑재 반도체 패키지의 클래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조에 있어서,

상기 광 신호 전송 장치는

광 신호를 전송하는 복수의 광 섬유;

상기 광 섬유를 고정하고, 상기 도파관에 정렬시키는 폐를; 및

상기 폐와 상기 클래스 베이스 구조체를 결합시키고, 상기 클래스 베이스 구조체에 고정된 폐 커넥터를 포함하고,

상기 폐들은

상기 광 섬유를 고정시키는 제1 몸체;

상기 제1 몸체의 선단에 연결되고, 상기 제1 몸체의 두께보다 작은 두께를 갖는 제2 몸체; 및

상기 제2 몸체에서 상기 폐 커넥터 방향으로 돌출된 적어도 하나의 돌기부를 포함하며,

상기 폐 커넥터는 상기 돌기부를 수용하는 적어도 하나의 제1 돌기 수용 홈을 포함하는 클래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조.

청구항 2

제1 항에 있어서,

상기 돌기부가 돌출된 길이는 상기 폐 커넥터의 두께 이하이고,

상기 제1 돌기 수용 홈의 깊이는 상기 폐 커넥터의 두께 이하인 클래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조.

청구항 3

제2 항에 있어서,

상기 제2 몸체는 상기 제1 몸체 선단의 상부에 연결되는 클래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조.

청구항 4

제3 항에 있어서,

상기 폐 커넥터는 제2 돌기 수용 홈을 구비하고,

상기 제2 돌기 수용 홈은 상기 클래스 베이스 구조체 상에 마련된 결합 돌기와 결합되는 클래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조.

청구항 5

제4 항에 있어서,

상기 제2 돌기 수용 홈 및 상기 결합 돌기는 얹지끼움 방식으로 결합되는 클래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조.

청구항 6

제5 항에 있어서,

상기 클래스 베이스 구조체 표면에 평행한 평면에서, 상기 결합 돌기는 상기 클래스 베이스 구조체의 에지 방향 영역의 폭이 타 영역의 폭보다 작은 형상을 가지는 클래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조.

청구항 7

제6 항에 있어서,

상기 결합 돌기는 쇄기 형상을 갖는 클래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조.

청구항 8

제2 항에 있어서,

상기 돌기부가 돌출된 방향과 상기 폐를이 연장된 방향이 교차하는 평면에 평행한 상기 돌기부의 단면은 폐곡선 형상을 가지며,

상기 제1 돌기 수용 홈은 상기 돌기부에 대응하는 형상을 갖는 클래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조.

청구항 9

제1 항에 있어서,

상기 도파관은 폴리머(polymer) 또는 IOX 도파로(ion exchange waveguide)로 형성되거나, 레이저 스크라이빙을 이용하여 형성된, 클래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조.

청구항 10

광 연결 탑재 반도체 패키지로서,

패터닝된 실리콘 질화물 박막을 통해 구현된 포토닉 컴포넌트 및 도파관을 포함하는 클래스 베이스 구조체;

상기 클래스 베이스 구조체 상에 배치되는 포토닉 패키지를 포함하는 반도체 칩; 및

상기 클래스 베이스 구조체에 장착되고, 상기 도파관에 광 신호를 전송하는 광 신호 전송 장치를 포함하고,

상기 광 신호 전송 장치는

광 신호를 전송하는 복수의 광 섬유;

상기 광 섬유를 고정하고, 상기 도파관에 정렬시키는 폐를; 및

상기 폐들과 상기 클래스 베이스 구조체를 결합시키고, 상기 클래스 베이스 구조체에 고정된 폐를 커넥터를 포함하고,

상기 폐들은

상기 광 섬유를 고정시키는 제1 몸체;

상기 제1 몸체의 선단에 연결되고, 상기 제1 몸체의 두께보다 작은 두께를 갖는 제2 몸체; 및

상기 제2 몸체에서 상기 폐를 커넥터 방향으로 돌출된 적어도 하나의 돌기부를 포함하며,

상기 폐를 커넥터는 상기 돌기부를 수용하는 적어도 하나의 제1 돌기 수용 홈을 포함하는 광 연결 탑재 반도체 패키지.

청구항 11

제10 항에 있어서,

상기 돌기부가 돌출된 길이는 상기 폐를 커넥터의 두께 이하이고,

상기 제1 돌기 수용 홈의 깊이는 상기 폐를 커넥터의 두께 이하인 광 연결 탑재 반도체 패키지.

청구항 12

제11 항에 있어서,

상기 제2 몸체는 상기 제1 몸체 선단의 상부에 연결되는 광 연결 탑재 반도체 패키지.

청구항 13

제12 항에 있어서,

상기 폐를 커넥터는 제2 돌기 수용 홈을 구비하고,

상기 제2 돌기 수용 홈은 상기 클래스 베이스 구조체 상에 마련된 결합 돌기와 결합되는 광 연결 탑재 반도체 패키지.

청구항 14

제13 항에 있어서,

상기 제2 돌기 수용 홈 및 상기 결합 돌기는 억지끼움 방식으로 결합되는 광 연결 탑재 반도체 패키지.

청구항 15

제14 항에 있어서,

상기 클래스 베이스 구조체 표면에 평행한 평면에서, 상기 결합 돌기는 상기 클래스 베이스 구조체의 에지 방향 영역의 폭이 타 영역의 폭보다 작은 형상을 가지는 광 연결 탑재 반도체 패키지.

청구항 16

제14 항에 있어서,

상기 결합 돌기는 쪘기 형상을 갖는 광 연결 탑재 반도체 패키지.

청구항 17

제11 항에 있어서,

상기 돌기부가 돌출된 방향과 상기 폐들이 연장된 방향이 교차하는 평면에 평행한 상기 돌기부의 단면은 폐곡선 형상을 가지며,

상기 제1 돌기 수용 홈은 상기 돌기부에 대응하는 형상을 갖는 광 연결 탑재 반도체 패키지.

청구항 18

제17 항에 있어서,

상기 도파관은 폴리머(polymer) 또는 IOX 도파로(ion exchange waveguide)로 형성되거나, 레이저 스크라이빙을 이용하여 형성된, 광 연결 탑재 반도체 패키지.

발명의 설명

기술 분야

[0001] 본 발명은 광 연결 탑재 반도체 패키지의 클래스 베이스 구조체(Glass base structure) 및 광 신호 전송 장치의 결합 구조 및 이를 포함하는 광 연결 탑재 반도체 패키지에 관한 것으로, 보다 구체적으로는 클래스 베이스 구조체의 도파관 및 광 섬유가 정확하게 정렬하고 견고하게 결합되도록 할 수 있는 광 신호 전송 장치를 이용한 광 연결 탑재 반도체 패키지의 클래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조 및 이를 포함하는 광 연결 탑재 반도체 패키지에 관한 것이다.

배경기술

- [0002] AI 반도체 칩 설계에서 XPU(GPU, IPU, TPU 등), 메모리, 네트워크 등의 다양한 반도체 칩이 하나의 패키지로 통합되는 방식은 높은 성능과 효율성을 요구한다. 이러한 칩들은 칩렛(Chiplet) 형태로 패키지되며, 칩 간의 고속 통신을 위해 칩-투-칩 링크(Chip-to-chip link)를 필요로 한다.
- [0003] 이때, 기존의 전기적 연결 방식은 대역폭의 한계와 신호 지연으로 인해 병목(bottleneck) 현상을 초래할 수 있다.
- [0004] 이를 해결하기 위해, 클래스 인터포저와 같은 유리 재질의 클래스 베이스 구조체, 및 Si, SiN, Silica 포토닉스 (Photonics)와 같은 광학적 입력/출력(Optical I/O) 기술이 도입되고 있다.
- [0005] 광학적 입력/출력 기술은 전기적 신호를 광학적 신호로 변환하여 전송하는 방법으로, 데이터 전송 속도를 크게 향상시키고 신호 손실을 최소화할 수 있다. 특히, 고속 통신과 대용량 데이터 전송이 필요한 AI 반도체 칩의 경우, 이러한 광학적 I/O 기술의 도입은 필수적이다.
- [0006] 그러나, 광학적 기능을 수행하는 PIC(Photonic Integrated Circuit; 광 집적 회로), 광 섬유(Optical fiber) 등을 함께 패키지할 때 높은 수율을 유지하면서 고효율 및 저손실의 광학적 링크를 구현하는 것은 어려운 과제이다.
- [0007] 여러 최신 기술들은 다양한 반도체 칩들을 하나의 패키지 내에 통합하여, 전기적 신호와 광학적 신호를 효과적으로 관리할 수 있도록 한다. 그러나 이러한 기술도 여전히 몇 가지 한계가 존재한다. 예를 들어, PIC에 광 신호를 전달하는 광 도파관과 광 신호를 공급하는 광 섬유 간의 미스 매칭으로 인한 신호 전달의 불안정성이 존재한다.
- [0008] 본 발명의 발명자는 이러한 문제점을 해결하기 위하여 오랫동안 연구하고 시행착오를 거친 끝에 본 발명을 완성하기에 이르렀다.

발명의 내용

해결하려는 과제

- [0009] 본 발명은 상기와 같은 종래 기술의 문제점을 해결하고자 창출된 것으로서, 본 발명의 일 목적은 클래스 베이스 구조체의 도파관 및 광 섬유가 정확하게 정렬하고 견고하게 결합되도록 할 수 있는 광 신호 전송 장치를 이용한 광 연결 탑재 반도체 패키지의 클래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조 및 이를 포함하는 광 연결 탑재 반도체 패키지를 제공하기 위한 것이다.
- [0010] 한편, 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 것이다.

과제의 해결 수단

- [0011] 본 발명의 일 측면에 따른 클래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조는 포토닉 컴포넌트 및 도파관을 포함하는 클래스 베이스 구조체, 상기 클래스 베이스 구조체 상에 배치되는 포토닉 패키지를 포함하는 반도체 칩, 및 상기 클래스 베이스 구조체에 장착되고, 상기 도파관에 광 신호를 전송하는 광 신호 전송 장치를 포함하는 광 연결 탑재 반도체 패키지의 클래스 베이스 구조체 및 광 신호 전송 장치의 결합 구조에 있어서, 상기 광 신호 전송 장치는 광 신호를 전송하는 복수의 광 섬유; 상기 광 섬유를 고정하고, 상기 도파관에 정렬시키는 폐를; 및 상기 폐들과 상기 클래스 베이스 구조체를 결합시키고, 상기 클래스 베이스 구조체에 고정된 폐를 커넥터를 포함하고, 상기 폐들은 상기 광 섬유를 고정시키는 제1 몸체; 상기 제1 몸체의 선단에 연결되고, 상기 제1 몸체의 두께보다 작은 두께를 갖는 제2 몸체; 및 상기 제2 몸체에서 상기 폐를 커넥터 방향으로 돌출된 적어도 하나의 돌기부를 포함하며, 상기 폐를 커넥터는 상기 돌기부를 수용하는 적어도 하나의 제1 돌기 수용 홈을 포함할 수 있다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 돌기부가 돌출된 길이는 상기 폐를 커넥터의 두께 이하이고, 상기 제1 돌기 수용 홈의 깊이는 상기 폐를 커넥터의 두께 이하일 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 제2 몸체는 상기 제1 몸체 선단의 상부에 연결될 수 있다.

- [0014] 본 발명의 일 실시예에 있어서, 상기 폐를 커넥터는 제2 돌기 수용 홈을 구비하고, 상기 제2 돌기 수용 홈은 상기 클래스 베이스 구조체 상에 마련된 결합 돌기와 결합될 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 제2 돌기 수용 홈 및 상기 결합 돌기는 얹지끼움 방식으로 결합될 수 있다.
- [0016] 본 발명의 일 실시예에 있어서, 상기 클래스 베이스 구조체 표면에 평행한 평면에서, 상기 결합 돌기는 상기 클래스 베이스 구조체의 에지 방향 영역의 폭이 타 영역의 폭보다 작은 형상을 가질 수 있다.
- [0017] 본 발명의 일 실시예에 있어서, 상기 결합 돌기는 쇄기 형상을 가질 수 있다.
- [0018] 본 발명의 일 실시예에 있어서, 상기 돌기부가 돌출된 방향과 상기 폐를이 연장된 방향이 교차하는 평면에 평행한 상기 돌기부의 단면은 폐곡선 형상을 가지며, 상기 제1 돌기 수용 홈은 상기 돌기부에 대응하는 형상을 가질 수 있다.
- [0019] 본 발명의 일 실시예에 있어서, 상기 도파관은 폴리머(polymer) 또는 IOX 도파로(ion exchange waveguide)로 형성되거나, 레이저 스크라이빙을 이용하여 형성될 수 있다.
- [0020] 본 발명의 일 측면에 따른 광 연결 탑재 반도체 패키지는 패터닝된 실리콘 질화물 박막을 통해 구현된 포토닉 컴포넌트 및 도파관을 포함하는 클래스 베이스 구조체; 상기 클래스 베이스 구조체 상에 배치되는 포토닉 패키지를 포함하는 반도체 칩; 및 상기 클래스 베이스 구조체에 장착되고, 상기 도파관에 광 신호를 전송하는 상술한 광 신호 전송 장치를 포함할 수 있다.

발명의 효과

- [0021] 본 발명에 따른 광 연결 탑재 반도체 패키지는 광 신호 전송 장치의 결합 구조 및 이를 포함하는 광 연결 탑재 반도체 패키지는 광 신호 전송 장치를 이용하여 클래스 베이스 구조체의 도파관 및 광 섬유가 정확하게 정렬되도록 하며, 클래스 클래스 베이스 구조체 및 광 신호 전송 장치가 견고하게 결합될 수 있다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 일 실시예에 따른 광 연결 탑재 반도체 패키지를 설명하기 위한 도면이다.
- 도 2는 도 1에 도시된 광 연결 탑재 반도체 패키지를 설명하기 위한 단면도이다.
- 도 3a 내지 도 3e는 일 실시예에 따른 다양한 제조 단계에서의 포토닉 패키지의 단면도를 도시한다.
- 도 4a 내지 도 4i는 일 실시예에 따른 다양한 제조 단계에서의 도파관을 갖는 클래스 베이스 구조체의 단면도를 도시한다.
- 도 5a는 본 발명의 일 실시예에 따른 광 연결 탑재 반도체 패키지의 광 신호 전송 장치 및 클래스 베이스 구조체의 결합 구조를 설명하기 위한 일부 분해 사시도이다.
- 도 5b는 도 5a에 도시된 커넥터가 클래스 베이스 구조체 상에 안착된 상태를 설명하기 위한 도면이다.
- 도 5c는 도 5a에 도시된 광 신호 전송 장치 및 클래스 베이스 구조체의 결합 구조를 설명하기 위한 결합 사시도이다.
- 도 5d는 도 5c에 도시된 광 신호 전송 장치 및 클래스 베이스 구조체의 결합 구조의 평면도이다.
- 도 5e는 도 5b에 도시된 광 신호 전송 장치 및 클래스 베이스 구조체의 결합 구조의 단면도이다.
- 도 5f는 도 5a에 도시된 광 신호 전송 장치 및 클래스 베이스 구조체의 결합 구조의 단면도이다.
- 도 5g는 도 5a에 도시된 폐를 커넥터를 설명하기 위한 사시도이다.
- 도 5h는 도 5g의 I-I' 라인에 따른 단면도이다.
- 도 5i는 도 5g의 II-II' 라인에 따른 단면도이다.
- 첨부된 도면은 본 발명의 기술사상에 대한 이해를 위하여 참조로서 예시된 것임을 밝히며, 그것에 의해 본 발명의 권리범위가 제한되지는 아니한다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 발명에서 사용되는 용어는 가능한 현재 널리 사용되는 일반적인 용어를 선택하였으나, 특정한 경우는 출원인이 임의로 선정한 용어도 있는데 이 경우에는 단순한 용어의 명칭이 아닌 발명을 실시하기 위한 구체적인 내용에 기재되거나 사용된 의미를 고려하여 그 의미가 파악되어야 할 것이다.
- [0024] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0025] 본 발명의 목적, 특정한 장점들 및 신규한 특징들은 이하의 상세한 설명과 바람직한 실시예로부터 더욱 명백해질 것이다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0026] 또한, 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0027] 하기에서는 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.
- [0028] 도 1은 본 발명의 일 실시예에 따른 광 연결 탑재 반도체 패키지를 설명하기 위한 도면이다. 도 2는 도 1에 도시된 광 연결 탑재 반도체 패키지를 설명하기 위한 단면도이다. 도 2에 도시된 각 구성 요소들의 좌우 배치 위치는 반드시 도 1과 일치할 필요는 없으며, 설명의 편의를 위해 도 1과 다르게 배치될 수 있다.
- [0029] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 광 연결 탑재 반도체 패키지(1000)(이하, 간단히 '반도체 패키지'라고도 함)는 기판(10), 기판(10)상에 부착되는 패키지 베이스 기판(100), 패키지 베이스 기판(100)상에 장착되는 글래스 베이스 구조체(300), 글래스 베이스 구조체(300)상에 장착되는 제1 반도체 칩, 제2 반도체 칩, 제3 반도체 칩 및 제4 반도체 칩(500, 600, 700, 800)을 포함한다. 제1 반도체 칩(500)은 제1 포토닉 패키지(P500)를 포함할 수 있다. 제2 반도체 칩(600)은 제2 포토닉 패키지(P600)를 포함할 수 있다.
- [0030] 도 1 및 도 2에서는 글래스 베이스 구조체(300) 상에 4개의 반도체 칩들이 장착됨을 예로서 도시하였으나, 이에 한정되는 것은 아니다. 예를 들면, 글래스 베이스 구조체(300) 상에는 3개 이하의 반도체 칩들 또는 5개 이상의 반도체 칩들이 장착될 수 있다.
- [0031] 패키지 베이스 기판(100)은 도면에 도시되지는 않았으나 베이스 보드층, 베이스 보드층의 상면과 하면에 각각 배치되는 보드 상면 패드들과 보드 하면 패드들, 이들을 서로 전기적으로 연결하는 보드 배선 경로를 포함할 수 있다. 패키지 베이스 기판(100)은 인쇄회로기판, 멀티레이어 인쇄회로기판 등일 수 있다.
- [0032] 베이스 보드층은 폐놀 수지, 에폭시 수지, 폴리이미드 중에서 선택되는 적어도 하나의 물질로 이루어질 수 있다. 베이스 보드층은 FR4(Frame Retardant 4), 사관능성 에폭시(Tetrafunctional epoxy), 폴리페닐렌 에테르(Polyphenylene ether), 에폭시/폴리페닐렌 옥사이드(Epoxy/polyphenylene oxide), BT(Bismaleimide triazine), 써마운트(Thermount), 시아네이트 에스터(Cyanate ester), 폴리이미드(Polyimide) 및 액정 고분자(Liquid crystal polymer) 중에서 선택되는 적어도 하나의 물질을 포함할 수 있다. 베이스 보드층은 예를 들면, 폴리에스테르(polyester PET), 폴리에스테르 테레프탈레이트(polyester telephthalate), 플루오리네이티드 에틸렌 프로필렌(fluorinated ethylene propylene, FEP), 레진 코팅된 종이(resin-coated paper), 리퀴드 폴리이미드 수지(liquid polyimide resin), 폴리에틸렌 나프탈레이트(polyethylene naphthalate, PEN) 필름 등으로 이루어질 수 있다. 베이스 보드층은 복수의 베이스층이 적층되어 이루어질 수 있다.
- [0033] 보드 상면 패드들 및 보드 하면 패드들은 구리, 니켈, 스테인리스 스틸 또는 베릴륨구리(beryllium copper)로 이루어질 수 있다. 보드 상면 패드들 및 보드 하면 패드들은 도금된 구리로 이루어질 수 있다.
- [0034] 보드 배선 경로는 수평 방향으로 연장되는 매립 도전층들과 수직 방향으로 연장되는 도전 비아들로 이루어질 수 있다. 도전 비아들은 매립 도전층들, 보드 상면 패드들 및 보드 하면 패드들 중 서로 다른 수직 레벨에 위치하는 2개 사이를 연결할 수 있다. 보드 배선 경로는 ED(electrolytically deposited) 구리, RA(rolled-annealed) 구리 호일, 스테인리스 스틸 호일(stainless steel foil), 알루미늄 호일(aluminum foil), 초극박

구리 호일(ultra-thin copper foils), 스퍼터된 구리(sputtered copper), 구리 합금(copper alloys), 니켈, 스테인리스 스틸 또는 베릴륨구리(beryllium copper) 등으로 이루어질 수 있다.

[0036] 보드 상면 패드들에는 패키지 연결 단자들(350)이 연결되고, 보드 하면 패드들에는 외부 연결 단자들(150)이 연결될 수 있다. 패키지 연결 단자들(350)은 글래스 베이스 구조체(300)와 패키지 베이스 기판(100) 사이를 전기적으로 연결할 수 있다. 외부 연결 단자들(150)은 반도체 패키지를 외부와 연결할 수 있다. 일례로, 패키지 연결 단자들 및 외부 연결 단자들은 범프, 솔더볼 등일 수 있다.

[0037] 본 발명의 일 실시예에서는 기판(10) 상에 베이스 기판(100)이 배치됨을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 기판(10)이 회로 기판의 역할을 하는 경우, 베이스 기판(100)은 생략될 수 있다.

[0038] 글래스 베이스 구조체(300)는 일종의 인터포저(Interposer)와 같은 역할을 수행할 수 있다. 즉, 글래스 베이스 구조체(300)는 글래스 인터포저일 수 있다.

[0039] 글래스 베이스 구조체(300)는 제1 내지 제4 반도체 칩들(500, 600, 700, 800)과 패키지 기판(100)을 상호 연결하기 위한 수직형 연결 단자를 미세 피치(fine pitch)형으로 구현하기 위하여 사용될 수 있다.

[0040] 글래스 베이스 구조체(300)는 고속의 전기적 및 광학적 신호를 전달할 수 있으며, 이를 통해 제1 내지 제4 반도체 칩들간에 고속통신을 가능하게 한다. 이를 위해, 글래스 베이스 구조체(300)에 광 섬유(915A, 915B)가 장착 및 탈착 가능한 구조(detachable)로 결합될 수 있다. 예를 들면, 광 섬유(915A, 915B)의 장착 및 탈착 가능한 구조를 위하여, 광 신호 전송 장치(915)가 적용되며, 광 신호 전송 장치(915)를 통하여 광 섬유(915A, 915B)는 글래스 베이스 구조체(300)에 광 신호를 전송할 수 있다. 여기서, 광 신호 전송 장치(915)에는 페룰(ferrule) 구조가 적용될 수 있다.

[0041] 글래스 베이스 구조체(300)는 베이스층(310), 베이스층(310)의 하면에 배치되는 글래스 베이스 구조체 하면 패드들(미도시), 베이스층(310)의 상면과 하면 사이를 연결하도록 베이스층(310)을 관통하는 글래스 베이스 구조체 관통 전극들(330), 및 베이스층(310)의 상면에 배치되는 글래스 베이스 구조체 배선 구조체(미도시)를 포함한다. 글래스 베이스 구조체 하면 패드들(미도시)에는 글래스 베이스 구조체 연결 단자들(350)(이는 상술한, 패키지 연결 단자들에 대응할 수 있음)이 부착될 수 있다. 글래스 베이스 구조체 연결 단자들(350)은 보드 상면 패드들과 글래스 베이스 구조체 하면 패드들 사이에 개재되어, 글래스 베이스 구조체(300)와 패키지 베이스 기판(100)을 전기적으로 연결할 수 있다.

[0042] 베이스층(310)은 유리, 실리콘, 세라믹, 또는 플라스틱을 포함할 수 있다. 일례로, 글래스 베이스 구조체(300)는, 베이스층(310)이 유리 기판으로부터 형성된 글래스 베이스 구조체(glass interposer)일 수 있다.

[0043] 글래스 베이스 구조체 관통 전극들(330) 각각은 베이스층(310)을 관통하는 도전성 플러그와 도전성 플러그를 포위하는 도전성 배리어막을 포함할 수 있다. 도전성 플러그는 Cu 또는 W를 포함할 수 있고, 도전성 배리어막은 금속 또는 도전성 금속 질화물을 포함할 수 있다. 도전성 플러그는 원기둥 형상을 가질 수 있고, 도전성 배리어막은 도전성 플러그의 측벽을 포위하는 실린더 형상을 가질 수 있다. 베이스층(310)과 글래스 베이스 구조체 관통 전극들(330) 사이에는 비아 절연막이 개재되어 글래스 베이스 구조체 관통 전극(330)의 측벽을 포위할 수 있다. 비아 절연막은 베이스층(310)과 글래스 베이스 구조체 관통 전극(330)이 직접 접촉되는 것을 막아줄 수 있다. 비아 절연막은 산화막, 질화막, 탄화막, 폴리머, 또는 이들의 조합으로 이루어질 수 있다.

[0044] 글래스 베이스 구조체 배선 구조체(미도시, 예를 들어, 도 4b의 312)는 글래스 베이스 구조체 배선 라인 패턴, 글래스 베이스 구조체 배선 비아 및 글래스 베이스 구조체 배선 절연층을 포함할 수 있다. 글래스 베이스 구조체 배선 구조체는 재배선 공정으로 형성될 수 있다. 후술할 도 4b에서 글래스 베이스 구조체 배선 구조체는 재배선 구조물(312)에 대응할 수 있다. 글래스 베이스 구조체 배선 라인 패턴은 전도성 라인(317)에, 글래스 베이스 구조체 배선 비아는 비아(319)에, 그리고, 글래스 베이스 구조체 배선 절연층은 유전체 층(315)에 각각 대응할 수 있다.

[0045] 글래스 베이스 구조체 배선 라인 패턴 및 글래스 베이스 구조체 배선 비아는 일례로, 구리(Cu), 알루미늄(Al), 텉스텐(W), 티타늄(Ti), 탄탈륨(Ta), 인듐(In), 몰리브덴(Mo), 망간(Mn), 코발트(Co), 주석(Sn), 니켈(Ni), 마그네슘(Mg), 레늄(Re), 베릴륨(Be), 갈륨(Ga), 루테늄(Ru) 등과 같은 금속 또는 이들의 합금일 수 있지만, 이들에 한정되는 것은 아니다. 글래스 베이스 구조체 배선 라인 패턴 및 글래스 베이스 구조체 배선 비아는 티타늄, 티타늄 질화물, 또는 티타늄 텉스텐을 포함하는 씨드층 상에 금속 또는 금속의 합금이 적층되어 형성될 수 있다. 글래스 베이스 구조체 배선 라인 패턴은 글래스 베이스 구조체 배선 절연층의 상면 및 하면 중 적어도 일면에 배치될 수 있다. 글래스 베이스 구조체 배선 비아는 글래스 베이스 구조체 배선 절연층을 관통하여 글래스

베이스 구조체 배선 라인 패턴 중 일부와 접하여 연결될 수 있다. 글래스 베이스 구조체 배선 라인 패턴들 중 적어도 일부 개는, 글래스 베이스 구조체 배선 비아들 중 일부 개와 함께 형성되어 일체를 이룰 수 있다. 예를 들어, 글래스 베이스 구조체 배선 라인 패턴과 글래스 베이스 구조체 배선 라인 패턴의 하면과 접하는 글래스 베이스 구조체 배선 비아는 일체를 이룰 수 있다.

[0046] 글래스 베이스 구조체 배선 절연층은 PID(photo imageable dielectric), 또는 감광성 폴리이미드 (photosensitive polyimide, PSPI)로부터 형성될 수 있다. 글래스 베이스 구조체 배선 구조체는 적층된 복수개의 글래스 베이스 구조체 배선 절연층을 포함할 수도 있다.

[0047] 글래스 베이스 구조체 배선 구조체는 반도체 BEOL(back end of line) 공정으로 형성될 수 있다. 글래스 베이스 구조체 배선 라인 패턴, 및 글래스 베이스 구조체 배선 비아는 구리(Cu), 알루미늄(Al), 및 텉스텐(W)과 같은 금속 물질을 포함할 수 있다. 글래스 베이스 구조체 배선 절연층은 HDP(High Density Plasma) 산화막, TEOS 산화막, TOSZ(Tonen SilaZene), SOG(Spin On Glass), USG(Undoped Silica Glass) 또는 저유전막(low-k dielectric layer) 등을 포함할 수 있다.

[0048] 글래스 베이스 구조체 배선 라인 패턴들 중 글래스 베이스 구조체(300)의 상면에 배치되는 일부 개는 글래스 베이스 구조체 상면 패드들(재배선 상면 패드들)로 참조될 수 있다. 글래스 베이스 구조체 상면 패드에는 제1 칩 연결 단자(550)와 제2 칩 연결 단자(650)가 부착될 수 있다. 제1 칩 연결 단자(550), 및 제2 칩 연결 단자(650) 각각은 범프, 솔더볼 등을 수 있다.

[0049] 글래스 베이스 구조체(300)는 제1 도파관(321)을 포함할 수 있다. 제1 도파관(321)은 실리카와 같은 재질로 이루어질 수 있다. 또한, 제1 도파관(321)은 다층 구조일 수 있다. 일례로 후술하는 도 4e에서와 같은 다중 층의 제1 도파관(321A, 321B, 321C)을 가질 수 있다. 제1 도파관(321)은 실리카 층을 패턴화함으로써 형성될 수 있다. 제1 도파관(321)은 외부 광원에 결합된 광 섬유(915B)와의 사이에서 광 신호 및/또는 광 전력을 전달받을 수 있다.

[0050] 한편, 본 발명의 일 실시예에서는 제1 도파관(321)이 실리카 재질로 이루어짐을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 제1 도파관(321)은 폴리머(polymer) 또는 IOX 도파로 (ion exchange waveguide)로 형성될 수도 있다. 또한, 제1 도파관(321)은 레이저 스크라이빙을 이용하여 형성된 도파관일 수도 있다.

[0051] 글래스 베이스 구조체(300)는 제2 도파관(334)을 포함할 수 있다. 제2 도파관(334)은 다층 구조일 수 있다. 제2 도파관은 질화물로 이루어질 수 있으며, 단층 또는 다층의 SiN 박막일 수 있다. 일례로 후술하는 도 4i에서와 같은 다중 층의 제2 도파관(334A, 334B)을 가질 수 있다. 제2 도파관(334)은 실리콘 질화물 층을 패턴화함으로써 형성될 수 있다. 예를 들면, 제2 도파관(334)은 글래스 베이스 구조체(300) 상에 형성된 박막, 예를 들면, 질화물 박막을 패터닝하여 형성될 수 있다.

[0052] 제2 도파관(334)은 외부 광원에 결합된 광 섬유(915A)와의 사이에서 광 신호 및/또는 광 전력을 전달받을 수 있다.

[0053] 한편, 본 발명의 일 실시예에서는, 제2 도파로(334)가 질화물로 이루어질 수 있음을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 제2 도파로(334)는 질화물 이외의 물질로 이루어질 수도 있다. 예를 들면, 제2 도파로(334)는 글래스 베이스 구조체(300)보다 굴절률이 큰 물질로 이루어질 수 있다.

[0054] 제2 도파관(334)은 글래스 베이스 구조체(300)에 탑재된 SiN 포토닉스 기술을 통하여 Si to Silica Photonics (PIC to Glass)의 원활한 광학적 전환, 고효율의 수동 광학 소자 등 다양한 광학적 기능을 강화할 수 있다. 즉, 제2 도파관(334)은 포토닉 패키지(P500, P600)에 탑재되는 실리콘 도파관(예를 들어 도 3e에 도시된 도파관(504))과 글래스 베이스 구조체(300)에 탑재되는 제1 도파관(321)간의 광통신을 원활하게 할 수 있다.

[0055] 제1 반도체 칩(500)은 디램(dynamic random access memory, DRAM), 에스 램(static random access memory, SRAM), 플래시(flash) 메모리, 이이피롬(electrically erasable and programmable read-only memory, EEPROM), 피램(phase-change random access memory, PRAM), 엠파(magnetic random access memory, MRAM), 또는 알램(resistive random access memory, RRAM)일 수 있다.

[0056] 제1 반도체 칩(500)은 직렬-병렬 변환 회로(serial-parallel conversion circuit), DFT(desing for test), JTAG(Joint Test Action Group), MBIST(memory builtin self-test) 같은 테스트 로직 회로, 파이(PHY) 같은 시그널 인터페이스 회로를 포함할 수 있다.

- [0057] 제1 반도체 칩(500)은 HBM DRAM의 셀을 가지는 메모리 셀 칩과 HBM DRAM의 제어를 위한 버퍼 칩을 포함할 수 있다.
- [0058] 제1 반도체 칩(500)은 활성면이 하측, 즉 글래스 베이스 구조체(300)를 향하면서 적층될 수 있다.
- [0059] 제1 반도체 칩(500)은 제1 기판을 포함할 수 있다. 제1 기판은 Ge (germanium)과 같은 반도체 원소, 또는 SiC (silicon carbide), GaAs (gallium arsenide), InAs (indium arsenide), 및 InP (indium phosphide)와 같은 화합물 반도체를 포함할 수 있다. 제1 기판은 활성면, 및 활성면에 반대되는 비활성면을 가질 수 있다. 제1 기판은 활성면에 다양한 종류의 개별 소자들(individual devices)를 포함할 수 있다. 개별 소자들은 다양한 미세 전자 소자들(microelectronics devices), 예를 들면 CMOS 트랜지스터(complementary metal-insulator-semiconductor transistor) 등과 같은 MOSFET(metal-oxide-semiconductor field effect transistor), 시스템 LSI(large scale integration), CIS(CMOS imaging sensor) 등과 같은 이미지 센서, MEMS(micro-electro-mechanical system), 능동 소자, 수동 소자 등을 포함할 수 있다.
- [0060] 제1 반도체 칩(500)은 개별 소자들이 구성하는 제1 반도체 소자를 포함할 수 있다. 제1 기판의 활성면에는 제1 반도체 소자가 배치되고, 제1 전면 연결 패드들과 제1 후면 연결 패드들 각각은 제1 기판의 활성면과 비활성면 상에 각각 배치되고, 제1 관통 전극들은, 제1 기판의 적어도 일부분을 수직으로 관통하여 제1 전면 연결 패드들과 제1 후면 연결 패드들을 전기적으로 연결할 수 있다.
- [0061] 제1 반도체 칩(500)은 제1 전면 연결 패드들(미도시)을 통하여 글래스 베이스 구조체(300)와 전기적으로 연결될 수 있다. 제1 전면 연결 패드들과 글래스 베이스 구조체 배선 라인 패턴들(372) 중 재배선 상면 패드들 사이에는 제1 칩 연결 단자(550)가 개재되어, 제1 전면 연결 패드들과 재배선 상면 패드들을 전기적으로 연결할 수 있다.
- [0062] 한편, 도면에는 도시되지 않았으나, 제1 반도체 칩(500)은 제1 반도체 칩(500)의 상면에서 제1 반도체 칩을 감싸는 칩 몰딩층을 더 포함할 수 있다. 칩 몰딩층은 예를 들면, EMC로 이루어질 수 있다.
- [0063] 제2 반도체 칩(600)은 제2 기판, 및 제2 전면 연결 패드들(미도시)을 포함할 수 있다. 제2 전면 연결 패드들은 제2 기판의 활성면 상에 배치될 수 있다. 제2 기판은 상술한 제1 기판과 대체로 유사한 바, 자세한 설명은 생략하도록 한다. 제2 기판은 활성면, 및 활성면에 반대되는 비활성면을 가질 수 있다. 제2 반도체 칩(600)은 제2 반도체 소자를 포함할 수 있다. 제2 기판의 활성면에는 제2 반도체 소자가 형성될 수 있다.
- [0064] 제2 반도체 칩(600)은 제2 전면 연결 패드들(미도시)을 통하여 글래스 베이스 구조체(300)와 전기적으로 연결될 수 있다. 제2 전면 연결 패드들과 글래스 베이스 구조체 배선 라인 패턴들(372) 중 재배선 상면 패드들 사이에는 제2 칩 연결 단자(650)가 개재되어, 제2 전면 연결 패드들과 재배선 상면 패드들을 전기적으로 연결할 수 있다.
- [0065] 제2 반도체 칩(600)은 중앙 처리 장치(central processing unit, CPU) 칩, 그래픽 처리 장치(graphic processing unit, GPU) 칩, 어플리케이션 프로세서(application processor, AP) 칩, 주문형 반도체(ASIC: Application Specific Integrated Circuit) 또는 기타 프로세싱 칩들 중 하나를 포함할 수 있다.
- [0066] 제1 반도체 칩(500)은 제1 포토닉 패키지(P500)를 포함할 수 있다. 용어 포토닉 패키지는 PIC(Photonic Integrated Circuit; 광 집적 회로)일 수 있다.
- [0067] 제1 포토닉 패키지(P500)는 반도체 패키지의 광 신호와 전기 신호 사이의 입출력(I/O) 인터페이스를 제공할 수 있다. 제1 포토닉 패키지는 제1 포토닉 패키지 내의 컴포넌트예를 들어, 포토닉 디바이스, 집적 회로, 외부 섬유에 대한 결합 등) 간의 신호 통신을 위한 광 네트워크를 제공할 수 있다.
- [0068] 제1 포토닉 패키지(P500)는 매립 산화물(buried oxide; BOX) 기판을 포함할 수 있다. SOI 기판은 기판 위에 형성된 산화물 층, 및 산화물 층 위에 형성된 실리콘 층을 포함할 수 있다. 기판은 예를 들어 유리, 세라믹, 유전체, 반도체 또는 이들의 조합 등과 같은 물질일 수 있다. 기판은 (예를 들어, p형 또는 n형 도편트로) 도핑되거나 도핑되지 않을 수 있는 벌크 반도체 등과 같은 반도체 기판일 수 있다. 기판은 실리콘 웨이퍼와 같은 웨이퍼일 수 있다. 다층 또는 경사 기판과 같은 다른 기판이 또한 사용될 수 있다. 일부 실시예에서, 기판의 반도체 물질은 실리콘; 게르마늄; 실리콘 탄화물, 갈륨 비소, 갈륨 인화물, 인듐 인화물, 인듐 비화물, 및/또는 인듐 안티몬화물을 포함한 화합물 반도체; SiGe, GaAsP, AlInAs, AlGaAs, GaInAs, GaInP 및/또는 GaInAsP을 포함한 혼정 반도체; 또는 이들의 조합을 포함할 수 있다. 산화물 층은 예를 들어 실리콘 산화물 등일 수 있다.
- [0069] 실리콘 층은 일부 실시예에 따라 도파관, 포토닉 컴포넌트, 및 격자 커플러를 위한 실리콘 영역을 형성하도록

패턴화된다. 실리콘 층은 적절한 포토리소그래피 및 에칭 기술을 사용하여 패턴화될 수 있다. 예를 들어, 하드 마스크 층(예를 들어, 질화물 층 또는 다른 유전체 물질)이 일부 실시예에서 실리콘 층 위에 형성되고 패턴화될 수 있다. 그런 다음, 하드마스크 층의 패턴은 에칭 공정을 사용하여 실리콘 층으로 전사될 수 있다. 에칭 공정은, 예를 들어, 건식 에칭 공정 및/또는 습식 에칭 공정을 포함할 수 있다. 예를 들어, 실리콘 층은 도파관(실리콘 도파관으로도 지칭됨)을 정의하는 리세스를 형성하도록 에칭될 수 있다. 일부 실시예에서, 실리콘 층을 패턴화하기 위해, 하나보다 많은 포토리소그래피 및 에칭 시퀀스가 사용될 수 있다. 하나의 도파관 또는 다수의 도파관이 실리콘 층으로부터 패턴화될 수 있다. 다수의 도파관이 형성되는 경우, 다수의 도파관은 개별 도파관이거나 단일 연속 구조물로서 연결될 수 있다. 일부 실시예에서, 도파관 중 하나 이상은 연속 루프를 형성한다. 도파관, 포토닉 컴포넌트, 또는 격자 커플러의 다른 구성 또는 배열이 가능하고, 다른 유형의 포토닉 컴포넌트 또는 포토닉 구조물이 형성될 수 있다. 일부 경우에, 도파관, 포토닉 컴포넌트, 및 격자 커플러는 집합적으로 ‘포토닉 층’으로 지칭될 수 있다.

[0070] 포토닉 컴포넌트는 도파관과 통합될 수 있고, 실리콘 도파관으로 형성될 수 있다. 포토닉 컴포넌트는 도파관 내의 광 신호와 상호 작용하기 위해 도파관에 광학적으로 결합될 수 있다. 포토닉 컴포넌트는, 예를 들어, 광검출기 및/또는 변조기와 같은 포토닉 디바이스를 포함할 수 있다. 예를 들어, 광검출기는 도파관에 광학적으로 결합되어 도파관 내의 광 신호를 검출하고 광 신호에 대응하는 전기 신호를 생성할 수 있다. 변조기는 도파관에 광학적으로 결합되어 전기 신호를 수신하고 도파관 내의 광 전력을 변조함으로써 도파관 내에 대응하는 광 신호를 생성할 수 있다. 이러한 방식으로, 포토닉 컴포넌트는 도파관에 대한 광 신호의 입출력(I/O)을 용이하게 한다. 다른 실시예에서, 포토닉 컴포넌트는 레이저 다이오드, 광 신호 분할기, 또는 다른 유형의 포토닉 구조물 또는 디바이스와 같은 다른 능동 또는 수동 컴포넌트를 포함할 수 있다. 광 전력은, 예를 들어, 외부 광원에 결합된 광 섬유(예를 들어, 도 2의 915A 및 915B 참조)에 의해 도파관에 제공될 수 있거나, 광 전력은 레이저 다이오드(예를 들어, 도 2의 800 참조)에 의해 생성될 수 있다.

[0071] 일부 실시예에서, 광검출기는, 예를 들어, 도파관의 영역을 부분적으로 에칭하고 에칭된 영역의 나머지 실리콘 상에 에피택셜 물질을 성장시킴으로써 형성될 수 있다. 도파관은 허용 가능한 포토리소그래피 및 에칭 기술을 사용하여 에칭될 수 있다. 에피택셜 물질은, 예를 들어, 도핑되거나 도핑되지 않을 수 있는 게르마늄(Ge)과 같은 반도체 물질을 포함할 수 있다. 일부 실시예에서, 광검출기의 형성의 일부로서 에칭된 영역의 실리콘 내에 도편트를 도입하기 위해 주입 공정이 수행될 수 있다. 에칭된 영역의 실리콘은 p형 도편트, n형 도편트, 또는 이들의 조합으로 도핑될 수 있다. 일부 실시예에서, 변조기는, 예를 들어, 도파관의 영역을 부분적으로 에칭하고, 그런 다음 에칭된 영역의 나머지 실리콘 내에 적절한 도편트를 주입함으로써 형성될 수 있다. 도파관은 허용 가능한 포토리소그래피 및 에칭 기술을 사용하여 에칭될 수 있다. 일부 실시예에서, 광검출기에 대해 사용되는 에칭된 영역 및 변조기에 대해 사용되는 에칭된 영역은 동일한 포토리소그래피 또는 에칭 단계 중 하나 이상을 사용하여 형성될 수 있다. 에칭된 영역의 실리콘은 p형 도편트, n형 도편트, 또는 이들의 조합으로 도핑될 수 있다. 일부 실시예에서, 광검출기에 대해 사용되는 에칭된 영역 및 변조기에 대해 사용되는 에칭된 영역은 동일한 주입 단계 중 하나 이상을 사용하여 주입될 수 있다.

[0072] 일부 실시예에서, 하나 이상의 격자 커플러는 도파관과 통합될 수 있고, 도파관으로 형성될 수 있다. 격자 커플러는 광 신호 및/또는 광 전력이 도파관과 수직 장착될 수 있는 광 섬유(예를 들어, 도 2에 도시된 광 섬유(915B))와 같은 포토닉 컴포넌트 또는 다른 포토닉 시스템의 도파관 사이에서 전달될 수 있도록 하는 포토닉 구조물일 수 있다. 격자 커플러는 허용 가능한 포토리소그래피 및 에칭 기술을 사용하여 형성될 수 있다. 일부 실시예에서, 격자 커플러는 도파관이 정의된 이후에 형성될 수 있다. 예를 들어, 포토레지스트가 도파관 상에 형성되고 패턴화될 수 있다. 포토레지스트는 격자 커플러에 대응하는 개구로 패턴화될 수 있다. 격자 커플러를 정의하는 리세스를 도파관에 형성하기 위해 에칭 마스크로서 패턴화된 포토레지스트를 사용하여 하나 이상의 에칭 공정이 수행될 수 있다. 에칭 공정은 하나 이상의 건식 에칭 공정 및/또는 습식 에칭 공정을 포함할 수 있다. 일부 실시예에서, 도파관과 제2 도파관(334A, 334B)(도 4i 참조)과 같은 제1 포토닉 패키지(P500)의 다른 도파관 사이의 광 신호를 결합하는 구조물과 같은 다른 유형의 커플러가 형성될 수 있다. 광 신호 및/또는 광 전력이 제1 포토닉 패키지(P500)의 측벽 근처에 수평으로 장착된 포토닉 컴포넌트와 도파관 사이에서 전송되도록 하는 에지 커플러가 또한 형성될 수 있다.

[0073] 제2 반도체 칩(600)은 제2 포토닉 패키지(P600)를 포함할 수 있다. 제2 포토닉 패키지(P600)는 상술한 제1 포토닉 패키지(P500)와 동일하게 형성할 수 있으므로, 자세한 설명은 생략하기로 한다.

[0074] 반도체 패키지(1000)는 글래스 베이스 구조체(300) 상에서 제1 반도체 칩 내지 제4 반도체 칩(500, 600, 700, 800)을 감싸는 패키지 몰딩층(미도시)을 더 포함할 수 있다. 패키지 몰딩층은 예를 들면, EMC로 이루어질 수 있

다.

[0075] 반도체 패키지(1000)는 패키지 베이스 기판(100) 상에 부착되는 보강 구조체(stiffener structure)(미도시)를 더 포함할 수 있다. 보강 구조체는 패키지 베이스 기판(100) 상에 부착되는 보강 열전달 물질층(stiffener thermal interface material)을 사이에 가지며 부착될 수 있다. 보강 구조체는 제1 내지 제4 반도체 칩들과 이격할 수 있다. 일부 실시예에서, 보강 구조체는 글래스 베이스 구조체(300)와 이격되도록 패키지 베이스 기판(100) 상에 부착될 수 있다. 보강 구조체는 평면적으로, 즉 탑뷰(Top-view)로, 패키지 베이스 기판(100)의 가장자리를 따라서 연장되어, 제1 내지 제4 반도체 칩의 주위를 포위할 수 있다. 보강 구조체는 패키지 베이스 기판(100)의 가장자리를 따라서 연장되며, 평면적으로 글래스 베이스 구조체(300)를 포위하는 사각형의 링 형상을 가질 수 있다. 보강 구조체는 패키지 베이스 기판(100)의 4개의 가장자리 각각을 따라서 연장되는 4개의 측벽이 서로 연결되는 형상을 가질 수 있다.

[0076] 보강 구조체는 금속으로 이루어질 수 있다. 예를 들면, 보강 구조체는 구리, 니켈, 및 스테인리스 중 적어도 하나를 포함할 수 있다. 보강 열전달 물질층은 절연 물질로 이루어지거나, 절연 물질을 포함하여 전기적 절연성을 유지할 수 있는 물질로 이루어질 수 있다. 보강 열전달 물질층은 예를 들면, 에폭시 수지를 포함할 수 있다. 보강 열전달 물질층은 예를 들면, 미네랄 오일(mineral oil), 그리스(grease), 갭 필러 퍼티(gap filler putty), 상변화 젤(phase change gel), 상변화물질 패드(phase change Material pads) 또는 분말 충전 에폭시(particle filled epoxy)일 수 있다.

[0078] 도 3a 내지 도 3e는 일 실시예에 따라, 제1 포토닉 패키지를 형성하는 일 구현예를 도시한다. 도면에 도시된 바와 같이, 제1 포토닉 패키지(P500)는 상술한 SOI 기판(502), 도파관(504), 포토닉 컴포넌트(506), 격자 커플러(507), 유전체 층(508) 등을 형성하는 공정을 통해 제조될 수 있다. 여기서, SOI 기판(502)은 기판(502C), 산화물 층(502B) 및 실리콘 층(502A)을 포함할 수 있다.

[0079] 도 3b에서, 유전체 층(508)이 포토닉 라우팅 구조물(510)을 형성하기 위해 SOI 기판(502) 상에 형성될 수 있다. 유전체 층(508)은 도파관(504), 포토닉 컴포넌트(506), 격자 커플러(507), 및 산화물 층(502B) 위에 형성될 수 있다. 유전체 층(508)은 실리콘 산화물, 실리콘 질화물, 이들의 조합 등의 하나 이상의 층으로 형성될 수 있고, CVD, PVD, 원자 층 증착 atomic layer deposition; ALD, 스판-온-유전체 공정 또는 이들의 조합 등에 의해 형성될 수 있다. 일부 실시예에서, 유전체 층(508)은 고밀도 플라즈마 화학 기상 증착(high density plasma chemical vapor deposition; HDP-CVD), 유동성 CVD(flowable CVD; FCVD)(예를 들어, 원격 플라즈마 시스템에서 CVD 기반 물질 성막 및 후 경화하여 산화물과 같은 다른 물질로 변환) 또는 이들의 조합 등에 의해 형성될 수 있다. 임의의 허용 가능한 공정에 의해 형성된 다른 유전체 물질이 사용될 수 있다. 유전체 층(508)은 그런 다음 CMP 공정, 연삭 공정 등과 같은 평탄화 공정을 사용하여 평탄화될 수 있다. 더 얇은 유전체 층(508)이 격자 커플러(507)와 외부 광원에 결합된 포토닉 컴포넌트 사이의 더 효율적인 광학 결합을 허용할 수 있다.

[0080] 도파관(504) 물질과 유전체 층(508) 물질의 굴절률 차이로 인해, 도파관(504)은 광의 파장 및 각각의 물질의 굴절률에 따라 광이 실질적으로 도파관(504) 내에 제한되도록 높은 내부 반사를 갖는다. 일 실시예에서, 도파관(504) 물질의 굴절률은 유전체 층(508) 물질의 굴절률보다 높다. 예를 들어, 도파관(504)은 실리콘을 포함할 수 있고, 유전체 층(508)은 실리콘 산화물 및/또는 실리콘 질화물을 포함할 수 있다.

[0081] 도 3c에서, 비아(512) 및 콘택(513)이 유전체 층(508)에 형성된다. 일부 실시예에서는, 비아(512) 및 콘택(513)은 재배선 구조물(520)을 형성하는 일부로서 형성되고, 다른 실시예에서는, 비아(512)는 형성되지 않을 수 있다. 일부 실시예에서, 비아(512)는 다마신 공정, 예를 들어, 단일 다마신, 이중 다마신 등에 의해 형성될 수 있다. 비아(512)는, 예를 들어, 유전체 층(508)을 통해 연장되는 개구를 형성함으로써 형성될 수 있다. 일부 실시예에서, 개구는 산화물 층(502B) 내로 부분적으로 연장되거나 산화물 층(502B)을 통해 완전히 연장되어 기판(502C)을 노출시킬 수 있다. 일부 실시예에서, 개구는 기판(502C) 내로 부분적으로 연장될 수 있다. 개구는 포토레지스트를 형성 및 패턴화하고, 그런 다음 패턴화된 포토레지스트를 에칭 마스크로 사용하는 에칭 공정을 수행하는 것과 같이 허용 가능한 포토리소그래피 및 에칭 기술을 사용하여 형성될 수 있다. 에칭 공정은, 예를 들어, 건식 에칭 공정 및/또는 습식 에칭 공정을 포함할 수 있다.

[0082] 그런 다음, 전도성 물질이 일부 실시예에 따라 개구에 형성되어 비아(512)를 형성할 수 있다. 일부 실시예에서, 확산 방지 층, 접착 층 등과 같은 라이너(도시되지 않음)가 TaN, Ta, TiN, Ti, CoW 등으로부터 개구에 형성될 수 있고, ALD 등과 같은 적절한 성막 공정을 사용하여 형성될 수 있다. 그런 다음, 일부 실시예에서, 구리 또는 구리 합금을 포함할 수 있는 시드 층(도시되지 않음)이 개구에 성막될 수 있다. 비아(512)의 전도성 물질은, 예를 들어, 도금 공정을 사용하여 개구에 형성될 수 있다. 전도성 물질은, 예를 들어, 구리, 은, 금, 텉스텐, 코

밸트, 알루미늄 또는 이들의 합금과 같은 금속 또는 금속 합금을 포함할 수 있다. 비아(512) 및 유전체 층(508)의 상면이 대등하게 되도록 유전체 층(508)의 상면을 따라 과잉 전도성 물질을 제거하기 위해 평탄화 공정(예를 들어, CMP 공정 또는 연삭 공정)이 수행될 수 있다. 비아(512)는 다른 실시예에서 다른 기술 또는 물질을 사용하여 형성될 수 있다.

[0083] 일부 실시예에서, 콘택(513)은 유전체 층(508)을 통해 연장되고 포토닉 컴포넌트(506)에 전기적으로 연결될 수 있다. 콘택(513)은 전력 또는 전기 신호가 포토닉 컴포넌트(506)로 전송되고 포토닉 컴포넌트(506)로부터의 전기 신호가 전송되도록 허용할 수 있다. 이러한 방식으로, 포토닉 컴포넌트(506)는 전기 신호를 도파관(504)에 의해 전송되는 광 신호로 변환할 수 있고/있거나 도파관(504)으로부터의 광 신호를 전기 신호로 변환할 수 있다. 콘택(513)은 비아(512) 형성 전 또는 후에 형성될 수 있고, 콘택(513)의 형성과 비아(512)의 형성은 전도성 물질의 성막 및/또는 평탄화와 같은 일부 단계를 공유할 수 있다. 일부 실시예에서, 콘택(513)은 다마신 공정, 예를 들어, 단일 다마신, 이중 다마신 등에 의해 형성될 수 있다. 예를 들어, 일부 실시예에서, 콘택(513)을 위한 개구(도시되지 않음)는 허용 가능한 포토리소그래피 및 에칭 기술을 사용하여 유전체 층(508)에 먼저 형성될 수 있다. 그런 다음, 전도성 물질이 개구에 형성되어 콘택(513)을 형성할 수 있다. 과잉 전도성 물질은 CMP 공정 등을 사용하여 제거될 수 있다. 콘택(513)의 전도성 물질은 알루미늄, 구리, 텉스텐 등을 포함하는 금속 또는 금속 합금으로 형성될 수 있으며, 이는 비아(512)의 전도성 물질과 동일할 수 있다. 콘택(513)은 다른 실시예에서 다른 기술 또는 물질을 사용하여 형성될 수 있다.

[0084] 재배선 구조물(520)이 유전체 층(508) 위에 형성될 수 있다. 재배선 구조물(520)은 유전체 층(517), 및 상호 접속 및 전기적 라우팅을 제공하는 유전체 층(517)에 형성된 전도성 피처(514)를 포함할 수 있다. 예를 들어, 재배선 구조물(520)은 비아(512), 콘택(513), 및/또는 전자 다이(522)와 같은 상부 디바이스를 연결할 수 있다. 유전체 층(517)은, 예를 들어, 절연 층 또는 패시베이션 층일 수 있고, 실리콘 산화물 또는 실리콘 질화물과 같은 유전체 층(508)에 대해 위에서 설명된 것과 유사한 하나 이상의 물질을 포함할 수 있거나 상이한 물질을 포함할 수 있다. 유전체 층(517) 및 유전체 층(508)은 동일한 파장 범위 내의 광에 대해 투명하거나 거의 투명할 수 있다. 유전체 층(517)은 유전체 층(508)에 대해 위에서 설명된 것과 유사한 기술을 사용하거나 상이한 기술을 사용하여 형성될 수 있다. 전도성 피처(514)는 전도성 라인 및 비아를 포함할 수 있고, 다마신 공정, 예를 들어, 단일 다마신, 이중 다마신 등에 의해 형성될 수 있다. 도 3d에 도시된 바와 같이, 전도성 패드(516)가 유전체 층(517)의 최상부 층에 형성된다. 전도성 패드(516)를 형성한 후, 전도성 패드(516)와 최상부 유전체 층(517)의 표면이 실질적으로 동일 평면 상에 있도록 평탄화 공정(예를 들어, CMP 공정 등)이 수행될 수 있다. 재배선 구조물(520)은 도면에 도시된 것보다 더 많거나 더 적은 유전체 층(517), 전도성 피처(514), 또는 전도성 패드(516)를 포함할 수 있다.

[0085] 재배선 구조물(520)의 일부가 일부 실시예에 따라 제거되고 유전체 층(515)으로 대체될 수 있다. 재배선 구조물(520)의 제거된 부분은 일부 경우에 격자 커플러(507) 위에 또는 대략적으로 위에 있을 수 있다. 유전체 층(515)의 물질은 재배선 구조물(520)의 유전체 층(517)의 물질보다 격자 커플러(507)와 광 섬유(도 2의 광 섬유(917B) 참조) 사이에 더 효율적인 광학 결합을 제공할 수 있다. 예를 들어, 유전체 층(515)은 유전체 층(517)보다 더 투명하거나, 손실이 적거나, 덜 반사할 수 있다. 일부 실시예에서, 유전체 층(515)의 물질은 유전체 층(517)의 물질과 유사하지만, 더 양호한 품질(예를 들어, 더 적은 불순물, 전위 등)을 갖는 물질을 형성하는 기술을 사용하여 성막될 수 있다. 이러한 방식으로, 재배선 구조물(520)의 유전체 층(517)의 일부를 유전체 층(515)으로 대체함으로써 제1 포토닉 패키지(P500)의 보다 효율적인 동작을 허용할 수 있고, 광 신호 손실을 줄일 수 있다.

[0086] 재배선 구조물(520)의 일부는, 예를 들어, 포토레지스트를 형성 및 패턴화하고, 그런 다음 유전체 층(517)을 제거하기 위해 패턴화된 포토레지스트를 에칭 마스크로 사용하는 에칭 공정을 수행하는 것과 같이 허용 가능한 포토리소그래피 및 에칭 기술을 사용하여 제거될 수 있다. 에칭 공정은, 예를 들어, 건식 에칭 공정 및/또는 습식 에칭 공정을 포함할 수 있다.

[0087] 유전체 층(515)은 재배선 구조물(520)의 제거된 부분을 대체하기 위해 성막될 수 있다. 유전체 층(515)은 실리콘 산화물 또는 실리콘 질화물, 스픬 온 유리(spin-on glass) 또는 상이한 물질과 같은 유전체 층(508)에 대해 위에서 설명된 것과 유사한 하나 이상의 물질을 포함할 수 있다. 유전체 층(515) 및 유전체 층(508)은 동일한 파장 범위 내의 광에 대해 투명하거나 거의 투명할 수 있다. 유전체 층(515)은 유전체 층(508)에 대해 위에서 설명된 것과 유사한 기술을 사용하거나 상이한 기술을 사용하여 형성될 수 있다. 예를 들어, 유전체 층(515)은 CVD, PVD, 스픬 온(spin-on) 등을 사용하여 형성될 수 있지만, 다른 기술이 사용될 수 있다. 일부 실시예에서, 유전체 층(515)의 과잉 물질을 제거하기 위해 평탄화 공정(예를 들어, CMP 또는 연삭 공정)이 사용될 수 있다.

평탄화 공정은 또한 전도성 패드(516)를 노출시킬 수 있다. 평탄화 공정을 수행한 후, 유전체 층(515), 최상부 유전체 층(517), 및/또는 전도성 패드(516)는 실질적으로 대등한 표면을 가질 수 있다.

[0088] 하나 이상의 전자 다이(522)가 일부 실시예에 따라 재배선 구조물(520)에 본딩될 수 있다. 전자 다이(522)는, 예를 들어, 전기 신호를 사용하여 포토닉 컴포넌트(506)와 통신하는 반도체 디바이스, 다이, 또는 칩일 수 있다. 도시된 실시예에서, 전자 다이(522)는 광 신호를 수신, 전송 또는 처리하지 않을 수 있다. 본 명세서의 논의에서, '전자 다이'라는 용어는 광 신호를 전기 신호로 또는 그 반대로 변환하는 것과 같이 광 신호를 수신, 전송 또는 처리할 수 있는 다이를 나타내는 '포토닉 다이'(예를 들어, 도 3e의 551 참조)와 구별하는 데 사용될 수 있다. 광 신호 외에도, 포토닉 다이는 전기 신호를 전송, 수신 또는 처리할 수도 있다. 하나의 전자 다이(522)가 도 3d에 도시되어 있지만, 제1 포토닉 패키지(P500)는 다른 실시예에서 2개 이상의 전자 다이(522)를 포함할 수 있다. 일부 경우에, 처리 비용을 줄이기 위해 다수의 전자 다이(522)가 단일 제1 포토닉 패키지(P500)에 통합될 수 있다. 전자 다이(522)는, 예를 들어, 전도성 패드, 전도성 기둥 등일 수 있는 다이 커넥터(524)를 포함할 수 있다.

[0089] 전자 다이(522)는 포토닉 컴포넌트(506)의 동작을 제어하기 위한 회로와 같은, 포토닉 컴포넌트(506)와 인터페이싱하기 위한 집적 회로를 포함할 수 있다. 예를 들어, 전자 다이(522)는 컨트롤러, 드라이버, 트랜스임피던스 증폭기 또는 이들의 조합 등을 포함할 수 있다. 전자 다이(522)는 또한 일부 실시예에서 CPU를 포함할 수 있다. 일부 실시예에서, 전자 다이(522)는 광검출기를 포함하는 포토닉 컴포넌트(506)로부터 수신된 전기 신호를 처리하기 위한 것과 같이, 포토닉 컴포넌트(506)로부터 수신된 전기 신호를 처리하기 위한 회로를 포함할 수 있다. 전자 다이(522)는 일부 실시예에서 다른 디바이스 또는 다이로부터 수신된 전기 신호(디지털 또는 아날로그)에 따라 포토닉 컴포넌트(506)의 고주파 시그널링을 제어할 수 있다. 일부 실시예에서, 전자 다이(522)는 SerDes(Serializer/Deserializer; 직렬화/병렬화) 기능을 제공하는 전자 집적 회로(electronic integrated circuit; EIC) 등일 수 있다. 이러한 방식으로, 전자 다이(522)는 제1 포토닉 패키지(P500) 내의 광 신호와 전기 신호 사이의 I/O 인터페이스의 일부로서 작용할 수 있다. 일부 실시예에서, 본 명세서에 설명된 제1 포토닉 패키지(P500)는 시스템 온 칩(SoC) 또는 시스템 온 집적 회로(SoIC) 디바이스로 간주될 수 있다.

[0090] 일부 실시예에서, 전자 다이(522)는 유전체-유전체 본딩 및/또는 금속-금속 본딩(예를 들어, 직접 본딩, 용합 본딩, 산화물-산화물 본딩, 하이브리드 본딩 등)에 의해 재배선 구조물(520)에 본딩될 수 있다. 이러한 실시예에서, 공유 결합이 최상부 유전체 층(517)과 전자 다이(522)의 표면 유전체 층(도시되지 않음)과 같은 산화물 층 사이에 형성될 수 있다. 본딩 동안, 전자 다이(522)의 다이 커넥터(524)와 재배선 구조물(520)의 전도성 패드(516) 사이에서 금속 본딩이 또한 발생할 수 있다.

[0091] 일부 실시예에서, 본딩 공정을 수행하기 전에, 전자 다이(522) 상에 표면 처리가 수행될 수 있다. 일부 실시예에서, 재배선 구조물(520) 및/또는 전자 다이(522)의 표면은 먼저, 예를 들어, 건식 처리, 습식 처리, 플라즈마 처리, 불활성 가스로 노출, H₂로 노출, N₂로 노출, O₂로 노출 또는 이들의 조합 등을 사용하여 활성화될 수 있다. 그러나, 임의의 적절한 활성화 공정이 사용될 수 있다. 활성화 공정 후, 재배선 구조물(520) 및/또는 전자 다이(522)는 예를 들어 화학적 세정을 사용하여 세정될 수 있다. 그런 다음, 전자 다이(522)는 재배선 구조물(520)과 정렬되고 재배선 구조물(520)과 물리적으로 접촉하도록 배치될 수 있다. 전자 다이(522)는 예를 들어 핀-앤플레이스 공정(pick-and-place process)을 사용하여 재배선 구조물(520) 상에 배치될 수 있다. 그런 다음, 재배선 구조물(520) 및 전자 다이(522)는 재배선 구조물(520)과 전자 다이(522)를 본딩하기 위해 (예를 들어, 접촉 압력을 인가함으로써) 서로에 대해 가압 및/또는 열처리를 받을 수 있다. 예를 들어, 재배선 구조물(520) 및 전자 다이(522)는 200kPa 이하의 압력 및 200°C 내지 400°C의 온도를 받을 수 있다. 그런 다음, 재배선 구조물(520) 및 전자 다이(522)는 전도성 패드(516) 물질 및 다이 커넥터(524) 물질의 공융점 이상의 온도(예를 들어, 150°C 내지 650°C)를 받아 전도성 패드(516)와 다이 커넥터(524)를 융합할 수 있다. 이러한 방식으로, 재배선 구조물(520)과 전자 다이(522)의 유전체-유전체 본딩 및/또는 금속-금속 본딩은 본딩된 구조물을 형성할 수 있다. 일부 실시예에서, 본딩된 구조물은 베이킹, 어닐링, 압축 또는 다른 식으로 처리되어 결합을 강화하거나 마무리할 수 있다.

[0092] 유전체 물질(526)이 일부 실시예에 따라 전자 다이(522) 및 재배선 구조물(520) 위에 형성될 수 있다. 유전체 물질(526)은 실리콘 산화물, 실리콘 질화물, 폴리머 또는 이들의 조합 등으로 형성될 수 있다. 유전체 물질(526)은 CVD, PVD, ALD, 스픽 온 유전체 공정 또는 이들의 조합 등에 의해 형성될 수 있다. 일부 실시예에서, 유전체 물질(526)은 HDP-CVD, FCVD 또는 이들의 조합 등에 의해 형성될 수 있다. 유전체 물질(526)은 일부 실시예에서 캡 층 전도성 물질일 수 있으며, 이는 위의 예시적인 물질 중 하나 이상을 포함할 수 있다. 일부 실시예에서,

유전체 물질(526)은 격자 커플러(507)와 광 섬유(예를 들어, 917B 참조) 사이에 광 신호 또는 광 전력을 전송하기에 적합한 파장의 광에 대해 실질적으로 투명한 물질(예를 들어, 실리콘 산화물)일 수 있다. 유전체 물질(526)은 CMP 공정, 연삭 공정 등과 같은 평탄화 공정을 사용하여 평탄화될 수 있다. 일부 실시예에서, 평탄화 공정은 전자 다이(522)의 표면과 유전체 물질(526)의 표면이 동일 평면 상에 있도록 전자 다이(522)를 노출시킬 수 있다.

[0093] 유전체-유전체 본딩의 사용은, 캡슐화제 또는 몰딩 화합물과 같은 불투명 물질 대신에, 관련 파장의 광에 대해 투명한 물질이 재배선 구조물(520) 위에 및/또는 전자 다이(522) 주위에 성막되도록 할 수 있다. 예를 들어, 유전체 물질(526)은 몰딩 화합물과 같은 불투명 물질 대신에, 실리콘 산화물과 같은 적절하게 투명한 물질로 형성될 수 있다. 이러한 방식으로 유전체 물질(526)에 대해 적절하게 투명한 물질을 사용하면 격자 커플러(507)와 유전체 물질(526) 위에 위치한 광 섬유(예를 들어, 915B 참조) 사이에서 광 신호를 전송하는 것과 같이 광 신호가 유전체 물질(526)을 통해 전송될 수 있도록 한다. 또한, 이러한 방식으로 전자 다이(522)를 재배선 구조물(520)에 본딩함으로써, 결과적인 제1 포토닉 패키지(P500)의 두께가 감소될 수 있고, 격자 커플러(507)와 수직 장착 광 섬유 사이의 광학 결합이 개선될 수 있다. 일부 경우에, 이는 포토닉 패키지의 크기나 처리 비용을 줄일 수 있고, 외부 컴포넌트와의 광학 결합이 개선될 수 있다.

[0094] 선택적 지지체(528)가 일부 실시예에 따라 구조물에 부착될 수 있다. 구조적 또는 기계적 안정성을 제공하기 위해 구조물에 부착되는 지지체(528)는 강성 구조물일 수 있다. 지지체(528)의 사용은 뒤틀림 또는 굽힘을 감소시킬 수 있으며, 이는 도파관(504) 또는 포토닉 컴포넌트(506)와 같은 광학 구조물의 성능을 개선할 수 있다. 지지체(528)는 실리콘(예를 들어, 실리콘 웨이퍼, 벌크 실리콘 등), 실리콘 산화물, 금속, 유기 코어 물질 등과 같은 하나 이상의 물질, 또는 다른 유형의 물질을 포함할 수 있다. 지지체(528)는 도 3e에 도시된 바와 같이 접착 층(527)을 사용하여 구조물에 (예를 들어, 유전체 물질(526) 및/또는 전자 다이(522)에) 부착될 수 있거나, 지지체(528)는 직접 본딩 또는 다른 적절한 기술을 사용하여 부착될 수 있다.

[0095] 마이크로 렌즈(531)가 지지체(528)의 상부 표면에서 지지체(528)에 내장될 수 있다. 일부 실시예에서, 마이크로 렌즈(531)의 위치에 리세스를 형성하기 위해 지지체(528)의 일부를 제거하도록 예칭 공정이 수행되고, 그런 다음 미리 형성된 마이크로 렌즈(531)가 지지체(528)의 리세스 내에 배치될 수 있다. 다음으로, 유전체 층(529)이 지지체(528) 위에 형성되고, 굴절률 정합제(533)가 마이크로 렌즈(531) 위의 (예를 들어, 바로 위의) 유전체 층(529)에 형성될 수 있다. 유전체 층(529)은 적절한 성막 공정을 사용하여 실리콘 산화물, 실리콘 질화물, 폴리머 등과 같은 적절한 물질로 형성될 수 있다. 그런 다음, 마이크로 렌즈(531) 위에 리세스를 형성하기 위해 유전체 층(529)의 일부를 제거하도록 예칭 공정이 수행될 수 있다. 그런 다음, 굴절률 정합제(533)는 유전체 층(529)의 리세스 내에 성막될 수 있다. 유전체 층(529)과 굴절률 정합제(533) 간의 상부 표면이 동일 평면을 달성하도록 CMP와 같은 평탄화 공정이 수행될 수 있다. 일부 실시예에서, 굴절률 정합제(533)는 외부 광원에 결합된 광 섬유(예를 들어, 도 2의 915B 참조)로부터 들어오거나 이에 들어가는 광에 대한 광 손실을 줄이기 위해 사용되고, 실리콘 산화물의 굴절률과 일치하도록 예를 들어 약 1.4의 굴절률을 가질 수 있다.

[0096] 도 3e에서, 기판(502C)은 일부 실시예들에 따라 제거된다. 기판(502C)은 평탄화 공정(예를 들어, CMP 또는 연삭 공정), 예칭 공정, 이들의 조합 등을 사용하여 제거될 수 있다. 일부 실시예에서, 산화물 층(502B)은 또한 박막화될 수 있다. 산화물 층(502B)은 기판(502C)에 대한 제거 공정의 일부로서 박막화될 수 있거나, 산화물 층(502B)은 별도의 단계에서 박막화될 수 있다. 산화물 층(502B)은, 예를 들어, 평탄화 공정, 예칭 공정, 또는 이들의 조합 등을 사용하여 박막화될 수 있다.

[0097] 유전체 층(535)이 일부 실시예들에 따라 산화물 층(502B) 하부에 형성될 수 있다. 유전체 층(535)은 유전체 층(508) 또는 유전체 층(515)에 대해 위에서 설명된 것과 유사한 하나 이상의 물질을 포함할 수 있다. 예를 들어, 유전체 층(535)은 실리콘 산화물, 스펀 온 유리 등을 포함할 수 있다. 유전체 층(535)은 유전체 층(508) 또는 유전체 층(515)에 대해 위에서 설명된 것과 유사한 기술을 사용하여 형성될 수 있거나, 상이한 기술을 사용하여 형성될 수 있다. 예를 들어, 유전체 층(535)은 CVD, PVD, 스펀 온 등을 사용하여 형성될 수 있지만, 다른 기술이 사용될 수 있다.

[0098] 다음으로, 유전체 층(538)이 유전체 층(535) 하부에 형성될 수 있다. 유전체 층(538)은 유전체 층(535)과 동일하거나 유사한 형성 방법을 사용하여 동일하거나 유사한 물질로 형성될 수 있으므로, 세부 사항은 생략될 수 있다. 동일한 처리를 반복하여 추가 유전체층을 형성할 수 있다.

[0099] 다음으로, 비아(552)가 유전체 층(예를 들어, 502B, 535, 538)을 통해 연장되어 비아(512)와 연결되도록 형성될 수 있다. 전도성 패드(553)가 각각의 비아(552) 위의 유전체 층(538)에 형성될 수 있다. 비아(552) 및 전도성

패드(553)는 각각 비아(512) 및 전도성 패드(516)와 동일하거나 유사한 형성 방법에 의해 형성될 수 있으므로, 여기서는 세부 사항은 반복되지 않을 수 있다.

[0101] 도 4a 내지 도 4i는 일 실시예에 따른 다양한 제조 단계에서의 도파관을 갖는 글래스 베이스 구조체(300)의 단면도를 도시한다. 이후에 개시되는 다양한 실시예에서, 위에서 설명된 포토닉 패키지(예를 들어, P500)는 다양한 반도체 패키지를 형성하기 위해 글래스 베이스 구조체(300)에 본딩될 수 있다.

[0102] 도 4a는 글래스 관통 비아(through glass via; TGV)(313)를 갖는 기판(311)을 도시한다. 기판(311)은 예를 들어 유리 기판일 수 있다. 그러나, 기판(311)은 대안적으로 실리콘 기판, 반도체-온-인슐레이터(silicon-on-insulator; SOI) 기판의 활성 층, 세라믹 기판, 폴리머 기판, 또는 적절한 보호 및/또는 상호 접속 기능을 제공할 수 있는 임의의 다른 기판일 수 있다. 이러한 물질 및 임의의 다른 적절한 물질이 대안적으로 기판(311)에 사용될 수 있다. 기판(311)은 상술한 베이스층(310)에 대응할 수 있다.

[0103] TGV(313)는 기판(311)을 예칭하여 TGV 개구를 생성하고 TGV 개구를 라이너(미도시), 장벽 층(미도시) 및 전도성 물질로 충전함으로써 형성될 수 있다. TGV(313)는 상술한 글래스 베이스 구조체 관통 전극들(330)에 대응할 수 있다. 일 실시예에서, 라이너는 화학 기상 증착, 산화, 물리 기상 증착, ALD 등과 같은 공정에 의해 형성된 실리콘 질화물, 실리콘 산화물, 유전체 폴리머, 또는 이들의 조합 등과 같은 유전체 물질일 수 있다. 장벽 층은 CVD 공정(예를 들어, PECVD), 스퍼터링, 금속 유기 화학 기상 증착(MOCVD), ALD 등을 사용하여 형성된 티타늄 질화물, 탄탈륨 질화물, 티타늄, 탄탈륨 등과 같은 전기 전도성 물질일 수 있다. 전도성 물질은 구리를 포함할 수 있지만, 알루미늄, 텅스텐, 합금, 도핑된 폴리실리콘, 이들의 조합 등과 같은 다른 적절한 물질이 또한 사용될 수 있다. 전도성 물질은 시드 층을 성막하고, 그런 다음 시드 층 상에 구리를 전기 도금하며, TGV 개구를 충전 및 과충전함으로써 형성될 수 있다. TGV 개구가 충전되면, TGV 개구 외부의 과잉 라이너/장벽 층 및 과잉 전도성 물질은 화학적 기계적 연마(chemical mechanical polishing; CMP)와 같은 연삭 공정을 통해 제거될 수 있지만, 임의의 적절한 제거 공정이 사용될 수 있다.

[0104] 다음으로, 도 4b에서, 재배선 구조물(312)이 기판(311) 위에 형성된다. 재배선 구조물(312)은 하나 이상의 유전체 층(315)(예를 들어, 실리콘 산화물 층, 스판 온 유리, PID, 감광성 폴리이미드 등), 및 전도성 라인(317) 및 비아(319)와 같은 전도성 피처를 포함할 수 있다. 재배선 구조물(312)은 제1 포토닉 패키지(P500)의 재배선 구조물(520)과 동일하거나 유사한 물질을 사용하여 동일하거나 유사한 형성 공정으로 형성될 수 있다.

[0105] 다음으로, 도 4c에서, 제1 도파관(321)이 재배선 구조물(312) 위에 형성될 수 있다. 제1 도파관(321)은 재배선 구조물(312) 위에 실리카 층을 형성하고 실리카 층을 패턴화함으로써 형성될 수 있다. 세부 사항은 상술한 제1 포토닉 패키지(P500)의 실리콘 도파관을 형성하는 것과 대체로 유사할 수 있다. 제1 도파관(321)은 에지 커플러(324)와 같은 포토닉 구조물을 포함할 수 있으며, 이는 제1 도파관(321)과 에지 장착 광 섬유(예를 들어, 도 2의 915A 참조)와 같은 글래스 베이스 구조체(300)의 측벽 근처에 수평으로 장착된 포토닉 컴포넌트 사이에서 광 신호 및/또는 광 전력이 전달되도록 할 수 있다.

[0106] 다음으로, 도 4d에서, 유전체 층(323)이 제1 도파관(321) 및 재배선 구조물(312) 위에 형성되고, 전도성 패드(325)가 재배선 구조물(312)의 전도성 피처와 연결하기 위해 유전체 층(323, 도 4e 참조)을 통해 연장되도록 형성될 수 있다. 유전체 층(323)은 유전체 층(315)과 동일하거나 유사한 물질(예를 들어, 실리콘 산화물)로 형성될 수 있다. 일부 실시예에서, 유전체 층(323 및 315)의 굴절률은 제1 도파관(321)의 굴절률보다 작아서 제1 도파관(321)은 광이 실질적으로 제1 도파관(321) 내에 제한되도록 높은 내부 반사를 갖도록 보장할 수 있다. 전도성 패드(325)는 상술한 제1 포토닉 패키지(P500)의 전도성 패드(553)와 동일하거나 유사한 형성 방법에 의해 형성될 수 있다. 글래스 베이스 구조체(300)의 하부 표면 상에는 TGV(313)와 연결하기 위해 외부 커넥터라고도 하는 전도성 커넥터(327)가 형성될 수 있다. 전도성 커넥터(327)는, 예를 들어, 볼 그리드 어레이(ball grid array; BGA) 커넥터, 솔더 볼, 금속 기둥, C4(controlled collapse chip connection) 범프, 마이크로 범프, 무전해 니켈-무전해 팔라듐-무전해 금도금(electroless nickel-electroless palladium-immersion gold; ENEPIG) 기술 형성 범프 등일 수 있다.

[0107] 도 4e은 일 실시예에 따른 다중 층의 도파관을 갖는 글래스 베이스 구조체(300A)의 단면도를 도시한다. 글래스 베이스 구조체(300A)는 도 4d의 글래스 베이스 구조체(300)와 유사하지만, 재배선 구조물(312) 위에 형성된 제1 도파관(321A, 321B, 321C)과 같은 다중 층의 제1 도파관을 가질 수 있다. 제1 도파관(321A, 321B, 321C) 각각은 도 4e의 수직 방향을 따라 측정된 상이한 두께를 가질 수 있다. 상이한 두께를 갖는 제1 도파관(321A, 321B, 321C)은 형성된 포토닉 패키지에서 상이한 기능을 제공할 수 있다.

- [0108] 도 4f 및 도 4g를 참조하면, 제2 도파관(334A)이 일부 실시예에 따라 유전체 층(323) 위에 형성될 수 있다. 도 4f에서, 실리콘 질화물 층(332)이 유전체 층(323) 상에 성막될 수 있다. 실리콘 질화물 층(332)은 CVD, PECVD, LPCVD, PVD 등과 같은 적절한 성막 기술을 사용하여 형성될 수 있다. 일부 실시예에서, 실리콘 질화물 층(332)은 약 $0.2\mu\text{m}$ 내지 약 $1.0\mu\text{m}$ 범위의 두께를 갖도록 형성되지만, 다른 두께도 가능하다.
- [0109] 도 4g에서, 실리콘 질화물 층(332)은 일부 실시예에 따라 패턴화되어 제2 도파관(334A)을 형성할 수 있다. 논의의 용이함을 위해, 제2 도파관(334A) 및 후속적으로 형성된 제2 도파관(334B)(예를 들어, 도 4i 참조)은 집합적으로 제2 도파관(334)으로 지칭될 수 있다. 제2 도파관(334)은 허용 가능한 포토리소그래피 및 에칭 기술을 사용하여 패턴화될 수 있다. 그런 다음, 하드마스크 층이 일부 실시예에서 실리콘 질화물 층(332) 위에 형성되고 패턴화될 수 있다. 그런 다음, 하드마스크 층의 패턴은 에칭 공정을 사용하여 실리콘 질화물 층(332)으로 전사될 수 있다. 에칭 공정은, 예를 들어, 견식 에칭 공정 및/또는 습식 에칭 공정을 포함할 수 있다. 에칭 공정은 실리콘 산화물 또는 다른 물질에 비해 실리콘 질화물에 선택적일 수 있다. 실리콘 질화물 층(332)은 제2 도파관(334)을 정의하는 리세스를 형성하도록 에칭될 수 있고, 나머지 비리세스 부분의 측벽은 제2 도파관(334)의 측벽을 정의할 수 있다. 일부 실시예에서, 실리콘 질화물 층(332)을 패턴화하기 위해, 하나보다 많은 포토리소그래피 및 에칭 시퀀스가 사용될 수 있다. 하나의 제2 도파관(334) 또는 다수의 제2 도파관(334)이 실리콘 질화물 층(332)으로부터 패턴화될 수 있다. 다수의 제2 도파관(334)이 형성되는 경우, 다수의 제2 도파관(334)은 개별 제2 도파관(334)이거나 단일 연속 구조물로서 연결될 수 있다. 일부 실시예에서, 제2 도파관(334) 중 하나 이상은 연속 루프를 형성할 수 있다. 일부 실시예에서, 제2 도파관(334)은 광 신호가 2개의 제2 도파관(334) 사이 및/또는 제2 도파관(334)과 도파관(321) 사이에서 전송되도록 하는 격자 커플러, 에지 커플러 또는 커플러(예를 들어, 모드 변환기)와 같은 포토닉 구조물을 포함할 수 있다.
- [0110] 일부 경우에, 실리콘 질화물로부터 형성된 도파관(예를 들어, 제2 도파관(334))은 실리카로부터 형성된 도파관(예를 들어, 도파관(321))에 비해 장점을 가질 수 있다. 예를 들어, 실리콘 질화물은 실리카보다 유전율이 높기 때문에, 제2 도파관은 제1 도파관보다 광의 내부 구속이 더 클 수 있다. 이것은 또한 제2 도파관의 성능 또는 누출이 공정 변화에 덜 민감하고, 치수 균일성에 덜 민감하고, 표면 거칠기(예를 들어, 에지 거칠기 또는 라인 폭 거칠기)에 덜 민감하게 할 수 있다. 일부 경우에, 감소된 공정 민감도는 제2 도파관이 제1 도파관보다 처리하기 더 쉽거나 비용이 적게 들도록 할 수 있다. 이러한 특성은 제2 도파관이 제1 도파관보다 낮은 전파 손실을 갖도록 할 수 있다. 일부 경우에, 제2 도파관의 전파 손실(dB/cm)은 제1 도파관의 0.1% 내지 50%일 수 있다. 일부 경우에, 제2 도파관은 또한 제1 도파관보다 환경 온도에 덜 민감할 수 있다. 예를 들어, 제2 도파관은 제1 도파관의 약 1% 만큼 작은 온도 민감도를 가질 수 있다. 이러한 방식으로, 본 명세서에 설명된 실시예는 제2 도파관(예를 들어, 제2 도파관(334)) 및 제1 도파관(예를 들어, 도파관(321)) 모두를 갖는 클래스 베이스 구조체의 형성을 허용할 수 있다.
- [0111] 도 4h를 참조하면, 유전체 층(335)이 일부 실시예들에 따라 제2 도파관(334) 위에 형성될 수 있다. 유전체 층(335)은 유전체 층(315)에 대해 위에서 설명된 것과 유사한 하나 이상의 물질을 포함할 수 있다. 예를 들어, 유전체 층(335)은 실리콘 산화물, 스핀 온 유리 등을 포함할 수 있다. 유전체 층(335)은 유전체 층(315)에 대해 위에서 설명된 것과 유사한 기술을 사용하여 형성될 수 있거나, 상이한 기술을 사용하여 형성될 수 있다. 예를 들어, 유전체 층(335)은 CVD, PVD, 스핀 온 등을 사용하여 형성될 수 있지만, 다른 기술이 사용될 수 있다. 일부 실시예에서, 유전체 층(335)의 과잉 물질을 제거하기 위해 평탄화 공정(예를 들어, CMP 또는 연삭 공정)이 사용될 수 있다.
- [0112] 다음으로, 도 4i에서, 유전체 층(338A)이 유전체 층(335) 위에 형성되고, 제2 도파관(334B)이 유전체 층(338A) 위에 형성될 수 있다. 유전체 층(338A/348A) 및 제2 도파관(334B)은 각각 유전체 층(335) 및 제2 도파관(334A)과 동일하거나 유사한 형성 방법을 사용하여 동일하거나 유사한 물질로 형성될 수 있으므로, 세부 사항은 생략될 수 있다. 동일한 처리를 반복하여 추가 유전체 층(미도시) 및 추가 제2 도파관(미도시)을 형성할 수 있다. 도 4i에 도시된 유전체 층(335) 위의 제2 도파관의 수 및 유전체 층의 수는 단지 비례한적인 예이다.
- [0114] 하기에서는 도 5a 내지 도 5i를 참조하여, 광 섬유(915A, 915B)와 클래스 베이스 구조체(300)의 연결 구조를 설명한다.
- [0115] 도 5a는 본 발명의 일 실시예에 따른 광 연결 탑재 반도체 패키지의 광 신호 전송 장치 및 클래스 베이스 구조체의 결합 구조를 설명하기 위한 일부 분해 사시도이다. 도 5b는 도 5a에 도시된 커넥터가 클래스 베이스 구조체 상에 안착된 상태를 설명하기 위한 도면이다. 도 5c는 도 5a에 도시된 광 신호 전송 장치 및 클래스 베이스 구조체의 결합 구조를 설명하기 위한 결합 사시도이다. 도 5d는 도 5c에 도시된 광 신호 전송 장치 및 클래스

베이스 구조체의 결합 구조의 평면도이다. 도 5e는 도 5b에 도시된 광 신호 전송 장치 및 글래스 베이스 구조체의 결합 구조의 단면도이다. 도 5f는 도 5a에 도시된 광 신호 전송 장치 및 글래스 베이스 구조체의 결합 구조의 단면도이다. 도 5g는 도 5a에 도시된 페를 커넥터를 설명하기 위한 사시도이다. 도 5h는 도 5g의 I-I' 라인에 따른 단면도이다. 도 5i는 도 5g의 II-II' 라인에 따른 단면도이다.

[0116] 도 5a 내지 도 5i를 참조하면, 본 발명의 일 실시예에 따른 광 연결 탑재 반도체 패키지의 광 신호 전송 장치(915) 및 글래스 베이스 구조체(300)의 결합 구조는 광 섬유(915A, 915B)와 글래스 베이스 구조체(300) 내의 도파관(도 4a 내지 도 4i의 321, 324 참조)이 정위치에 정렬되도록 하여, 원활한 광 신호의 전송이 이루어지도록 할 수 있다. 즉, 광 신호 전송 장치(915) 및 글래스 베이스 구조체(300)의 결합 구조는 광 섬유(915A, 915B)와 글래스 베이스 구조체(300) 내의 도파관 사이에 미스 얼라인이 발생하는 것을 방지할 수 있다.

[0117] 상술한 광 신호 전송 장치(915)는 광 섬유(915A, 915B), 페롤(915C) 및 페롤 커넥터(916)를 포함할 수 있다.

[0118] 광 섬유(915A, 915B)는 외부 광원에서 발생한 광 신호를 글래스 베이스 구조체(300) 내의 도파관에 전송할 수 있다. 광 섬유(915A, 915B)는 복수 개로 마련되며, 각 광 섬유(915A, 915B)는 도파관에 대응하는 형태로 배치될 수 있다.

[0119] 페롤(915C)은 복수의 광 섬유(915A, 915B)를 고정하고, 광 섬유(915A, 915B)를 글래스 베이스 구조체(300) 내의 도파관에 대응하도록 정렬시킬 수 있다. 즉, 페롤(915C) 내부에는 광 섬유(915A, 915B)가 개별적으로 배치될 수 있는 공간이 마련될 수 있다. 예를 들면, 페롤(915C)은 내부에 광 섬유(915A, 915B)가 개별적으로 배치될 수 있는 흄을 구비할 수 있다.

[0120] 페롤(915C)은 다양한 물질로 이루어질 수 있다. 예를 들면, 페롤(915C)은 유리 섬유 또는 유리 입자에 의해 보강되는 합성 수지 물질로 이루어질 수 있다. 또한, 페롤(915C)은 글래스 베이스 구조체(300)와 열 팽창 계수가 크지 않은 물질로 이루어질 수 있다.

[0121] 페롤(915C)은 제1 몸체(915D) 및 제2 몸체(915E)를 포함할 수 있다.

[0122] 제1 몸체(915D)는 광 섬유(915A, 915B)의 일단을 감싸는 형태로 마련될 수 있다. 또한, 제1 몸체(915D)는 광 섬유(915A, 915B)의 말단이 노출되도록 하여, 광 섬유(915A, 915B)의 말단이 글래스 베이스 구조체(300)의 도파관에 연결되도록 할 수 있다.

[0123] 제2 몸체(915E)는 제1 몸체(915D)의 선단에 연결될 수 있다. 예를 들면, 제2 몸체(915E)는 제1 몸체(915D) 선단의 상부에 연결될 수 있다. 제2 몸체(915E)는 제1 몸체(915D)의 두께보다 작은 두께를 가질 수 있다.

[0124] 또한, 제2 몸체(915E)는 제1 몸체(915D)와 일체로 마련될 수 있다. 즉, 제2 몸체(915E)는 제1 몸체(915D)와 동일한 재질로 이루어질 수 있다.

[0125] 제2 몸체(915E)의 하부에는 적어도 하나의 돌기부(915F)가 마련될 수 있다. 예를 들면, 돌기부(915F)는 2개 이상으로 마련될 수 있다.

[0126] 돌기부(915F)는 제2 몸체(915E)와 일체로 마련될 수 있다.

[0127] 돌기부(915F)는 돌기부(915F)가 돌출된 방향과 페롤(915C)이 연장된 방향이 교차하는 평면에 평행한 단면이 페곡선 형상을 가질 수 있다. 예를 들면, 돌기부(915F)가 돌출된 방향과 페롤(915C)이 연장된 방향이 교차하는 평면에 평행한 돌기부(915F)의 단면은 원형 또는 다각형 형상을 가질 수 있다.

[0128] 한편, 도 5a 내지 도 5i에서는 돌기부(915F)가 돌출된 방향과 페롤(915C)이 연장된 방향이 교차하는 평면에 평행한 돌기부(915F)의 단면이 사각형임을 예로서 도시하였으나, 이에 한정되는 것은 아니다. 예를 들면, 돌기부(915F)가 돌출된 방향과 페롤(915C)이 연장된 방향이 교차하는 평면에 평행한 돌기부(915F)의 단면이 삼각 형상을 가질 수 있다. 이에 따라 돌기부(915F) 및 제1 돌기 수용 흄(916A)의 결합 정밀도가 향상될 수 있다.

[0129] 본 발명의 일 실시예에 있어서, 돌기부(915F)가 돌출된 길이는 페롤 커넥터(916)의 두께 이하일 수 있다. 또한, 제1 돌기 수용 흄(916A)의 깊이는 돌기부(915F)가 돌출된 길이에 대응할 수 있다. 즉, 제1 돌기 수용 흄(916A)의 깊이는 페롤 커넥터(916)의 두께 이하일 수 있다.

[0130] 페롤 커넥터(916)는 다양한 물질로 이루어질 수 있다. 예를 들면, 페롤 커넥터(916)는 유리 섬유 또는 유리 입자에 의해 보강되는 합성 수지 물질로 이루어질 수 있다. 또한, 페롤 커넥터(916)는 글래스 베이스 구조체(300) 및 페롤(915C)과 열 팽창 계수가 크지 않은 물질로 이루어질 수 있다.

- [0131] 페롤 커넥터(916)는 페롤(915C) 및 클래스 베이스 구조체(300)가 정밀하게 결합되도록 할 수 있다. 특히, 페롤 커넥터(916)는 페롤(915C)의 광 섬유(915A, 915B)와 클래스 베이스 구조체(300)의 도파관이 정확하게 정렬되도록 할 수 있다.
- [0132] 이를 위하여, 페롤 커넥터(916)는 페롤(915C)의 돌기부(915F)와 결합되는 제1 돌기 수용 홈(916A)과, 클래스 베이스 구조체(300) 상에 마련되는 결합 돌기(301)를 수용하는 제2 돌기 수용 홈(916B)을 구비할 수 있다.
- [0133] 제1 돌기 수용 홈(916A)은 돌기부(915F)에 대응하는 형상을 가질 수 있다.
- [0134] 또한, 결합 돌기(301)는 클래스 베이스 구조체(300) 상에 복수 개로 마련되고, 결합 돌기(301)와 결합되는 제2 돌기 수용 홈(916B)은 결합 돌기(301)에 대응하는 형상을 가질 수 있다. 즉, 제2 돌기 수용 홈(916B)은 페롤 커넥터(916)의 하부에 마련될 수 있다.
- [0135] 다만, 제2 돌기 수용 홈(916B)은 적어도 일부가 결합 돌기(301)의 크기보다 작은 크기를 가질 수 있다. 따라서, 결합 돌기(301) 및 제2 돌기 수용 홈(916B)은 얹지 끼움 형태로 결합될 수 있다. 결합 돌기(301) 및 제2 돌기 수용 홈(916B)은 얹지 끼움 형태로 결합되면, 결합 돌기(301) 및 제2 돌기 수용 홈(916B)의 결합부는 높은 결합 강도를 가지며, 결합 돌기(301) 및 제2 돌기 수용 홈(916B)이 쉽게 분리되는 것을 방지할 수 있다.
- [0136] 페롤 커넥터(916)의 제2 돌기 수용 홈(916B)은 클래스 베이스 구조체(300) 상의 결합 돌기(301)와 결합하여, 페롤(915C)이 클래스 베이스 구조체(300)에 결합되는 위치를 미리 지정할 수 있다. 또한, 페롤 커넥터(916)의 제1 돌기 수용 홈(916A)에 페롤(915C)의 돌기부(915F)가 결합되어, 페롤(915C)의 광 섬유(915A, 915B)가 정확한 위치에 정렬되도록 할 수 있다.
- [0137] 본 발명의 일 실시예에 있어서, 결합 돌기(301)는 다양한 형상을 가질 수 있다. 예를 들면, 클래스 베이스 구조체(300) 표면에 평행한 평면에서, 결합 돌기(301)는 클래스 베이스 구조체(300)의 예지 방향의 영역의 폭이 타 영역의 폭보다 작은 형상을 가질 수 있다. 특히, 클래스 베이스 구조체(300) 표면에 평행한 평면에서, 결합 돌기(301)는 클래스 베이스 구조체(300)의 예지 방향의 영역의 폭이 타 영역의 폭보다 쪄기 형상을 가질 수 있다.
- [0138] 결합 돌기(301)는 다양한 물질로 이루어질 수 있다. 예를 들면, 결합 돌기(301)는 유리 물질 또는 합성 수지 물질로 이루어질 수 있다. 또한, 결합 돌기(301)는 클래스 베이스 구조체(300) 및 페롤 커넥터(916)와 열 팽창 계수가 크지 않은 물질로 이루어질 수 있다.
- [0139] 결합 돌기(301)는 클래스 베이스 구조체(300)와 일체로 형성되거나, 또는 클래스 베이스 구조체(300)와 별도로 형성된 구조물일 수 있다.
- [0140] 제1 돌기부(915F)는 광 신호 전송 장치(915)가 클래스 베이스 구조체(300)의 예지 일부에 결합되도록 할 수 있다. 예를 들면, 제1 돌기부(915F)는 제2 하우징(915E)에서 클래스 베이스 구조체(300) 방향으로 돌출될 수 있으며, 클래스 베이스 구조체(300)의 예지 영역에는 제1 돌기부(915F)를 수용하기 위한 적어도 하나의 제1 돌기 수용 홈(916A)이 마련될 수 있다. 즉, 제1 돌기부(915F)는 클래스 베이스 구조체(300)에 마련된 제1 돌기 수용 홈(900A)에 수용될 수 있다. 제1 돌기부(915F)가 제1 돌기 수용 홈(900A)에 수용됨에 따라, 광 신호 전송 장치(915)와 클래스 베이스 구조체(300)는 견고하게 결합될 수 있다.
- [0141] 상술한 바와 같이, 본 발명의 일 실시예에 따른 광 신호 전송 장치(915) 및 클래스 베이스 구조체(300)의 결합 구조는 페롤 커넥터(916)를 통하여 광 섬유(915A, 915B) 및 도파관이 정밀하게 정렬되도록 할 수 있다.
- [0142] 또한, 제2 돌기 수용 홈(916B) 및 결합 돌기(301)를 통하여 페롤 커넥터(916) 및 클래스 베이스 구조체(300)가 견고하게 결합될 수 있다. 따라서, 외력에 의한 광 신호 전송 장치(915) 및 클래스 베이스 구조체(300)의 분리가 방지될 수 있다.
- [0144] 본 발명은 상기에서 설명된 실시예로 한정되지 않으며, 상기 실시예들 중 적어도 둘 이상을 조합한 것이나 상기 실시예들 중 적어도 어느 하나와 공지기술을 조합한 것을 새로운 실시예로 포함할 수 있음은 물론이다.
- [0145] 이상 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것으로, 본 발명은 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당해 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함은 명백하다고 할 것이다.
- [0146] 본 발명의 단순한 변형 내지 변경은 모두 본 발명의 영역에 속하는 것으로 본 발명의 구체적인 보호 범위는 첨부된 특허청구범위에 의하여 명확해질 것이다.

부호의 설명

[0147]

1000, 1000A : 반도체 패키지

10 : 기판

100 : 패키지 베이스 기판

300 : 글래스 베이스 구조체

500 : 제1 반도체 칩

P500 : 제1 포토닉 패키지

600 : 제2 반도체 칩

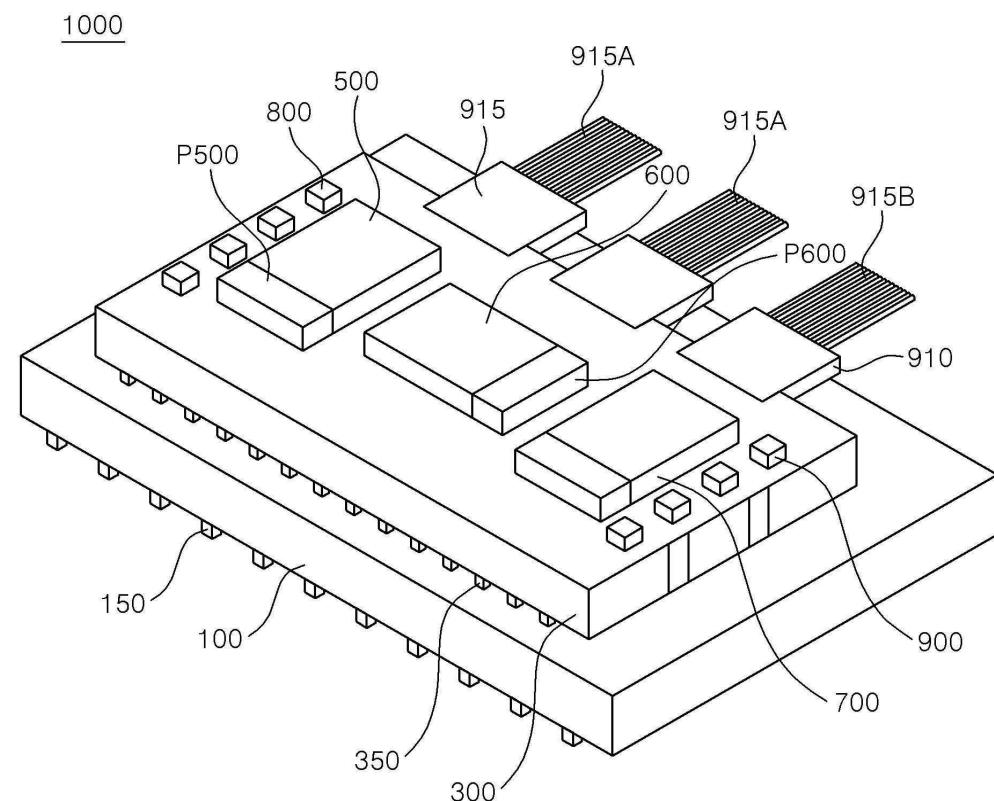
P600 : 제2 포토닉 패키지

700 : 제3 반도체 칩

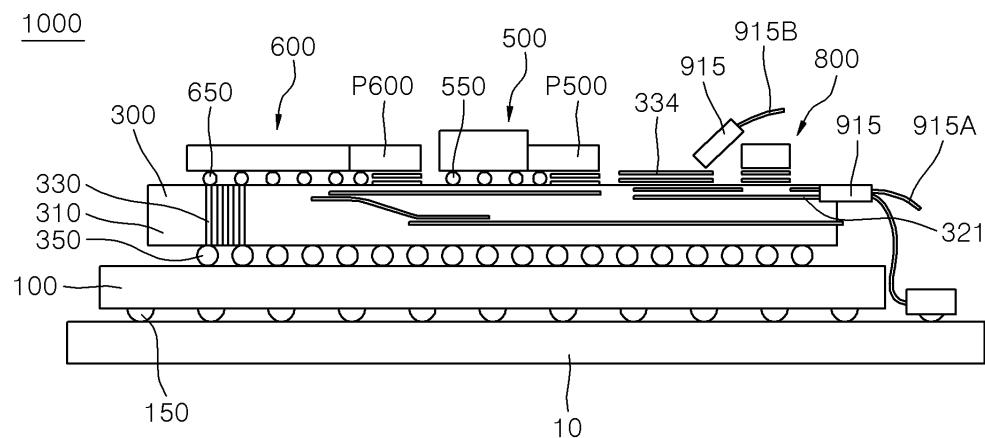
800 : 제4 반도체 칩

도면

도면1

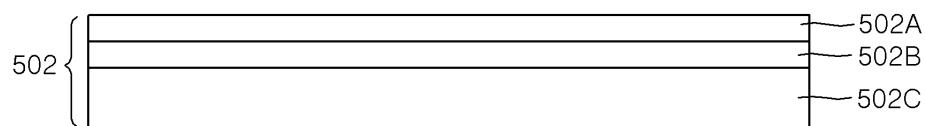


도면2



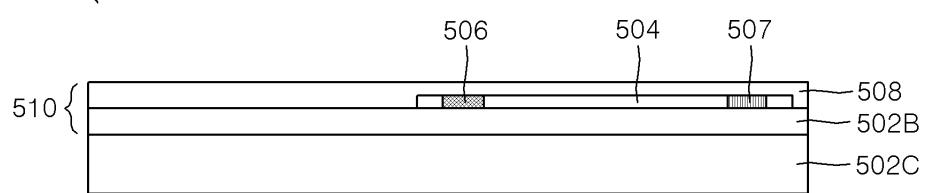
도면3a

P500



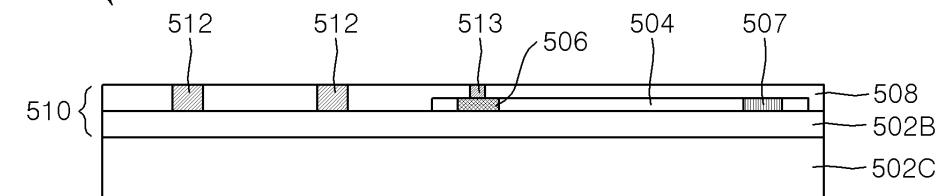
도면3b

P500

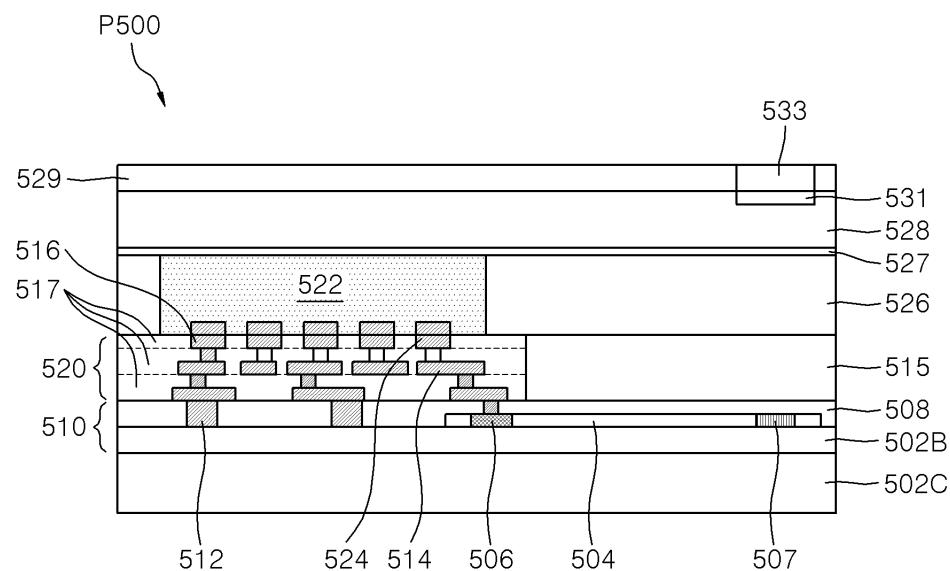


도면3c

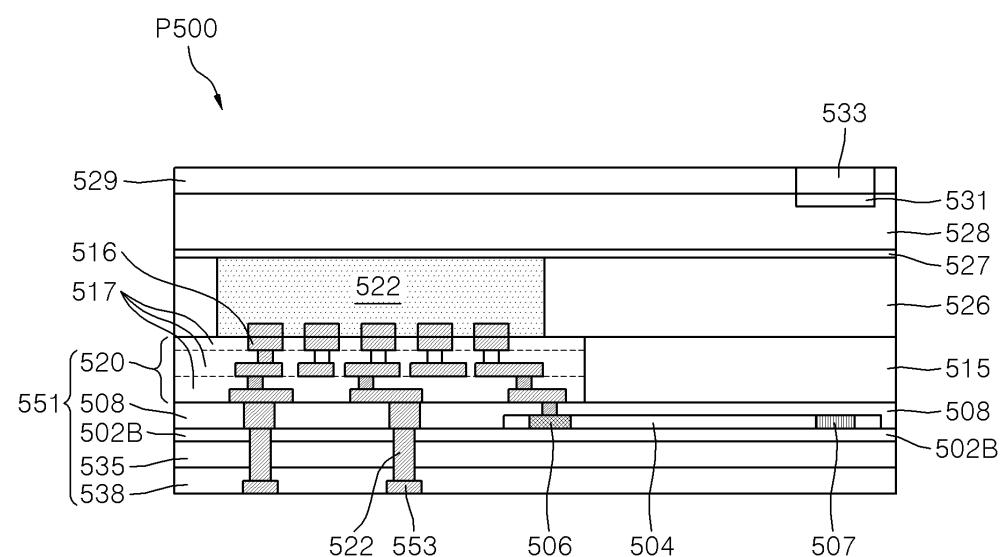
P500



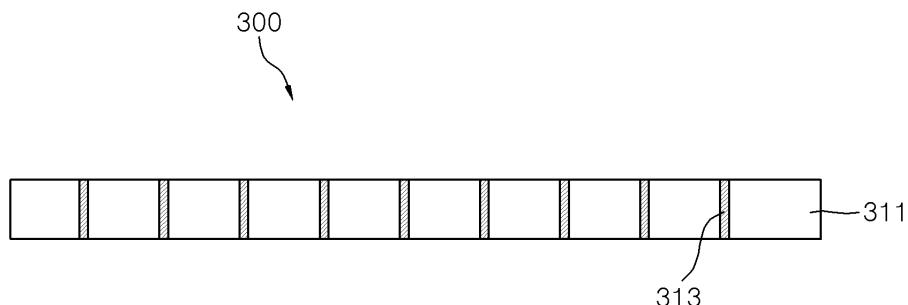
도면3d



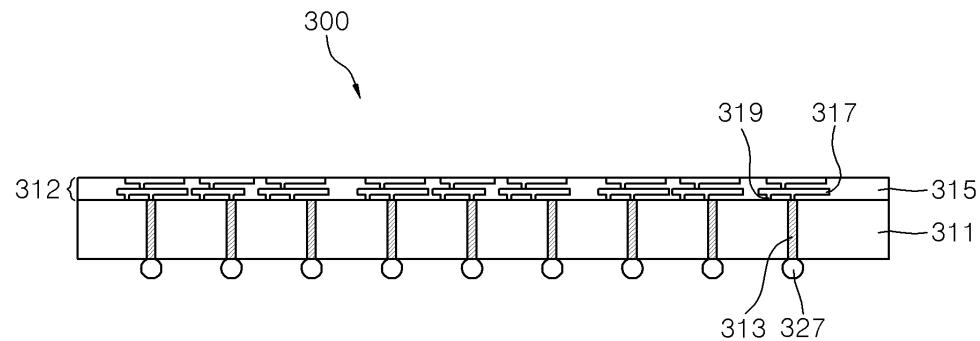
도면3e



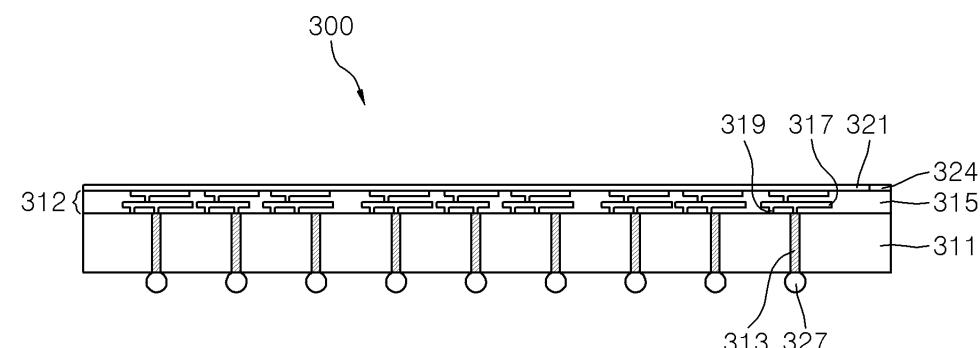
도면4a



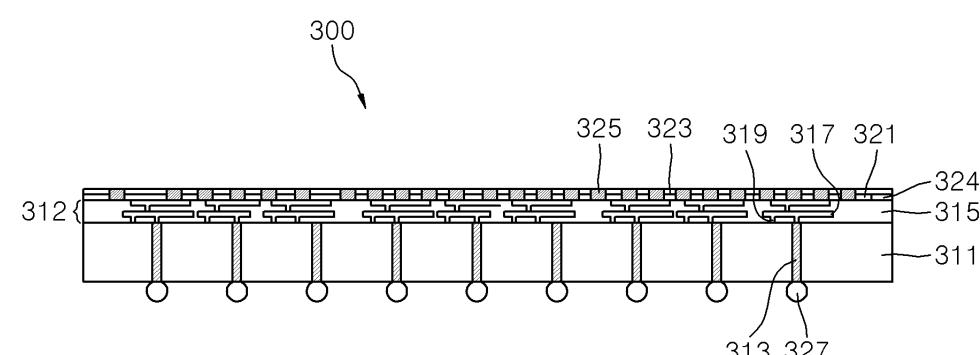
도면4b



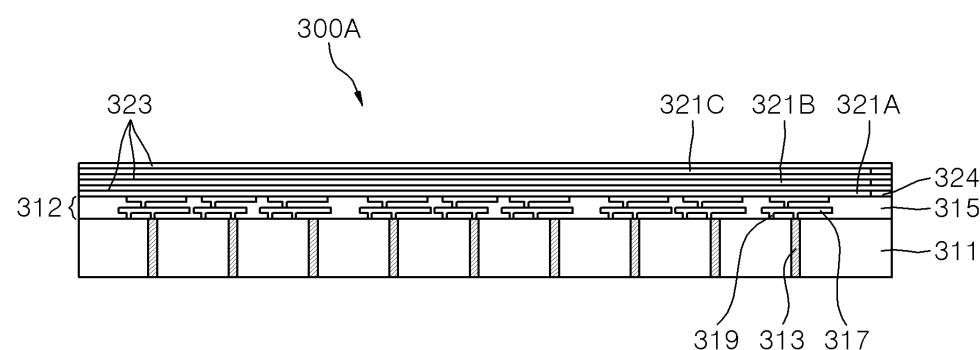
도면4c



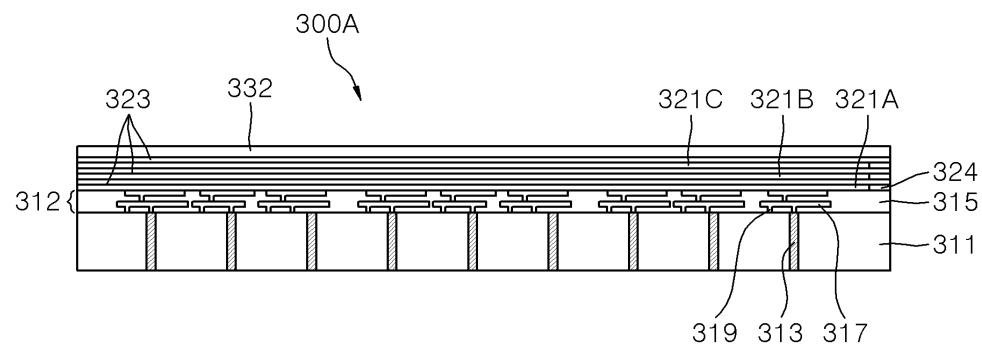
도면4d



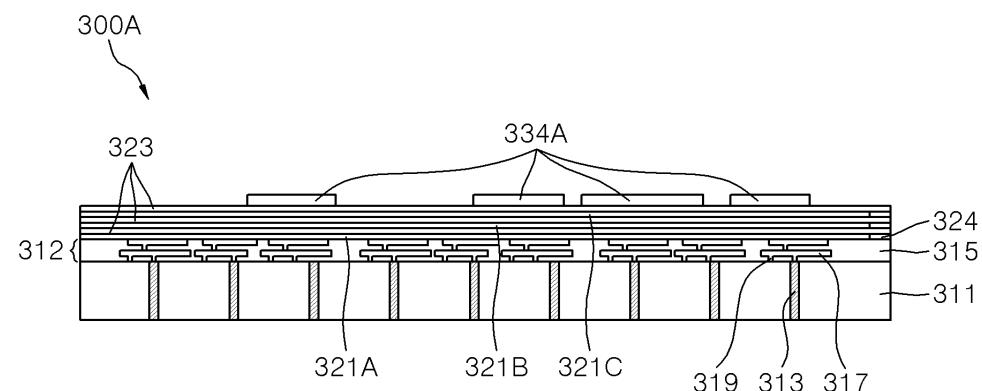
도면4e



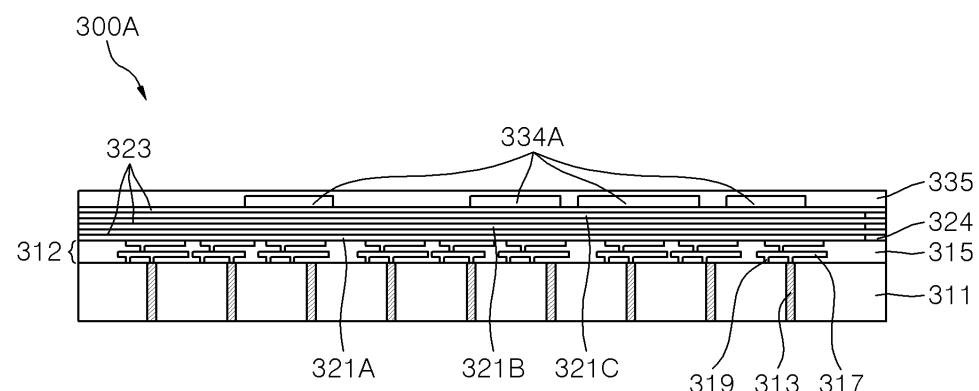
도면4f



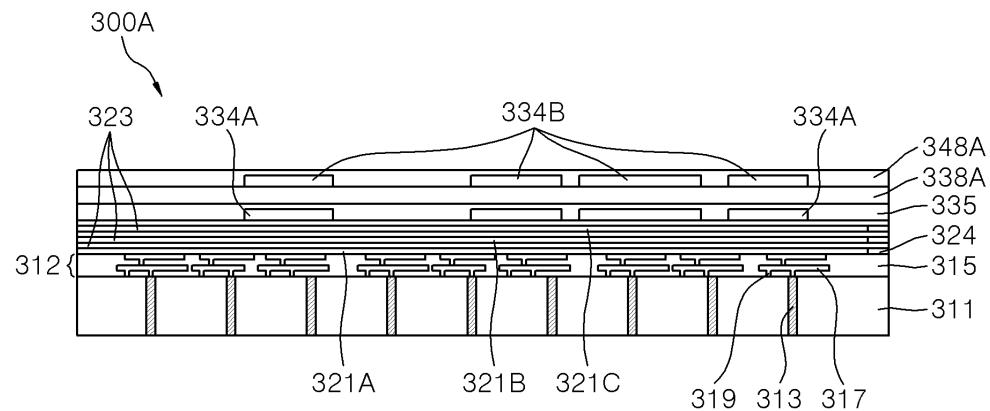
도면4g



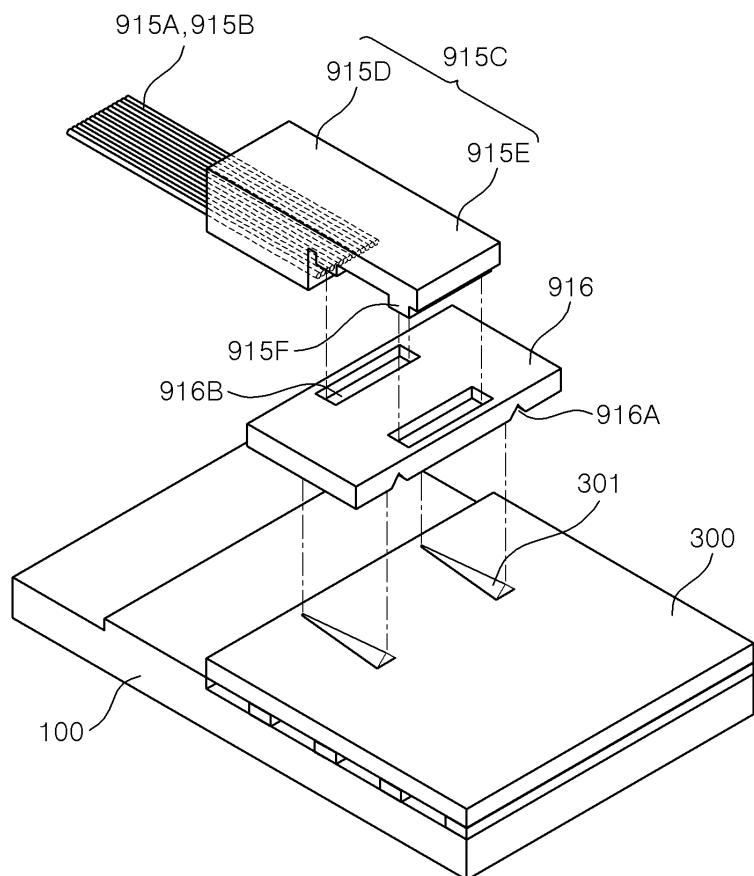
도면4h



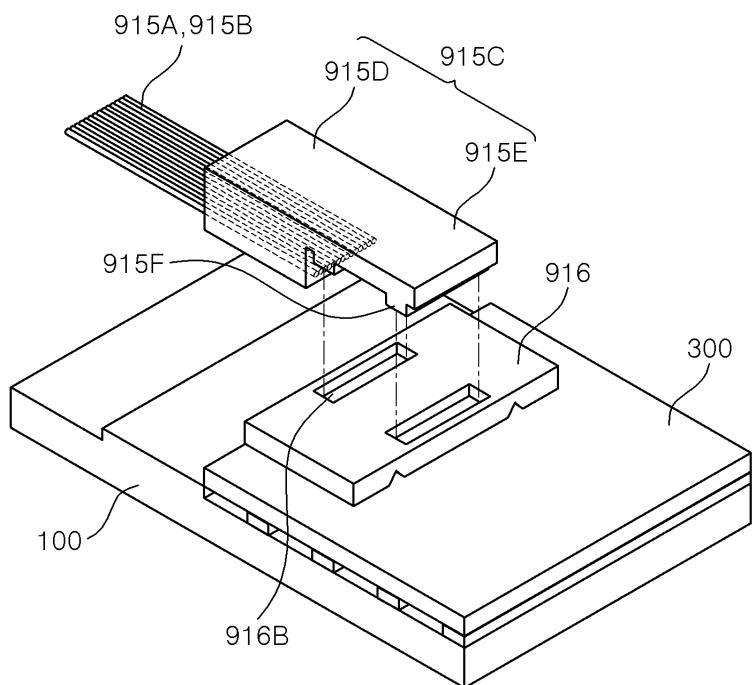
도면4i



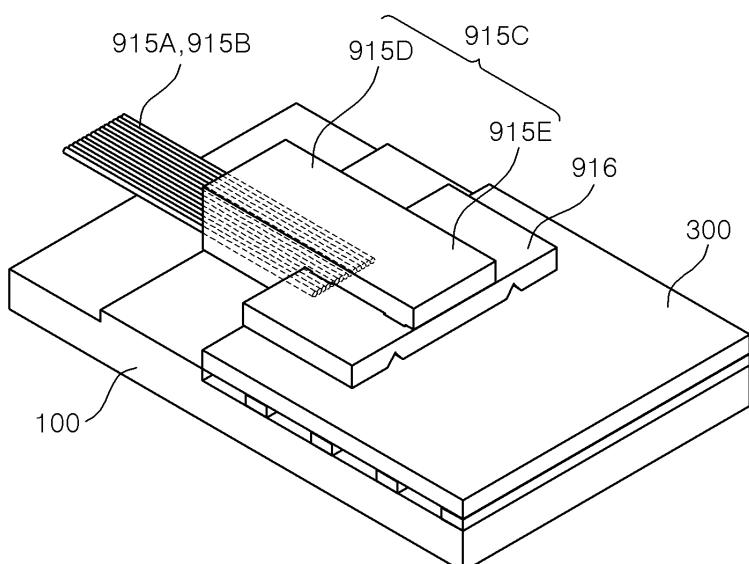
도면5a



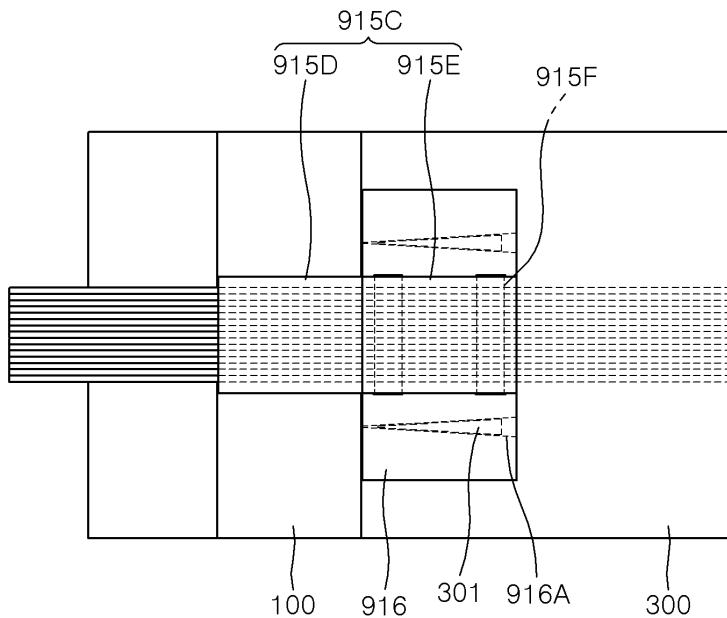
도면5b



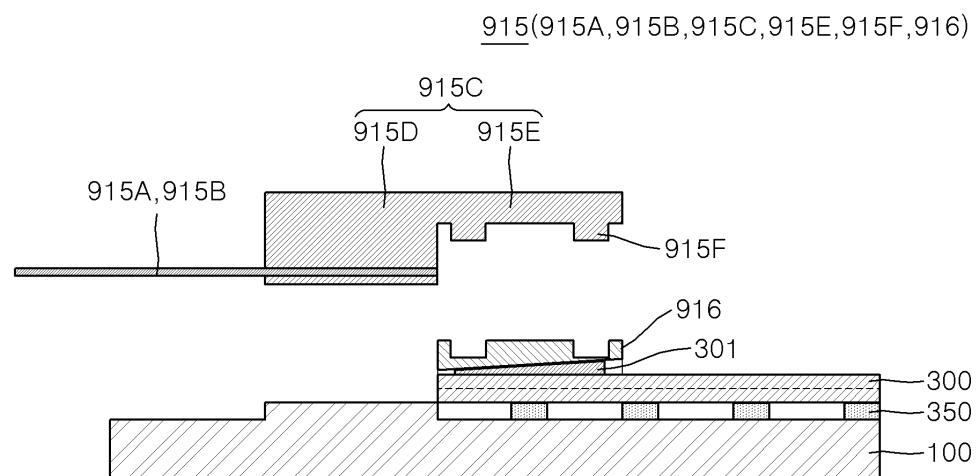
도면5c



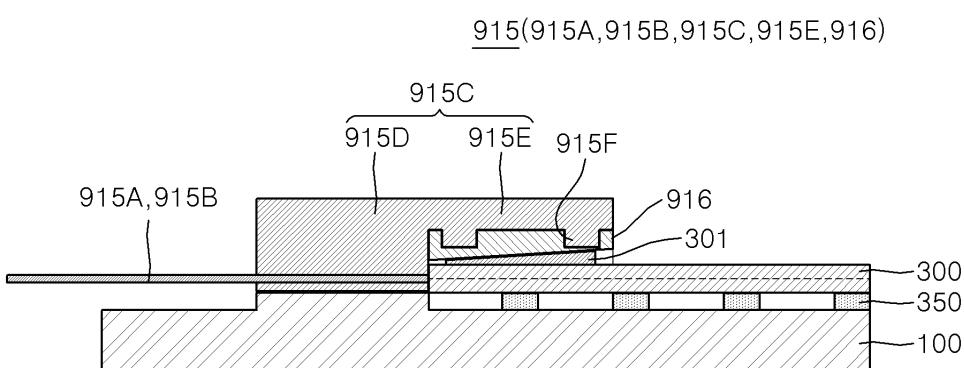
도면5d



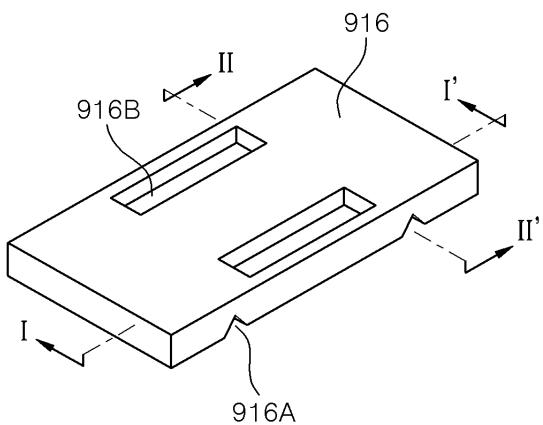
도면5e



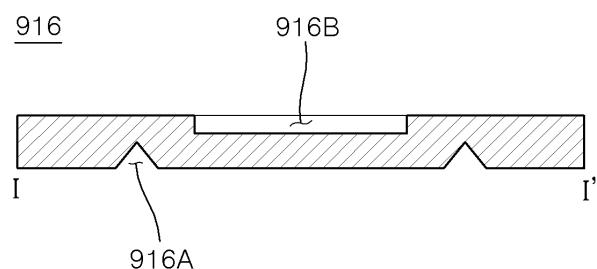
도면5f



도면5g



도면5h



도면5i

