

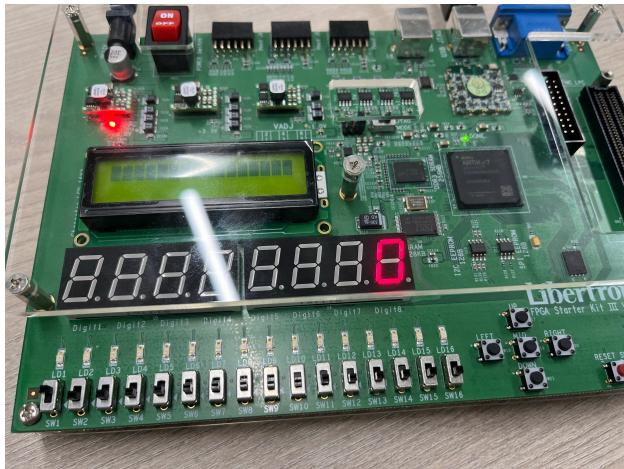
# **LAB 09 REPORT**

**Name: 윤효정  
Student ID: 2076281**

## 1. Lab. Objective (10%)

Led 디스플레이에 behavioral representation을 통하여 화면 조작을 할 수 있다. 0~9의 숫자를 7개의 segment로 표현이 가능하다. decoder를 case statement를 통해 구현할 수 있다. 케이스별로 input을 작성할 수 있다.

## 2. Implementation & Result (40%)



Case 4'b0000



Case 4'b1001

입력된 신호에 따라 0부터 9까지의 숫자를 digit 8번의 위치에 보여주어야 한다. 그렇기 때문에 필요한 input은 숫자를 의미하는 input [3:0] w 와 숫자의 위치를 의미하는 input dig8이다. dig8의 위치에서 7개의 segment가 숫자를 표시해야 하므로 output a~g를 만들고 reg를 통해 값이 저장되도록 하면 위의 그림들과 같이 결과를 얻을 수 있다.

## 3. Discussion & Conclusion (10%)

숫자의 위치를 나타내는 input을 따로 넣어주어야 보드 상에서 결과를 확인할 수 있다. input 값이 많이 지므로 LSB와 MSB의 위치가 헷갈리지 않도록 주의해주어야 한다. case문을 통해 behavioral representation을 작성 가능하지만, if else로도 작성이 가능하다. case문을 통해 작성하게 된다면 begin end를 빠지지 않고 모두 적어주어야 모든 값이 제대로 작동한다.

## 4. Reference(s)

없음

## 5. Code (40%)

### pinMapConstraints.xdc

```
set_property PACKAGE_PIN V20 [get_ports {w[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {w[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {w[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {w[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {w[0]}]
set_property PACKAGE_PIN V22 [get_ports {w[0]}]
set_property PACKAGE_PIN U21 [get_ports {w[1]}]
set_property PACKAGE_PIN T21 [get_ports {w[2]}]
set_property PACKAGE_PIN U17 [get_ports a]
set_property PACKAGE_PIN V17 [get_ports b]
set_property PACKAGE_PIN W17 [get_ports c]
set_property PACKAGE_PIN R18 [get_ports d]
set_property PACKAGE_PIN T18 [get_ports e]
set_property PACKAGE_PIN U18 [get_ports f]
set_property PACKAGE_PIN V18 [get_ports g]
```

### Seven\_Segment.v

```
module Seven_Segment(dig8, w,a,b,c,d,e,f,g);
    input [3:0] w;
    output a,b,c,d,e,f,g, dig8;
    reg dig8, a,b,c,d,e,f,g;

    always @(w,a,b,c,d,e,f) begin
        case(w)
            4'b0000: begin dig8 =1; a=1; b=1;c=1; d=1; e=1; f=1; g=0; end
            4'b0001: begin dig8 =1;a=0; b=1;c=1; d=0; e=0; f=0; g=0; end
            4'b0010: begin dig8 =1;a=1; b=1;c=0; d=1; e=1; f=0; g=1; end
            4'b0011: begin dig8 =1;a=1; b=1;c=1; d=1; e=0; f=0; g=1; end
            4'b0100: begin dig8 =1;a=0; b=1;c=1; d=0; e=0; f=1; g=1; end
            4'b0101: begin dig8 =1;a=1; b=0;c=1; d=1; e=0; f=1; g=1; end
            4'b0110: begin dig8 =1;a=1; b=0;c=1; d=1; e=1; f=1; g=1; end
            4'b0111: begin dig8 =1;a=1; b=1;c=1; d=0; e=0; f=0; g=0; end
            4'b1000: begin dig8 =1;a=1; b=1;c=1; d=1; e=1; f=1; g=1; end
            4'b1001: begin dig8 =1;a=1; b=1;c=1; d=1; e=0; f=1; g=1; end
        endcase
    end
endmodule
```