

# **LAB #12 REPORT**

**NAME : 윤희정**

**ID: 2076281**

## 1. Background

### 1) Binary to BCD

8bit의 2진수를 10진수로 변환해서 디스플레이에 보여야한다. 본 프로젝트에서 구현한 방법은 2진수를 백의 자리, 십의 자리, 일의 자리로 나눈 뒤 각 자리수를 따로 저장하는 것이다. 이를 위해 총 9번의 반복하는 알고리즘을 구현해야한다. ( $i$  = 반복 횟수)

먼저 기존에 받는 8 bit value [7:0], shift register [19:0]를 둔다. ( $i = 0$ )

그 뒤 기존 8 bit value를 shift register의 [7:0]에 먼저 넣어두고, 각 자리 수에서 움직인 5 이상이면 shift register에서 그냥 왼쪽(shift register[8]에서 [9])으로 움직이고, 아니면 해당 수를 추가하고 왼쪽으로 움직인다. ( $i < 9$  &  $i > 0$ )

백의 자리인 hundreds[3:0], 십의 자리인 tens[3:0], 일의 자리인 ones[3:0]에 각 자리수를 저장한 뒤 output으로 display를 위한 모듈로 전달한다 ( $i == 9$ )

## 2. Implementation & Discussion

각 역할을 담당하는 모듈들을 따로 작성한 뒤, top module에서 실행시킨다. 총 6개의 모듈과 1개의 top 모듈로 이루어져 있다. 이로 인해 각 작업들을 분리해서 관리할 수 있다. 모듈을 위해 FPGA에서 사용되는 부품은 8개의 Seven Segment display, 16개의 switch, 3개의 button, 1개의 clock, 1개의 reset 버튼이다.

### 1) Diagram

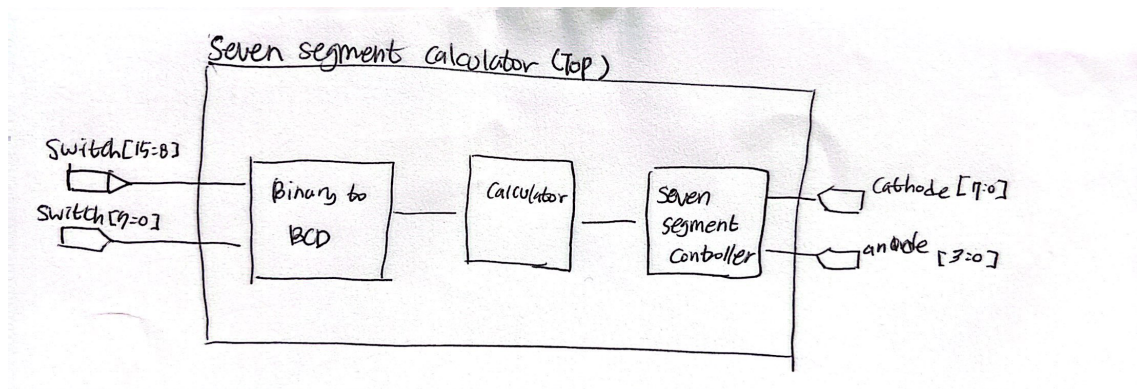


그림 1 Top 모듈 diagram

각각 8 bit 스위치에서 받은 2진수를 10진수로 바꾸는 Binary to BCD 모듈, 받은 수를 계산하는 Calculator 모듈, 계산된 값을 display에 띄워주는 Seven Segment Controller 모듈로 이루어져 있다.

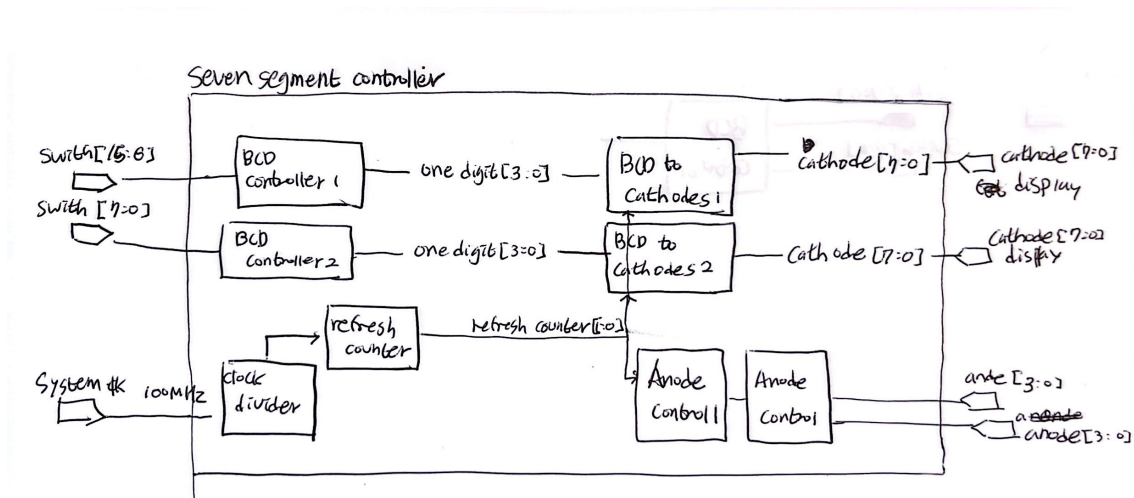


그림 2 seven segment controller diagram

위 모듈 중 Seven Segment Controller는 위와 같이 이루어져 있다. BCD controller에서 각 자리 숫자를 BCD to cathode에 전달해서 나타낼 숫자를, Anode Control에서 나타낼 display 순서를 선택한다. system Clock에서 Refresh counter를 통해 display에 나타나는 순서를 조절한다.

## 2) Clock divider

이 모듈에서 div\_value 값을 조절하면 System Clock의 Hz를 조절할 수 있다. 기본적으로 system clock은 100Mhz이고, 나누는 값을 조절하여 output으로 원하는 Hz를 내보내는 모듈이다.

## 3) Binary to BCD

1장에서 설명한 알고리즘의 실질적 구현 코드가 들어간다.

## 4) Seven Segment Controller

화면에 나타낼 숫자가 2.5ms 만큼 차이 나도록 clock divider의 나누는 값을 조절한다.

## 5) Calculator

각 버튼에 따라 덧셈, 뺄셈, 곱셈을 구현한다.

## 6) The reason I failed

시간 상의 문제로 Calculator 구현과 Display 화면에 띄우는 방법을 완벽하게 구현하지 못하였다. 이에 따라 가장 top 모듈 역시 미완성이 되었다. 또한 기존 다이어그램에서

8bit 씩 나누어 들어온 2개의 숫자는 받을 수 있지만, 이를 합친 수가 4개의 seven Segment Display를 넘어선 자릿수라면 나타낼 방법을 넣지 못했다. Seven Segement Controller에 추가로 구현하거나, 새로운 모듈을 만들어 결과 값을 표시하는 방법을 구현해야한다. 만약 두 번째 방법으로 구현하게 된다면 default 값인 학번 역시 8자리이므로 해당 모듈에 구현한다.

### **3. Conclusion**

lab5에서 배운 module instantiation을 활용한 것은 좋았으나, lab 9와 10에서 counter와 simple calculator를 활용할 수 있었다면 더 쉽게 해결했을 것이라는 아쉬움이 남았다. 또한 8bit의 이진수를 십진수로 바꾸어 Seven segment display에서 여러 개의 숫자를 띄우는 것을 조절하는 것을 만드는 부분이 가장 어려웠다.

#### 4. Reference

*How to create an 8 bit counter on 7 segment Display? | Xilinx FPGA Programming Tutorials.* (2018a). YouTube. Retrieved June 16, 2023, from [https://www.youtube.com/watch?app=desktop&v=s4lPOQ1VAkU&list=PLqOe1\\_kmWOx0oLBHI8O8WNO0QRjU8nzDD&index=8](https://www.youtube.com/watch?app=desktop&v=s4lPOQ1VAkU&list=PLqOe1_kmWOx0oLBHI8O8WNO0QRjU8nzDD&index=8).

*How to create a Blinking LED on FPGA?: Xilinx FPGA Programming Tutorials.* (2018a). YouTube. Retrieved June 16, 2023, from <https://youtu.be/iei1EugtQvQ>.

*How to Create a 7 Segment Controller in Verilog?: Xilinx FPGA Programming Tutorials.* (2018a). YouTube. Retrieved June 16, 2023, from <https://youtu.be/v2CM8RaEeQU>.

*How to create a Binary to Binary Coded Decimal (BCD) converter?: Xilinx FPGA Programming Tutorials.* (2018b). YouTube. Retrieved June 16, 2023, from <https://youtu.be/2JJxeKe5e5o>.

Wikipedia, W. (2022, December 22). *Double dabble*. Wikipedia. [https://en.wikipedia.org/wiki/Double\\_dabble](https://en.wikipedia.org/wiki/Double_dabble)

YouTube. (2022). *How to Create 7 Segment Controller in FPGA using Verilog? | FPGA Programming in Vivado| Nexys 4 FPGA.* YouTube. Retrieved June 16, 2023, from [https://www.youtube.com/watch?v=OlMYiGm\\_WX4](https://www.youtube.com/watch?v=OlMYiGm_WX4).