

# **LAB 07 REPORT**

**Name: 윤희정**

**Student ID: 2076281**

### 1. Lab. Objective (10%)

Behavioral model을 이용하여 Decoder, Encoder 작성을 할 수 있다. Encoder의 경우 input의 우선 순위를 정하여 priority encoder를 valid output과 함께 구현한다. Decoder의 경우 enable input을 이용하여 구현한다. 4 to 2 Encoder와 2 to 4 Decoder의 동작 원리를 이해한다.

### 2. Implementation & Result (40%)

- Priority Encoder with valid output

4개의 input을 입력받아 2개의 output, 그리고 1개의 valid output으로 보여주어야 한다. 인풋의 경우 x1~x4로 네이밍했기 때문에, 헛갈리지 않도록 [4:1] x 로 설정한다.

```
input [4:1] x;  
output v;  
output [1:0] out;  
reg v;  
reg [1:0] out;
```

이때 4개의 input들 사이에는 우선 순위가 존재하기 때문에, if 조건문 작성 시 주의해야한다.

- Decoder

2개의 Input을 이용하여 4개의 output 스위치 중 하나에 불이 켜지도록 한다.

```
input [1:0] w;  
input e;  
output [3:0] y;  
reg [3:0] y;
```

이때 enable input을 추가하여 Decoder가 작동하는 여부를 결정한다.

```
if (e == 0) begin y[0] = 0; y[1] = 0; y[2] = 0; y[3] = 0; end  
else if ( e==1 & w[0] == 0 & w[1] ==0) begin y[0] =1; y[1] =0; y[2] =0; y[3] =0; end  
else if ( e==1 & w[0] == 1 & w[1] ==0) begin y[0] =0; y[1] =1; y[2] =0; y[3] =0; end  
else if ( e==1 & w[0] == 0 & w[1] ==1) begin y[0] =0; y[1] =0; y[2] =1; y[3] =0; end  
else if ( e==1 & w[0] == 1 & w[1] ==1) begin y[0] =0; y[1] =0; y[2] =0; y[3] =1; end
```

### 3. Discussion & Conclusion (10%)

Reg 에 값이 저장되는 것에 유의하여 조건문 사용 시 모든 Reg에 값을 설정해주었다. 값이 많아지게 되면 한 번 설정한 이후로 오류가 난 곳을 찾기 어려워지므로, truth table과 다르게 설정하지 않도록 조심해야 한다. 변수명과 FPGA 보드의 연결 순서 역시 헛갈리지 않도록 연결한다. Bitstream 실행 전 연결 점을 다시 확인하도록 한다.

### 4. Reference(s)

없음

## 5. Code (40%)

### lab07\_decoder.v

```
module lab07_decoder(w,y,e);
    input [1:0] w;
    input e;
    output [3:0] y;
    reg [3:0] y;
    always @(w, y, e)
        if (e == 0) begin y[0] = 0; y[1] = 0; y[2] = 0; y[3] = 0; end
        else if ( e==1 & w[0] == 0 & w[1] ==0) begin y[0] =1; y[1] =0; y[2] =0; y[3] =0; end
        else if ( e==1 & w[0] == 1 & w[1] ==0) begin y[0] =0; y[1] =1; y[2] =0; y[3] =0; end
        else if ( e==1 & w[0] == 0 & w[1] ==1) begin y[0] =0; y[1] =0; y[2] =1; y[3] =0; end
        else if ( e==1 & w[0] == 1 & w[1] ==1) begin y[0] =0; y[1] =0; y[2] =0; y[3] =1; end
endmodule
```

### lab07\_encoder.v

```
module lab07_encoder(x, out, v);
    input [4:1] x;
    output v;
    output [1:0] out;
    reg v;
    reg [1:0] out;
    always @(x,v,out)
        if (x==2'b0000) begin out[0] = 0; out[1] =0; v = 0; end
        else if (x[1]==1) begin out[0] = 1; out[1] =1; v = 1; end
        else if (x[1]==0 & x[2] == 1) begin out[0] = 1; out[1] =0; v =1; end
        else if (x[1]==0 & x[2]== 0 & x[3] ==1 ) begin out[0] = 0; out[1] =1; v = 1; end
        else if (x[1]==0 & x[2]== 0 & x[3] ==0 & x[4] == 1) begin out[0] = 0; out[1] =0; v = 1; end
Endmodule
```

### PinMapConstraints.xdc

```

set_property IOSTANDARD LVCMOS33 [get_ports {out[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {out[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {x[4]}]
set_property IOSTANDARD LVCMOS33 [get_ports {x[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {x[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {x[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports v]
set_property PACKAGE_PIN Y18 [get_ports v]
set_property PACKAGE_PIN AB22 [get_ports {out[1]}]
set_property PACKAGE_PIN Y22 [get_ports {out[0]}]
set_property PACKAGE_PIN V22 [get_ports {x[1]}]
set_property PACKAGE_PIN U21 [get_ports {x[2]}]
set_property PACKAGE_PIN T21 [get_ports {x[3]}]
set_property PACKAGE_PIN V20 [get_ports {x[4]}]

```

#### PinMapConstraints.xdc

```

set_property IOSTANDARD LVCMOS33 [get_ports {w[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {w[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {y[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {y[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {y[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {y[0]}]
set_property PACKAGE_PIN J4 [get_ports e]
set_property IOSTANDARD LVCMOS15 [get_ports e]
set_property PACKAGE_PIN AB22 [get_ports {y[3]}]
set_property PACKAGE_PIN Y22 [get_ports {y[2]}]
set_property PACKAGE_PIN W22 [get_ports {y[1]}]
set_property PACKAGE_PIN AB21 [get_ports {y[0]}]
set_property PACKAGE_PIN U21 [get_ports {w[1]}]
set_property PACKAGE_PIN V22 [get_ports {w[0]}]

```