

LAB 02 REPORT

Name: 윤희정

Student ID: 2076281

1. Lab. Objective (10%)

Verilog, FPGA 그리고 Vivado 프로그램에 대해 학습하고 익숙해진다. 단일 게이트에 대한 소스 파일 작성, input, output, test code 작성 등을 이해한다. AND, OR, NOT 게이트를 이용하여 간단한 회로 설계를 한다. 여러 게이트를 연결하는 와이어에 대한 코드 이해를 한다.

2. Implementation & Result (40%)

표 2-1 AND gate

X1	X2	f(x1,x2)
0	0	0
0	1	0
1	0	0
1	1	1

표 2-2 OR gate

X1	X2	f(x1,x2)
0	0	0
0	1	1
1	0	1
1	1	1

표 2-3 NOT gate

X1	f(x1)
0	1
1	0

표 2-4 주어진 회로 설계

X1	X2	f(x1,x2)
0	0	0
0	1	1
1	0	1
1	1	0

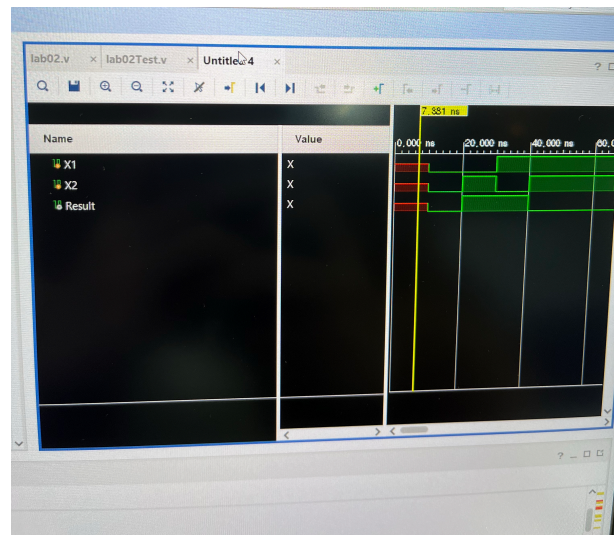


사진1. 주어진 회로 설계 결과

3. Discussion & Conclusion (10%)

게이트 별 결과를 읽는 법과 vivado 내에서 게이트 결과를 어떤 식으로 다음 게이트로 전달하는 지 알게 되었다. 처음에 input에서도 와이어를 선언해 주어야하는지 헷갈렸던 점이 어려웠다. wire는 코드 내에서 자동으로 전달이 가능하므로 굳이 적어주지 않아도 된다. 다만 회로가 복잡해지면 적어주는게 덜 헷갈릴 것 같다. 프로그램 자체에 대해 익숙해지는 것에 시간이 걸렸다.

4. Reference(s)

없음

5. Code (40%)

lab02.v

```
module lab02(x1, x2, result);  
    Input x1, x2;  
    Output result;  
  
    not(not1, x1);  
    not(not2, x2);  
    and(and1, x1, not2);  
    and(and2, not1, x2);  
    or(result, and1, and2);  
endmodule
```

lav02Test.v

```
module lab02Test;  
    reg X1, X2;  
    Wire Result;  
  
    lab02 inst0(.x1(X1), .x2(X2), .result(Result));  
    initial  
    begin  
        #10 X1 = 0; X2=0;  
        #10 X1 = 0; X2=1;  
        #10 X1 = 1; X2=0;  
        #10 X1 = 1; X2=1;  
    end  
endmodule
```

...