

LAB 04 REPORT

Name: 윤효정

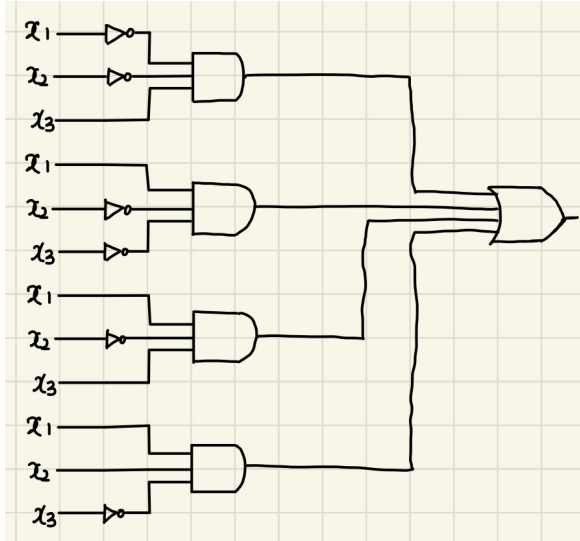
Student ID: 2076281

1. Lab. Objective (10%)

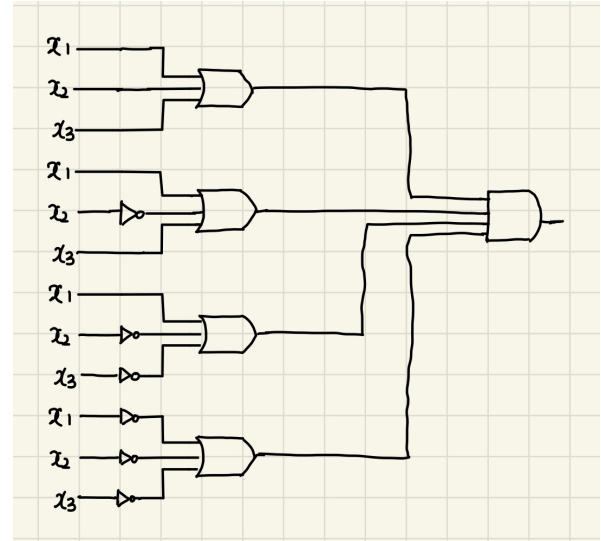
Sum of product, product of sum (SOP, POS)의 회로를 이해한다. Vivado 프로그램 내에서 해당 회로를 설계하는 방법을 이해한다. FPGA보드를 이용하여 주어진 회로를 설계하고 연결하는 방법을 이해한다. 실습 시 앞선 lab01~lab03의 진행 방법을 참고하여 학습한다.

2. Implementation & Result (40%)

- SOP



- POS



3. Discussion & Conclusion (10%)

Input/output ports 연결에 대해 지난 시간에 비해 잘 이해 할 수 있었다. 다만 input 연결을 할 때 in1 부터 in3까지 순차적으로 14~16번 스위치와 맵핑해야하는데, 반대로 연결하여 결과를 이해하는데 시간이 걸렸다. 다음부터는 포트를 결과를 이해하기 쉽게 연결하면 좋을 것 같다. SOP/POS의 결과를 실습으로 확인하니 이해하기가 훨씬 쉬웠다.

4. Reference(s)

없음

5. Code (40%)

pinMapConstraint.xdc

```
set_property PACKAGE_PIN AB22 [get_ports sopOut]
set_property PACKAGE_PIN Y22 [get_ports posOut]
set_property PACKAGE_PIN V22 [get_ports in1]
set_property PACKAGE_PIN U21 [get_ports in2]
set_property PACKAGE_PIN T21 [get_ports in3]
set_property IOSTANDARD LYCMOS33 [get_ports in1]
set_property IOSTANDARD LYCMOS33 [get_ports in2]
set_property IOSTANDARD LYCMOS33 [get_ports in3]
set_property IOSTANDARD LYCMOS33 [get_ports posOut]
set_property IOSTANDARD LYCMOS33 [get_ports sopOut]
```

lab04.v

```
module lab04(in1, in2, in3, sopOut, posOut);
    input in1;
    input in2;
    input in3;
    output sopOut;
    output posOut;

    not(not1, in1);
    not(not2, in2);
    not(not3, in3);

    and(m1, not1, not2, in3);
    and(m4, in1, not2, not3);
    and(m5, in1, not2, in3);
    and(m6, in1, in2, not3);
    or(sopOut, m1, m4, m5, m6);

    or(M0, in1, in2, in3);
    or(M2, in1, not2, in3);
    or(M3, in1, not2, not3);
    or(M7, not1, not2, not3);
    and(posOut, M0, M2, M3, M7);

endmodule
```

...