

LAB #09 REPORT

**Name: 윤효정
Student ID: 2076281**

1. Lab. Objective (10%)

간단한 사칙연산 계산기를 만들 수 있다. Relational, bit-wise, arithmetic operators의 원리를 이해한다. Case 분류를 이용하여 0~15 사이의 숫자를 더한다. Behavioral representation을 통해 FPGA 보드 상에서 구현한다.

2. Implementation & Result (40%)



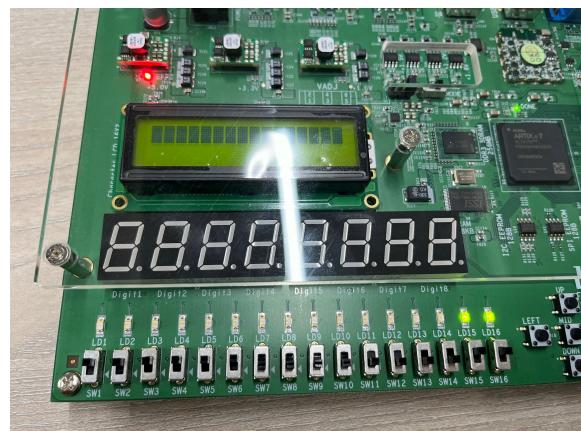
15 plus 3 18



15 multiplied 3 = 45



15 minus 3



15 and 3

3. Discussion & Conclusion (10%)

Arithmetic 연산 결과의 bit 수와 wire / reg의 비트 수에 유의해야한다. Wire/reg 비트 수가 더 적게 되면 보여지는 결과 값에 비트가 더 적어지게 되므로 값이 달라질 수 있기 때문이다. Control bit의 순서 맵핑이 살짝 헷갈렸다. MSB / LSB 순서에 늘 조심해야겠다.

4. Reference(s)

없음

5. Code (40%)

simple_calculator.v

```
module simple_calculator(x,y,z,c);
    input [3:0] x;
    input [3:0] y;
    input [1:0] c;
    output [7:0] z;
    reg [7:0] z;

    always @(x,y,z,c)
        case(c)
            2'b00 : begin z = x + y; end
            2'b01 : begin z = x - y; end
            2'b10 : begin z = x *y ; end
            2'b11 : begin z = x & y; end
        endcase
    endmodule
```

FILE NAME (ex: Verilog2.v)

```
set_property PACKAGE_PIN L3 [get_ports {c[1]}]
set_property PACKAGE_PIN J4 [get_ports {c[0]}]
set_property IOSTANDARD LVCMOS15 [get_ports {c[1]}]
set_property IOSTANDARD LVCMOS15 [get_ports {c[0]}]
set_property PACKAGE_PIN K3 [get_ports {x[3]}]
set_property PACKAGE_PIN M2 [get_ports {x[2]}]
set_property PACKAGE_PIN K6 [get_ports {x[1]}]
set_property PACKAGE_PIN J6 [get_ports {x[0]}]
set_property IOSTANDARD LVCMOS15 [get_ports {x[3]}]
set_property IOSTANDARD LVCMOS15 [get_ports {x[2]}]
set_property IOSTANDARD LVCMOS15 [get_ports {x[1]}]
set_property IOSTANDARD LVCMOS15 [get_ports {x[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {y[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {y[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {y[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {y[0]}]
set_property PACKAGE_PIN V22 [get_ports {y[0]}]
set_property PACKAGE_PIN U21 [get_ports {y[1]}]
set_property PACKAGE_PIN T21 [get_ports {y[2]}]
set_property PACKAGE_PIN V20 [get_ports {y[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {z[7]}]
set_property IOSTANDARD LVCMOS33 [get_ports {z[6]}]
set_property IOSTANDARD LVCMOS33 [get_ports {z[5]}]
set_property IOSTANDARD LVCMOS33 [get_ports {z[4]}]
set_property IOSTANDARD LVCMOS33 [get_ports {z[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {z[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {z[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {z[0]}]
set_property PACKAGE_PIN AB22 [get_ports {z[0]}]
set_property PACKAGE_PIN Y22 [get_ports {z[1]}]
set_property PACKAGE_PIN W22 [get_ports {z[2]}]
set_property PACKAGE_PIN AB21 [get_ports {z[3]}]
set_property PACKAGE_PIN AA21 [get_ports {z[4]}]
set_property PACKAGE_PIN Y21 [get_ports {z[5]}]
set_property PACKAGE_PIN W21 [get_ports {z[6]}]
set_property PACKAGE_PIN AB20 [get_ports {z[7]}]
```