

第五章 存储系统

第八讲 并行主存系统

谢长生

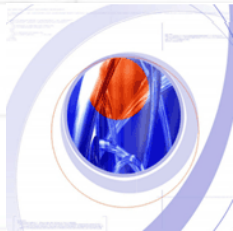
武汉光电国家研究中心

华中科技大学计算机科学与技术学院



计算机系统结构

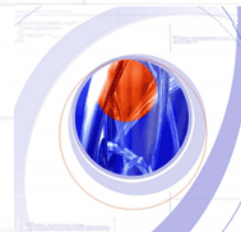
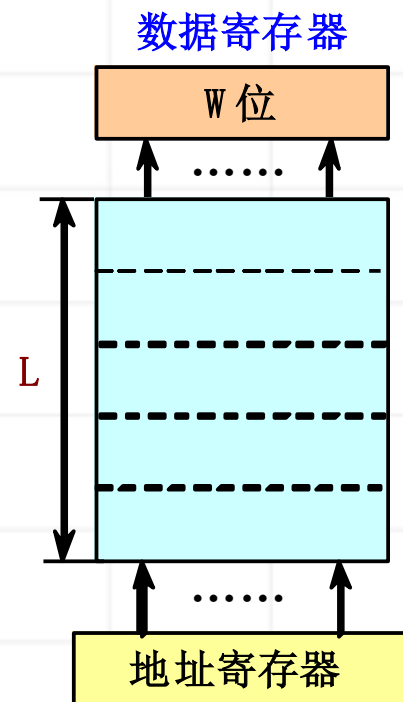
- 主存的主要性能指标：延迟和带宽
- 以往：
 - Cache主要关心延迟，I/O主要关心带宽。
- 现在：Cache关心两者
- 并行主存系统是在一个访存周期内能并行访问多个存储字的存储器。
 - 能有效地提高存储器的带宽。



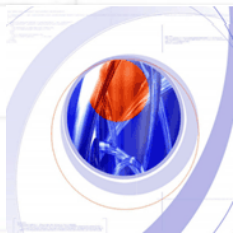
— 一个单体单字宽的存储器

- 字长与CPU的字长相同。
- 每一次只能访问一个存储字。假设该存储器的访问周期是 T_M ，字长为 W 位，则其带宽为：

$$B_M = \frac{W}{T_M}$$

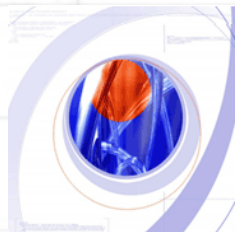
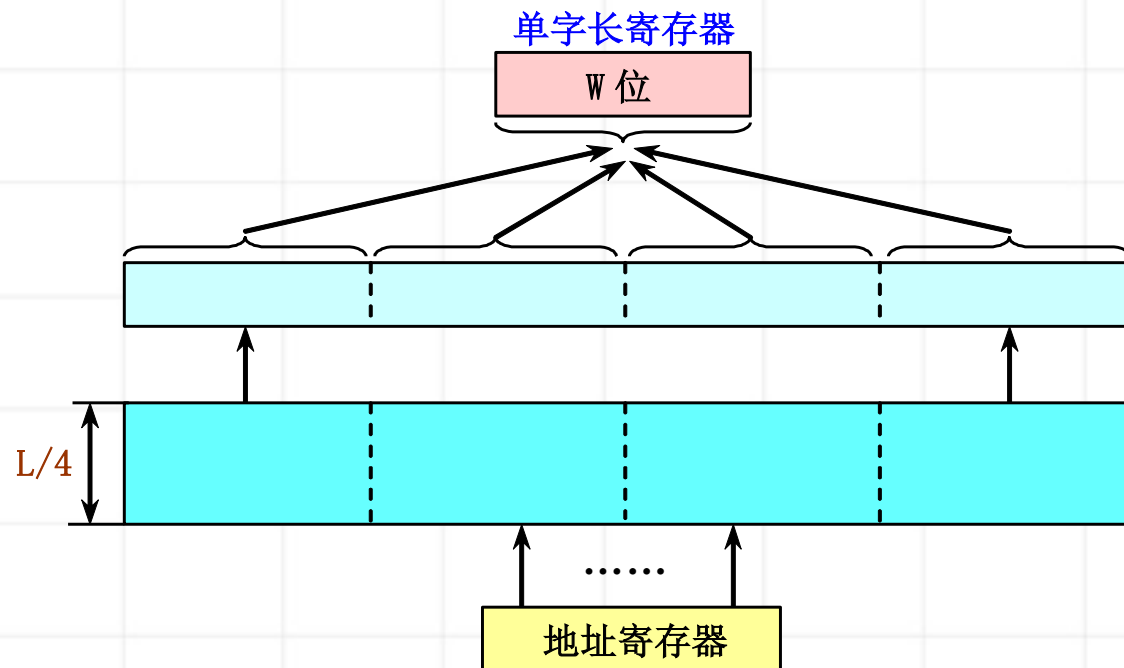


- 在相同的器件条件（即 T_M 相同）下，可以采用两种并行存储器结构来提高主存的带宽：
 - 单体多字存储器
 - 多体交叉存储器



5.8.1 单体多字存储器

- 一个单体 m 字（这里 $m=4$ ）存储器



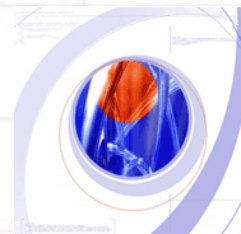
- 存储器能够每个存储周期读出 m 个CPU字。因此其最大带宽提高到原来的 m 倍。

$$B_M = m \times \frac{W}{T_M}$$

- 单体多字存储器的实际带宽比最大带宽小

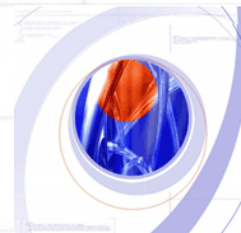
2. 优缺点

- 优点：实现简单
- 缺点：访存效率不高



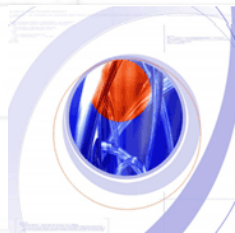
原因：

- 如果一次读取的 m 个指令字中有**分支指令**，而且分支成功，那么该分支指令之后的指令是无用的。
- 一次取出的 m 个**数据不一定是有用的**。另一方面，当前执行指令所需要的多个操作数也不一定正好都存放在同一个长存储字中。
- 写入有可能变得复杂。
- 当要**读出**的数据字和要**写入**的数据字处于同一个长存储字内时，**读和写的操作就无法在同一个存储周期内完成**。

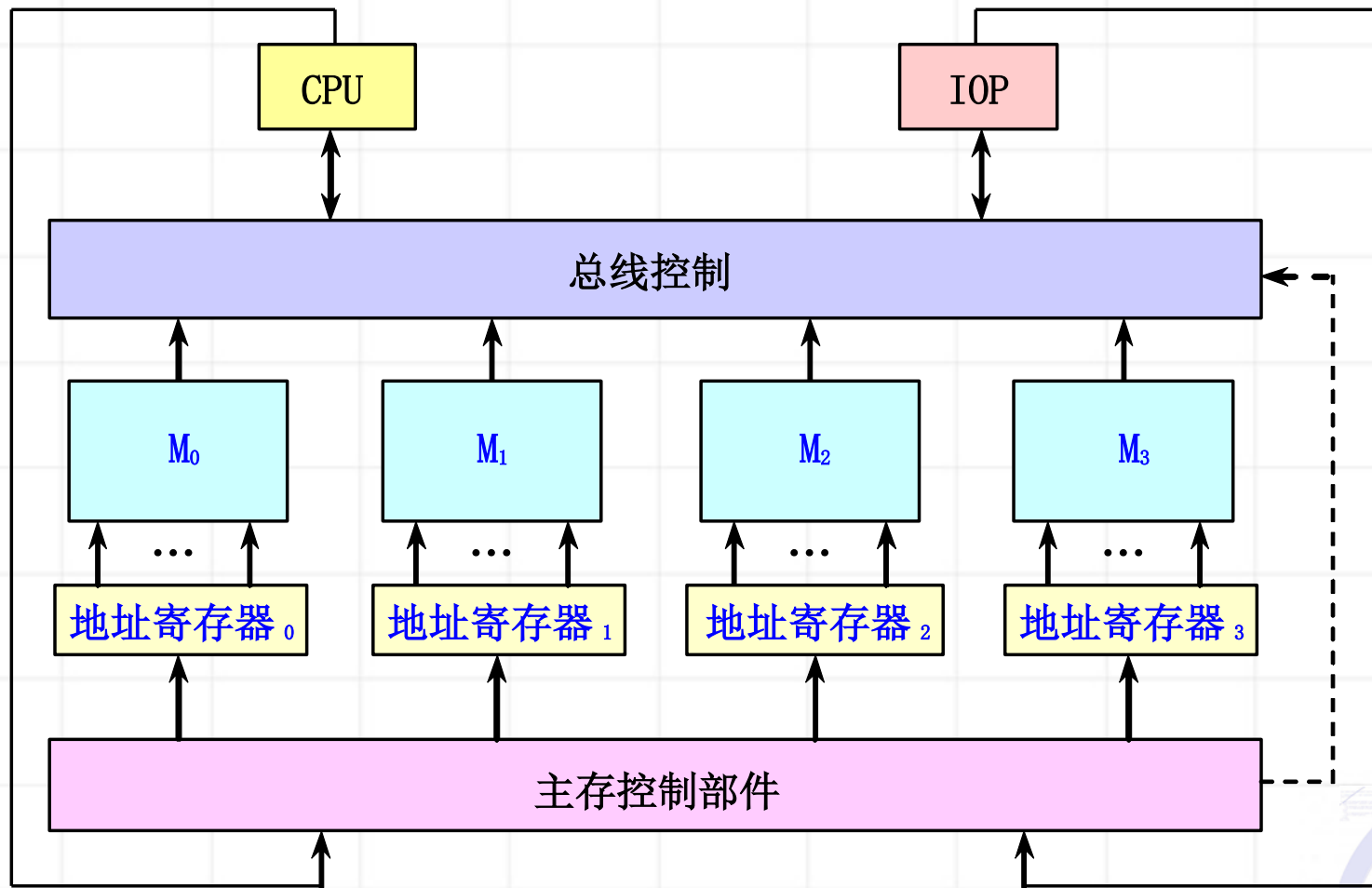
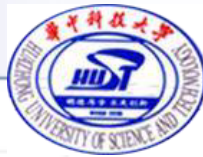


5.8.2 多体交叉存储器

- **多体交叉存储器：**由多个单字存储体构成，每个体都有自己的地址寄存器以及地址译码和读/写驱动等电路。
- **问题：**对多体存储器如何进行编址？
 - 存储器是按顺序线性编址的。如何在二维矩阵和线性地址之间建立对应关系？
 - 两种编址方法
 - 高位交叉编址
 - 低位交叉编址（有效地解决访问冲突问题）



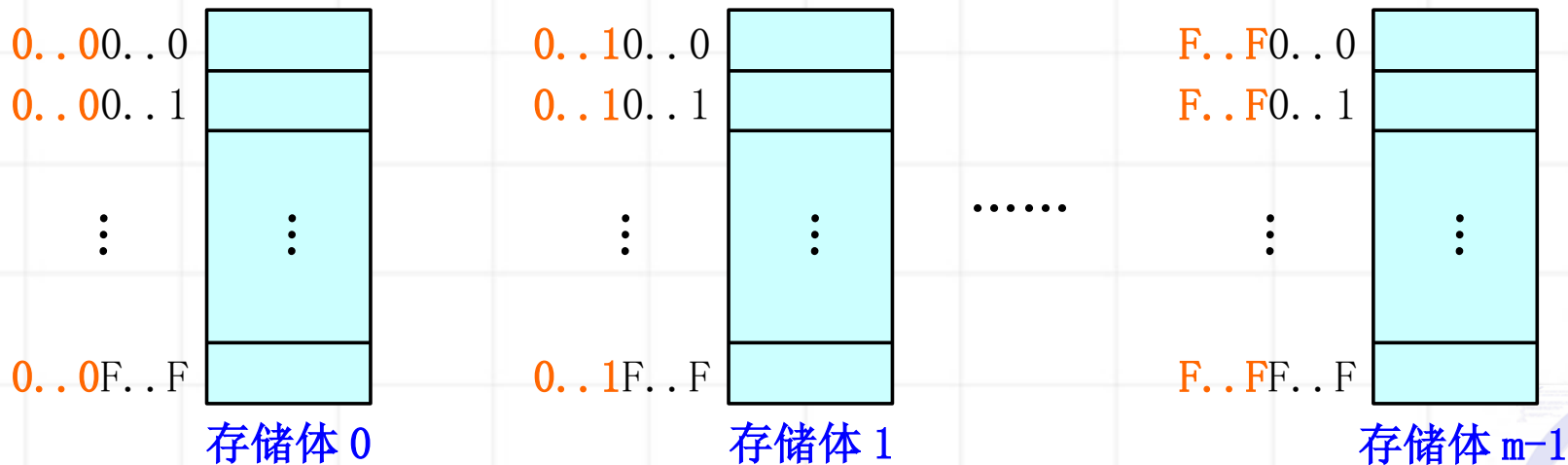
5.8 并行主存系统



多体 (m=4) 交叉存储器

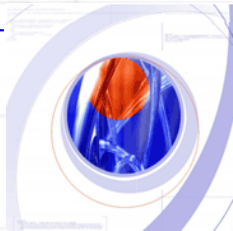
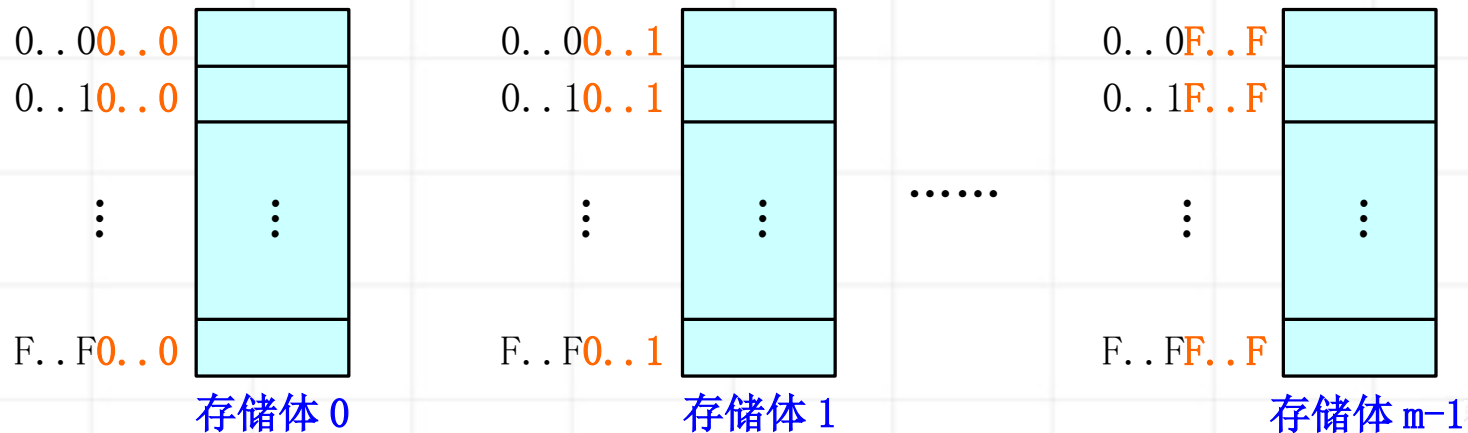
3. 高位交叉编址

- 对存储单元矩阵按列优先的方式进行编址
- 特点：**同一个体中的高 $\log_2 m$ 位都是相同的（体号）

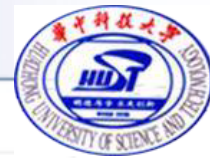


4. 低位交叉编址

- 对存储单元矩阵按行优先进行编址
- **特点：**同一个体中的低 $\log_2 m$ 位（体号）都是相同的

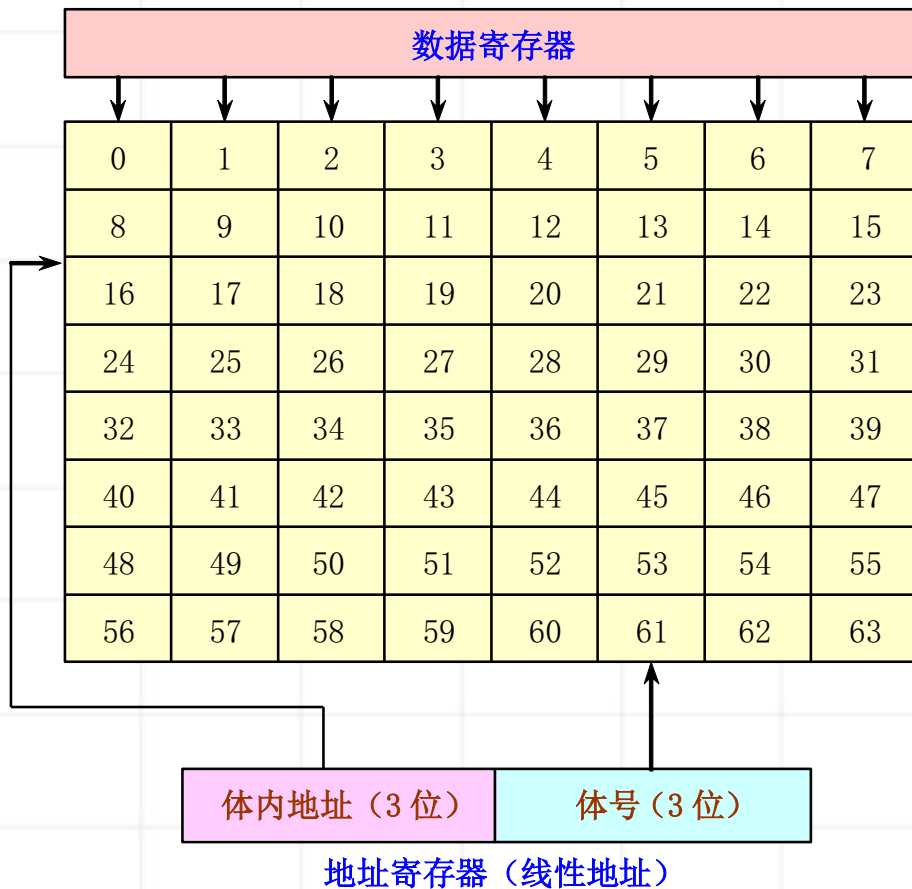


5.8 并行主存系统



— 例：采用低位交叉编址的存储器

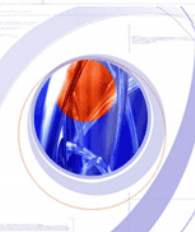
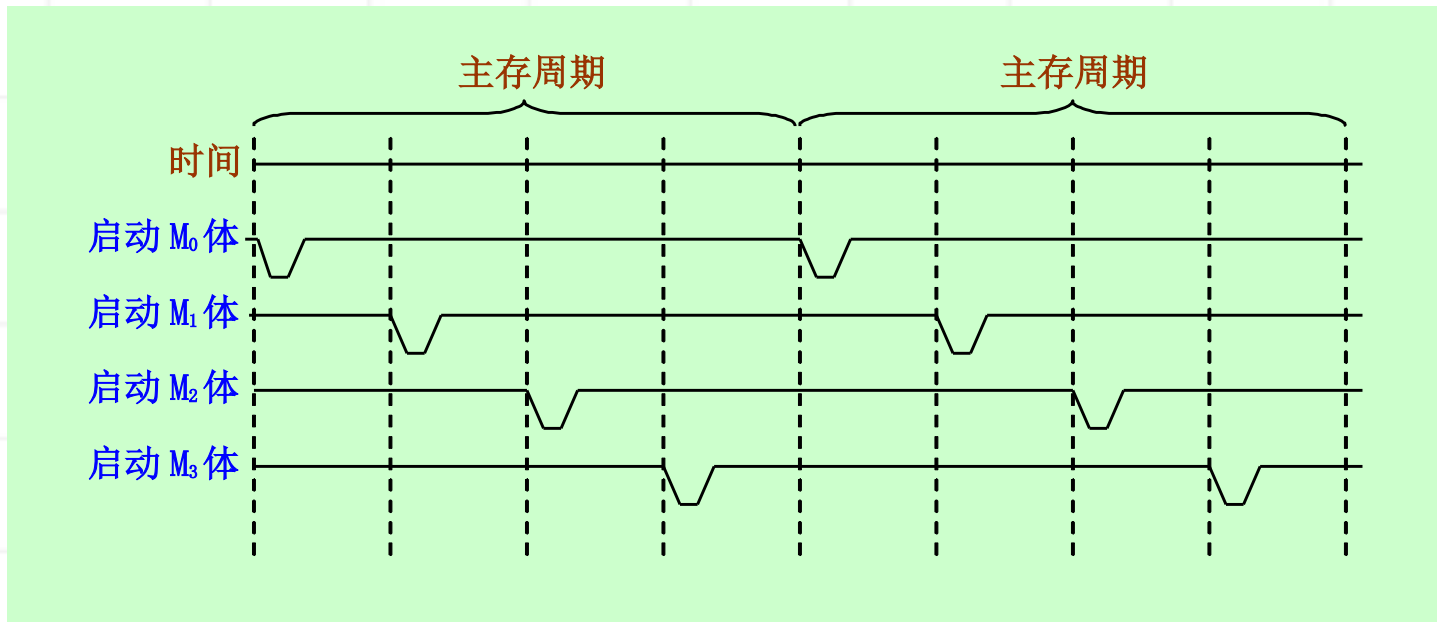
由8个存储体构成、总容量为64。格子中的编号为线性地址。



5.8 并行主存系统



- 为了提高主存的带宽，需要多个或所有存储体能并行工作。
 - 在每一个存储周期内，分时启动 m 个存储体。
 - 如果每个存储体的访问周期是 T_M ，则各存储体的启动间隔为： $t=T_M/m$ 。





谢谢大家！

