

**本科实验报告**

|  |  |
| --- | --- |
| 课程名称： | 数字逻辑设计 |
| 姓 名： | 刘思锐 |
| 学 院： | 计算机学院 |
| 系： | 计算机科学与技术 |
| 专 业： | 计算机科学与技术 |
| 学 号： | 3200102708 |
| 指导教师： | 马德 |

2021年12月27日

**浙江大学实验报告**

课程名称：数字逻辑设计

实验项目名称：Lab13 移位寄存器设计与应用

学生姓名：刘思锐 专业：计算机科学与技术 学号：3200102708

同组学生姓名：苏厚先 朱行健 指导老师：马德

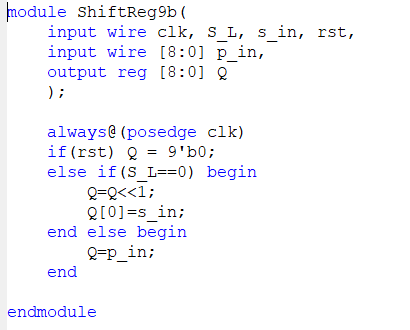
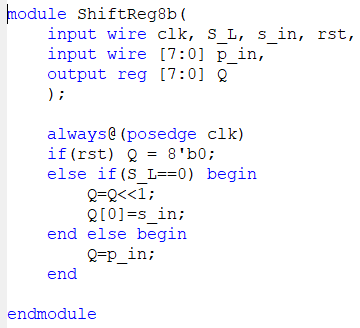
实验地点：东4 509 实验日期：2021年12月27日

**一、实验目的**

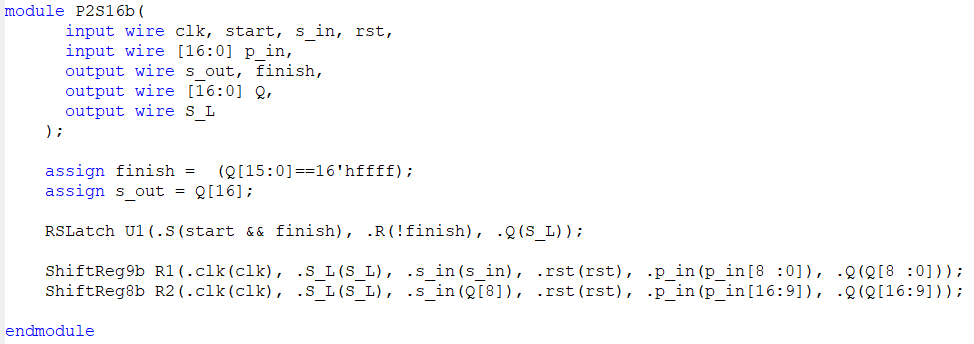
掌握支持并行输入的移位寄存器的工作原理

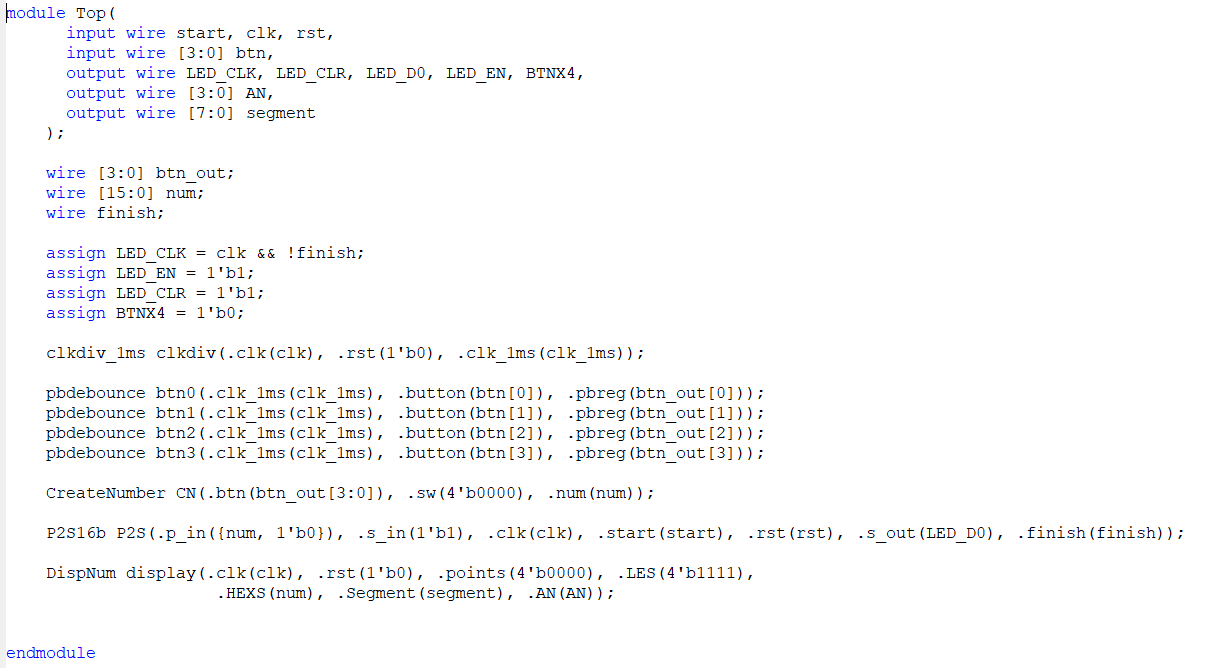
掌握支持并行输入的移位寄存器的设计方法

**二、操作方法与实验步骤**

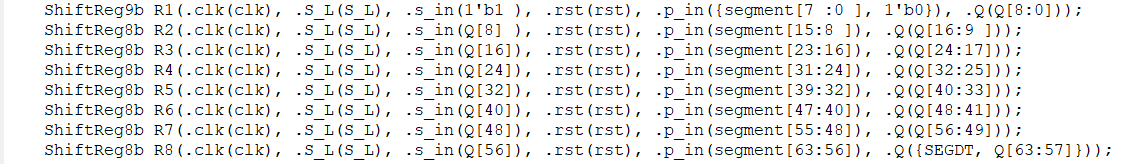
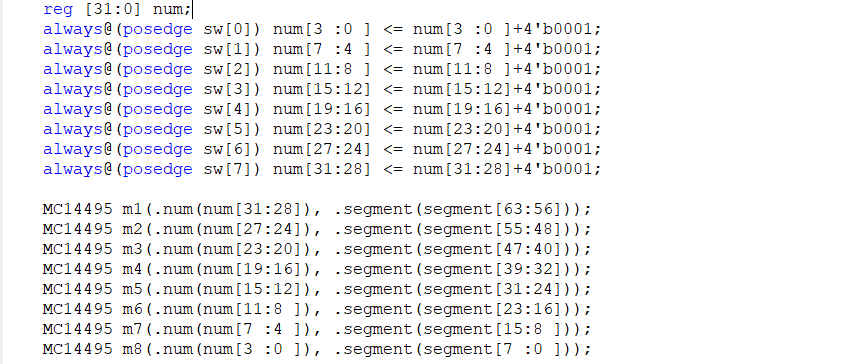
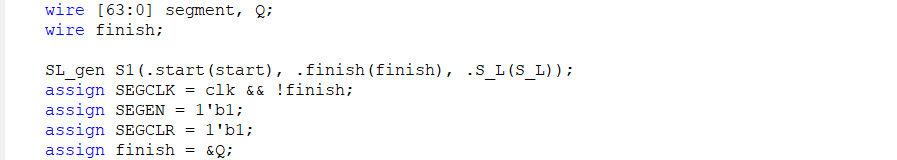
******2.1 任务一： 设计8、9位带并行输入的移位寄存器**

**2.2 任务二： 设计主板LED灯驱动模块**

（1）由一个8位位移寄存器和一个9位位移寄存器串联设计16带并行输入的16位位移寄存器。出于便于接线的考虑实际的并行输入输出有17位。使用时应保证p\_in[0]==0。

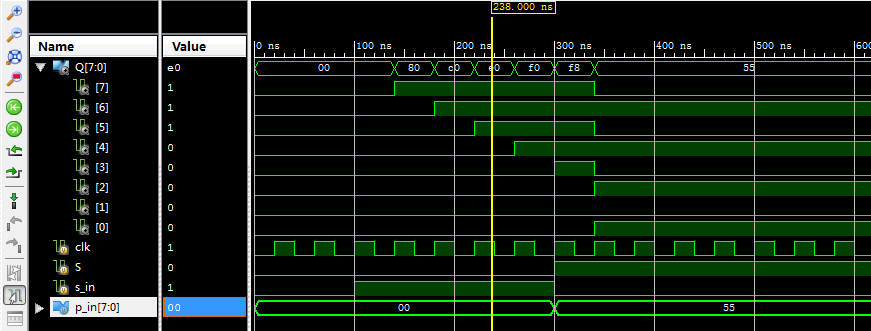
（2）复用DispNum，pbdebounce、CreatNumber等模块完成顶层设计，使之可以通过按键改变当前寄存器的值，由四位数码管显示寄存器的值，通过开关将16位二进制数移入LED灯中。

**2.3 任务三： 设计主板七段数码管驱动模块**

任务三与任务二主要区别有两点，其一是需移入的值不是二进制数而是七段数码管显示控制码，故需要MC14495进行转换；其二是位移寄存器的宽度从16位变为了64位。以下是任务三Top代码核心部分。

**三、实验结果与分析**

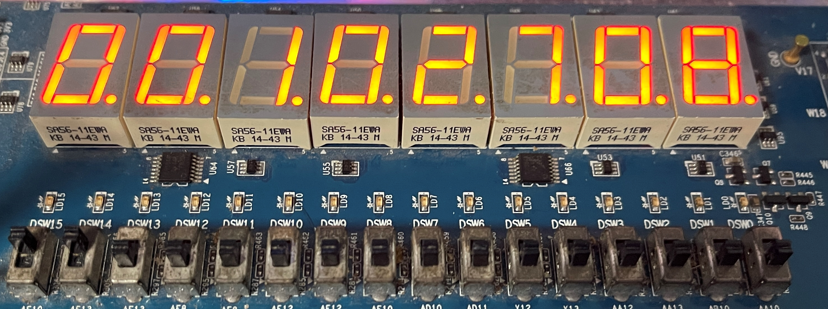
**3.1 任务一： 设计8、9位带并行输入的移位寄存器**

仿真激励结果如图所示。

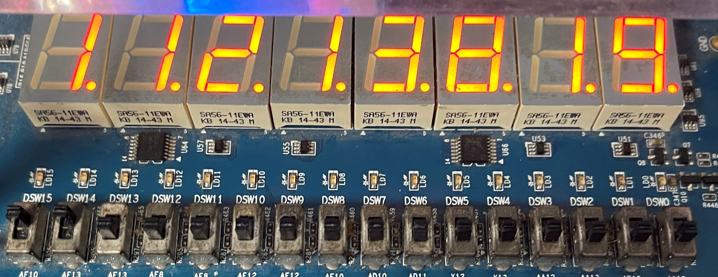
**3.2 任务二： 设计主板LED灯驱动模块**

****观察到LED位移正常工作。灯亮为0，灯暗1，图中h6414 == d0110\_0100\_0001\_0100。

**3.3 任务三： 设计主板七段数码管驱动模块**

可见数码管显示正常。图中00102708为本人学号后八位。

拨动图中靠右侧的八个开关，可见每个数码管均可单独调节示数。

1121\_3819 = 0010\_2708 + 1111\_1111

**四、讨论、心得**

Lab13实验耗费的时间大致相当于本学期其他所有实验的总和，我先后主要面对并最终克服了三项困难。

第一项困难是最初编写代码时，一为图省事没有按照PPT的要求先设计8位位移寄存器再串联成所需的位数而是直接试图用Verilog代码设计16、64位的寄存器，二没有理解寄存器停止移位的原理和条件，没有理解相比要求多一位输入输出的意义，两者共同导致了在实验最开始频频出错，不能形成稳定的显示内容。

第二项困难是没有理解左移和右移的区别和调整位移方向后外围部件应做的调整。在将底层寄存器从右移改为左移后我花了大量的时间调整外围的接线。

经过前两项困难我对本次实验应该掌握的知识点和操作技巧理解的已经比较透彻了，但第三项困难才是花费时间最长的。我观察到我的数码管总是其中一部分能够正常显示，而另一部分乱码，例如低四位显示正常高四位乱码，或高六位显示正常低两位乱码。这个问题直接导致我12月25日在509实验室呆了将近11个小时，整个项目重构了三次，仿真激励无数次，仍然没有能够解决这个问题。

最终是12月27日下午，我逐位分析了数码管的显示，发现造成乱码的原因是从某一位开始会错误的多移入或者少移入一个数，并且这个错误的位总是发生在两个数码管之间出现而不会在某一个数码管内部出现，经过助教的提醒，很有可能是100mHz的移位速度超过了主板芯片的电气性能限制造成随机错误。我将100mHz时钟放慢一倍至50mHz之后问题消失。

这个神奇的bug大大加深了我对硬件编程和软件编程区别之处的理解，也让我窥探到现代集成电路极尽复杂和精妙一角。我想习惯了软件编程的人来说，对硬件应该怀有更高的敬畏。