

**本科实验报告**

|  |  |
| --- | --- |
| 课程名称： | 数字逻辑设计 |
| 姓 名： | 刘思锐 |
| 学 院： | 计算机学院 |
| 系： | 计算机科学与技术 |
| 专 业： | 计算机科学与技术 |
| 学 号： | 3200102708 |
| 指导教师： | 马德 |

2021年12月27日

**浙江大学实验报告**

课程名称：数字逻辑设计

实验项目名称：Lab13 移位寄存器设计与应用

学生姓名：刘思锐 专业：计算机科学与技术 学号：3200102708

同组学生姓名：苏厚先 朱行健 指导老师：马德

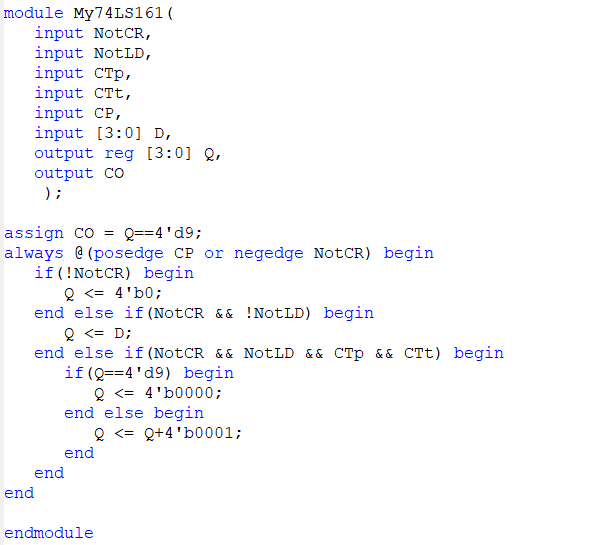
实验地点：东4 509 实验日期：2021年12月27日

**一、实验目的**

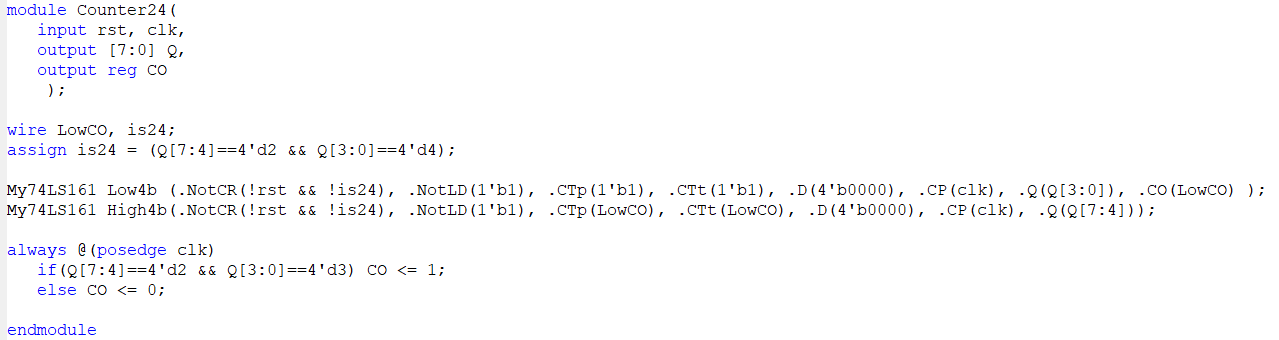
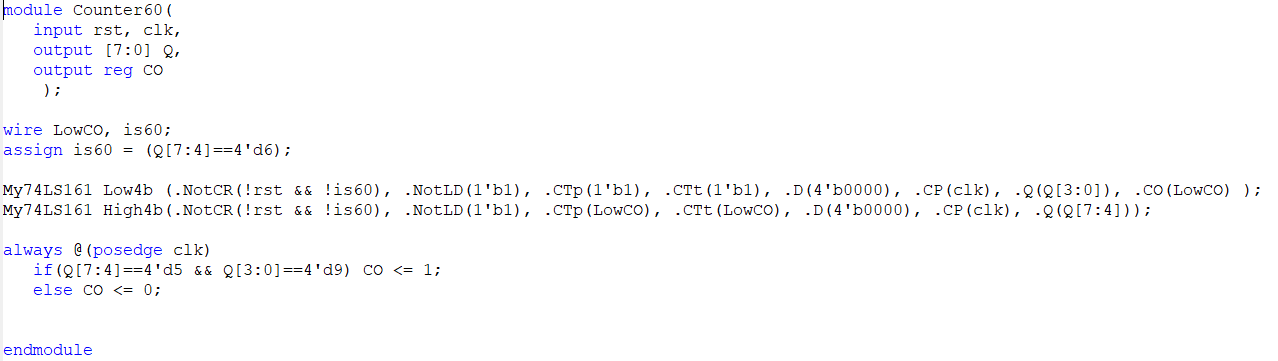
掌握同步四位二进制计数器74LS161的工作原理和设计方法

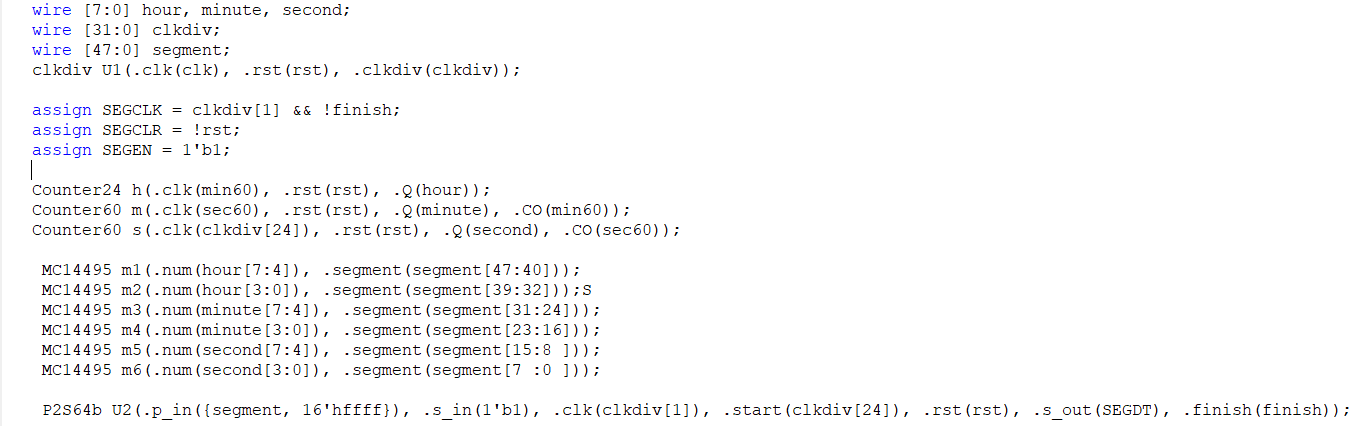
掌握时钟/定时器的工作原理与设计方法

**二、操作方法与实验步骤**

**2.1 任务一： 采用行为描述设计同步4位二进制计数器74LS161**

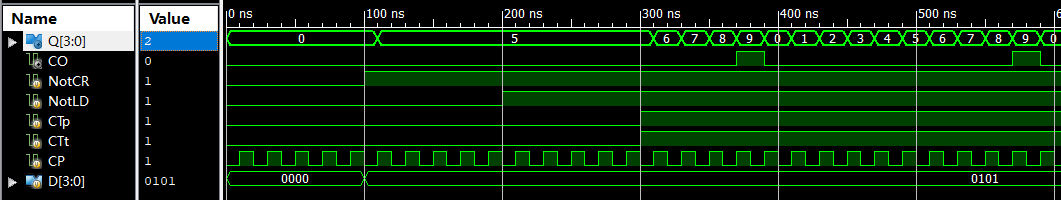
**2.2 任务二： 基于74LS161设计时钟应用**

（1）借助74LS161设计24进制与60进制计数器用于时分秒显示。

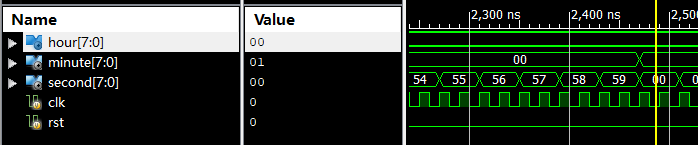
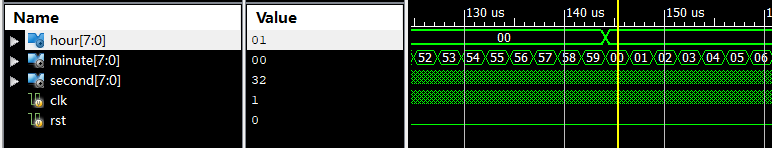
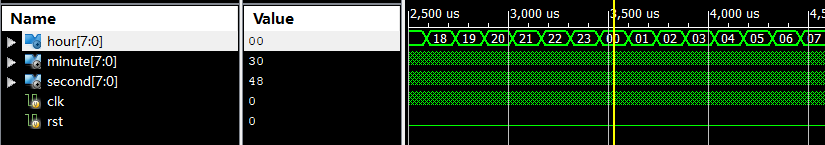
（2）复用MC14495将时分秒数字转换为七段数码管译码，再利用Lab13所完成的驱动将时钟显示在主板数码管上。图示为Top核心代码。

**三、实验结果与分析**

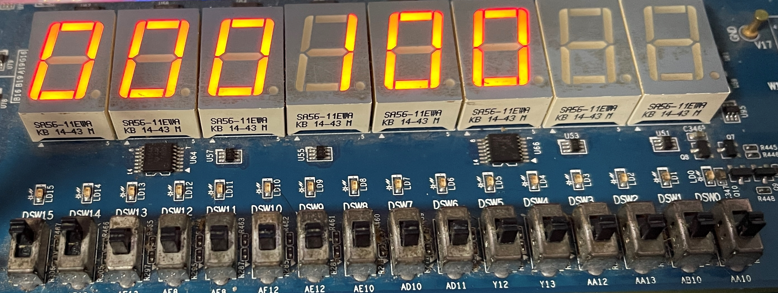
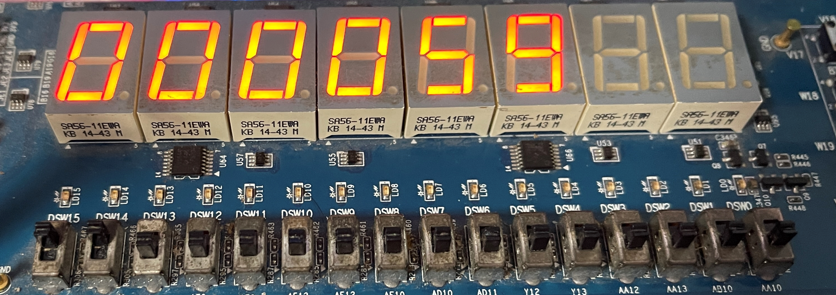
**3.1 任务一： 设计8、9位带并行输入的移位寄存器**

仿真激励结果如图所示。

**3.2 任务二： 基于74LS161设计时钟应用**

Top的仿真波形如下，可以观察到时分秒计数器相连后进制正常。

烧录到FPGA后数码管显示正常。出于时间原因小时位不做演示。

******四、讨论、心得**

在难度滑铁卢Lab13之后Lab14显得亲切又可爱，各个模块都是此前已经实现过的，再次只需要接线即可。中途唯一碰见的小小困难是为了最初为了七段数码管译码时省事直接将14LS161写成了十进制计数器而不是十六进制，但是串联14LS161成24、60进制计数器时忘了这一点从而使Verilog边界条件判断语句出错导致进位出错。经过一次仿真波形验证便解决了这个问题。

本次实验让我意识到了仿真波形的可贵之处。数逻实验室开发板总是两三人共用时常需要排队，ISE生成bit文件的速度又奇慢无比，能够灵活运用仿真波形排查问题无疑能够节约大量的时间。