

**本科实验报告**

|  |  |
| --- | --- |
| 课程名称： | 数字逻辑设计 |
| 姓 名： | 刘思锐 |
| 学 院： | 计算机学院 |
| 系： | 计算机科学与技术 |
| 专 业： | 计算机科学与技术 |
| 学 号： | 3200102708 |
| 指导教师： | 马德 |

2021年10月18日

**浙江大学实验报告**

课程名称：数字逻辑设计

实验项目名称：Lab5 变量译码器的设计与使用

学生姓名：刘思锐 专业：计算机科学与技术 学号：3200102708

同组学生姓名：苏厚先 指导老师：马德

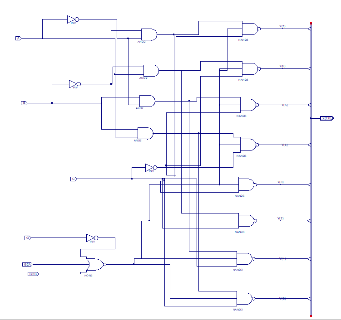
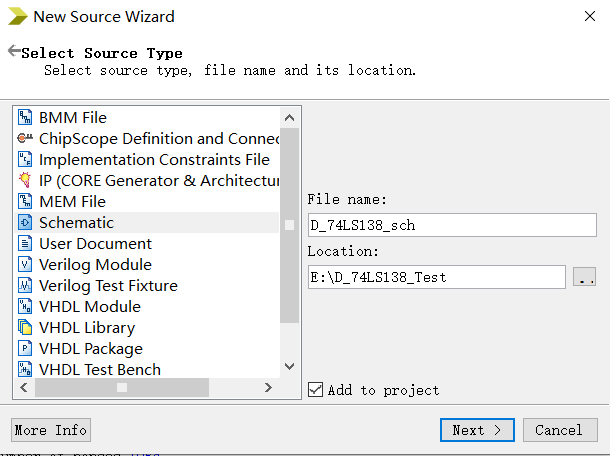
实验地点：东4 509 实验日期：2021年10月18日

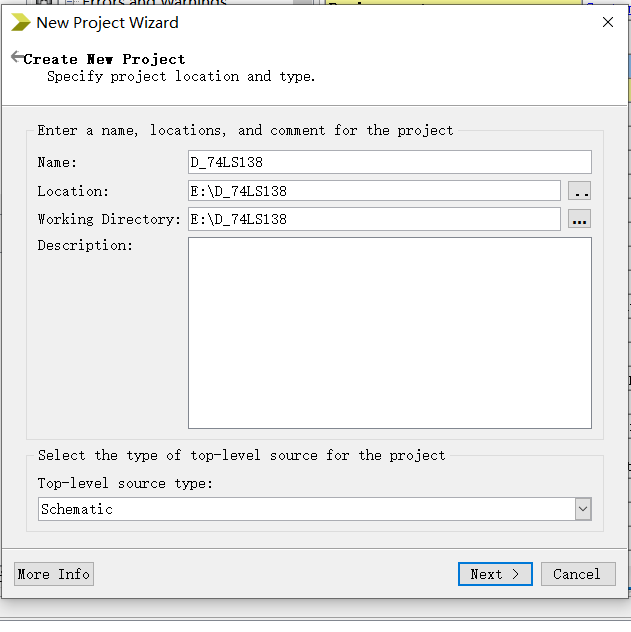
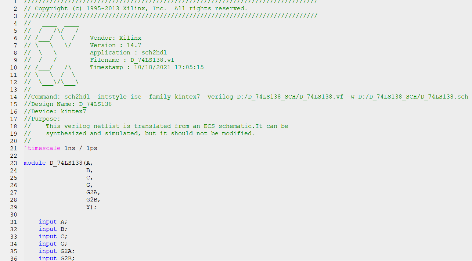
**一、实验目的**

掌握变量译码器的逻辑构成和逻辑功能。用变量译码器实现组合函数，并采用原理图设计电路模块。

进一步熟悉ISE平台及下载实验平台物理验证。

**二、操作方法与实验步骤**

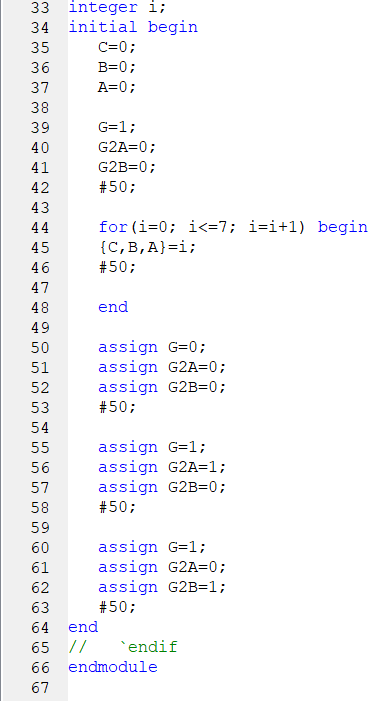
**2.1 任务一：用原理图设计实现74LS138译码器模块**

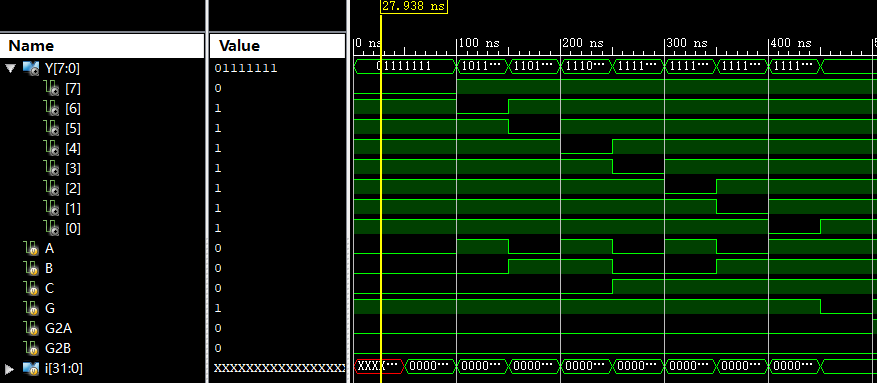
（1）新建工程，名称为D\_74LS138。

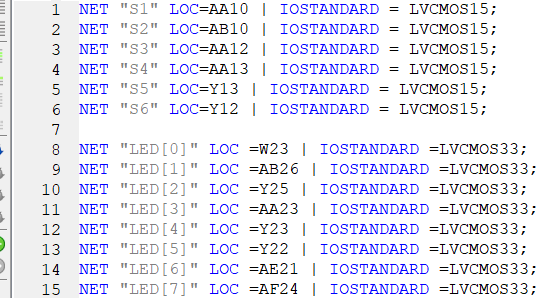
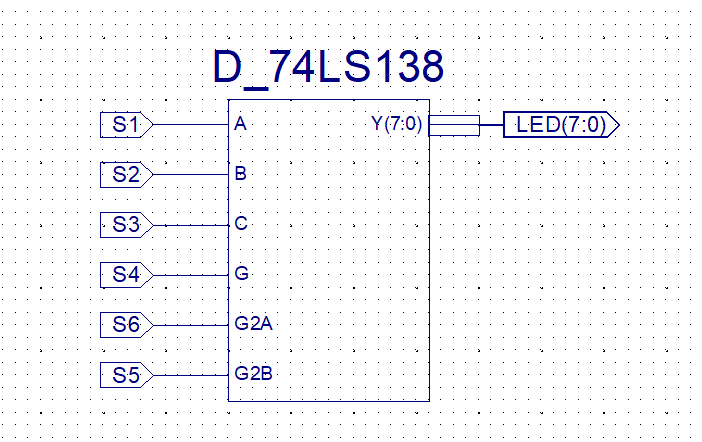
（2）建Schematic源文件，命名为D\_74LS138\_sch。

（3）按照所给原理图进行设计。

（4）Check Design Rules检查错误，然后View HDL Functional Model查看并学习Verilog HDL代码。

（5）新建仿真激励文件，输入所示代码，检查波形图。

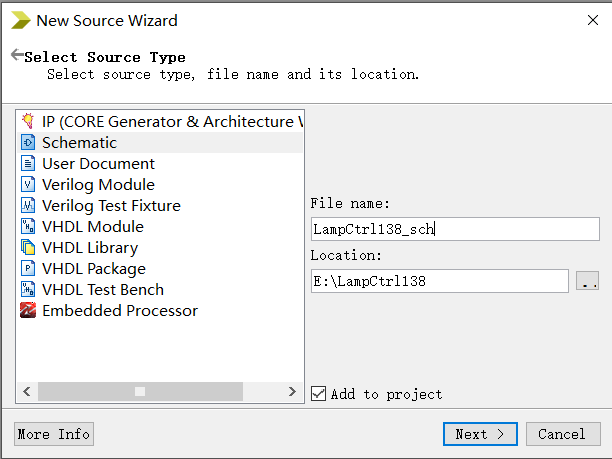
（6）点击Create Schematic Symbol生成逻辑符号图文件，文件后缀sym，位于工程的根目录。

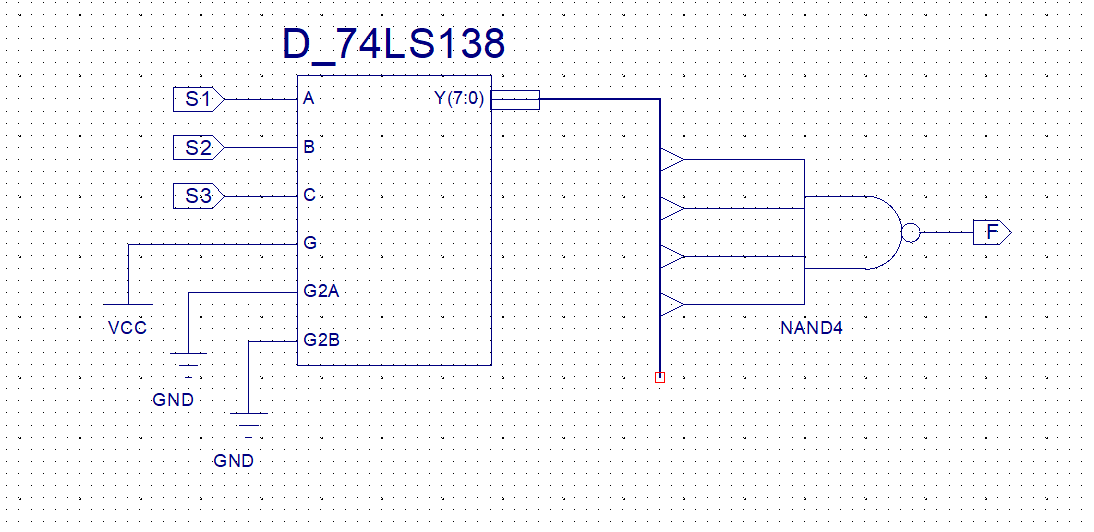


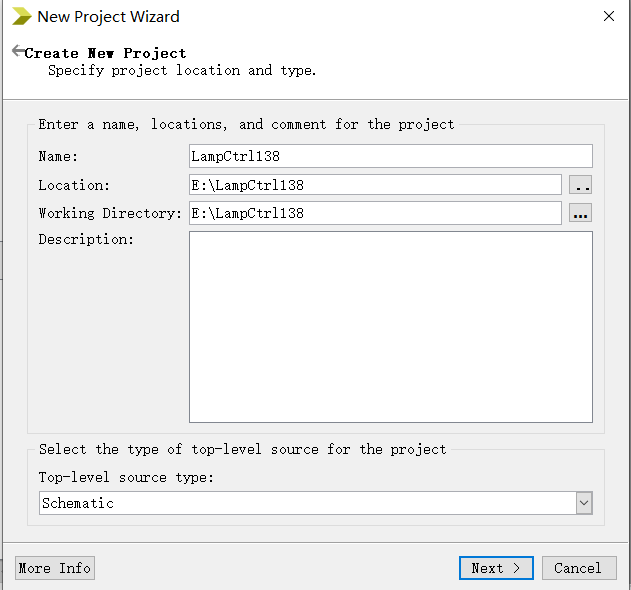
（7）新建工程D\_74LS138\_test，将（6）中生成的sys及sch文件复制到test工程的根目录。

（8）新建schematic文件，在symbol框里的第一个元件就是D­\_74LS138。以原理图方式为元件加上IO。

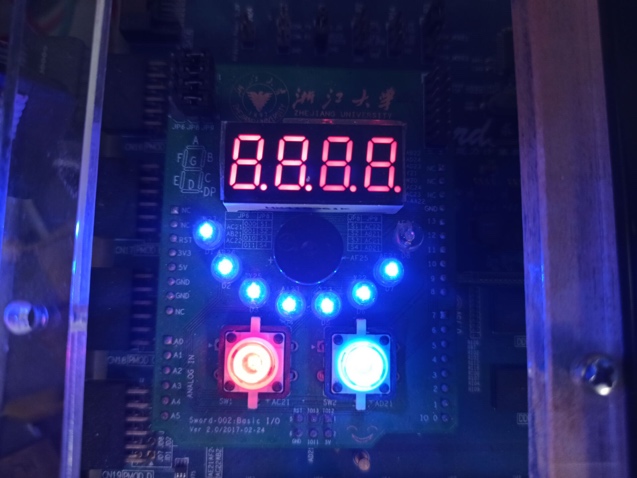
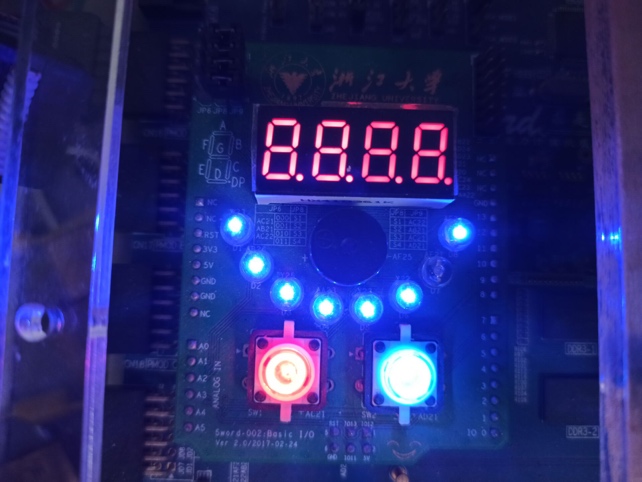
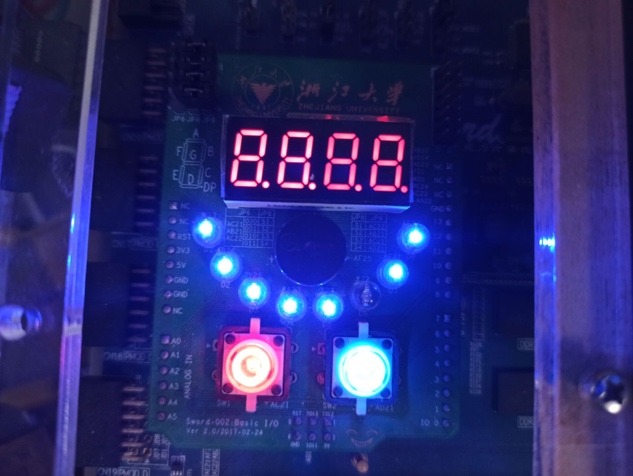
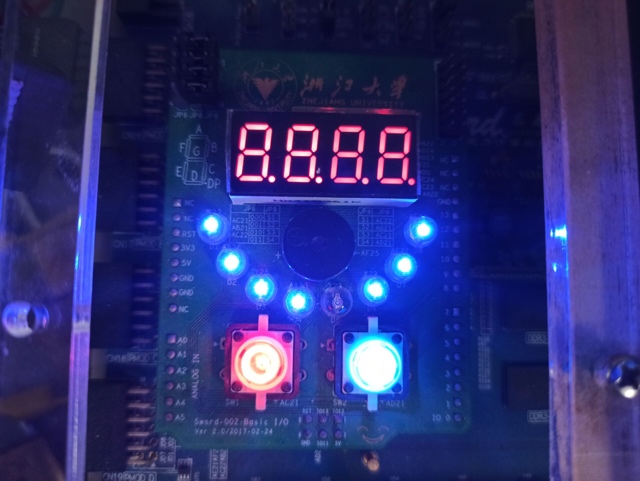
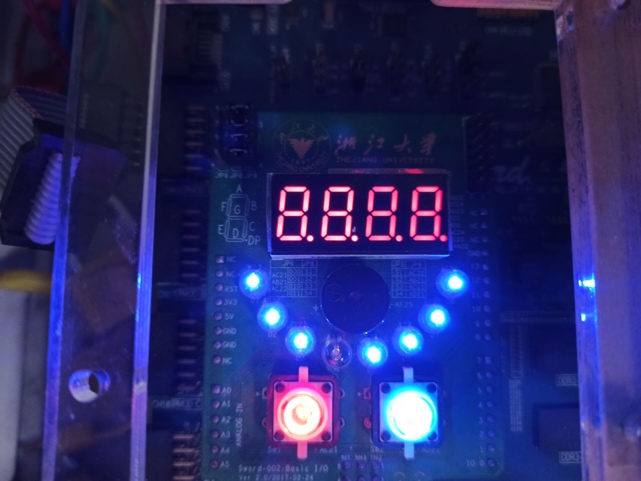
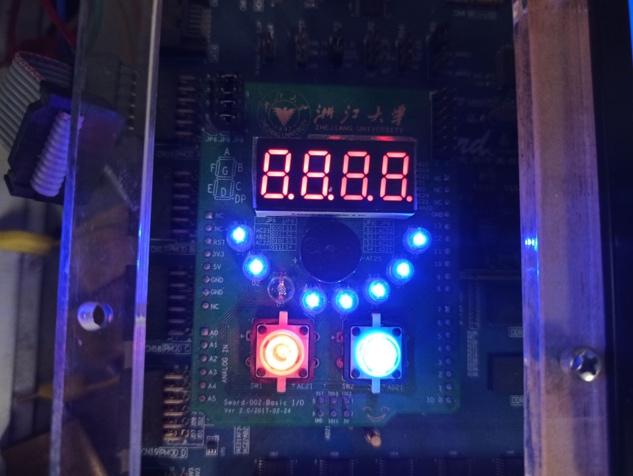
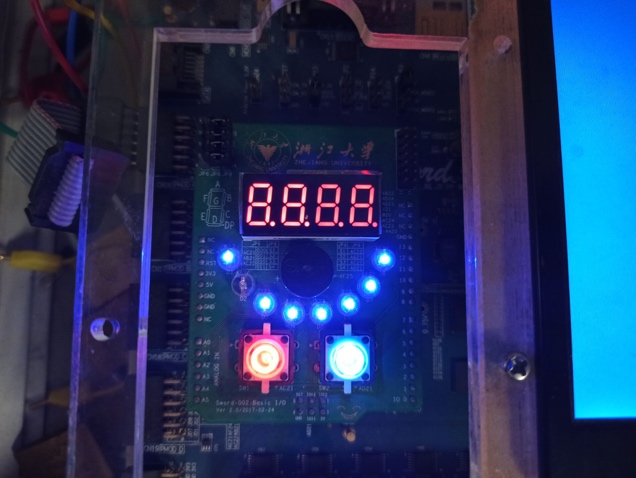
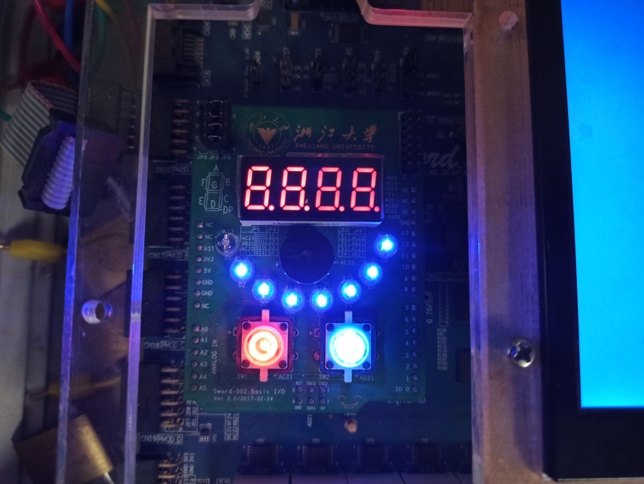
（8）建立K7.ucf文件，输入如图所示代码，并下载到实验板上检验。

**2.2 任务二：用D\_74LS138实现楼道灯控制**

（1）新建工程，命名为LampCtrl138。新建schematic文件，命名为LampCtrl138\_sch。

（2）以原理图方式输入电路如上图所示。其中VCC、GND分别代表1、0。

（3）与任务一中类似的输入引脚约束后下载到开发板进行试验。结果如下图所示，可以观察到随开关拨动对应的楼道灯开启熄灭。。



**三、讨论、心得**

因为对软件的操作不够熟悉，实验中途因为没有掌握正确画Bus Tap的手法导致Check Design Rules频繁报错，花费了大量的时间排查问题。同时在手动编写仿真激励代码时，某段代码放在另一段看似不相关的代码上方时编译没有问题，放在其下方时却报出了多个error，这在我们大部分人所熟悉的C语言编程中是非常不能理解的。总的来说，这次实验增进了我对ISE开发环境的熟悉程度，也让我对硬件语言有了与之前不同的理解。