

**本科实验报告**

|  |  |
| --- | --- |
| 课程名称： | 数字逻辑设计 |
| 姓 名： | 刘思锐 |
| 学 院： | 计算机学院 |
| 系： | 计算机科学与技术 |
| 专 业： | 计算机科学与技术 |
| 学 号： | 3200102708 |
| 指导教师： | 马德 |

2021年11月8日

**浙江大学实验报告**

课程名称：数字逻辑设计

实验项目名称：Lab7 多路选择器的设计及应用

学生姓名：刘思锐 专业：计算机科学与技术 学号：3200102708

同组学生姓名：苏厚先 指导老师：马德

实验地点：东4 509 实验日期：2021年11月8日

**一、实验目的**

掌握数据选择器的工作原理、逻辑功能和使用方法。

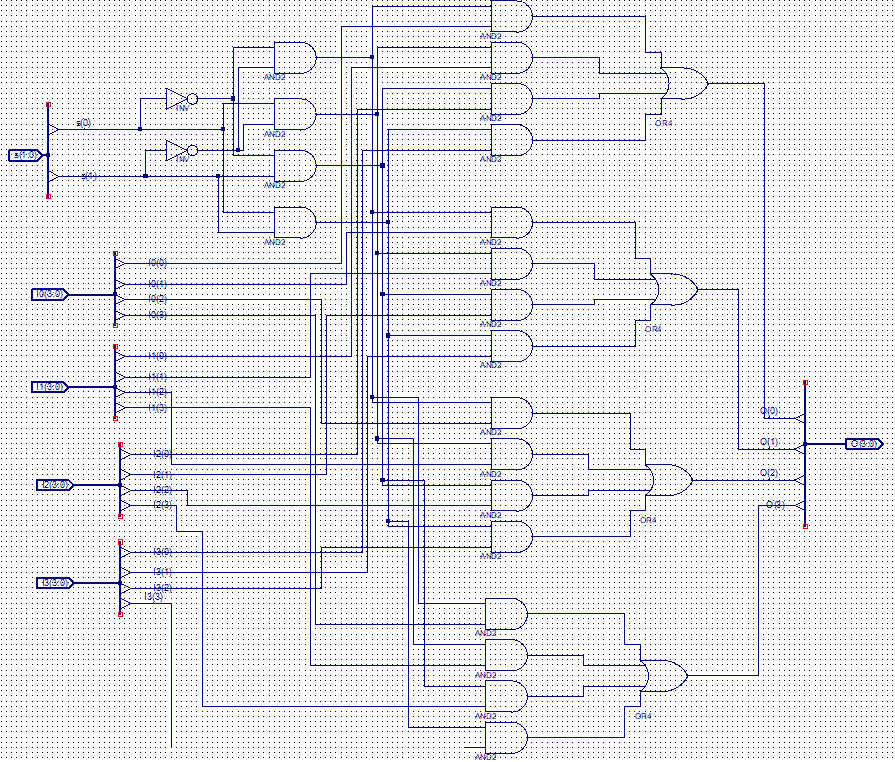
掌握4位数码管扫描显示的原理和方法，并完成计分板显示应用的硬件设计。

**二、操作方法与实验步骤**

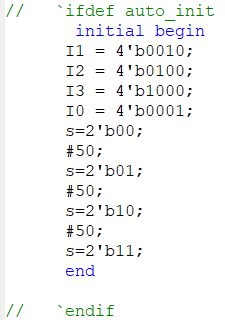
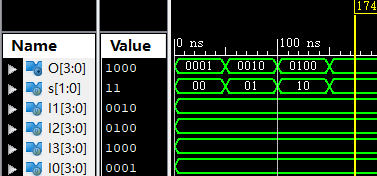
**2.1 任务一：设计数据选择器**

（1）新建工程，工程名称用Mux4to1b4\_sch。

（2）新建源文件，类型为schematic，文件名称用Mux4to1b4。

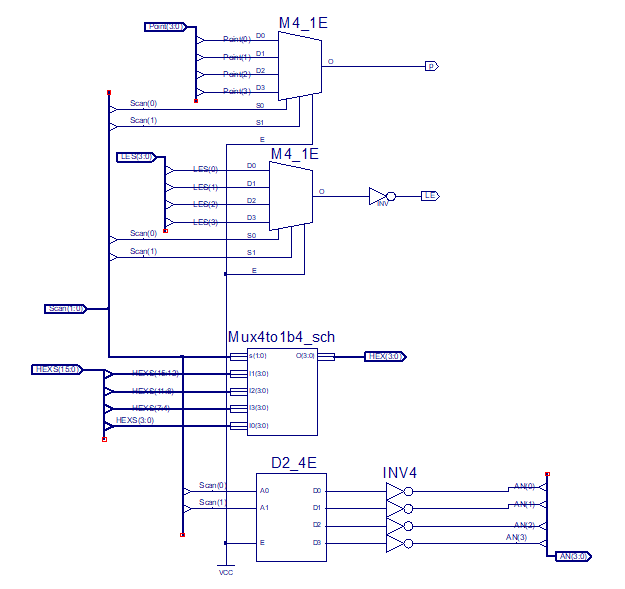
（3）用原理图方式设计4位4选1数据选择器。

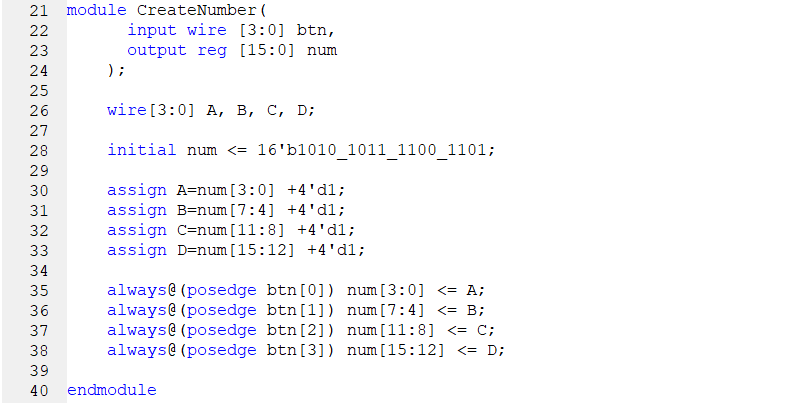
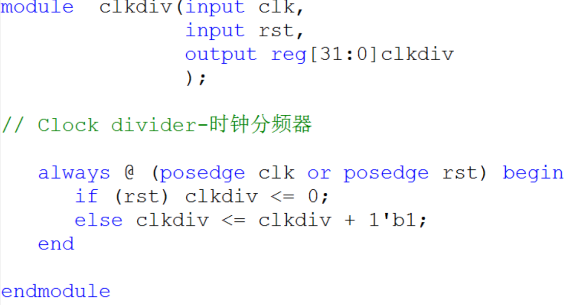
（4）建立仿真波形文件进行仿真激励，检查输出是否正确。



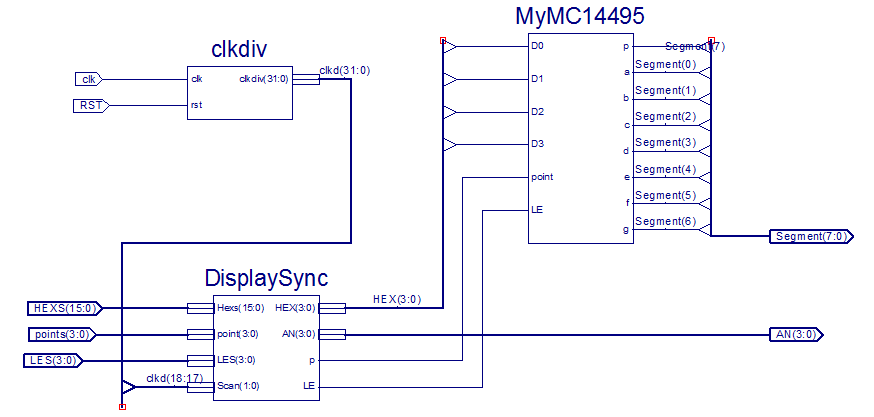
**2.2 任务二：设计计分板应用**

（1）新建工程，名称为ScoreBoard，顶层文件类型选择HDL。

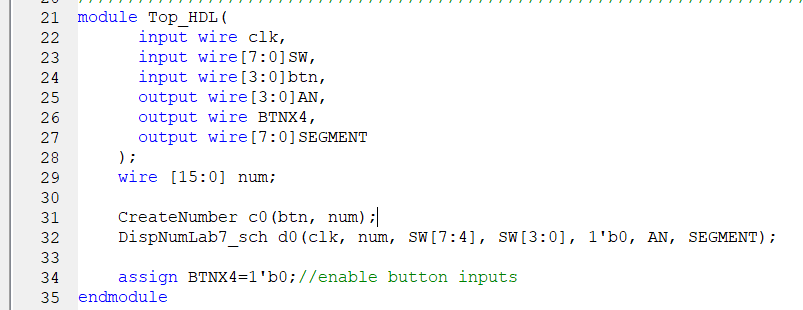
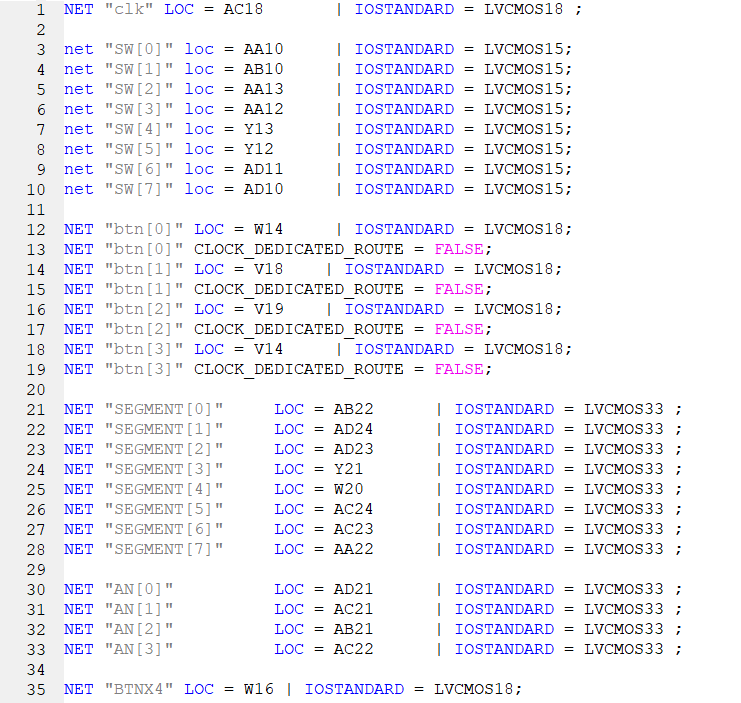
（2）新建源文件，分别设计clkdiv、DisplaySync、CreateNumber元件。



（3）新建源文件DispNum，以schematic形式连接上述部件。



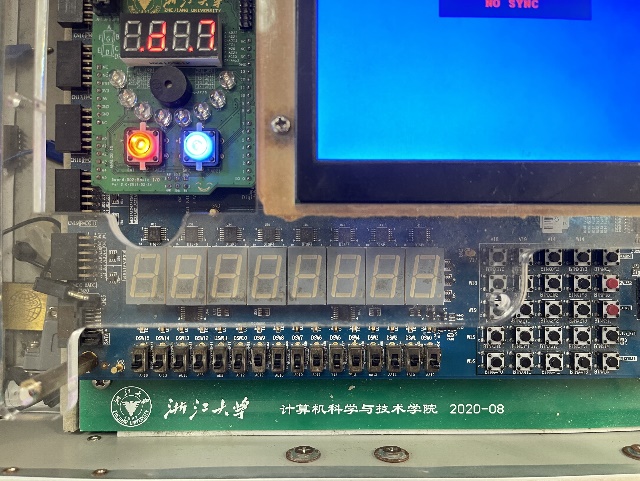
（4）新建源文件Top，在右键菜单里设为Top Module，以Verilog形式连接上述部件。



（5）补全引脚分配文件，随后点击Generate Programming File。

（6）将程序烧录到实验板进行验证。





**三、讨论、心得**

如果上一次实验是对分层设计思想的小试牛刀，那么这一次实验堪称大刀阔斧。本次实验里最多的时间花费在理清硬件各自的功能以及相互的层级关系。虽然每次的讨论心得都说到自己对于开发环境还不够熟悉，但毕竟每次实验都有新的内容，于是总会遇见原先没有的问题，进行没有试过的操作，将各个硬件组合在一起的过程还是比较艰难的。因为对ISE中Implementation窗口的功能与文件管理一知半解，我总共将整个项目架构清空重构了三次，相较之下硬件电路本身的设计似乎没有那么困难了。