

**本科实验报告**

|  |  |
| --- | --- |
| 课程名称： | 数字逻辑设计 |
| 姓 名： | 刘思锐 |
| 学 院： | 计算机学院 |
| 系： | 计算机科学与技术 |
| 专 业： | 计算机科学与技术 |
| 学 号： | 3200102708 |
| 指导教师： | 马德 |

2021年11月15日

**浙江大学实验报告**

课程名称：数字逻辑设计

实验项目名称：Lab9 全加器、加减法器和ALU基本原理与设计

学生姓名：刘思锐 专业：计算机科学与技术 学号：3200102708

同组学生姓名：苏厚先 指导老师：马德

实验地点：东4 509 实验日期：2021年11月15日

**一、实验目的**

掌握一位全加器的工作原理和逻辑功能

掌握串行进位加法器的工作原理和进位延迟

掌握减法器的实现原理

掌握加减法器的设计方法

掌握ALU基本原理及在CPU中的作用

掌握ALU的设计方法

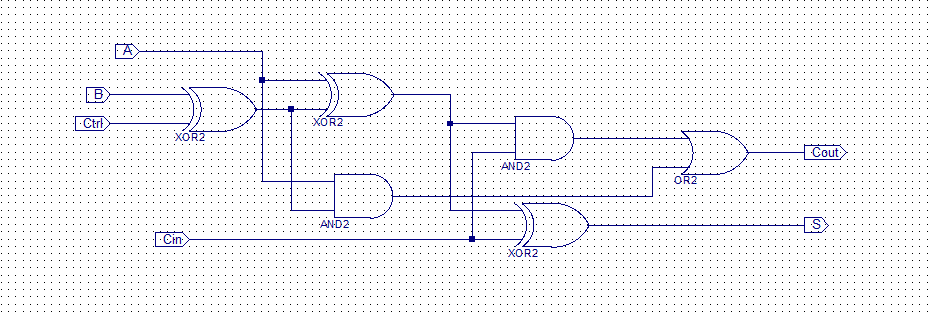
**二、操作方法与实验步骤**

**2.1 任务一：原理图方式设计4位加减法器**

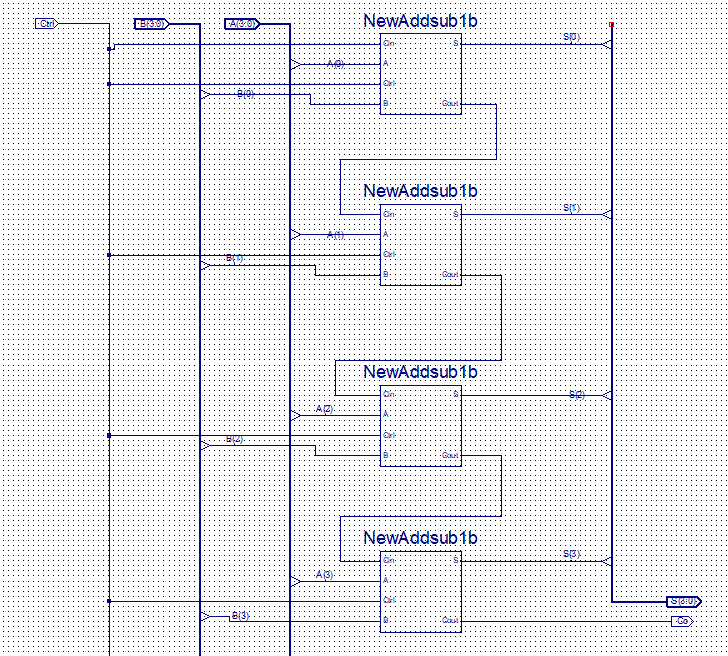
（1）新建工程，工程名称用MyAdder，Top Level Source Type选择Schematic。

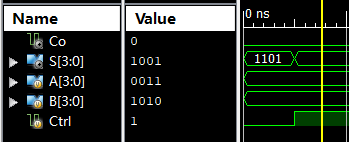
（2）新建源文件，类型为schematic，文件名称用AddSub1b。

（3）用原理图方式设计一位数的加减法器，并生成symbol。



（5）新建源文件，类型为schematic，文件名称用AddSub4b。

（6）调用刚刚的AddSub1b设计4位加减法器，并生成symbol。

（7）建立仿真波形文件进行仿真激励，检查4位加减法器是否正确。

**2.2 任务二：实现4位ALU及应用设计**

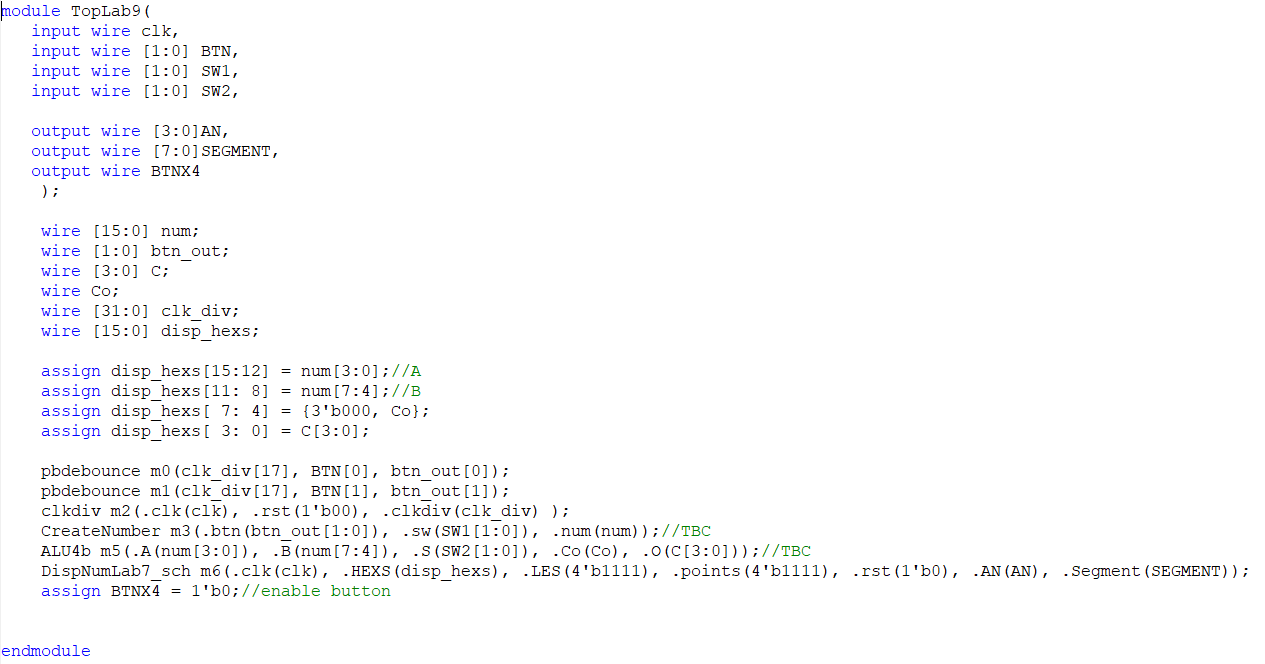
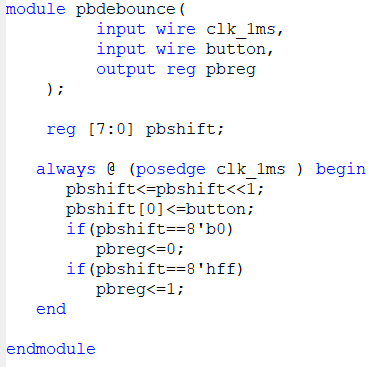
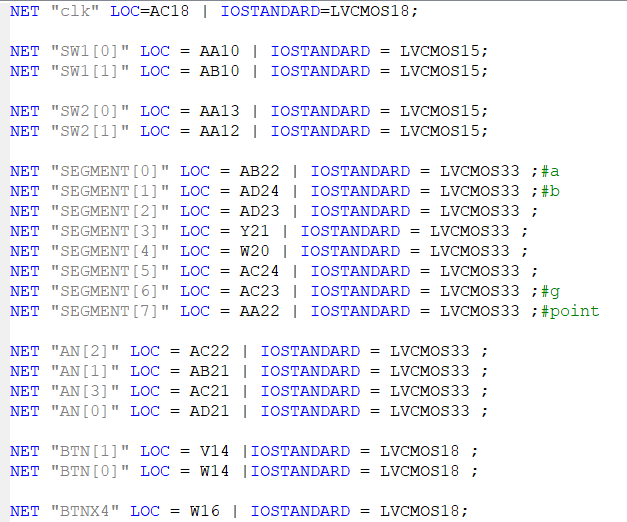
（1）新建工程，工程名称用MyALU，Top Level Source Type选择HDL。

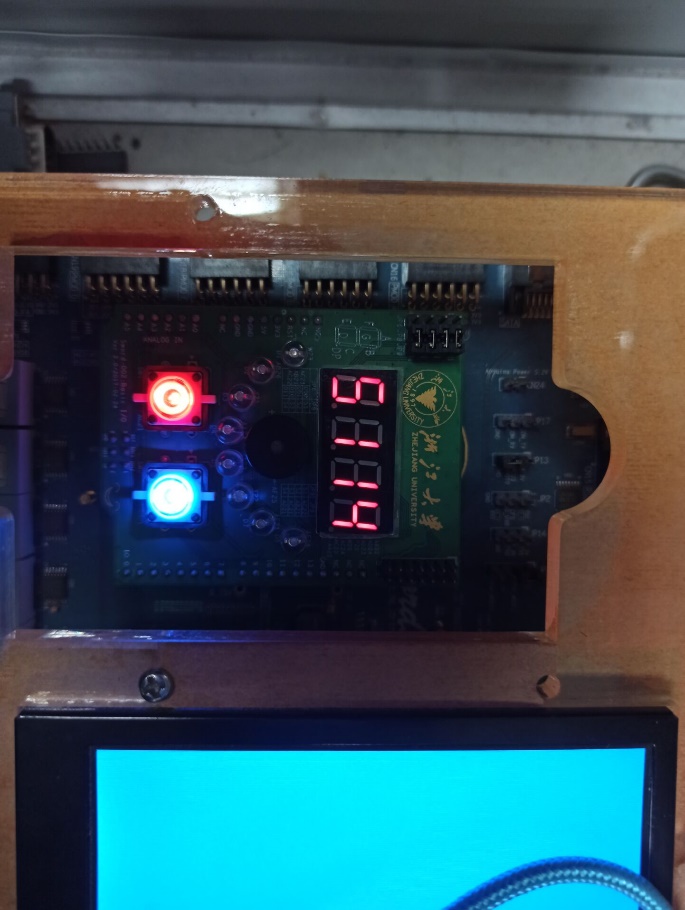
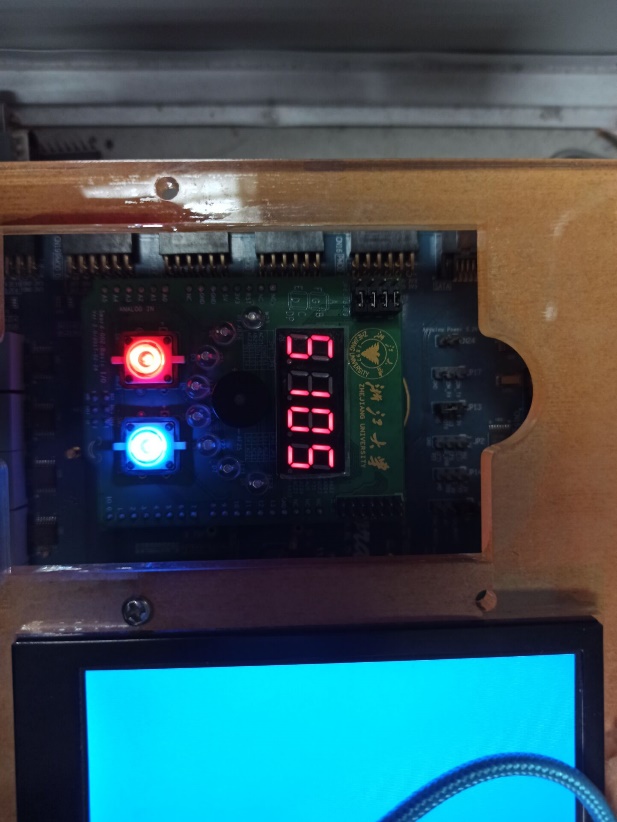
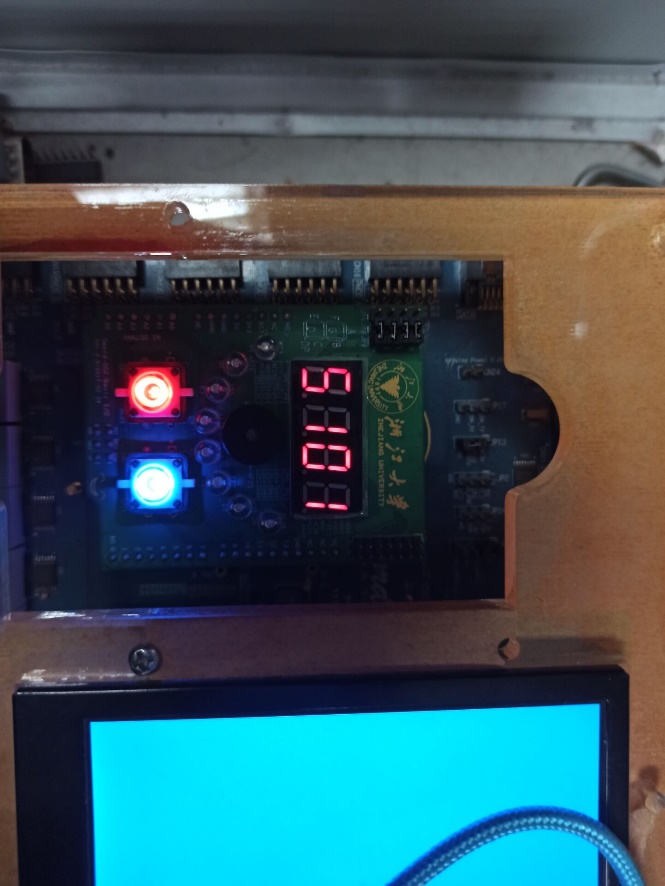
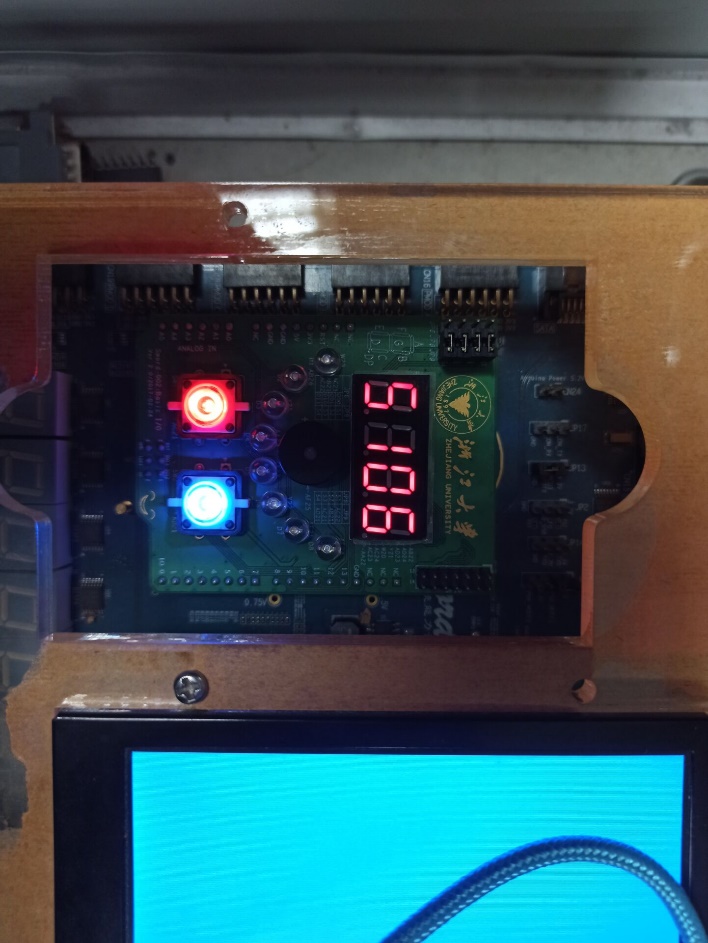
（2）新建源文件，类型为Verilog，文件名称用TOP，右键设为“Set As Top Module”。

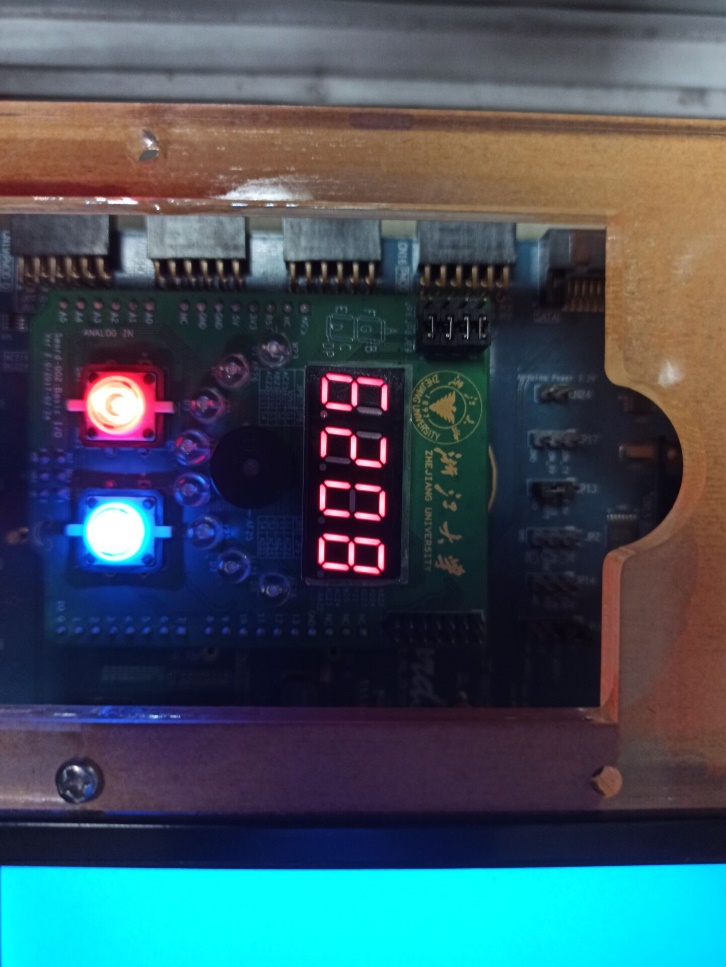
（3）新建源文件，设计pbdebounce按键防抖动模块。

（4）复用Lab7中设计的clkdiv时钟分频器，Create Number储存模块，DispNumber数码管显示模块，完成Top的Verilog编码。

（5）新建ucf文件输入引脚定义，并烧录到实验板上进行验证。可以观察到加、减、与、或、自加、自减六项功能正常运行。







**三、讨论、心得**

经过完成Lab9，我有些理解到了Verilog代码相较图形化输入方式的优势所在。图形化输入方式有其简单直观，易于上手的优势。在最开始的几次实验中我对Verilog代码是非常抗拒，当时认为有更“简便”的图形输入为什么不用呢。但现在意识到，当熟悉了Verilog的语法之后，代码输入进行设计往往比图形输入更有效率，例如decoder用图形输入需要几十个门电路分组连线，而用代码只需要一个switch语句；Verilog还可以实现很多用图形化器件难以直接完成的功能，例如clkdiv时钟分频器模块。

后面的实验与FrexT平台都将是对我Verilog代码能力的锻炼。