第五章 时序逻辑电路 雌名

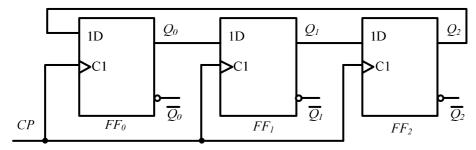
班级:	学号:			ē名:		
一、填空是						
1、时序逻	辑电路通常由	和	两部分组成。)		
2、根据时	序逻辑电路按各位触	发器接受	信号的不同,	可分为	步时月	亨逻辑 电
路和	_步时序逻辑电路两力	大类。				
3、通常用		_和	来描述时序逻辑电	路。		
4、时序逻	辑电路按照各位触发	器触发器的明	寸钟脉冲是否相同可	分为		和
	两大类。					
5、时序逻	辑电路中仅有存储电	路输出时,村	勾成的电路类型通常	7称为型	时序逻	辑电路;
如果电路轴	俞出除存储电路输出タ	小, 还包含组	合逻辑电路输出端	付,构成的电	路类型	称为
型田	寸序逻辑电路。					
6、可以用	来暂时存放数据的器	:件称为	,若要存储 4 位	江进制代码,	该器件	牛必须有
触发器。						
7、时序逻	辑电路中某计数器中	的无效码若在	生开机时出现,不用	人工或其它は	殳备的 ⁼	F预, 计
数器能够往	艮快自行进入	, 使无效码	下再出现的能力称为	ɪ能力	0	
8、若构成	一个六进制计数器,	至少要采用_	位触发器,这	时构成的电路	各有	_个有效
状态,	个无效状态。					
9、移位寄	存器除有	_的功能外,	还有功能。	>		
10、寄存器	是可用来存放数码、	运算结果或指	令的电路,通常由具	、有存储功能的	的多位_	器
组合起来村	勾成。一位器可	J以存储1个	二进制代码,存放 r	个二进制代码	冯的寄?	存器,需
用 n 位	器来构成。					
11、74LS1	94 是典型的四位	型集成双	向移位寄存器芯片,	具有	_、并行	输入、
		功能。				
12、通常标	莫值相同的同步计数器	器比异步计数	器的结构	,工作速度		0
二、判断是	9					
1、身		育自启动能力	0		()
2、①	吏用3个触发器构成的	的计数器最多	有8个有效状态。		()
3、	同步时序逻辑电路中名	み触发器的时	钟脉冲 CP 不一定相	同。	()
4、禾	间用一个 74LS90 可以	构成一个十二	上进制的计数器。		()
5、月	月移位寄存器可以构成	文 8421BCD 码	计数器。		()
6、n	noore 时序逻辑电路,	分析时可以	不写输出方程。		()
7, -	上进制计数器是用十进	性制数码"0~	~9"进行计数的。		()
8、禾	可用集成计数器芯片的	り预置数功能	可获得任意进制的证	十数器。	()
三、选择是						
1、打	描述时序逻辑电路功能	 能的两个必不	可少的重要方程式規	是()	0	
A	A、 次态方程和输出方	·程 B、	次态方程和驱动方	程		
(、驱动方程和时钟方	·程 D、	驱动方程和输出方	程		

- 2、用 8421BCD 码作为代码的十进制计数器,至少需要的触发器个数是()。)。
 - A, 2 B, 3 C, 4 D, 5
- 3、按触发器状态转换与时钟脉冲 CP 的关系分类, 计数器可分为 () 两大类。
- A、同步和异步 B、加计数和减计数 C、二进制和十进制
- 6、下列叙述正确的是()

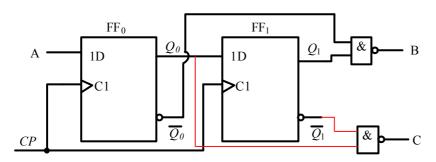
 - A、译码器属于时序逻辑电路 B、寄存器属于组合逻辑电路
 - C、555 定时器是典型的时序逻辑电路 D、计数器属于时序逻辑电路
- 8、设计1个能存放8位二进制代码的寄存器,需要()触发器。
- A、8位 B、2位 C、3位 D、4位
- 9、在下列器件中,不属于时序逻辑电路的是()

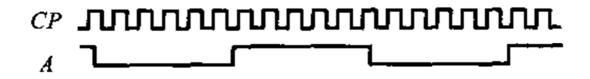
 - A、计数器 B、序列信号检测器 C、全加器 D、寄存器

- 四、计算分析题
- 5.1 时序电路如图所示,起始状态 $Q_0Q_1Q_2=001$,画出电路的时序图。



5.4 下图电路中,已知输入端 A、CP 的波形,试画出 B、C 端的波形,设触发器的起始状态 为零。





5.16 试分别画出用 74161 的异步清零和同步置数功能构成的下列计数器的连线图。

- (1) 10 进制计数器
- (3) 100 进制计数器

5.17 试分别画出用 74290 构成的下列计数器的连线图。

- (1)9进制计数器
- (3) 88 进制计数器