

## 第一章 逻辑代数

### 一、填空题

1. 逻辑代数的表示方法有真值表、逻辑函数式、卡诺图和逻辑图。
2. 逻辑变量和函数只有0 ; 1两种取值，而且它们只是表示两种不同的逻辑状态。
3. 逻辑代数的基本逻辑运算是与、或和非。
4. 描述逻辑函数各个变量取值组合和函数值对应关系的表格叫真值表。
5. 用、或、非等运算表示函数中各个变量之间描述逻辑关系的代数式叫逻辑表达式。
6. 最简与或式是指乘积项数最少，乘积项中变量数最少的与或式。
7. 约束项是不允许出现或不可能出现的变量取值组合，其值总是等于 0。
8. 任意两个最小项之积恒为0，全体最小项之和恒为1。
9. 逻辑函数 F 的卡诺图若全为 1 格，对应  $F = \underline{1}$ 。
10. 函数  $F = [(A\bar{B} + C)D + \bar{E}]B$  的反函数  $\bar{F} = [(\bar{A} + B)\bar{C} + \bar{D}]E + \bar{B}$ 。
11. 若逻辑函数  $F = A + B + \bar{C} + \bar{D} + E$ ，则其反函数  $\bar{F} = \bar{A} \cdot \bar{B} \cdot C \cdot D \cdot \bar{E}$ 。
12. 若  $XF + \bar{X}G = 1$ ，则有  $F = \underline{1}$ ， $G = \underline{1}$ 。
13. 函数  $F = A\bar{B} + AC + \bar{C}D + ADE$  的最简与或式为  $A\bar{B} + AC + \bar{C}D$ 。
14. 函数  $F = \overline{AB + BC} + \overline{AC}$  的最简与或式为  $\bar{B} + \bar{C} = \overline{BC}$ 。

## 第 3 章

### 一、填空题：

2. 用文字、符号或者数码表示特定对象的过程，叫做编码。
3. 用二进制代码表示有关对象的过程叫二进制编码；n 位二进制编码器有2个输入，有n个输出。
4. 将十进制数的十个数字编成二进制代码的过程叫十进制编码（或BCD编码）。
5. 在几个信号同时输入时，只对优先级别最高的进行编码叫优先编码。
6. 把代码的特定含义翻译出来的过程叫译码；n 位二进制译码器有n个输入，有2个输出，工作时译码器只有一个输出有效。

7. 两个 1 位二进制数相加叫做半加。两个同位的加和来自低位的进位三者相加叫做全加。
8. 从若干输入数据中选择一路作为输出的电路叫数据选择器。
9. 一个二进制编码器若需要对 12 个输入信号进行编码,则要采用4位二进制代码。
10. 5 变量输入译码器,其译码输出信号最多应有32个。
- 11、74LS147是10线—4线的集成优先编码器;74LS148芯片是8线—3线的集成优先编码器。
- 12、74LS148的使能端 $\overline{S}$  = 为低电平时允许编码;当 $\overline{S}$  = 1时各输出端及 $\overline{O_E}$ 、 $\overline{G_S}$ 均封锁,编码被禁止。
- 13、两片集成译码器74LS138芯片级联可构成一个4线—16线译码器。
- 14、LED是指半导体数码管显示器件。
- 15、一个存储矩阵有 64 行、64 列,则存储容量为4096个存储单元。
- 16、ROM 按照存储信息写入方式的不同可分为固定ROM、可编程的PROM、可光擦除可编程的 EPROM 和 可电擦除可编程的 E<sup>2</sup>PROM。

## 二、判断正误题

- 1、组合逻辑电路的输出只取决于输入信号的现态。( 对 )
- 2、3线—8线译码器电路是三一八进制译码器。( 错 )
- 3、已知逻辑功能,求解逻辑表达式过程称为逻辑电路的设计。( 对 )
- 4、编码电路的输入量一定是人们熟悉的十进制数。( 错 )
- 5、74LS138集成芯片可以实现任意变量的逻辑函数。( 错 )
- 6、组合逻辑电路中的每一个门实际上都是一个存储单元。( 错 )
- 7、共阴极结构的显示器需要低电平驱动才能显示。( 错 )
- 8、只有最简的输入、输出关系,才能获得结构最简的逻辑电路。( 对 )

## 三、选择题

- 1、下列各型号中属于优先编码器是 ( C )。  
A、74LS85      B、74LS138      C、74LS148      D、74LS48
- 3、八输入端的编码器按二进制数编码时,输出端的个数是 ( B )。  
A、2个      B、3个      C、4个      D、8个
- 4、四输入的译码器,其输出端最多为 ( D )。  
A、4个      B、8个      C、10个      D、16个
- 5、当74LS148的输入端 $\overline{I_0} \sim \overline{I_7}$ 按顺序输入11011101时,输出 $\overline{Y_2} \sim \overline{Y_0}$ 为 ( C )。  
A、101      B、010      C、001      D、110
- 6、译码器的输入量是 ( A )。

- A、二进制      B、八进制      C、十进制      D、十六进制
- 7、编码器的输出量是 ( A )。
- A、二进制      B、八进制      C、十进制      D、十六进制
- 8、一个容量为  $1K \times 8$  的存储器有 ( B ) 个存储单元。
- A.8      B.8K      C.8000      D.9018

## 第 4 章

### 一、填空题

- 1、两个与非门构成的基本 RS 触发器的功能有 置 0、置 1 和 保持。电路中不允许两个输入端同时为 低电平，否则将出现逻辑混乱。
- 2、通常把一个 CP 脉冲引起触发器多次翻转的现象称为 空翻，有这种现象的触发器是 钟控的 RS 触发器，此类触发器的工作属于 电平 触发方式。
- 3、为有效地抑制“空翻”，人们研制出了 边沿 触发方式的 主从型 JK 触发器和 维持阻塞型 D 触发器。
- 4、JK 触发器具有 置 0、置 1、保持 和 翻转 四种功能。欲使 JK 触发器实现  $Q^{n+1} = \bar{Q}^n$  的功能，则输入端 J 应接 高电平 1，K 应接 高电平 1。
- 5、D 触发器的输入端子有 1 个，具有 置 0 和 置 1 的功能。
- 6、触发器的逻辑功能通常可用 特征方程、状态转换图、功能真值表 和 时序波形图 等多种方法进行描述。
- 7、组合逻辑电路的基本单元是 门电路，时序逻辑电路的基本单元是 触发器。
- 8、JK 触发器的次态方程为  $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$ ；D 触发器的次态方程为  $Q^{n+1} = D^n$ 。
- 9、触发器有两个互非的输出端  $Q$  和  $\bar{Q}$ ，通常规定  $Q=1$ ， $\bar{Q}=0$  时为触发器的 1 状态； $Q=0$ ， $\bar{Q}=1$  时为触发器的 0 状态。
- 10、两个与非门组成的基本 RS 触发器，正常工作时，不允许  $\bar{R} = \bar{S} =$  0，其特征方程为  $Q^{n+1} = \bar{S} + \bar{R}Q^n$ ，约束条件为  $\bar{R} + \bar{S} = 1$ 。  
(或  $Q^{n+1} = S + \bar{R}Q^n$ ，约束条件为  $SR=0$ 。)
- 11、钟控的 RS 触发器，在正常工作时，不允许输入端  $R=S=$  1，其特征方程为  $Q^{n+1} = S + \bar{R}Q^n$  (CP=1)，约束条件为  $SR=0$ 。
- 12、把 JK 触发器 两个输入端子连在一起作为一个输入 就构成了 T 触发器，T 触发器具有的逻辑功能是 保持 和 翻转。
- 13、让 T 触发器恒输入“1”就构成了 T' 触发器，这种触发器仅具有 翻转 功

能。

## 二、正误识别题

- 1、仅具有保持和翻转功能的触发器是 RS 触发器。 ( 错 )
- 2、基本的 RS 触发器具有“空翻”现象。 ( 错 )
- 3、钟控的 RS 触发器的约束条件是： $R+S=0$ 。 ( 错 )
- 4、JK 触发器的特征方程是： $Q^{n+1} = J\bar{Q}^n + KQ^n$ 。 ( 错 )
- 5、D 触发器的输出总是跟随其输入的变化而变化。 ( 对 )
- 6、CP=0 时，由于 JK 触发器的导引门被封锁而触发器状态不变。 ( 对 )
- 7、主从型 JK 触发器的从触发器开启时刻在 CP 下降沿到来时。 ( 对 )
- 8、触发器和逻辑门一样，输出取决于输入现态。 ( 错 )

## 三、选择题

- 1、仅具有置“0”和置“1”功能的触发器是 ( C )。  
A、基本 RS 触发器      B、钟控 RS 触发器  
C、D 触发器      D、JK 触发器
- 2、由与非门组成的基本 RS 触发器不允许输入的变量组合  $\bar{S} \cdot \bar{R}$  为 ( A )。  
A、00      B、01      C、10      D、11
- 3、钟控 RS 触发器的特征方程是 ( D )。  
A、 $Q^{n+1} = \bar{R} + Q^n$       B、 $Q^{n+1} = S + Q^n$   
C、 $Q^{n+1} = R + \bar{S}Q^n$       D、 $Q^{n+1} = S + \bar{R}Q^n$
- 4、仅具有保持和翻转功能的触发器是 ( B )。  
A、JK 触发器      B、T 触发器      C、D 触发器      D、T' 触发器
- 5、触发器由门电路构成，但它不同门电路功能，主要特点是具有 ( C )  
A、翻转功能      B、保持功能      C、记忆功能      D、置 0 置 1 功能
- 6、TTL 集成触发器直接置 0 端  $\bar{R}_D$  和直接置 1 端  $\bar{S}_D$  在触发器正常工作时应 ( C )  
A、 $\bar{R}_D=1, \bar{S}_D=0$       B、 $\bar{R}_D=0, \bar{S}_D=1$   
C、保持高电平“1”      D、保持低电平“0”
- 7、按触发器触发方式的不同，双稳态触发器可分为 ( C )  
A、高电平触发和低电平触发      B、上升沿触发和下降沿触发  
C、电平触发或边沿触发      D、输入触发或时钟触发
- 8、按逻辑功能的不同，双稳态触发器可分为 ( D )。  
A、RS、JK、D、T 等      B、主从型和维持阻塞型  
C、TTL 型和 MOS 型      D、上述均包括
- 9、为避免“空翻”现象，应采用 ( B ) 方式的触发器。  
A、主从触发      B、边沿触发      C、电平触发

10、为防止“空翻”，应采用（ C ）结构的触发器。

A、TTL

B、MOS

C、主从或维持阻塞

## 第 5 章

### 一、填空题

1、时序逻辑电路通常由 组合逻辑电路 和 存储电路 两部分组成。

2、根据时序逻辑电路按各位触发器接受 时钟脉冲控制 信号的不同，可分为 同步 时序逻辑电路和 异步 时序逻辑电路两大类。

3、通常用 驱动方程、状态方程 和 输出方程 来描述时序逻辑电路。

4、时序逻辑电路按照各位触发器触发的时钟脉冲是否相同可分为 同步时序逻辑电路 和 异步时序逻辑电路 两大类。

5、时序逻辑电路中仅有存储电路输出时，构成的电路类型通常称为 莫尔 型时序逻辑电路；如果电路输出除存储电路输出外，还包含组合逻辑电路输出端时，构成的电路类型称为 米莱 型时序逻辑电路。

6、可以用来暂时存放数据的器件称为 寄存器，若要存储 4 位二进制代码，该器件必须有 4 位 触发器。

7、时序逻辑电路中某计数器中的无效码若在开机时出现，不用人工或其它设备的干预，计数器能够很快自行进入 有效循环体，使无效码不再出现的能力称为 自启动 能力。

8、若构成一个六进制计数器，至少要采用 三 位触发器，这时构成的电路有 6 个有效状态，2 个无效状态。

9、移位寄存器除有 存储代码 的功能外，还有 移位 功能。

10、寄存器是可用来存放数码、运算结果或指令的电路，通常由具有存储功能的多位 触发 器组合起来构成。一位 触发 器可以存储 1 个二进制代码，存放 n 个二进制代码的寄存器，需用 n 位 触发 器来构成。

11、74LS194 是典型的四位 TTL 型集成双向移位寄存器芯片，具有 左移和右移、并行输入、保持数据 和 清除数据 等功能。

12、通常模值相同的同步计数器比异步计数器的结构 复杂，工作速度 快。

### 二、判断题

1、集成计数器通常都具有自启动能力。 (对)

2、使用 3 个触发器构成的计数器最多有 8 个有效状态。 (对)

3、同步时序逻辑电路中各触发器的时钟脉冲 CP 不一定相同。 (错)

4、利用一个 74LS90 可以构成一个十二进制的计数器。 (错)

- 5、用移位寄存器可以构成 8421BCD 码计数器。 (错)
- 6、moore 时序逻辑电路，分析时可以不写输出方程。 (对)
- 7、十进制计数器是用十进制数码“0~9”进行计数的。 (错)
- 8、利用集成计数器芯片的预置数功能可获得任意进制的计数器。 (对)

### 三、选择题

- 1、描述时序逻辑电路功能的两个必不可少的重要方程式是 ( B )。
- A、次态方程和输出方程      B、次态方程和驱动方程
- C、驱动方程和时钟方程      D、驱动方程和输出方程
- 2、用 8421BCD 码作为代码的十进制计数器，至少需要的触发器个数是 ( C )。
- A、2      B、3      C、4      D、5
- 3、按触发器状态转换与时钟脉冲 CP 的关系分类，计数器可分为 ( A ) 两大类。
- A、同步和异步      B、加计数和减计数      C、二进制和十进制
- 6、下列叙述正确的是 ( D )
- A、译码器属于时序逻辑电路      B、寄存器属于组合逻辑电路
- C、555 定时器是典型的时序逻辑电路      D、计数器属于时序逻辑电路
- 8、设计 1 个能存放 8 位二进制代码的寄存器，需要 ( A ) 触发器。
- A、8 位      B、2 位      C、3 位      D、4 位
- 9、在下列器件中，不属于时序逻辑电路的是 ( C )
- A、计数器      B、序列信号检测器      C、全加器      D、寄存器

## 第 6 章

### 一、填空题：

- 1、斯密特触发器属于 双 稳态电路。斯密特触发器的主要用途有 整形电路、脉冲鉴幅 等。
- 2、单稳态触发器在触发脉冲的作用下，从稳定状态转换到暂稳状态。依靠自身作用，又能自动返回到稳定状态。
- 3、多谐振荡器电路没有稳态，电路不停地在暂稳状之间转换，因此又称作自激振荡器。
- 4、555 定时器的最后数码为 555 的是 TTL 产品，为 7555 的是 CMOS 产品。
- 5、施密特触发器具有 回差 现象，又称电压滞后特性；单稳触发器最重要的参数为脉宽。
- 6、常见的脉冲产生电路有 多谐振荡器，常见的脉冲整形电路有单稳态触发器、施

密特触发器。

7、为了实现高的频率稳定度，常采用石英晶体振荡器；单稳态触发器受到外触发时进入暂稳态。

8、555 定时器可以构成施密特触发器，主要用于脉冲波形的整形和变换；555 定时器还可以用作多谐振荡器和单稳态触发器。

## 二、判断正、误

- 1、施密特触发器可用于将三角波变换成正弦波。 ( 错 )
- 2、施密特触发器有两个稳态。 ( 对 )
- 3、多谐振荡器的输出信号的周期与阻容元件的参数成正比。 ( 对 )
- 4、石英晶体多谐振荡器的振荡频率与电路中的 R、C 成正比。 ( 错 )
- 5、单稳态触发器的暂稳态时间与输入触发脉冲宽度成正比。 ( 错 )
- 6、单稳态触发器的暂稳态维持时间用  $t_w$  表示，与电路中 RC 成正比。 ( 对 )
- 7、采用不可重触发单稳态触发器时，若在触发器进入暂稳态期间再次受到触发，输出脉宽可在此前暂稳态时间的基础上再展宽  $t_w$ 。 ( 错 )
- 8、施密特触发器的正向阈值电压一定大于负向阈值电压。 ( 对 )

## 三、选择题

1. 脉冲整形电路有C。  
A.多谐振荡器 B.双稳态触发器 C.施密特触发器 D.555 定时器
- 2、多谐振荡器可产生B。  
A.正弦波 B.矩形脉冲 C.三角波 D.锯齿波
- 3、石英晶体多谐振荡器的突出优点是C。  
A.速度高 B.电路简单 C.振荡频率稳定 D.输出波形边沿陡峭
- 4、TTL 单定时器型号的最后几位数字为A。  
A.555 B.556 C.7555 D.7556
- 5、555 定时器可以组成ABC。  
A.多谐振荡器 B.单稳态触发器 C.施密特触发器 D.JK 触发器
- 6、用 555 定时器组成施密特触发器，当输入控制端 CO 外接 10V 电压时，回差电压为B。  
A.3.33V B.5V C.6.66V D.10V
- 7、以下各电路中，B可以产生脉冲定时。  
A.多谐振荡器 B.单稳态触发器 C.施密特触发器 D.石英晶体

## 多谐振荡器