

# CODH 作业 4

张博厚 PB22071354

## 4.16

1. 流水线: 350ps, 非流水线: 1250ps.
2. 在两种处理器中, 对于 ld 指令的延迟均为 1250ps.
3. 拆分 ID, 新处理器时钟周期为 300ps.

## 4.23

1. 流水线级数的减少不一定会影响时钟周期, 这取决于延迟最长的流水线级是否改变.
2. 可能提高性能. 将 MEM 和 EX 阶段重叠会减少一条指令执行完毕所需的时钟周期数, 同时可以减少 ld 指令与使用其结果的 R 型指令之间的阻塞, 因此可能提高性能.
3. 也可能降低性能. 使用寄存器作为访存地址而不需要立即数偏移, 可能会需要在原本的访存指令前添加 addi 指令, 使得需要执行的总指令数增加.