

# CODH 作业 3

张博厚 PB22071354

## 单周期部分

### 4.1

1. 控制信号:  $\text{RegWrite}=1$ ,  $\text{ALUSrc}=0$ ,  $\text{ALU operation}=4'd4$ ,  $\text{MemRead}=0$ ,  $\text{MemWrite}=0$ ,  $\text{MemtoReg}=0$ .
2. 所用到的部件为 Registers, ALU 和两个 MUX.
3. ImmGen 没有产生输出, DataMemory 的输出没有被用到.

### 4.7

1. R-type:  $30+250+150+25+200+25+20 = 700\text{ps}$ .
2. ld:  $30+250+150+25+200+250+25+20 = 950\text{ps}$ .
3. sd:  $30+250+150+200+25+250 = 905\text{ps}$ .
4. beq:  $30+250+150+25+200+5+25+20 = 705\text{ps}$ .
5. I-type:  $30+250+150+25+25+20 = 700\text{ps}$ .
6. 最短时钟周期为  $950\text{ps}$ .

## 思考题

1. 寻址方式如何实现?  
Registers: 通过指令译码得到地址.  
DataMemory: 通过 ALU 计算得到地址.  
InstMemory: 通过 PC 得到地址.
2. 周期宽度如何确定?  
需要观察数据通路, 找到最长的一条通路, 计算该通路上各功能部件延迟以得到数据通路最大延迟, 周期宽度应不小于这个值.

3. 能否” 在一个 clk 内完成”

同 2, 分别计算最大时延和周期宽度后比较, 若周期宽度大于等于最大延迟, 则可以在一个 clk 内完成, 否则不能.

4. 能否将两个 adder 合而为一?

不可以. 对单周期 CPU 而言, 两个 adder 的使用在同一个时钟周期内完成, 同时进行, 若合二为一会造成冲突.

5. 能否将两个 Memory 合而为一?

不可以. 单周期 CPU 中对指令的读取和对数据的读写操作在同一个时钟周期内完成, 若将两个 Memory 合成为一个单端口 ram, 则不能同时满足.

## 多周期部分

1. 每一类指令的指令周期内包含多少时钟周期?

R 型指令: 4.          I 型指令: 4.

S 型指令: 5.          B 型指令: 3.

2. 分别分析 R/I/S/B-type 指令的多周期设计方案中每个周期用到的功能部件.

R 型指令: Memory, IR, Registers, A, B, ALU, MUX, ALUOut.

I 型指令: Memory, IR, Registers, SignExtend, A, B, ALU, ALUOut, MUX, MDR(对 lw).

S 型指令: Memory, IR, Registers, A, B, ALU, MUX, ALUOut, B 型指令: Memory, IR, Registers, A, B, ALU, MUX, ALUOut, PCMUX.