3주차 예비보고서

전공 : 컴퓨터공학과 학년 : 3학년 학번 : 20211558 이름 : 윤준서

**1. Transistor-Level of AND/OR/NOT**

텍스트, 도표, 폰트, 라인이(가) 표시된 사진

자동 생성된 설명

**2. Logic of AND/OR/NOT**

AND 게이트는 두 개 이상의 입력 신호를 받는다. 모든 입력 신호가 True일 때 True를 출력하고, 하나라도 False인 경우 False를 출력한다.

OR 게이트는 두 개 이상의 입력 신호를 받는다. 하나라도 입력 신호가 True일 때 True를 출력하고, 모든 입력 신호가 False인 경우 False를 출력한다.

NOT 게이트는 Interver라고도 불린다. 입력 신호를 반전시켜 출력한다. 입력 신호가 True일 때 False를 출력하고, 입력 신호가 False인 경우 True를 출력한다.

**3. Fan-out**

Fan-out이란 하나의 논리 게이트 출력에 얼마나 많은 논리 게이트 입력이 사용되는지를 의미한다. Fan-out이 클 수록 게이트 입력이 증가하므로 회로에 무리가 가해져 신호가 제대로 전달되지 않을 수 있다. Fan-out을 넘는 게이트 입력이 부가되면 회로가 손상될 수도 있다.

Fan-out이 커져 생기는 문제점을 보완하기 위해 회로 중간에 출력전류의 용량이 큰 버퍼를 사용하거나, 여러 개의 버퍼를 사용하여 부하를 분담시킬 수 있다.

**4. 전파지연**

전파 지연은 신호 값의 변화가 입력에서 출력까지 전달되는데 걸리는 평균시간을 의미한다. 전파 지연은 논리 게이트의 개수에 영향을 받는데, 게이트의 개수가 많을 수록 신호가 통과하는데 걸리는 지연 시간이 증가하기 때문이다. 다음은 전파 지연을 구하는 식이다.

**TPD = (TPHL + TPLH) \* 1/2**

TPD : 전파 지연

TPHL : 입력 신호에 반응하여 출력이 True에서 False로 변화하는데 걸리는 시간

TPLH : 입력 신호에 반응하여 출력이 False에서 True로 변화하는데 걸리는 시간

**5. Task & Function of Verilog**

Verilog의 Task와 Function은 코드의 재사용성을 높이고, 복잡한 설계를 단순화하는 데 사용되는 구조다. 둘의 목적은 비슷하지만 사용에 차이가 있다. 다음은 Task와 Function의 각 특징이다.

**Task**

Task는 여러 개의 입력과 출력, 변수를 가질 수 있는 일련의 동작을 정의한다.

- 여러 개의 출력이 가능하다.

- 시간 지연을 포함할 수 있다.

- 입력 변수와 출력 변수를 직접 변경할 수 있다.

- Blocking 작업 등 복잡한 작업에 적합하다.

**Function**

Function은 입력을 받아 하나의 값을 반환하는 단순한 연산을 정의한다.

- 하나만 출력이 가능하다.

- 시간 지연을 포함할 수 없다.

- 출력 변수를 따로 정의할 수 없다.

- 논리 연산 등 단순한 작업에 적합하다.