8주차 결과보고서

전공 : 컴퓨터공학과 학년 : 3학년 학번 : 20211558 이름 : 윤준서

**1. 실험 목적**

• 7-Segment Display의 개념을 이해한다.

• Verilog를 사용하여 7-Sement Display를 구현한다.

• 입력 신호를 생성한 후 Simulation을 통해 각 구현된 Gate 동작을 확인한다.

• FPGA를 통해서 Verilog로 구현된 회로의 동작을 확인한다.

**2. 7-Segment Display**

7-Segment Display의 입력에 따른 각 변 a, b, c, d, e, f, g와 dp의 진리표는 다음과 같다.

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| w | x | y | z | a | b | c | d | e | f | g | dp |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |

각 변과 dp를 카르노 맵으로 나타내면 다음과 같다.

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| a | | | | | b | | | | |
| yz  wx | 00 | 01 | 11 | 10 | yz  wx | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 1 | 1 | 00 | 1 | 1 | 1 | 1 |
| 01 | 0 | 1 | 1 | 1 | 01 | 1 | 0 | 1 | 0 |
| 11 | 1 | 0 | 1 | 1 | 11 | 0 | 1 | 0 | 0 |
| 10 | 1 | 1 | 0 | 1 | 10 | 1 | 1 | 0 | 1 |

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| c | | | | | d | | | | |
| yz  wx | 00 | 01 | 11 | 10 | yz  wx | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 1 | 0 | 00 | 1 | 0 | 1 | 1 |
| 01 | 1 | 1 | 1 | 1 | 01 | 0 | 1 | 0 | 1 |
| 11 | 0 | 1 | 0 | 0 | 11 | 1 | 1 | 0 | 1 |
| 10 | 1 | 1 | 1 | 1 | 10 | 1 | 0 | 1 | 0 |

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| e | | | | | f | | | | |
| yz  wx | 00 | 01 | 11 | 10 | yz  wx | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 0 | 1 | 00 | 1 | 0 | 0 | 0 |
| 01 | 0 | 0 | 0 | 1 | 01 | 1 | 1 | 0 | 0 |
| 11 | 1 | 1 | 1 | 1 | 11 | 1 | 0 | 1 | 1 |
| 10 | 1 | 0 | 1 | 1 | 10 | 1 | 1 | 1 | 1 |

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| g | | | | | dp | | | | |
| yz  wx | 00 | 01 | 11 | 10 | yz  wx | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 1 | 1 | 00 | 1 | 1 | 1 | 1 |
| 01 | 1 | 1 | 0 | 1 | 01 | 1 | 1 | 1 | 1 |
| 11 | 0 | 1 | 1 | 1 | 11 | 1 | 1 | 1 | 1 |
| 10 | 1 | 1 | 1 | 1 | 10 | 1 | 1 | 1 | 1 |

카르노 맵을 통해 얻은 논리식은 다음과 같다.

**a = wx'y' + w'xz + w'y + wz' + xy + x'z'**

**b = wy'z + w'yz + w'y'z' + w'x' + x'z'**

**c = wx' + w'x + w'y' + w'z + y'z**

**d = wy'z' + w'x'z' + xy'z + xyz' + x'yz**

**e = wx + wy + x'z' + yz'**

**f = w'xy' + wx' + wy + xz' + y'z'**

**g = w'xy' + wx' + wz + x'y + yz'**

**dp = 1**

논리식을 통해 얻은 Schematic과 Simulation 결과는 다음과 같다.

텍스트, 도표, 평면도, 개략도이(가) 표시된 사진

자동 생성된 설명

스크린샷, 멀티미디어 소프트웨어, 소프트웨어, 그래픽 소프트웨어이(가) 표시된 사진

자동 생성된 설명

**3. 결과 검토 및 논의 사항**

카르노 맵을 통해 논리식을 도출하여 FPGA를 실행시켜 7-Segment Display의 작동 과정을 직접 확인할 수 있다. 하지만 카르노 맵에서 숫자를 묶을 때 진리표의 don't care 값을 함께 묶으면 오류가 발생할 가능성이 있다. 따라서 don't care 값을 최대한 없애면서 진리표를 작성하거나, 카르노 맵을 다룰 때 don't care 값을 묶지 않는 것이 오류를 방지할 수 있다.

dp는 7-Segment Display에 불이 켜져야 하는지 꺼져야 하는지 판단하는 데에 사용하는 변수다. 7-Segment Display는 0부터 9까지의 모든 입력해 대해 적어도 하나의 변에 불이 켜지므로 위의 실험에서 dp의 값은 항상 1이다.

**4. 추가 이론**

위의 실험을 통해 7-Segment Display를 통해 0부터 9까지의 숫자를 출력할 수 있음을 알 수 있다. 하지만 don't care 값을 사용하지 않고 카르노 맵을 통해 논리식을 도출한 경우 16진법의 a, b, c, d, e, f도 오류 없이 출력할 수 있다. 이는 10진수로 각각 10, 11, 12, 13, 14, 15의 값에 해당한다.

라인, 폰트, 화이트, 디자인이(가) 표시된 사진

자동 생성된 설명