11주차 결과보고서

전공 : 컴퓨터공학과 학년 : 3학년 학번 : 20211558 이름 : 윤준서

**1. RS Flip-Flop**

• NAND case

NAND gate로 표현한 RS Flip-Flop의 verilog source code는 다음과 같다.

텍스트, 폰트, 스크린샷, 화이트이(가) 표시된 사진

자동 생성된 설명텍스트, 영수증, 스크린샷, 폰트이(가) 표시된 사진

자동 생성된 설명

source code를 통한 simulation 결과는 다음과 같다.

스크린샷, 사각형, 다채로움이(가) 표시된 사진

자동 생성된 설명

• NOR case

NOR gate로 표현한 RS Flip-Flop의 verilog source code는 다음과 같다.

텍스트, 폰트, 스크린샷, 화이트이(가) 표시된 사진

자동 생성된 설명텍스트, 폰트, 스크린샷, 영수증이(가) 표시된 사진

자동 생성된 설명

source code를 통한 simulation 결과는 다음과 같다.

스크린샷, 사각형, 다채로움이(가) 표시된 사진

자동 생성된 설명

NAND gate와 NOR gate의 simulation 결과를 통해 작성한 truth table은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 입력 순서 | R | S | Q | Q' |
| 1 | 0 | 1 | 1 | 0 |
| 2 | 0 | 0 | 1 | 0 |
| 3 | 1 | 0 | 0 | 1 |
| 4 | 0 | 0 | 0 | 1 |
| 5 | 1 | 0 | 0 | 1 |
| 6 | 1 | 1 | X | X |

**2. D Flip-Flop**

D Flip-Flop의 verilog source code는 다음과 같다.

텍스트, 스크린샷, 폰트, 영수증이(가) 표시된 사진

자동 생성된 설명텍스트, 폰트, 영수증, 화이트이(가) 표시된 사진

자동 생성된 설명텍스트, 폰트, 영수증, 스크린샷이(가) 표시된 사진

자동 생성된 설명

source code를 통한 simulation 결과는 다음과 같다.

스크린샷이(가) 표시된 사진

자동 생성된 설명

simulation 결과를 통해 작성한 truth table은 다음과 같다.

|  |  |  |  |
| --- | --- | --- | --- |
| 입력 순서 | D | Q | Q' |
| 1 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 |
| 3 | 1 | 1 | 0 |
| 4 | 0 | 0 | 1 |
| 5 | 1 | 1 | 0 |
| 6 | 1 | 1 | 0 |

**3. 결과 검토 및 논의 사항**

**RS Flip-Flop**

RS Flip-Flop은 clock의 edge에서 입력 변수 R, S의 값이 1, 0일 때 출력 변수 Q가 reset 되면서 0이 된다. 반대로 R, S의 값이 0, 1일 때 Q가 set 되면서 1이 된다. 그리고 clock의 edge 외의 부분이거나 R, S의 값이 0, 0일 때 Q는 현재 값을 계속 유지한다. 하지만 R, S의 값이 1, 1인 경우는 해당 Flip-Flop에서 다루지 않는다. 이와 같이 clock의 edge에서 상태가 변하는 형식을 edge trigger이라고 한다.

이번 실습에서 NAND gate와 NOR gate로 RS Flip-Flop을 구현했는데, 각각의 케이스에서 Q와 연결되는 입력 변수가 서로 다르다. 위의 코드를 확인하면 NAND gate의 경우 S가 Q를 출력하는 데 사용되고, NOR gate의 경우 R이 Q를 출력하는 데 사용됨을 알 수 있다.

simulation 결과를 보면 R, S의 값이 1, 1일 때 NAND gate와 NOR gate의 Q값이 서로 다른 것을 확인할 수 있다. RS Flip-Flop에서 R, S의 값이 1, 1인 경우는 다루지 않으므로 해당 케이스일 때 Q의 값은 X(don't care)이므로 오류와 상관이 없음을 알 수 있다.

**D Flip-Flop**

D Flip-Flop은 clock의 edge에서 입력 변수 D의 값이 출력 변수 Q에 똑같이 전달된다. 즉 D의 값이 1일 때 Q의 값은 1이고, D의 값이 0일 때 Q의 값도 0이다.

D Flip-Flop에서도 edge trigger 방식을 사용했는데, clock의 edge를 표현하기 위해 source code에서 조건문을 사용한 것을 알 수 있다.

**4. 추가 이론**

JK Flip-Flop은 두 입력 변수의 값이 1, 1인 경우를 다루지 않는 SR Flip-Flop을 보완하기 위해 만든 Flip-Flop이다. 두 입력 변수 J, K의 값이 0, 0인 경우 출력 변수 Q의 값은 그대로 유지된다. J, K의 값이 1, 0인 경우 Q의 값은 1이 된다. J, K의 값이 0, 1인 경우 Q의 값은 0이 된다. 그리고 J, K의 값이 1, 1인 경우에는 Q는 이전과 보수되는 값이 된다.

T Flip-Flop은 toggle의 성질을 지닌다. 입력 변수 T의 값이 0인 경우 출력 변수 Q의 값은 그대로 유지된다. 하지만 T의 값이 1인 경우 Q는 이전과 보수되는 값이 된다.

Latch는 Flip-Flop과 달리 clock을 사용하지 않는 회로다. 다만 enable의 성질을 지닌 입력 변수를 추가로 사용하기도 한다. 이외의 형태는 Flip-Flop과 유사하다.