11주차 예비보고서

전공 : 컴퓨터공학과 학년 : 3학년 학번 : 20211558 이름 : 윤준서

**1. RS 플립-플롭**

플립플롭은 논리 게이트의 피드백 루프에 1bit의 정보를 보관 및 유지할 수 있는 기억 장치다. 전기 신호가 지속적으로 공급되어야만 정보를 유지할 수 있는 휘발성 메모리이다. 그 형태에 따라 RS, JK, D, T 플립-플롭으로 나뉜다.

RS 플립-플롭은 두 입력 변수 S, R를 가지는 플립-플롭이다. S와 R의 값이 모두 0일 때 플립-플롭의 결과 값은 유지된다. 이때 S의 값이 1인 경우 결과 값은 1(Set), 반대로 R의 값이 1인 경우 결과 값은 0(Reset)이 된다. RS 플립-플롭은 S와 R 모두 값이 1인 경우는 다루지 않는다.

**2. JK 플립-플롭**

JK 플립-플롭은 RS 플립-플롭과 T 플립-플롭을 결합한 형태다. RS 플립-플롭은 두 입력 값이 모두 1인 경우를 다루지 않는데, JK 플립-플롭은 이를 제외하지 않고 결과 값을 반전하는 특징을 가진다. 이외의 입력의 결과는 JK 플립-플롭과 동일하다.

**3. D 플립-플롭**

D(Delay) 플립-플롭은 하나의 입력 변수 D만을 다루는 가장 간단한 플립-플롭이다. D 플립-플롭의 결과 값은 입력 값과 동일하다.

**4. T 플립-플롭**

T(Toggle) 플립-플롭은 입력 변수 T의 값이 1일 때 현재 출력 결과 반전하는 플립-플롭이다. 반대로 T의 값이 0인 경우 현재 결과 값을 계속 유지한다.

**5. Latch**

Latch는 이전의 출력 결과를 다음 입력 값으로 사용하는 저장 기능이 있는 회로다. 2개의 출력 변수는 서로 보수 관계인 특징이 있으며, 나머지 입력 변수의 값에 따라 출력 값이 정해진다. 나머지 입력 변수와 이전의 출력 변수가 현재의 출력 변수의 값(상태 값)을 유지시키는 상태를 Set이라 한다. 반대로 나머지 입력 변수의 값이 변해 현재의 출력 변수의 값(상태 값)이 바뀌는 상태를 Reset이라 한다. Latch는 나머지 입력 변수 또한 보통 2개인데, 두 값이 모두 1이면 회로가 불안정해져서 해당 경우는 제외한다. Latch의 종류에는 플립-플롭과 유사하게 SR Latch, D Latch 등이 있다.

**6. Clock**

참을 뜻하는 논리상태 High와 거짓을 뜻하는 논리상태 Low가 주기적으로 나타나는 방형파 신호를 Clock이라 한다. 순차 논리 회로가 정확한 동작을 하려면 각 단계의 작업이 동시에 발맞추어 진행되야 하는데, 정해진 주파수로 모든 순차 논리 회로에 펄스를 내보내는 Clock이 사용된다.

클럭 신호에서 T를 한 사이클의 길이를 의미하는 주기, Clock period라고 하며, 주기 T의 역수를 통해 Clock 신호의 주파수를 구할 수 있다. 예를 들어 Clock의 주기 T가 5 nsec일 때, 이 Clock의 주파수 f는 T의 역수인 200 MHz(메가 헤르츠)다. 그리고 한 주기 동안 논리 상태 High가 지속되는 시간을 비율로 구한 것을 duty cycle이라고 한다. duty는 한 주기 동안 실제로 작동되는 구간을 %비율로 나타낸 것이다.

Clock 신호가 Low에서 High로 전환되는 지점을 rising, positive edge라고 하고, 거꾸로 High에서 Low로 전환되는 지점을 falling, negative edge라고 부른다.

**7. Edge-Trigger**

시스템에서 특정 상황을 감지할 때 Trigger를 사용한다. Trigger의 한 종류인 Edge-Trigger는 상태 값이 변하는 순간을 특정 상황 발생으로 판단한다. 상태 값이 0에서 1로 변할 때는 Rising Edge, 1에서 0으로 변할 때는 Falling Edge로 부른다. 반대로 상태 값이 변하지 않는다면 상황이 발생하지 않았다고 판단한다.

**8. Master-Slave 플립-플롭**

Master-Slave 플립-플롭은 2개의 플립-플롭과 1개의 인버터로 구성되며 Clock 값이 상승 또는 하강함에 따라 입력에 대한 출력 값이 변화하는 회로다. 이 때 사용되는 두개의 플립-플롭은 JK 플립-플롭 또는 RS 플립-플롭, D 플립-플롭 등을 사용한다. 이때 하나의 플립-플롭은 Master 플립-플롭 으로, 다른 하나는 Slave 플립-플롭이다. Clock 신호가 1일 때 Master 플립-플롭이 작동하고 다시 Clock 신호가 1에서 0으로 바뀔 때 Slave 플립-플롭이 작동한다. Master 플립-플롭은 출력을 전송하지 않고 데이터만 저장한다. Slave 플립-플롭은 Master 플립-플롭에서 저장된 데이터를 받아 출력한다.

**9. 기타 이론**

• 4종류의 플립-플롭의 활용도는 다음과 같다.

|  |  |
| --- | --- |
| 종류 | 활용도 |
| RS 플립-플롭 | 제어 신호, 간단한 메모리 |
| JK 플립-플롭 | 복잡한 순차 회로, 카운터 |
| D 플립-플롭 | 데이터 저장 장치, 레지스터 |
| T 플립-플롭 | 간단한 카운터, bit 토글 |

• 순차 논리 회로가 회로 전체에 걸쳐서 정확한 동작을 하려면 각 단계의 작업이 질서 있게 모두 동시에 맞춰서 진행시켜야 하는데, 이때 정해진 주파수로 모든 순차 논리 회로에 펄스를 내보내는 Clock 신호가 사용된다. 즉 Clock은 컴퓨터 연산의 기준 시간이 된다. 그리고 회로 연산을 동시에 작업을 진행시키는 것을 동기화라 하고, Clock 신호를 통해 동기화한 논리 회로를 동기 논리 회로(synchronous digital circuit)라 한다.

• Clock 신호의 한 사이클의 길이를 주기, 즉 Clock period라고 할 때 주기 T의 역수를 통해 clock 신호의 주파수를 구할 수 있다. 예를 들어 Clock의 주기 T가 5 nsec(나노 세컨드)일 때, 이 clock의 주파수 f는 T의 역수인 200 MHz(메가 헤르츠)다. 주기가 짧을 수록 주파수가 크고 컴퓨터의 연산 속도가 빠르다는 뜻이다.