12주차 예비보고서

전공 : 컴퓨터공학과 학년 : 3학년 학번 : 20211558 이름 : 윤준서

**1. Counter**

Counter는 클럭 신호와 입력 값을 받아 상태 변화가 주기적으로 순환되는 회로다. 입력 값은 카운트할 숫자이며, 그 횟수가 결과 값이다. 그리고 Flip-Flop을 통해 입력 횟수를 누적 저장한다. Counter의 기본적인 예시로 Up / Down Counter가 있다. 이는 Up 또는 Down의 종류를 가지는 입력을 받아 누적 값을 증가 또는 감소시킨다. Up 입력이 들어오면 시계 방향으로 진행하고, Down 입력이 들어오면 반시계 방향으로 진행하며, 둘 다 들어오지 않는 경우 정지하며, 두 입력이 동시에 들어오는 경우는 다루지 않는다.

**2. Decade Counter**

Decade Counter는 Counter와 유사하지만, 출력 형태가 이진수가 아닌 십진수의 형태로 다루는 Counter다. clock 신호가 들어올 때마다 0부터 9까지 카운트를 하고 0으로 다시 되돌아온다. 0부터 9까지의 숫자를 다루기에 4-bit를 다루는 Flip-Flop을 사용한다. 그리고 BCD code를 통해 출력한다.

**3. 비동기식 / 동기식 Counter**

Rippler Counter라고도 불리는 비동기식 Counter는 여러 Flip-Flop이 직렬로 연결된 형태이며, 이전 Flip-Flop의 출력을 clock 신호로 사용한다. 단, 첫 번째 Flip-Flop은 외부 clock 신호를 사용한다. 설계가 쉽고 전력 소모가 적다는 장점이 있다. 반면 정확도가 낮고, 총 지연 시간이 (Flip-Flop의 개수 X 각 Flip-Flop의 지연시간)이므로 Flip-Flop의 개수가 증가할 수록 지연 시간이 증가한다는 단점이 있다.

동기식 Counter는 지연 시간이 선형으로 증가하는 비동기식 Counter의 단점을 보완한다. 여러 Flip-Flop이 병렬로 연결된 형태이며, 모든 Flip-Flop에 clock 신호를 연결한다. 지연 시간이 적고 모두 같은 clock 신호를 사용하기 때문에 정확도가 높다는 장점이 있다. 하지만 비동기식 Counter와 반대로 설계 방식이 복잡하고 전력 소모가 커지는 단점이 있다.

**4. FSM**

'유한 상태 기계'로도 불리는 FSM(Finite State Machine)은 입력에 따라 유한한 상태들 중 하나로 전환하는 회로이며, FSM의 구성요소는 다음과 같다.

|  |  |
| --- | --- |
| 상태 | 시스템이 현재 위치한 상태 |
| 입력 | 외부에서 받는 신호 또는 조건 |
| 출력 | 상태와 입력에 따라 나오는 결과 |
| 상태 전이 | 상태가 전환하는 과정 |
| 초기 상태 | FSM의 시작 상태 |
| 전이 함수 | 다음 상태를 결정하는 함수 |

FSM은 Moore Machine과 Mealy Machine으로 나뉜다.

Moore Machine은 출력이 현재 상태에서만 결정된다. 상태 전환이 발생한 후 출력이 변경되며, 출력이 안정적이고 노이즈에 강하다. 표현 방식은 으로 사용된다.

Mealy Machine은 출력이 현재 상태와 입력에 의해 결정된다. 입력 변화가 즉시 반영되어 출력이 변경된다. 출력 반응이 더 빠르다. 표현 방식은 으로 사용된다.

**5. 기타 이론**

Counter의 활용 분야는 다음과 같다.

• 디지털 시계, 타이머 속에서 시간 계산과 간격 측정

• 전자 측정기 속에서 전기 신호의 개수를 측정

• 데이터 전송에서 데이터 비트 수를 측정

• CRC에서 데이터 확인을 통해 오류 검출

FSM의 활용 분야는 다음과 같다.

• CPU 내부에서 명령어 실행 흐름을 관리

• 메모리 읽기 / 쓰기 제어 신호 생성

• 네트워크 환경(HTTP, FTP 등)에서 상태 추적과 전환

• 데이터 전송 상태 관리

• 임베디드 시스템에서 전자 제품의 동작, 상태 관리