

NSCSCC2023 龙芯杯大赛设计报告

西北工业大学
刘航

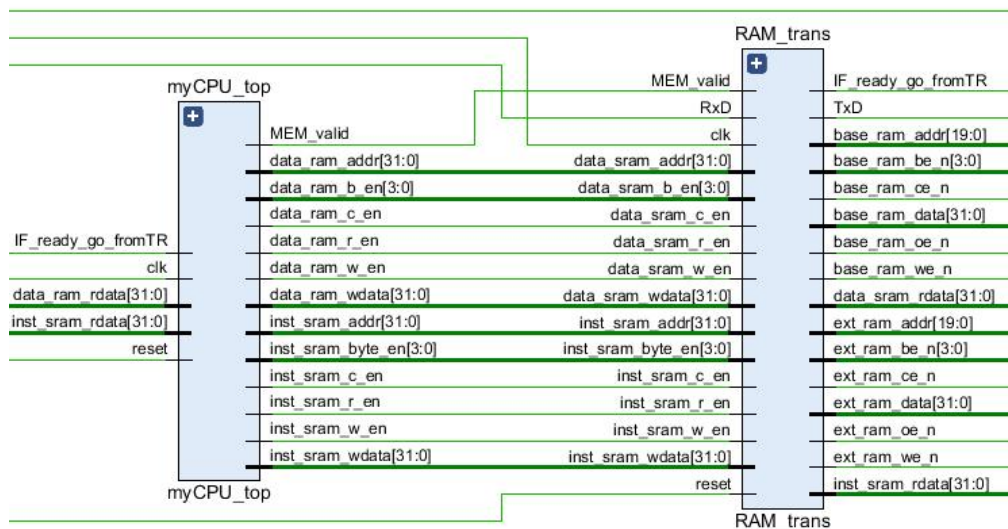
一、设计简介

本工程为以 Verilog 语言编写的一款支持 36 条 MIPS 指令的 CPU。CPU 不支持中断、与异常处理，使用了经典五级流水线结构与单发射机制。CPU 利用旁路和阻塞解决数据冒险、控制冒险、结构冒险。目前该 CPU 频率可达 55MHz，已经通过龙芯杯三级功能测试与性能测试。

二、设计方案

（一）总体设计思路

整体设计主要有两个模块组成：处理内存与串口和 CPU 交互的 RAM_trans 模块，和运行指令的 myCPU_top 模块。myCPU_top 模块与 BaseRAM、ExtRAM 或串口的交互全部经由 RAM_trans 模块处理后进行。因此 RAM_trans 主要承担了地址的映射，以及结构冒险的判断等功能。



（二）RAM_trans 模块设计

RAM_trans 根据 CPU 发来的两个读/写请求，并根据地址判断分别将两个请求映射

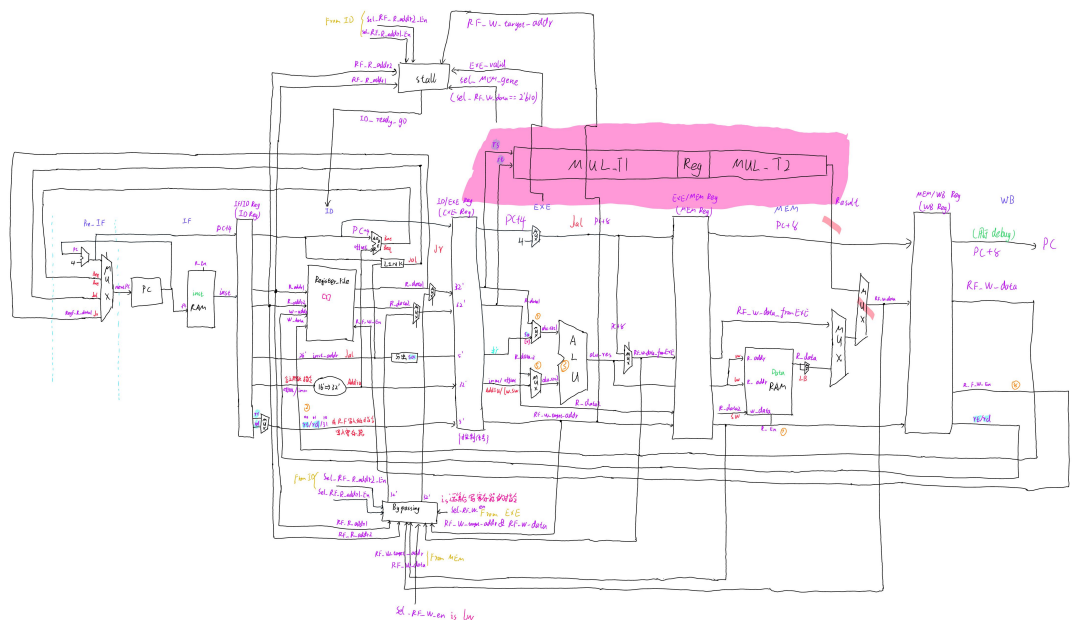
BaseRAM、ExtRAM 或是串口。当两个请求指向同一结构时，发出阻塞信号，使得 CPU 阻塞一周。在串口设计中，借鉴往届思路，加入了队列，用于避免 CPU 读串口太慢或写串口太快的问题。

（三）myCPU_top 模块设计

CPU 为经典五级流水结构。其中 IF 承担读取指令功能，ID 承担译码与判断跳转指令是否执行及跳转地址的功能，EXE 负责运算指令的运算，MEM 承担读取数据的功能。WB 阶段完成对寄存器堆的写回。

Stall 模块负责除 BaseRAM 结构冲突之外冒险的阻塞。由于将分支跳转指令前移至 IF，因此只在 load-branch 时会阻塞。

Bypassing 模块负责前递。当出现其他写后读冒险时，进行前递操作，避免阻塞。



三、设计结果

（一）设计交付物说明

constrs_1 文件夹下有 xdc 约束文件，借鉴前一届经验，添加了延时。

sim 文件夹下为仿真时用文件。在 tb 文件中添加了 lab2、lab3 本地仿真时，所需的对串口的模拟。

sources_1 文件夹下则为处理内存与串口和 CPU 交互的 RAM_trans 模块，和运行指令的 myCPU_top 模块的代码。其中 myCPU 文件夹为 CPU 的代码，RAM_trans 则在 new 文件夹

中。

（二）设计演示结果

功能测试	lab1	lab2	lab2
得分	100	100	100

性能测试	STREAM	MATRIX	CRYPTONIGHT
结果	0.129s	0.163s	0.420s

四、参考设计说明

[1] 汪文祥、邢金著《CPU 设计实战》中实验 3 关于五级流水线框架的设计。

[2] 龙芯杯 NSCSCC20202 个人赛开源代码 XMIPS 中关于串口与 RAM 控制的设计、关于 XDC 约束文件中延时的设计。

五、参考文献

[1] 汪文祥,邢金璋.CPU 设计实战. 北京: 机械工业出版社,2021.

[2] 戴维 A. 帕特森著,王党辉等译. 计算机组成与设计: 硬件软件接口.北京: 机械工业出版社,2022.