

הטכניון - מכון טכנולוגי לישראל

מבנה מחשבים (236267)

'מבחן מסכם מועד ב 12 מרץ 2021

<u>מרצים</u>: ליהוא רפופורט, עדי יועז.

מתרגלים: פרנק סלה, איתי רביד, אלעד שטיגמן.

: מס. ת.ז.

- משך הבחינה: שלוש שעות.
- מותר חומר עזר מודפס ומחשבון בלבד, אסור חומר עזר במחשב ולא בכל אמצעי מקוון אחר.
- מומלץ להדפיס את הבחינה ולכתוב את התשובות בטופס הבחינה.
 - יש לכתוב בקיצור ככל האפשר, <u>אך יש לנמק כל תשובה</u>.
 - יש לכתוב בכתב ברור וקריא.
 - . המבחן כולל 4 שאלות, יש לענות על כולן. במבחן 13 עמודים
- יש לסרוק את הבחינה בפורמט PDF בלבד, ולוודא שהבחינה הסרוקה ניתנת לקריאה בבירור.

/ 32	000	שאלה 1
/ 12	ВР	שאלה 2
/ 12	power	שאלה 3
/ 44	VM/cache	שאלה 4
/100		ציון סופי

בהצלחה!

(נק') 32) Out-Of-Order Execution – 1 שאלה

- א. (26 נק') יש למלא את הטבלה שבהמשך. לכל פקודה יש לרשום:
- ערכי הרגיסטרים הארכיטקטוניים לאחר retire של הפקודה. − R3, R2, R1 ערכי הרגיסטרים הארכיטקטוניים לאחר execute עבור פקודה ממסלול שגוי: הערך שחושב עבור הרגיסטר הפיזי בזמן

להשלים את החסר

- addr − כתובת הגישה לזיכרון עבור פקודות load ו-store בלבד.
- . בלבד store ערך זיכרון שנקרא או נכתב עבור פקודות load ו-store בלבד. •
- t =1: הזמן בו מבוצעת אלוקציה: עד 3 פקודות בכל מחזור, החל מ- t =1.
 t =1: הזמן בו מבוצעת אלוקציה: עד 3 פקודות בכל מחזור, החל מ- t =1.
 t =1: מחזור יש מקום ב-ROB.
 ב-ROB יש 9 כניסות. כל פקודה (כולל פקודות Store) תופסת מקום אחד ב-ROB.
- ◆ src2 ,src1: מספרי הרגיסטרים המשמשים כ-sources לפקודה: Pi עבור רגיסטר פיזי, ו-Ri במידה si-1 :store מספרי הרגיסטר הארכיטקטוני. עבור src1 :store הרגיסטר המשמש לחישוב הכתובת. src2 הרגיסטר המכיל את הנתון.
 - T src2 ready , T src1 ready: הזמן בו מוכן כל אחד ערכי ה-src2 ready , t src1 ready אם ה-src כבר מוכן בזמן האלוקציה, אז זמן זה יהיה שווה לזמן האלוקציה.

 **T data ready של ה-src של ה-src את הערך של ה-src.
 - ד ביצוע. הניחו כי ישנן אינסוף יחידות ביצוע. T exe מון בו הפקודה נשלחת לביצוע.
 - פקודה יכולה להיכנס לביצוע לכל המוקדם במחזור שלאחר האלוקציה.
 - store פקודה נכנסת לביצוע במחזור השעון שלאחר המחזור בו כל ה-src-ים מוכנים. פקודת store ⊙ נכנסת לביצוע במחזור השעון שלאחר המחזור בו src1 (המשמש לחישוב הכתובת) מוכן.
- שנשלח לביצוע בזמן t=Texe, או שהוסר עבורו תנאי חסימה קודם :Load block code עבור (רישמו את כל תנאי החסימה לפי הסדר):
 בזמן t, תנאי החסימה נבדקים בזמן t+1 לפי הסדר (רישמו את כל תנאי החסימה לפי הסדר):
 - (התנאי מוסר בזמן T addr ready החוסם) unknown store address .1
 - (התנאי מוסר בזמן T data ready של ה-waiting for store data .2
- Taddr ready: ממולא עבור פקודות load ו-store בלבד: Taddr ready ממולא עבור פקודות store. עבור load המבוצעים באותו זמן t: תנאי החסימה של ה-load נבדקים בזמן t+1, בזמן זה store עבור store ידועה, ולכן ה-load לא נחסם על store של ה-store ידועה, ולכן ה-load
 - :T data ready •
 - .Texe+3 :mul עבור פקודת. Texe+1 :add, sub, conditional jump עבור פקודת ⊙
 - י עבור load שהוסרו עבורו כל תנאי החסימה בזמן t או שבוצע בזמן t עבור סל תנאי החסימה בזמן t עבור ס
 - - :Texe'< Texe בזמן cache- אחרת, במידה ובוצע load/store לאותה שורה ב-max(Texe'+8, t+4)
 - max(Texe+8, t+4) אחרת, בזמן
 - T src2 ready + 1 :store עבור

- עבור פקודת Jump עם חיזוי שגוי מבוצע flush בזמן flush, וכבר במחזור זה אין אלוקציה של פקודות. הפקודות מהמסלול הנכון מבצעות אלוקציה החל מזמן Texe+6 (במידה ואין סיבה אחרת שמעכבת את האלוקציה).
 - דוח בכל מחזור. פקודה מבצעת retire. ניתן לבצע retire לעד 3 פקודות בכל מחזור. פקודה retire.
 למעט store) יכולה לבצע retire החל מזמן retire.
 יכולה לבצע retire החל מזמן retire.
 יכולה לבצע store החל מזמן retire.
 - ROB entries מספר הכניסות התפוסות ב-ROB מיד לאחר שהפקודה ביצעה אלוקציה.
 ROB-יש להתחשב גם בפקודות שהוצאו מה-ROB. פקודה שמבצעת retire בזמן ז מוצאת מה-ROB במחזור t+1 וכבר במחזור זה פקודה חדשה יכולה לבצע alloc במחזור t+1
 - הנחות:
 - ס בטבלה רשומות הפקודות שמבצעות אלוקציה, כולל פקודות מהמסלול השגוי. כ
 - . 16 הכתובות הן פיזיות (אין צורך בתרגום). כל הערכים המספריים הם בבסיס
 - . ריק בתחילת הביצוע. write allocate $.32_{10}$ B = 20_{16} B . גודל שורה :L1 data cache
 - .N בתחילת הביצוע כתובת N בזיכרון מכילה את הערך ⊙
- ס פקודה המסומנת ב-∗ בטבלה אינה מסופקת ע"י ה-frontend לאלוקציה באותו מחזור של הפקודהס פקודות למחזור הבא. בכל מקרה אחר, ה-frontend מספק 3 פקודות למחזור.
 - ב. (6 נק') עבור ריצת התוכנית שמצאתם בסעיף א', מלאו לכל מחזור שעון שבטבלה שבסעיף זה את נתוני ה-Top level breakdown. (מחזורי השעון והנתונים הממולאים מתייחסים לזמן האלוקציה).
- o במידה ובמחזור האלוקציה האחרון נותרו בתוכנית פחות מ-3 פקודות, יש להחשיבו כ-frontend bound. ⊙
 - ייתכן שיש בטבלה עמודות מיותרות, אם כן יש להשאירן ריקות ולא להתייחס אליהם. 🔾

Cycle	1	2	3	4	5	6	7	8	9	10	11	12	13
Backend Stall													
Alloc Slot 0													
Alloc Slot 1													
Alloc Slot 2													
Frontend Bound													
Backend Bound													
Retiring													
Bad Speculation													

Bad Speculation אחוז	 Frontend Bound אחוז
Retiring אחוז	 Backend Bound אחוז

Pdst	instruction	R1	R2	R3	addr	data	src1	src2	T alloc	#ROB entries	T src1 ready	T src2 ready	T exe	T addr ready	T data ready	block code	T retire
1	load R1←m[R2+30]	40	10	50	40	40											
2	Store m[R3+10] ←R1	40	10	50	60	40											
3	mul R3 ← R2 × 2 *	40	10	20													
4	Store m[R3+50] ←R2	40	10	20	80	10											
5	if (R1>0) PC←1000 חיזוי נכון	40	10	20													
6	load R3←m[R2+50]	40	10	40	60	40											
7	load R1←m[R2+80] *	50	10	40	50	50											
8	if (R2>0) PC←3000 חיזוי שגוי	50	10	40													
9	sub R3 ← R2 - 10																
10	add R2 ← R2 + 10																
11	load R1←m[R2+R3]																

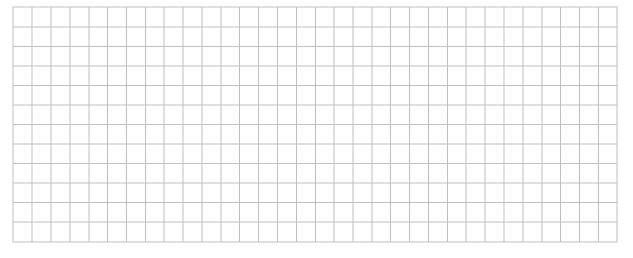
<u>שאלה 2 – חיזוי קפיצות (</u>12 נק')

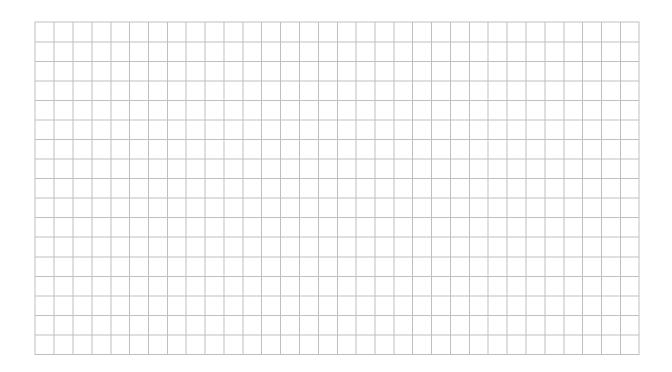
נתונה סידרת הקפיצות המחזורית הבאה: ... 100110 100110 נניח חזאי מסוג local predictor, שבו ההיסטוריה מצביעה אל מערך שבו בכל כניסה מונה 2 סיביות עם רוויה. המונים מאותחלים למצב weakly taken.

א. (5 נק') מהו אורך ההיסטוריה המינימלי N המאפשר חיזוי של הסידרה הנתונה במצב היציב ללא שגיאות ? יש להסביר



ב. (7 נק') עבור החזאי שנמצא בסעיף א' (בעל היסטוריה באורך N), לאחר מחזורים רבים של הסידרה, קפיצה בודדת בדפוס משתנה, כך שהסדרה מתנהגת באופן הבא: ... 1<u>1</u>0110 1<u>1</u>0110 כמה שגיאות ייווצרו עד שהחזאי ילמד את הדפוס החדש ויגיע שוב לחיזוי מושלם ? יש להסביר





(נק') Power/Performance – 3 שאלה

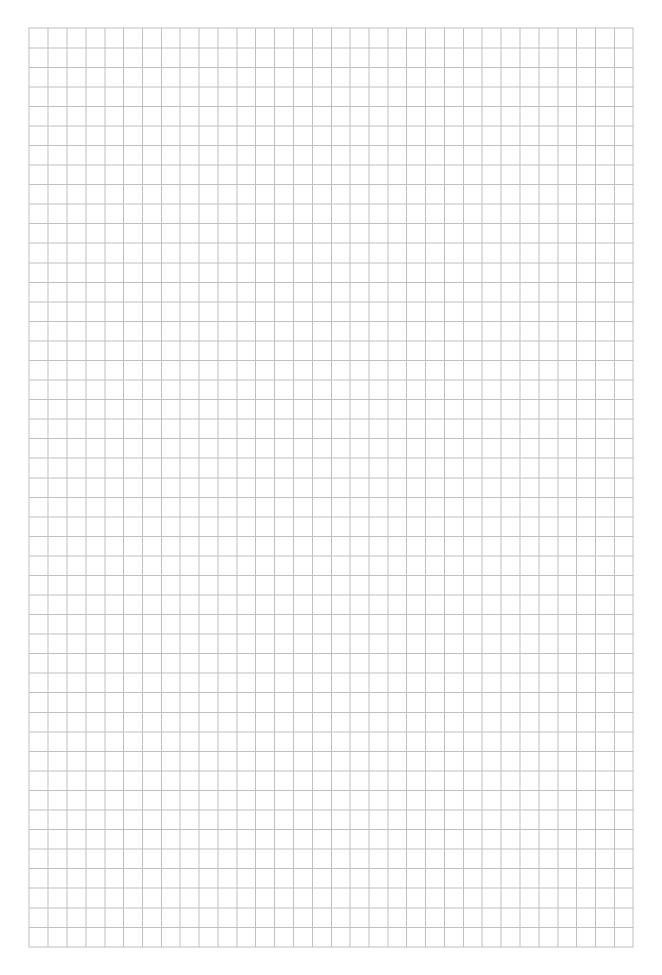
נתונה מערכת שבה שני מעבדים: מעבד אחד מסוג Big ומעבד אחד מסוג נקודות מתח ותדר אפשריות נתונות בטבלה משמאל. ההספק הכולל המוקצה לשני המעבדים יחד הוא 5W.

מתח Volt	תדר Small GHz	תדר Big GHz
0.8	1.7	2.2
0.9	2.2	2.8
1.0		3.5

C2 - Small	C1 – Big	
0.1W	0.3W	Leakage Power
300pF×IPC	400pF×IPC	Cdyn
3	4	A עבור אפליקציה IPC
2	4	B עבור אפליקציה IPC

המערכת מריצה שתי אפליקציות בו-זמנית. יש לבחור על איזה מעבד להריץ את אפליקציה A ועל איזה מערכת מריצה שתי אפליקציה B כך שסך ביצועי המערכת יהיו מקסימליים במונחי IPS (פקודות לשניה) ? מהו ה-IPS המירבי המתקבל ? יש להסביר.





שאלה 4 – זיכרון וירטואלי ו-cache נק') שאלה

נתון מעבד דמוי x86 העובד במבנה הכתובת הבא:

63 43	42 33	32 23	22 13	12 0
Sign Ext	PML3	PML2	PTE	offset

• כל טבלת דפים (בכל הרמות) היא בגודל דף.

:המעבד כולל

- ◆ TLB בגודל של 32 כניסות, 4 ways, מדיניות LRU.
 זמן גישה (ל-tit) של מחזור אחד. במקרה של TLB miss פונים ל-PMH.
- PML3\$, translation caches ו-\$PML4, שהגישה אליהם מתבצעת במקביל. זמן PML3 הכולל PML3\$. במדיניות PML3 במדיניות LRU במדיניות Fully Associative גישה (ל-tily Associative במדיניות 1-10 או
- ways ,64KB :L1 cache \$, מחזורים. 4 (miss או hit-) מחזורים. LRU בשורה, מדיניות 4 (miss או hit-) מחזורים.
 - .LRU בשורה, מדיניות 64B ,8 ways ,256KB :L2 cache זמן גישה (ל-hit או miss) 10 מחזורים.
 - זמן גישה לזיכרון הוא 100 מחזורים.
- לאחר ביצוע תרגום, מידע התרגום המעודכן מוכנס לכל המבנים שאליהם ניגשו במהלך התרגום.

שימו לב ש-L1 ו-L2 משמשים הן עבור נתונים והן עבור כניסות בטבלאות הדפים שה-PMH מביא L2 ו-cache מהזיכרון. יש להתחשב בכך לכל אורך הפתרון ולהראות האם נוצרות התנגשויות ב-cache-ים בין נתונים לבין כניסות תרגום.

נתון מערך A[0x100,000], שבו כל איבר הוא בגודל 8 בתים. (הקידומת 0x מציינת מספר בבסיס 16).

- המערך פרוש בקטע רציף במרחב הווירטואלי של התהליך החל מכתובת 0x10,000,000
- בזמן ההכרזה על המערך, מערכת ההפעלה מקצה עבורו דפים באזור רציף בזיכרון הפיזי, החל מכתובת 0x2,000,000.
- מערכת ההפעלה מקצה את טבלאות התרגום הנדרשות למיפוי המערך A כולו באזור רציף בזיכרון הפיזי, החל מכתובת 0x1,000,000, שבה מתחילה טבלת PML3. לאחר מכן טבלאות PML2 הדרושות למיפוי A לפי הסדר.

נתונה התוכנית הבאה:

```
for (int i=0; i< 0x4,000; i++) { T+= A[ix4] ^2; }
T = T / 0x4,000;
for (int i=0; i< 0x4,000; i++) { S+= A[ix4+1] ^7; }
```

- מאוחסנים כל אחד ברגיסטר. T, S, i •
- בשאלה זו נתעלם מגישות לצורך הבאת הקוד. בתחילת הביצוע כל זיכרונות המטמון ריקים.

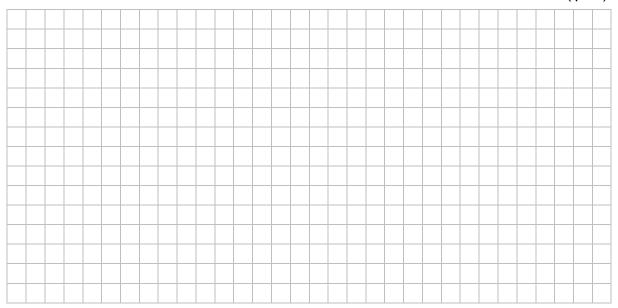
A א. (5 נק') מהו מספר הדפים הנדרש עבור טבלאות הדפים (בכל הרמות) הנדרשות למיפוי המערך כולו ? הסבירו.



ב. (4 נק') מהי הכתובת של ה-PTE שמשמש לתרגום הכתובת של איבר [0x1000] ? הסבירו

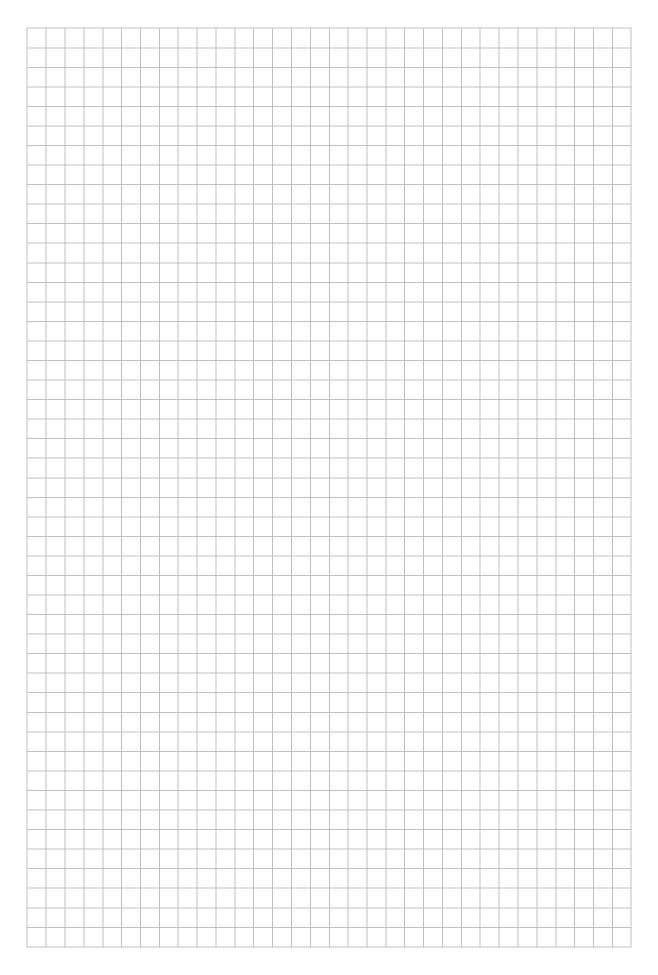


ג. (3 נק') כמה set-ים יש ב-set? הסבירו

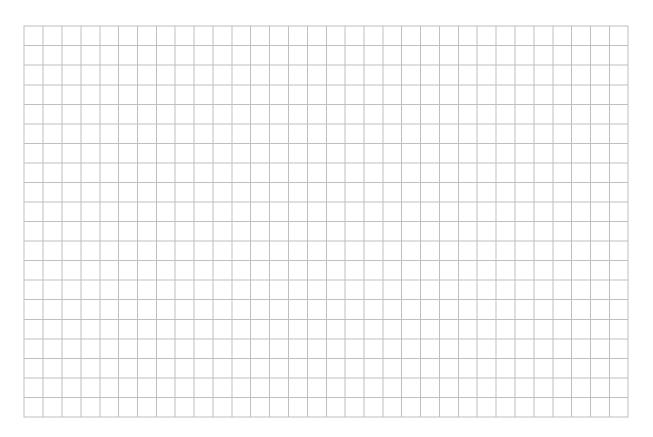


ד. (15 נק') מהו הסכום המדויק של הזמנים הנדרשים לביצוע תרגומי כל הכתובות בלולאה הראשונה ? האם יש התנגשויות בין נתונים לתרגומים ב-cache ? הסבירו.

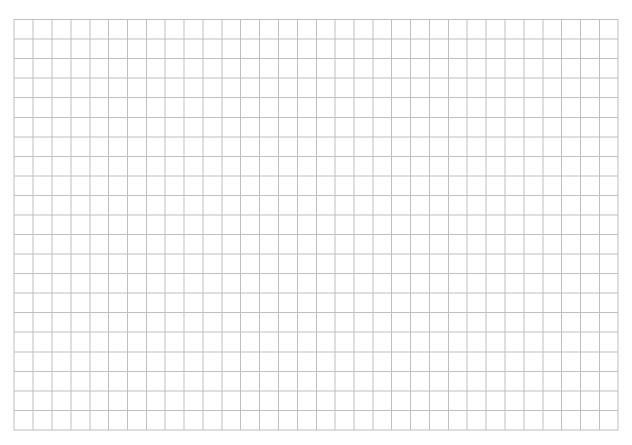




ה. (5 נק') מהו ה-L1 hit rate במהלך התוכנית כולה עבור פניות לנתונים ?



ו. (5 נק') מהו ה-L2 hit rate במהלך התוכנית כולה עבור פניות לנתונים ? הסבירו



ז. (7 נק') כיצד ניתן לשנות את התוכנית, מבלי לשנות את תוצאת החישוב, על-מנת לקבל L2 hit rate טוב יותר. מהו ה-L2 hit rate שיתקבל? הסבירו

