題目:無電感轉阻放大器頻寬擴展的分析與設計Analysis and Design of Bandwidth Extension of Inductorless Transimpedance Amplifiers

1. 摘要

隨著網際網路的出現，人們不斷發現新的應用方法，例如資料傳輸、視訊會議等。這些應用都需要更快的傳輸速度，因此光纖通訊以其超快的頻寬與極低的傳輸損耗，一直是滿足這些需求的終極解決方案。而轉阻放大器(Transimpedance Amplifier ; TIA)是組成光纖通訊不可或缺的元件之一。因此本專題將針對TIA電路進行研究。。

轉阻放大器 (Transimpedance Amplifier ; TIA) 是一種電流電壓轉換器，通常使用一個或多個運算放大器來實現。其中一個重要的應用是使用在光接收器的前端放大器上。我們的研究針對如何在提高TIA頻寬的同時保持跨導增益不變，主要使用的方法為通過將 N 個相同的反饋TIA並聯連接，將其輸出電壓相加，通過消耗更多的功率而無需使用電感，來提高TIA的增益頻寬乘積。

1. 研究動機與研究問題

在現今高科技發展興盛的環境下，使用光纖通訊來使用網際網路已經是無法取代的，光纖可以運用在很多地方，譬如光感測、光纜、及光纖網路等，尤其是現在最熱門之寬頻網路，因為隨著傳輸量的增加，過去銅質幹線之頻寬已逐漸不復使用。相較上一代使用的銅線網路傳輸，光纖網路有寬頻更大、傳輸距離更長、傳輸速度更快、電阻更高及安全性更高，以上幾個優點。廣泛使用於世界各地，而光纖網路不只可用來上網、瀏覽網頁，更可廣泛應用在生活中。

隨著科技的進步，手機的通訊技術已經進入了5G的時代，電腦的網速也來到1000M，網路通訊越來越發達，需要更短的傳輸時間才能滿足市場的需求，代表光纖的傳輸速率必須更比以前更加快速、花費的時間更短，而光收發電路會大幅的影響傳輸的速率，為了有更快的傳輸速度，必須研究出更有效路的光纖收發電路，因此本計畫將會把重點放在光接收端轉阻放大器的設計與應用。

光通訊電路接收端架構如(圖一)所示，光信號經由光纖傳送，先到達光偵測器（Photodetector；PD），將光信號轉換為光電流。接下來再由轉阻放大器（Transimpedance Amplifier；TIA）將光電流轉換為電壓信號，再經限制放大器（Limiting Amplifier；LA）將電壓信號放大到可以當作數位信號的程度。接下來再將此信號送給數據時脈回復電路（Clock and Data Recovery；CDR），判斷資料為0或1，並順便以資料的速度產生一固定時脈的方波信號，讓後級的數位電路可以使用這個轉換出來的信號。[1]

A diagram of a diagram

Description automatically generated with medium confidence

圖一 光通訊接收端電路區塊圖

人們對平行光連接越來越感興趣，適用於高資料速率和頻寬的應用。微處理器單元、太比特/秒的交換系​​統、多媒體消費設備、電子設備和光儲存系統是平行光連結和互連的主要應用。最近，平行光連接也被考慮用於晶片到晶片和晶片內的連結以提供低功耗和高頻寬操作[2]，[3]。光收發器的CMOS實作特別有吸引力，因為它們可以與數位處理單元整合在同一晶片中，從而降低成本和功耗。轉阻放大器 (TIA)是第一級增益，光接收器中的基本模組之一。TIA的寬頻設計主要是透過具有高電容的光電探測器驅動，通常範圍為0.2至0.5 pF。 該電容通常會產生主導TIA的極點，因此限制了其頻寬。 電感式峰化被廣泛用於增強TIA頻寬和可以達到10 Gb/s及更高的數據速率在CMOS[4]、[5]中。 然而，使用電感器來增加TIA的頻寬有幾個缺點：(1)晶片尺寸急劇增加; (2)基板耦合增加通過電感器，導致更高的干擾；(3)TIA使用薄金屬進行數位化處理時性能會下降和有被動元件。在平行光連接中多個TIA和光電探測器並行使用以創建多個通道並提高接收器的整體資料速率，因此TIA面積小且基板耦合低，這是通道之間干擾的主要來源之一。因此我們這次的專題要設計一種增強TIA頻寬的技術不使用任何電感器且不改變頻寬的轉阻增益。

1. 文獻回顧與探討

關於TIA的電路設計，目前已經有許多文獻提出，整理出其中幾篇文獻來比較跟分析TIA的特性與差別。

文獻[6] : 使用Global Foundaries 0.18 µm CMOS製程。適用於高速的光通訊。使用改良的RGC前級放大器(M-RGC)透過共源極和並行的PMOS降低輸入阻抗，用於寬頻操作的電晶體技術。放大器級數使用共源放大器來增加增益，並使用三階交錯回授技術來增加頻寬。所提出的TIA的轉阻增益為59.5 dBΩ，頻寬為6.16 GHz，功耗為21.2 mW(核心功率=17.5 mW)，VDD = 1.8 V。

一張含有 圖表, 工程製圖, 方案, 圖解 的圖片

自動產生的描述

圖二 三階交錯放大器[6]

文獻[7] : 使用0.13µm CMOS製程，無電感TIA結構是穩壓共源極(RGC)TIA的修改版本。導抗轉換器被合併到降低功耗，同時增加轉阻增益。3dB頻寬為7GHz，足以滿足10Gb/s運轉時，TIA處存在250 fF電容輸入，代表典型CMOS光電二極體電容。單級TIA的跨阻增益為50 dBΩ，且群時延變化在3dB頻寬範圍內小於±19 ps。此電路佔用的主動面積為180μm×90μm，1.5V電源，功耗為 7mW， 測得的TIA 的平均輸入參考電流雜訊為31 pA/√Hz。

A diagram of a circuit

Description automatically generated

圖三

文獻[8] : 用N個類似的TIA採用平行配置，可提高整體頻寬，同時保持跨阻增益穩定。使用這個方法實現了10 Gb/s無電感TIA僅0.06 的有效面積和差分轉阻，採用0.13μm CMOS製程，增益為 62 dBΩ。佔用的主動面積是10 Gb/s中最小之一的TIA。這些無電感器TIA具有小面積和低基板耦合，可用於晶片間和晶片內的高速平行光連接。

A diagram of a circuit

Description automatically generated

圖四 TIA方塊圖和電路原理圖

1. 研究方法及步驟

一張含有 圖表, 行, 字型, 寫生 的圖片

自動產生的描述 傳統的反饋型過渡增益放大器（TIA）結構，如圖五所示，包括反饋電阻（）、光偵測器電容（）、以及電壓放大器輸入電容（）。

圖五 定期反饋型TIA

其中，A(s)表示電壓放大器的傳遞函數，假定它具有單極點，可以表示為：

(1)

，其中AO是低頻電壓增益，ωO是電壓放大器的開環極點。使用此公式，可以將圖1中的反饋TIA的傳輸函數表示為：

(2)

其中

(3)

(4)

在（2）中，這是一個二階傳遞函數，ζ被稱為阻尼比，它決定了在TIA的步階響應中出現的振鈴量。如果ζ≦√2/2臨界阻尼值，則在步階響應中會出現振鈴，損壞數據的高低電平。如果ζ > √2/2，TIA將過度阻尼，這將限制TIA的帶寬。使用ζ = √2/2和的假設，加上（2）-（4），我們可以找到TIA的−3 dB帶寬ω3dB為：

(5)

以及在圖五中的電壓放大器所需的−3 dB帶寬ω◦ 為

(6)

TIA的低頻轉導增益ZT可以輕鬆地從（2）中找到，即：

(7)

一張含有 圖表, 行, 工程製圖, 方案 的圖片

自動產生的描述為了以不使用電感的情況下提高 TIA 的帶寬，我們參考了文獻[8]的並聯反饋TIA電路，如圖六所示。

圖六 用於增強頻寬的TIA並聯結構

該電路通過將 N 個相同的反饋TIA並聯連接。這裡，使用相同的光檢測器驅動並聯的TIA。假定使用理想的電壓相加器，可以得到並聯TIA的傳輸函數為:

(8)

其中

為了驗證此電路的性能，我們模擬圖七的無電感TIA，使用了 N=2 的並聯反饋結構。

A diagram of a circuit

Description automatically generated此設計的差動TIA結構如圖七所示，其中第一級使用兩個反饋TIA並聯，並且使用了第二級反饋TIA來提高放大器的性能，包括增益穩定性、線性度和噪聲性能，同時保持一定的頻寬，從而使其在光通信和光檢測系統中能夠更加可靠地工作。

圖七 差動TIA結構圖

目前初步模擬結果，但電路數值方面還有待修正，預計按照進度於大三下學期完成模擬並進行IC下線，所以目前已開始學習相關軟體操作如:電路特性模擬軟體HSPICE，並開始蒐集相關資料。期望能獲得國科會大專研究計畫補助，使本專題能更順利執行。

|  |
| --- |
|  |
| N=1 |
|  |
| N=2 |

圖八 HSPICE程式模擬初步結果

確認主題

計算該電路參數

測試模擬電路

NO

除錯

YES

查閱結果

IC下線

完成

圖九 專題進度流程

表一:進度甘特圖

一張含有 文字, 螢幕擷取畫面, 行, 字型 的圖片

自動產生的描述

1. 預期結果

本專題執行預計可有以下成果:

1. 預計能完成多級TIA並聯提升電路頻寬。
2. 本專題執行有助於提升更多專業知識，除了光纖通訊等知識以外，也將實際執行積體電路的設計、布局、量測等過程。
3. 本專題的研究結果預計整理成一篇學術論文，投稿至國內研討會，希望能對產業及學術界有些貢獻。
4. 參考文獻

[1] 劉致為、袁鋒,”光通訊接收電路技術深探”,CTIME文章,2004年8月04日星期三

[2] Q. Xu, B. Schmidt, S. Pradhan, and M. Lipson, “Micrometre-scale silicon electro-optic modulator,” Nature, vol. 435, no. 7040, pp. 325–327, May 2005.

[3] D. A. B. Miller, “Optical interconnects to silicon,” IEEE J. Sel. Topics Quantum Electron., vol. 6, no. 6, pp. 1312–1317, Nov./Dec. 2000

[4] W.-Z. Chen, Y.-L. Cheng, and D.-S. Lin, “A 1.8-V 10-Gb/s fully integrated CMOS optical receiver analog front-end,” IEEE J. Solid-State Circuits, vol. 40, no. 6, pp. 1388–1396, Jun. 2005.

[5] C.-H. Wu, C.-H. Lee, W.-S. Chen, and S.-I. Liu, “CMOS wideband amplifiers using multiple inductive-series peaking technique,” IEEE J. Solid-State Circuits, vol. 40, no. 2, pp. 548–552, Feb. 2005.

[6] Ling Tian Zhu Lei, Ying Mei Chen and Li Zhang. A 10gb/s lowpower front-end amplifier for optical receiver in 0.18Advanced Materials Research, pages 872–875, 2012.

[7] L. Belostotski, A. Madanayake, and L. T. Bruton, “Wideband LNA with an active-C element,” IEEE Microwave and Wireless Components Letters, vol. 22, no. 10, pp. 524–526, October 2012.

[8] W. Tang and D. V. Plant, “A 3.125-Gb/s parallel optical receiver in 0.13-μm CMOS with direct crosstalk power penalty measurement capability,” IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 53, no. 12, pp. 1426– 1430, Dec. 2006.