

期末報告：

班級 XX 學號 XX 姓名 XX

X 位元全加器之設計：

1. 原理(卡諾圖表化簡過程)
2. 邏輯閘電路方塊圖(手畫或軟體電路方塊, 需有最底層(MOS 層))
3. 延遲時間分析(input 到輸出穩定最長邏輯閘路徑及波形延遲時間)
4. 評分標準:完成度與位元多寡數

Ex: 2 位元全加器之設計：

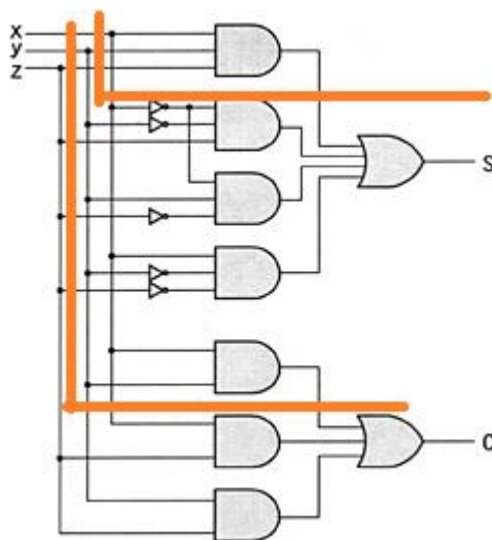
1. 原理:真值表

x	y	z	S	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S = \bar{x}\bar{y}z + \bar{x}y\bar{z} + x\bar{y}\bar{z} + xyz$$

xy \ z	00	01	11	10
0	0	1	0	1
1	1	0	1	0

2. 邏輯閘電路方塊圖



$$C = \bar{x}yz + x\bar{y}z + xy\bar{z} + xyz$$
$$= xy + yz + zx$$

xy \ z	00	01	11	10
0	0	0	1	0
1	0	1	1	1

3. 延遲時間分析:S=inv+nand3+or4; C=nand2+or3;;

請將 word 檔(不壓縮)(圖型貼入 word 檔)

mail 到 cfhsieh@nkust.edu.tw

主旨:VLSI 期末 X 位元全加器報告, 班級 xx 學號 xx, 姓名 xx,

第 18 週 113 年 1 月 9 日 10:00 前繳交(逾時當缺考)