**湖 北 大 学**

计算机与信息工程学院

2023 —— 2024学年度

第 一 学期

**学 生 实 验 报 告 册**

学生姓名：

班 级： 通信工程2101班

学 号： 202131116030035

课程名称： EDA应用设计

任课老师： 周艳玲

学生实验守则

1、学生在规定的时间内进行实验，不得无故缺席或迟到。

2、学生在每次实验前对排定要做的实验应进行预习，并按要求作好预习报告。

3、每次实验前，必须交上次实验报告和本次实验预习报告，并经指导教师提问、检查同意后，才可进行本次实验。

4、学生进入实验室指定位置后，首先根据仪器清单核对自己使用的仪器是否有缺少或损坏，发现问题及时向指导教师报告，严禁擅自动用别组仪器。

5、实验时必须有实事求是、严肃认真的科学态度，严格遵守仪器操作规程和注意事项。

6、实验完毕应将实验数据交给指导教师检查，合格后，整理复原好仪器设备，方可离开实验室。

7、保持实验室肃静和整洁，不得大声喧哗，乱丢垃圾和吃东西。

8、学生在实验过程中，由于不遵守操作规程或未经许可，擅自进行实验而造成事故、损坏仪器设备，应及时报告，并填写损坏清单，按院有关规定进行赔偿。

实 验 报 告 单

**实验名称： 流水灯**

同组人 无 实验室 实训大楼618-619 时间2023

**一、实验目的：**

1.了解Verilog 语法：位运算符（~）、关系运算符（<）、算术运算符（+）、always 引导时序电路描述方法、异步复位、parameter 参数、

localparam 局部参数（不可通过参数传递由外部修改）、模块例化

14及参数传递、异步复位、timescale、仿真延时、Verilog 系统数学

函数（$clog2）。

2. 学习典型组合电路逻辑：分频器、移位寄存器。

**二、实验内容：**

建立一个LED 流水灯电路，对输入系统时钟进行分频，驱动一个移位寄存器产生LED 控制信号，实现流水灯效果。流水灯电路为简单时序电路，包含顶层模块、分频模块和移位寄存器模块。

分频模块可对输入时钟进行任意2N 分频，分频比率可通过参数配置，方便后续实现其他电路时例化使用。

移位寄存器模块每个时钟周期将输出寄存器左移一位，并将一位输入信号补入输出寄存器的最低位。移位寄存器宽度以及初始值可通过参数配置。

流水灯电路首先利用分频模块产生周期为1s 的时钟信号，驱动移位寄存器进行循环移位，并以移位寄存器的输出驱动LED 等实现流水灯效果。顶层模块在例化移位寄存器模块时将移位寄存器输出的最高位输入移位寄存器模块，可实现循环移位效果。

**三、实验代码：**

shift\_reg 移位寄存器模块

//实现 0000 0000 1 的循环左移

------------------------------------------------------------------------------------------------------

module shift\_reg #(

parameter DIRECTION ="LEFT",

parameter WIDTH =9,

parameter INIT\_VALUE=9'h1

)(

input clk,

input rst,

input load\_i,

input [WIDTH-1:0]load\_data\_i,

input reg\_in\_i,

output reg[WIDTH-1:0]reg\_out\_o

);

localparam SIM\_DELAY = 1;

always @(posedge clk or posedge rst or posedge load\_i)begin

if(rst) begin

reg\_out\_o <= #SIM\_DELAY INIT\_VALUE;

end else if(load\_i)begin

reg\_out\_o <= #SIM\_DELAY load\_data\_i;

end else begin

reg\_out\_o <= #SIM\_DELAY DIRECTION == "LEFT"?

{reg\_out\_o[WIDTH-2:0], reg\_in\_i} :

{reg\_in\_i, reg\_out\_o[WIDTH-1:1]};

end

end

endmodule

------------------------------------------------------------------------------------------------------

freq\_div 分频模块

实现时钟信号的分频 来产生不同周期的信号 系统时钟是27Mhz

------------------------------------------------------------------------------------------------------

`timescale 1ns/1ns

module freq\_div #(

parameter DIV\_RATE\_2N = 10 //分频比 27000000刚好是1hz

)(

input clk\_in\_i,

input rst\_i,

output reg clk\_out\_o

);

localparam CNT\_WIDTH = $clog2(DIV\_RATE\_2N);//计算计数器位宽

reg [CNT\_WIDTH-1:0] counter;

always @(posedge clk\_in\_i or posedge rst\_i) begin//在clk或rst上升沿会触发

if(rst\_i) begin

counter <= #SIM\_DELAY 0;

clk\_out\_o <= #SIM\_DELAY 0;

end else begin

if(counter < DIV\_RATE\_2N/2-1) begin

counter <= #SIM\_DELAY counter + 1;

end else begin

counter <= #SIM\_DELAY 0;

clk\_out\_o <= #SIM\_DELAY ~clk\_out\_o;

end

end

end

endmodule

------------------------------------------------------------------------------------------------------

running\_led\_demo 实例化

led是共阳极的，低电平亮

------------------------------------------------------------------------------------------------------

`timescale 1ns/1ns

module running\_led\_demo(

input clk,

input rst\_n,

output [7:0] led\_o

);

localparam CLK\_IN\_FREQ = 27000000;

wire clk\_1Hz;

wire [8:0] reg\_out;

assign rst = ~rst\_n;

//调用分频模块，产生周期为1s的时钟信号

freq\_div #(

.DIV\_RATE\_2N (CLK\_IN\_FREQ)

) freq\_div\_i(

.clk\_in\_i (clk),

.rst\_i (rst),

.clk\_out\_o (clk\_1Hz)

);

shift\_reg #(

.WIDTH (9),

.INIT\_VALUE (9'h1)

) shift\_reg\_i(

.clk (clk\_1Hz),

.rst (rst),

.load\_i (1'b0),

.load\_data\_i (9'h0),

.reg\_in\_i (reg\_out[8]),

.reg\_out\_o (reg\_out)

);

assign led\_o[7:0] = ~reg\_out[8:1];

endmodule

**四、实验结果：**

Led灯从上到下依次点亮。

成绩：

批阅教师：————————

日 期：————————

实 验 报 告 单

**实验名称： 数码管扫描**

同组人 无 实验室 实训大楼618-619 时间2023

**一、实验目的：**

1.了解Verilog 语法：除法运算符（/）。注意parameter 定义的参数

可视为常量，对其应用除法操作与对wire 或reg 类型信号应用除法

操作的不同。

2. 学习典型组合电路逻辑：分频器、移位寄存器。

**二、实验内容：**

建立一个数码管扫描显示电路，实现对一组数据的数码管显示。

该电路为简单时序电路，包含顶层模块、数码管扫描控制器模块和数

据多选器模块，以及第2.2 节介绍过的数码管译码模块、第2.3 节介

绍过的分频模块和移位寄存器模块等。

首先对输入时钟进行分频得到100Hz 的数码管扫描时钟，在扫描

时钟的驱动下使用移位寄存器生成数码管位选信号；使用数码管位选

信号选择待显示数据中相应的数据位，并进行数码管译码产生段选信

17号。

**三、实验代码：**

mux\_4x4.v 多路复用器模块

可以选取输入的十六位数据中的低四位，五到八位，九到十二，十三到十六位

------------------------------------------------------------------------------------------------------

`timescale 1ns/1ns

module mux\_4x4(

input [3:0] index\_i,

input [15:0] data\_i,

output reg [3:0] data\_o

);

always @(\*) begin

case(index\_i[3:0])

4'b0001: data\_o = data\_i[3:0];

4'b0010: data\_o = data\_i[7:4];

4'b0100: data\_o = data\_i[11:8];

4'b1000: data\_o = data\_i[15:12];

default :data\_o=4'h0;

endcase

end

endmodule

------------------------------------------------------------------------------------------------------

seg\_ctrl.v 数码管控制模块

------------------------------------------------------------------------------------------------------

`timescale 1ns/1ns

module seg\_ctrl #(

parameter DIG\_WIDTH =4

)(

input clk,

input rst,

input [DIG\_WIDTH\*4-1:0] data\_i,

output [DIG\_WIDTH-1:0] dig\_o, //位选

output [7:0] seg\_o //段选

);

localparam CLK\_IN\_FREQ =1000000; //越小越稳定

wire clk\_100Hz;

freq\_div #(

.DIV\_RATE\_2N (CLK\_IN\_FREQ/100)

) freq\_div\_i (

.clk\_in\_i (clk),

.rst\_i (rst),

.clk\_out\_o (clk\_100Hz)

);

shift\_reg #(

.WIDTH (4),

.INIT\_VALUE (4'h1)

)shift\_reg\_i (

.clk (clk\_100Hz),

.rst (rst),

.load\_i (1'b0),

.load\_data\_i (4'h0),

.reg\_in\_i (dig\_o[3]),

.reg\_out\_o (dig\_o[3:0])

);

wire [3:0] data\_sel;

mux\_4x4 mux\_4x4\_i(

.index\_i (dig\_o[3:0]),

.data\_i (data\_i[15:0]),

.data\_o (data\_sel[3:0])

);

seg\_decode seg\_decode\_i(

.data\_i (data\_sel[3:0]),

.seg\_code\_o (seg\_o[7:0])

);

Endmodule

------------------------------------------------------------------------------------------------------

seg\_scan\_demo.v 数码管扫描实例化

**------------------------------------------------------------------------------------------------------**

`timescale 1ns/1ns

module seg\_scan\_demo(

input clk,

input rst\_n,

output [3:0] dig\_o,

output [7:0] seg\_o

);

assign rst =~rst\_n;

seg\_ctrl #(

.DIG\_WIDTH (4)

) seg\_ctrl\_i(

.clk (clk),

.rst (rst),

.data\_i (16'h1234),

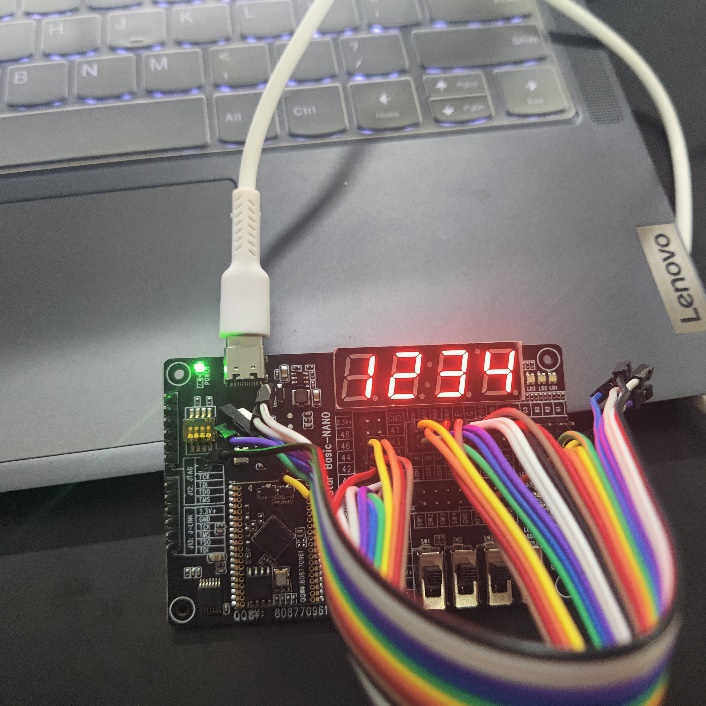
.dig\_o (dig\_o[3:0]),

.seg\_o (seg\_o[7:0])

);

endmodule

**四、实验结果：**



成绩：

批阅教师：————————

日 期：——————