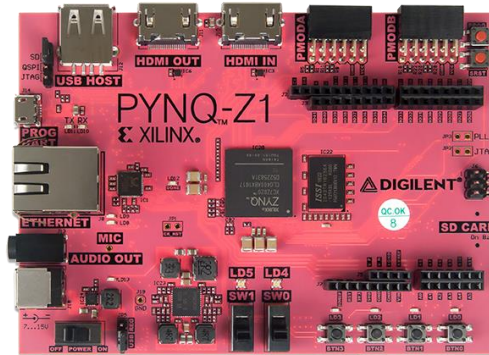


Pendahuluan Pemrograman Zynq

Erwin Setiawan

Xilinx Zynq 7000

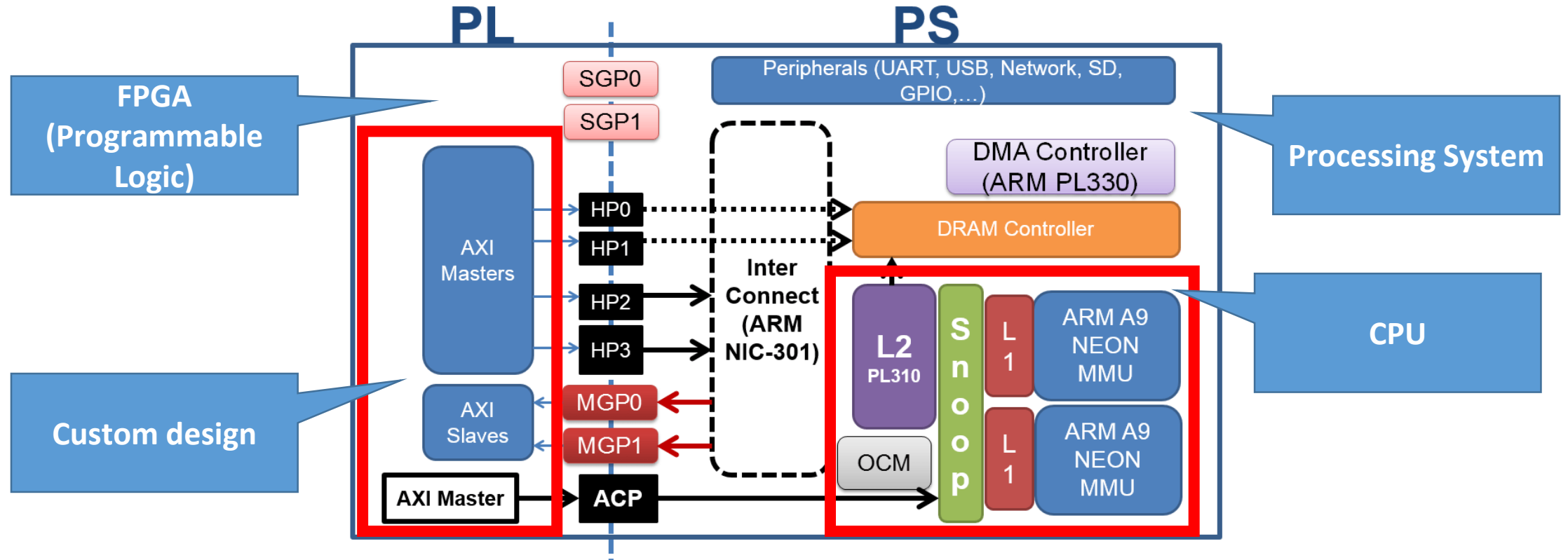
- FPGA Xilinx Zynq: terdiri dari **FPGA + CPU** (Programmable SoC)
 - CPU **ARM cortex A9** (Zynq7000) atau ARM cortex A53 (Zynq ultrascale)
 - Mirip seperti arsitektur CPU yang digunakan di Raspberry Pi
- Contoh board: Zybo, Pynq, etc.



Arsitektur Zynq

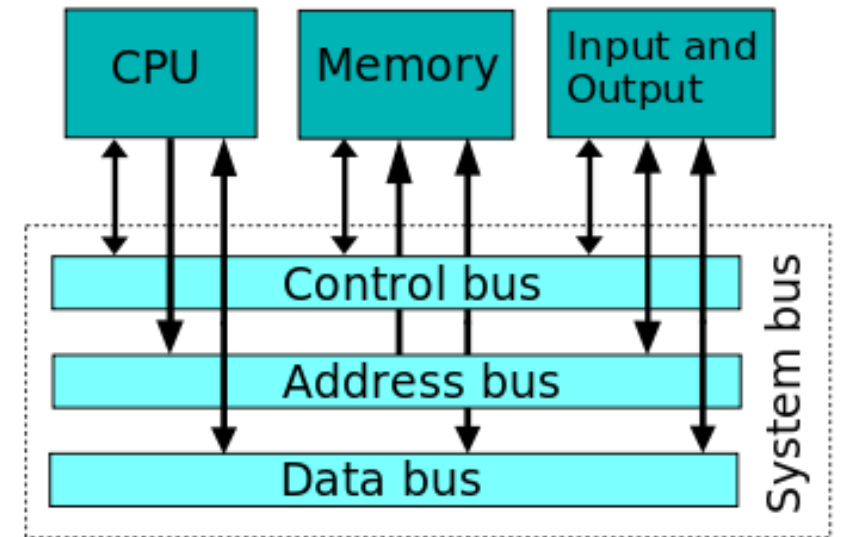


- Xilinx Zynq-7010



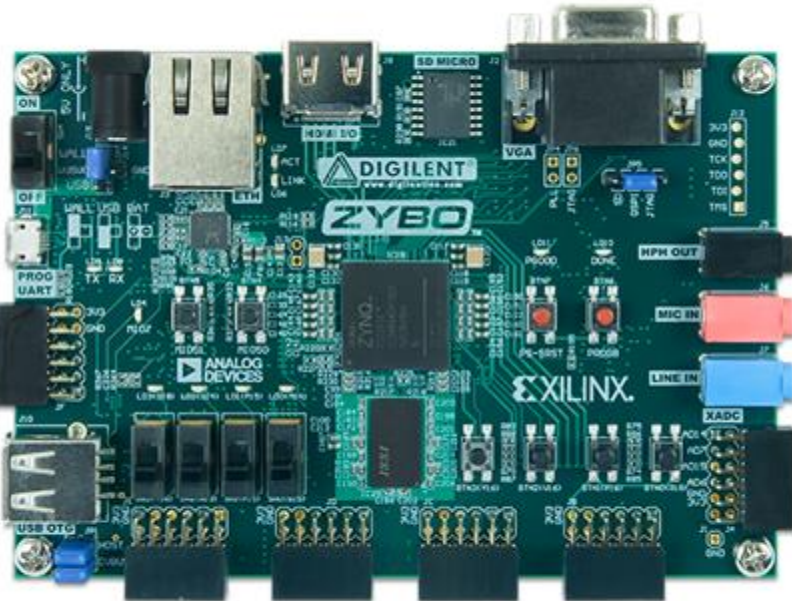
Interconnection between PL and PS

- AXI bus/interconnect
- Advanced Extensible Interface (PS to PL)
 - AXI-Full
 - **AXI-Lite**
 - AXI-Stream
- AHB (Advanced High-performance Bus)
 - Ethernet, SDIO, USB
- APB (Advanced Peripheral Bus)
 - UART, SPI, I2C, GPIO



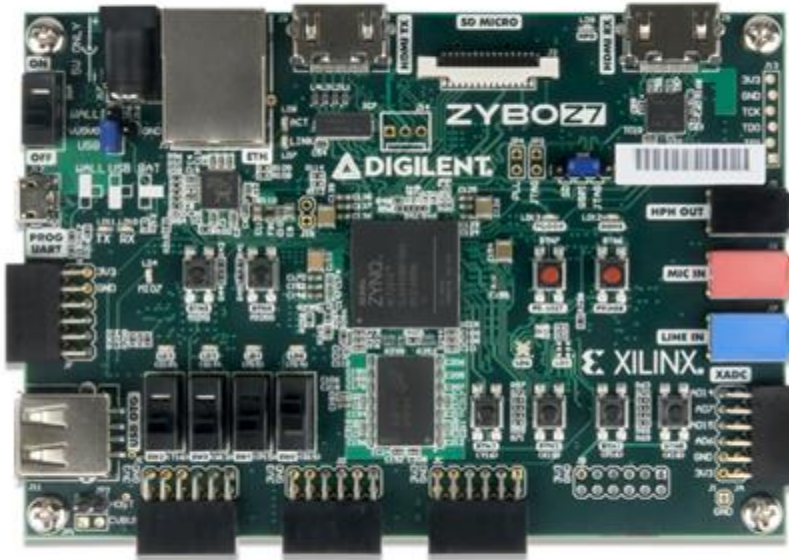
UPDATE 2022: Ada 2 Tipe Zybo yang digunakan di Kuliah: old vs. new (Z7)

ZYBO

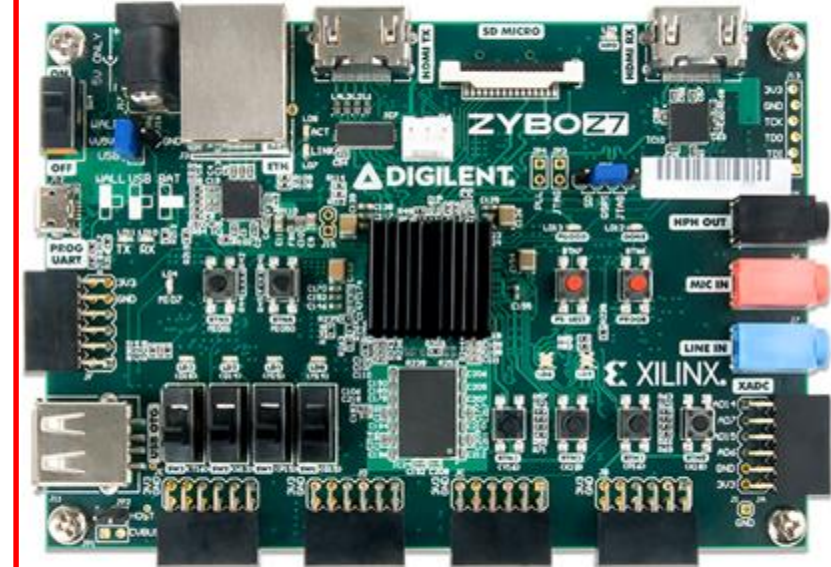


Part:
XC7Z010-1CLG400C

Zybo Z7-10



Zybo Z7-20



Part:
XC7Z020-1CLG400C

Zybo (Old version) vs. Zybo Z7 (New version)

		ZYBO	Zybo Z7-10	Zybo Z7-20
Product Information	Status	Discontinued		Active
Zynq Specifications	Zynq Part	XC7Z010-1CLG400C		XC7Z020-1CLG400C
	Processor	650 MHz dual-core Cortex-A9	667 MHz dual-core Cortex-A9	
	Programming Options	JTAG, Quad-SPI Flash, microSD		
	1 MSPS On-chip ADC	Yes		
	Look-up Tables (LUTs)	17,600	53,200	
	Flip-Flops	35,200	106,400	
	Block RAM	270 KB	630 KB	
	Clock Management Tiles	2	4	

Zybo (Old version) vs. Zybo Z7 (New version)

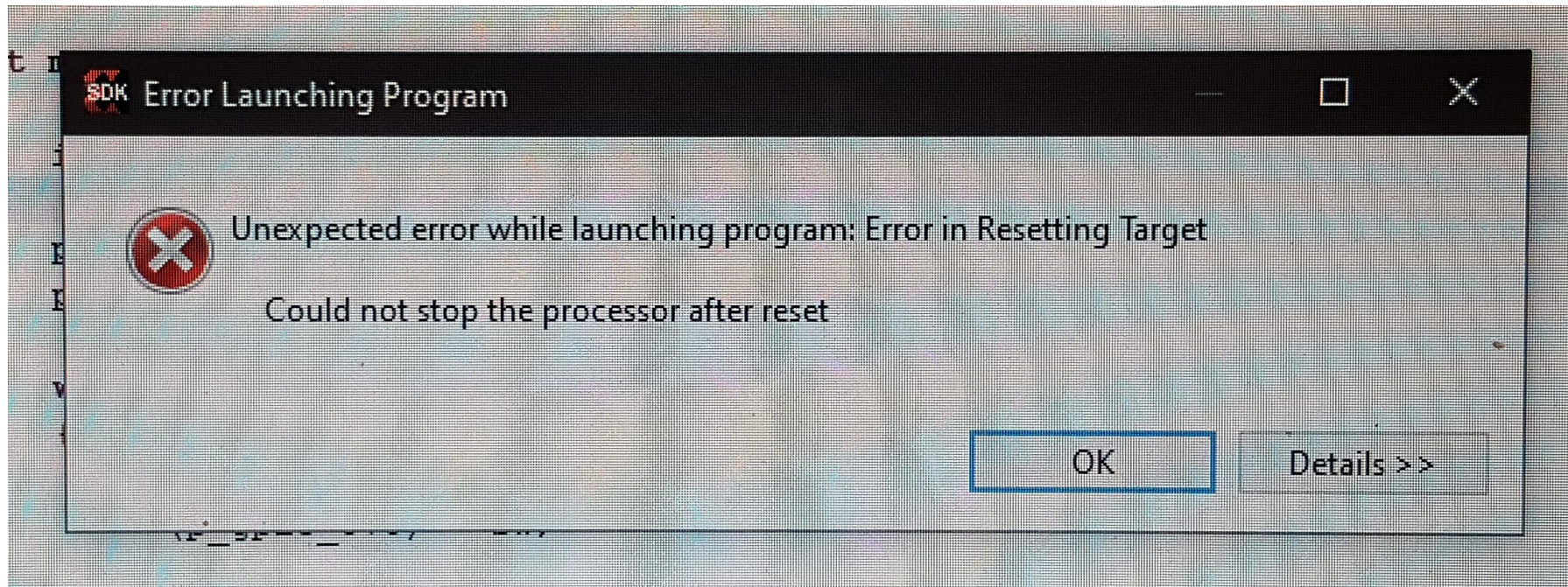
Memory	DDR	512 MB DDR3 with 32-bit bus @ 1050 MHz		1 GB DDR3L with 32-bit bus @ 1066 MHz	
	Quad SPI Flash	16 MB			
	microSD Slot	Yes			
Power	Input Options	USB or any 5V external power source			
	Fan Connector	No		Yes	
USB and Ethernet	Gigabit Ethernet	Yes			
	USB-JTAG Circuitry	Yes			
	USB-UART bridge	Yes			
	USB 2.0 OTG	Host and Device			

Zybo (Old version) vs. Zybo Z7 (New version)

Audio and Video	Audio Codec	SSM2603		
	VGA Output	Yes	No	
	Bidirectional HDMI	Yes	No	
	HDMI Output	No	Yes	
	HDMI Input	No	Yes	
	Pcam MIPI CSI-2 Camera Port	No	Yes	
GPIO Devices	Push buttons	6		
	Switches	4		
	LEDs	5		
	RGB LEDs	0	1	2
Expansion Connectors	Pmod ports	6	5	6
Form Factor	Width	3.3 inches (88 mm)		
	Length	4.8 inches (122 mm)		

Khusus untuk Zybo Z7 (New version)

- Zybo new version:
 - CPU-nya tidak bisa diprogram dengan **Vivado 2016.4**, selalu keluar error.
 - Solusi: harus menggunakan **Vivado 2019.1**.



Kelebihan dan Kekurangan

- Zybo new version:
 - Memiliki logic FPGA yang lebih besar.
 - Tapi tidak compatible dengan Vivado 2016.4. Harus menggunakan 2019.1.
- Tutorial akan tetap menggunakan Vivado 2016.4 karena mayoritas board yang digunakan adalah Zybo versi old.

Software Tools yang Digunakan

- Vivado **versi 2016.4**:
 - **Recommended untuk tutorial ini** jika menggunakan board ZYBO versi lama.
- Vivado **versi 2019.1**:
 - Jika menggunakan board ZYBO versi baru (Z7).
- Vivado versi 2019.2 - terbaru:
 - **Tidak support** karena tidak pakai SDK, tapi menggunakan Vitis.

Instalasi Vivado 1

- Offline installer:
 - Ukuran 21GB (versi 2016.4)
 - https://www.xilinx.com/member/forms/download/xef.html?filename=Xilinx_Vivado_SDK_2016.4_0124_1.tar.gz
- Online installer:
 - Ukuran install sekitar 5-7GB, dengan catatan hanya menginstall software dan library chip yang diperlukan (install chip Zynq7000 saja jangan install yang lain)
 - https://www.xilinx.com/member/forms/download/xef.html?filename=Xilinx_Vivado_SDK_2016.4_0124_1_Win64.exe

Instalasi Vivado 2

- Untuk kuliah ini cukup pakai **Vivado versi WebPack (free)**. License bisa registrasi ke website Xilinx (free).
- Jangan menginstal Vivado di **folder atau sub-folder-nya yang memiliki space**. Karena biasanya akan error ketika proses synthesis.
- Contoh:
 - C:\Program Files **(Error)**
 - C:\ProgramFiles **(OK)**
 - C:\ProgramFiles\Kuliah VLSI\Xilinx **(Error)**
 - C:\Xilinx **(OK)**
- Pastikan **checklist opsi SDK** saat menginstall Vivado (Pada versi 2016.4 opsi ini secara default tidak di-checklist).

Membuat Project Vivado

- Jangan membuat project Vivado di folder seperti: folder **Users di C:, folder Program Files, atau folder system yang sifatnya protected atau read only** karena biasanya akan error ketika proses synthesis.
- Jangan membuat project Vivado di folder atau sub-folder-nya yang memiliki space.
- Contoh:
 - D:\Kuliah VLSI\Vivado **(Error)**
 - D:\Kuliah_VLSI\Vivado **(OK)**
 - D:\Kuliah_VLSI **(OK)**