

**TUGAS LAPORAN AKHIR RING OSCILATOR**  
**DIVAIS SEMIKONDUKTOR DAN RANGKAIAN TERINTEGRASI**



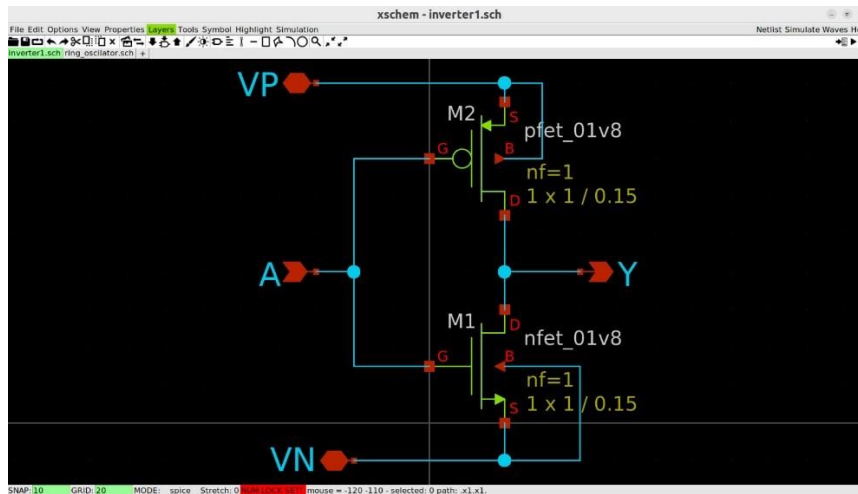
Disusun oleh:

Nama : Yohanes Stefanus  
NRP : 5022211089  
Github : [ringosc\\_yohanes](https://github.com/ringosc_yohanes)  
repository

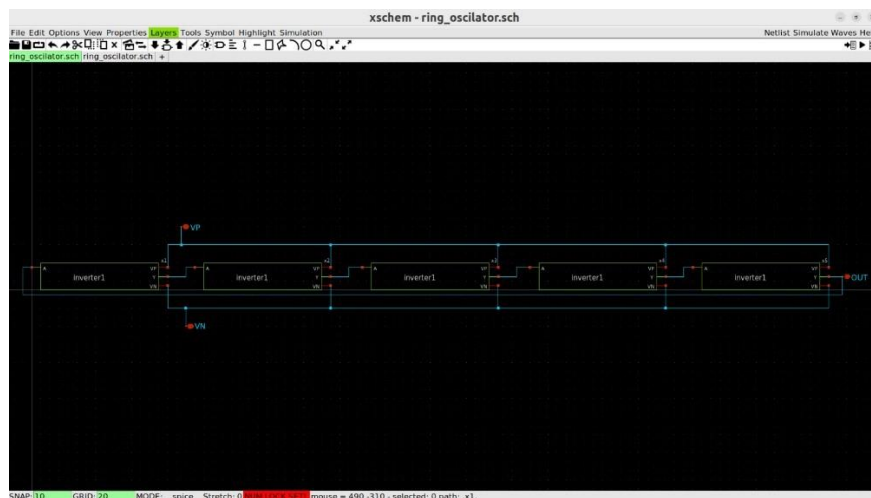
**INSTITUT TEKNOLOGI SEPULUH NOPEMBER**  
**TEKNIK ELEKTRO**  
**2023/2024**

## Rangkaian:

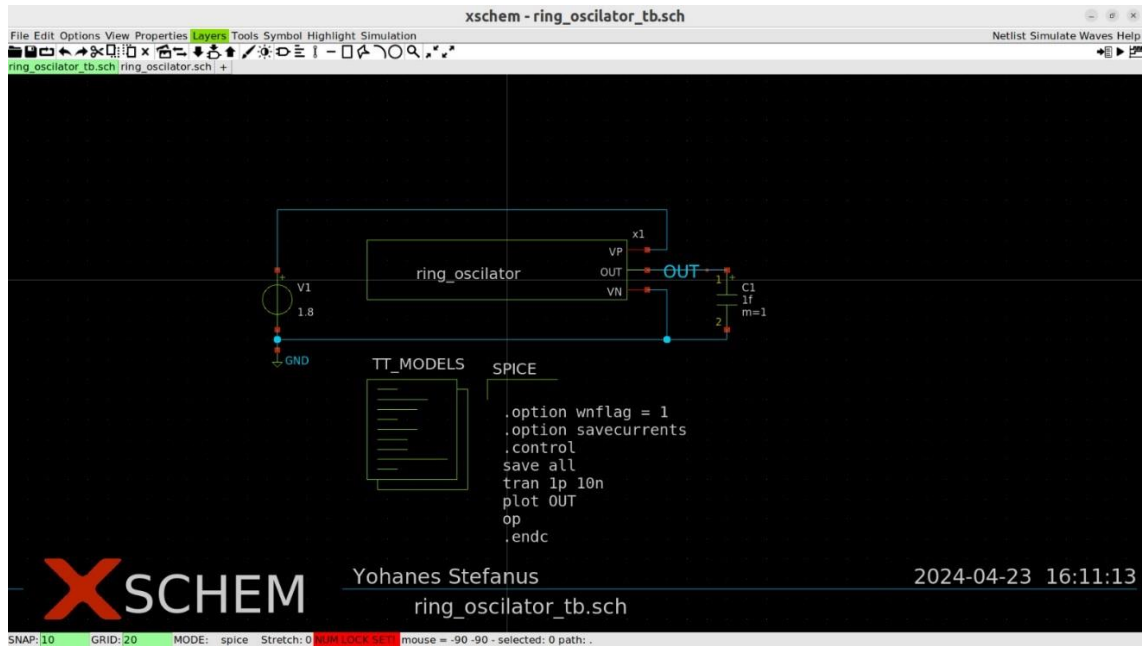
Rangkaian ring oscillator terdiri dari beberapa inverter yang dihubungkan secara seri. Adapun dasar yang menjadi penyusun rangkaian ring oscillator adalah mosfet berjenis cmos tipe n dan p yang dihubungkan seri. Berikut adalah rangkaian inverternya:



Kedua MOSFET tersebut menggunakan ukuran width dan length yang sama, yakni width sebesar 1 mikron dan length sebesar 0,15 mikron. Lalu rangkaian inverter tersebut digabung menjadi satu modul inverter. Dari modul inverter tersebut, dapat dirangkai ring oscillator dengan menggunakan 5 modul inverter sebagai berikut:

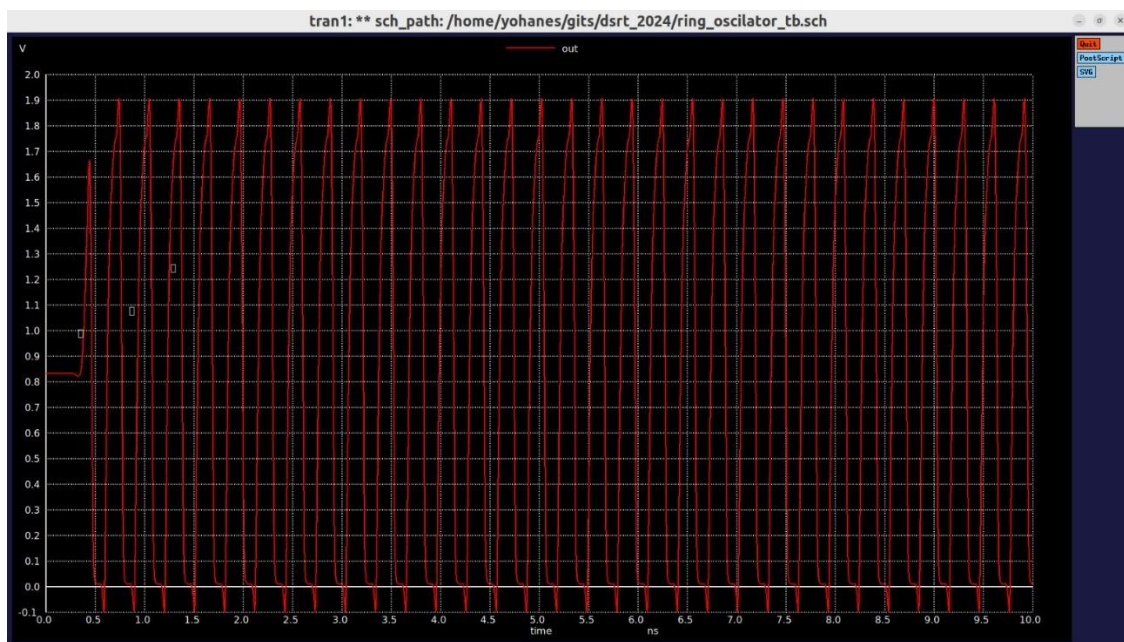


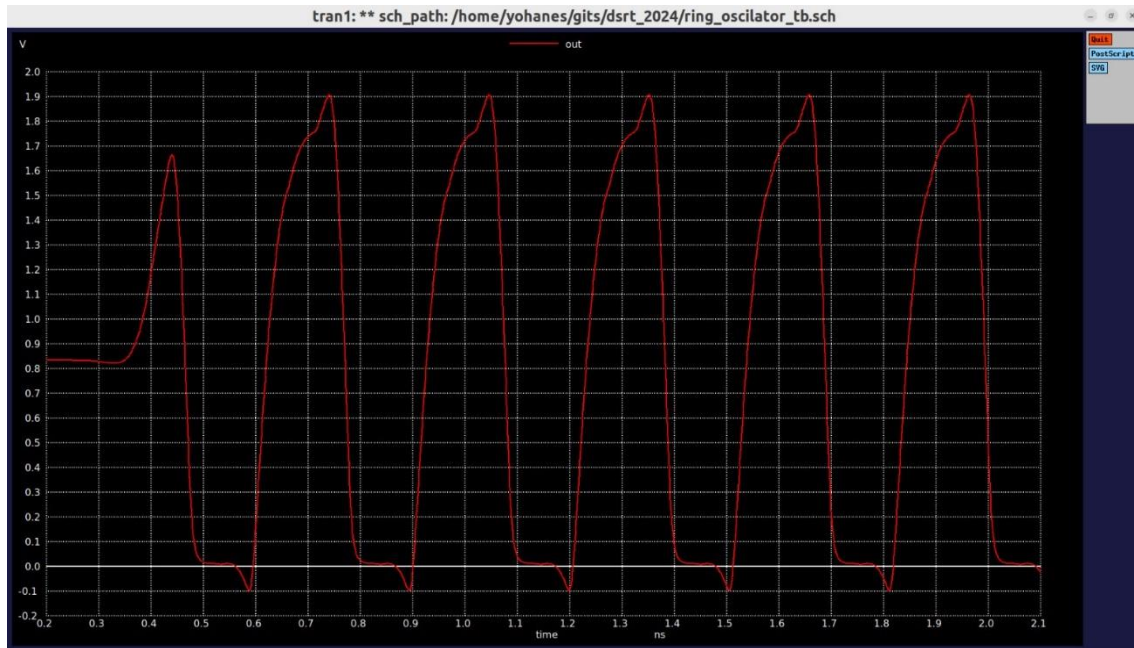
Lima rangkaian inveter yang dirangkai secara seri tersebut akan membentuk sebuah ring oscillator. Ring oscillator bekerja dengan memanfaatkan switching time yang dimiliki oleh sebuah MOSFET. Ketika output pada MOSFET pertama dalam keadaan LOW, maka MOSFET selanjutnya akan menghasilkan sinyal HIGH. Ketika output HIGH inverter kedua diterima oleh inverter ke 3, maka MOSFET selanjutnya akan menghasilkan sinyal LOW dan begitupun selanjutnya hingga ke MOSFET yang ke 5. Proses ini terus berulang sehingga menghasilkan sinyal yang berosilasi. Rangkaian ring oscillator tersebut dibuat ke dalam satu simbol sehingga menghasilkan blok sebagai berikut:



Untuk mensimulasikan rangkaian di atas, digunakan beban kapasitor sebesar 1 Farad dan dengan tegangan input sebesar 1,8 Volt. Berikut adalah hasil simulasi rangkaian di atas menggunakan NGSPICE.

## Simulasi:



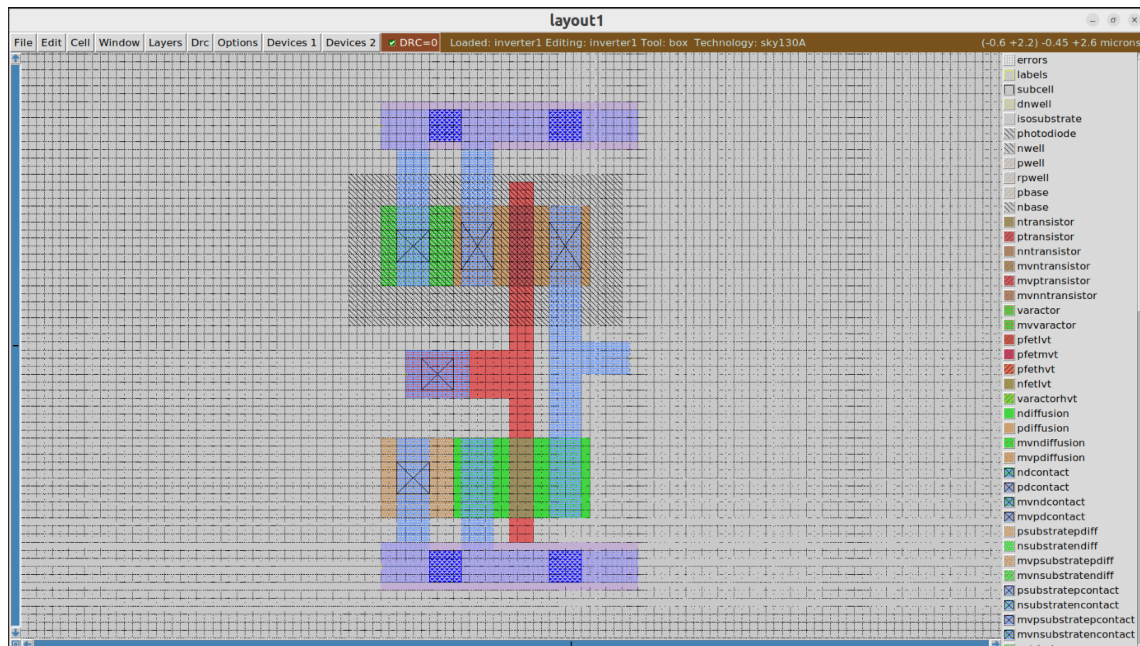


Pada simulasi di atas, grafik menyerupai grafik charge-discharge dari sebuah kapasitor karena beban yang digunakan merupakan beban kapasitif. Tegangan puncak mencapai 1,9 Volt dan dengan periode osilasi sebesar 0,3 nS. Waktu switching yang terjadi dapat diperbesar dan diperkecil dengan mengubah lebar dari gate MOSFET yang digunakan. Semakin lebar gate MOSFET, switching timenya akan semakin besar. Selain itu, pada grafik diatas juga terdapat overshoot yang dapat dikompensasi dengan menggunakan rangkaian induktor.

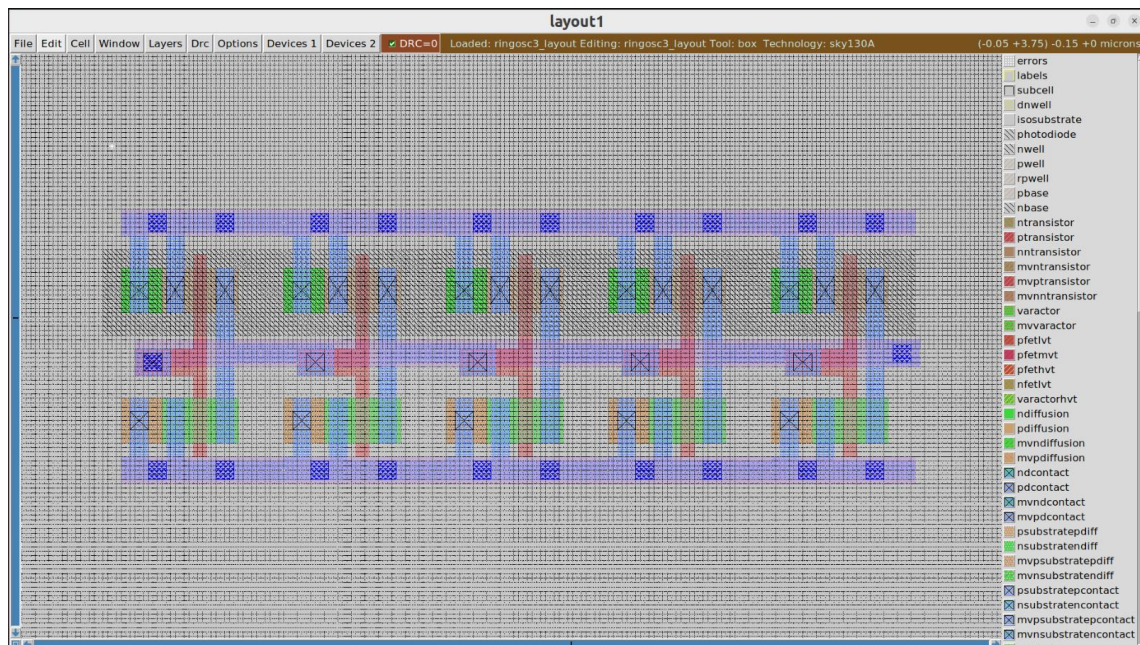
### Layout:

Ring oscilator pada tugas kali ini terdiri dari 5 rangkaian inverter cmos yang dirangkaian secara seri. Pada tugas sebelumnya saya telah membuat skematik inverter dan ring oscilator menggunakan software xschem. Selain itu, skematik ring oscilator tersebut juga sudah saya lakukan simulasi spice menggunakan software ngspice. Pada tugas kali ini saya sudah membuat layout IC dari rangkaian inverter dan ring oscilator menggunakan software magic vlsi. Berikut ini adalah layout dari modul inverter.





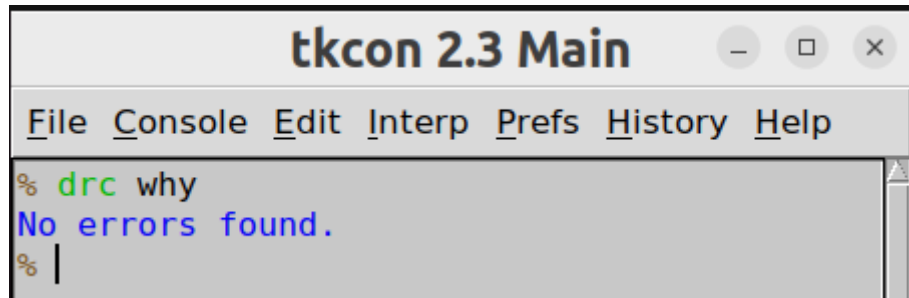
Transistor pada layout tersebut berjenis nfet dan pfet. Transistor tersebut memiliki ukuran lebar sebesar 0,5 mikron dan panjang sebesar 0,15 mikron. Ukuran tersebut merupakan ukuran dari gate transistor berjenis FET. Layout IC tersebut terdiri dari lapisan nwell, ndiffusion, pdiffusion, psubstratediffusion, nsubstratendiffusion, polysilicon, local interconnect, metal1, dan via interconnect. Layout inverter tersebut kemudian di gabungkan menjadi ring oscillator sebagai berikut.



## Validasi:

### 1. DRC Error

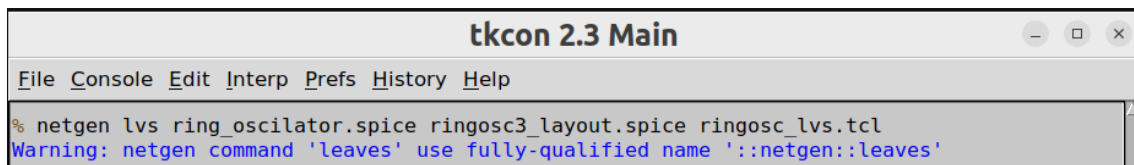
Pada rangkaian di atas, tidak ada error yang ditemukan pada DRC. Hal ini dapat dilihat dengan command drc why pada terminal tkcon.



## 2. LVS (layout versus schematic)

Pada saat pengecekan LVS, layout ring oscillator yang saya buat tidak terdeteksi komponen-komponennya oleh LVS.

Command:



Respon:

Terlihat bahwa rangkaian ke-2, yaitu layout ring oscillator, tidak terdeteksi ada komponen oleh netgen. Sejauh laporan ini di buat saya belum menemukan solusi dari permasalahan tersebut.

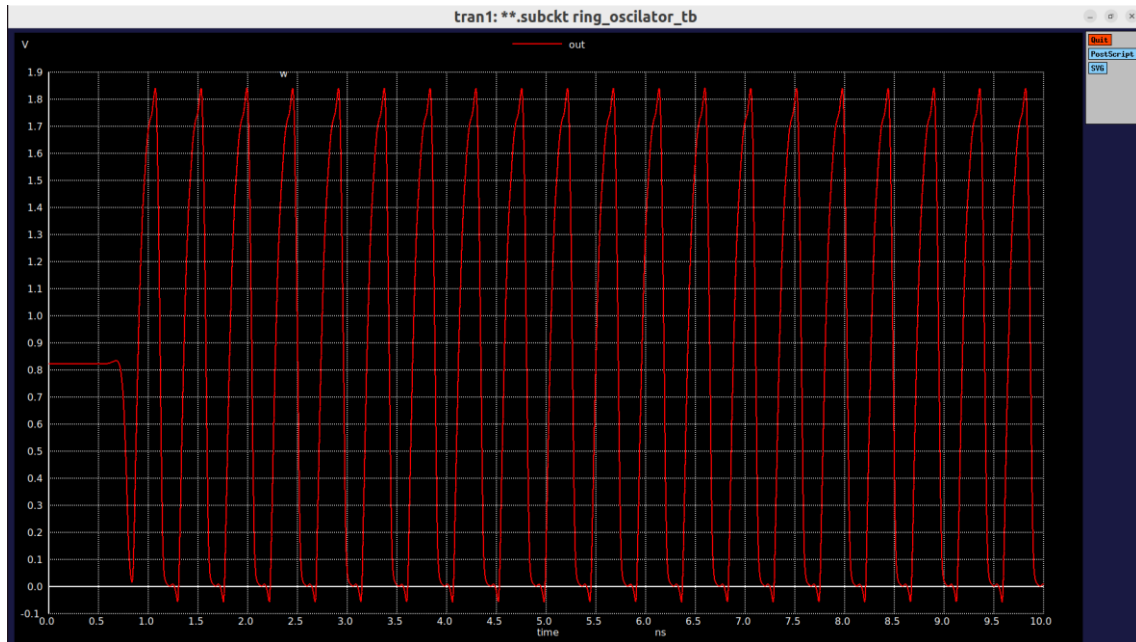
## Post Layout Simulation:

Setelah layout dan pengecekan LVS telah selesai, saya melakukan simulasi perbandingan respon input output pada layout dan skematik menggunakan software ngspice. Berikut adalah file simulasi spice pada layout ring oscillator.

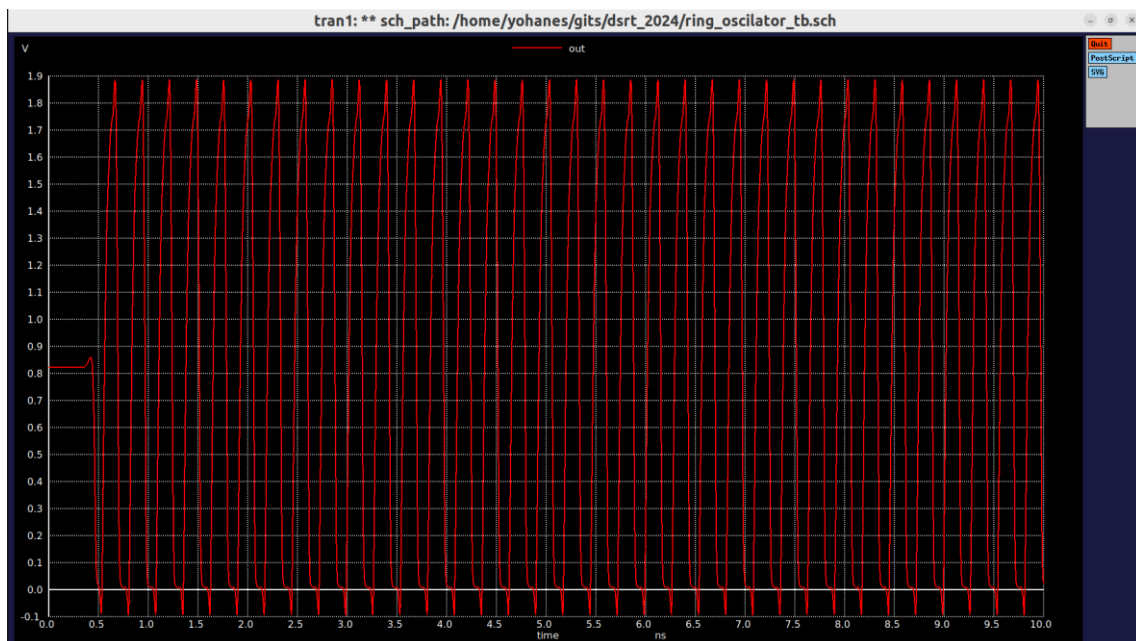
```
ringosc3_layout.spice
File Edit Selection View Go Run Terminal Help

ringosc3_layout.spice X
home > yohanes > gits > dsrt_2024 > ringosc3_layout.spice
1 | NGSPICE file created from ringosc3_layout.ext - technology: sky130A
2
3 .subckt inverter1 VP A VN Y
4 X0 Y A VN VN sky130_fd_pr__nfet_01v8 ad=0.175 pd=1.7 as=0.175 ps=1.7 w=0.5 l=0.15
5 X1 Y A VP VP sky130_fd_pr__pfet_01v8 ad=0.175 pd=1.7 as=0.175 ps=1.7 w=0.5 l=0.15
6 C0 Y A 0.03244f
7 C1 VP Y 0.063905f
8 C2 VP A 0.092764f
9 C3 Y VN 0.179197f
10 C4 A VN 0.307849f
11 C5 VP VN 0.485657f
12 .ends
13
14 .subckt ringosc3_layout
15 Xinverter1_0 VP OUT VN inverter1_1/A inverter1
16 Xinverter1_1 VP inverter1_1/A VN inverter1_2/A inverter1
17 Xinverter1_2 VP inverter1_2/A VN inverter1_3/A inverter1
18 Xinverter1_3 VP inverter1_3/A VN inverter1_4/A inverter1
19 Xinverter1_4 VP inverter1_4/A VN OUT inverter1
20 C0 OUT inverter1_2/A 0.089434f
21 C1 inverter1_1/A OUT 0.1053f
22 C2 inverter1_3/A inverter1_2/A 0.025654f
23 C3 inverter1_2/A VP 0.043191f
24 C4 inverter1_1/A VP 0.042394f
25 C5 VN inverter1_2/A 0.021874f
26 C6 inverter1_1/A VN 0.021874f
27 C7 inverter1_3/A OUT 0.08932f
28 C8 OUT inverter1_4/A 0.100293f
29 C9 OUT VP 0.398952f
30 C10 VN OUT 0.360335f
31 C11 inverter1_3/A inverter1_4/A 0.025654f
32 C12 inverter1_3/A VP 0.043191f
33 C13 inverter1_3/A VN 0.021874f
34 C14 VP inverter1_4/A 0.037689f
35 C15 inverter1_1/A inverter1_2/A 0.025654f
36 C16 VN inverter1_4/A 0.021285f
37 C17 VN VP -0.18877f
38 C18 VN 0 -0.185934f
39 C19 VP 0 2.19741f
40 C20 inverter1_4/A 0 0.397168f
41 C21 inverter1_3/A 0 0.378309f
42 C22 inverter1_2/A 0 0.378309f
43 C23 inverter1_1/A 0 0.391588f
44 C24 OUT 0 0.574507f
45 .ends
```

Berikut ini adalah hasil simulasi layout dan skematik menggunakan ngspice:



Simulasi Layout



Simulasi skematik

Pada simulasi tersebut, terlihat bahwa hasil simulasi layout memiliki periode osilasi sebesar  $T = 0,5 \text{ ns}$  dan frekuensi sebesar  $f = 2 \text{ GHz}$ . Sedangkan, hasil simulasi skematik memiliki periode  $T = 0,25 \text{ ns}$  dan frekuensi sebesar  $f = 4 \text{ GHz}$ . Dari hasil tersebut, dapat disimpulkan bahwa hasil layout menyebabkan rangkaian ring oscillator memiliki frekuensi yang setengah kali lebih rendah dibanding dengan hasil simulasi skematik. Hal ini disebabkan karena pada layout yang dibuat terdapat komponen kapasitif yang terbentuk sehingga menyebabkan delay yang terjadi pada sinyal yang melintas di dalam IC ring oscillator tersebut.



## Repository:

[https://github.com/yohanesstef/dsrt2024\\_Ring-Oscilator\\_Yohanes-Stefanus\\_5022211089.git](https://github.com/yohanesstef/dsrt2024_Ring-Oscilator_Yohanes-Stefanus_5022211089.git)