**TUGAS LAPORAN AKHIR RING OSCILATOR**

**DIVAIS SEMIKONDUKTOR DAN RANGKAIAN TERINTEGRASI**



Disusun oleh:

|  |  |  |
| --- | --- | --- |
| Nama | : | Yohanes Stefanus |
| NRP | : | 5022211089 |
| Github repository | : | [ringosc\_yohanes](https://github.com/yohanesstef/dsrt2024_Ring-Oscilator_Yohanes-Stefanus_5022211089.git) |

**INSTITUT TEKNOLOGI SEPULUH NOPEMBER**

**TEKNIK ELEKTRO**

**2023/2024**

**Rangkaian:**

Rangkaian ring oscillator terdiri dari beberapa inverter yang dihubungkan secara seri. Adapaun dasar yang menjadi penyusun rangkaian ring oscillator adalah mosfet berjenis cmos tipe n dan p yang dihubungkan seri. Berikut adalah rangkaian inverternya:

A computer screen shot of a computer

Description automatically generated

Kedua MOSFET tersebut menggunakan ukuran width dan length yang sama, yakni width sebesar 1 mikron dan length sebesar 0,15 mikron. Lalu rangkaian inverter tersebut digabung menjadi satu modul inverter. Dari modul inverter tersebut, dapat dirangkai ring oscillator dengan menggunakan 5 modul inverter sebagai berikut:

A screenshot of a computer

Description automatically generated

Lima rangkaian inveter yang dirangkai secara seri tersebut akan membentuk sebuah ring oscillator. Ring oscillator bekerja dengan memanfaatkan switching time yang dimiliki oleh sebuah MOSFET. Ketika output pada MOSFET pertama dalam kedaan LOW, maka MOSFET selanjutnya akan menghasilkan sinyal HIGH. Ketika output HIGH inverter kedua diterima oleh inverter ke 3, maka MOSFET selanjutnya akan menghasilkan sinyal LOW dan begitupun selanjutnya hingga ke MOSFET yang ke 5. Proses ini terus berulang sehingga menghasilkan sinyal yang berosilasi. Rangkaian ring oscillator tersebut dibuat ke dalam satu simbol sehingga menghasilkan blok sebagai berikut:

A computer screen shot of a black screen

Description automatically generated

Untuk mensimulasikan rangkaian di atas, digunakan beban kapasitor sebesar 1 Farad dan dengan tegangan input sebesar 1,8 Volt. Berikut adalah hasil simulasi rangkaian di atas menggunakan NGSPICE.

**Simulasi:**

A screen shot of a graph

Description automatically generated

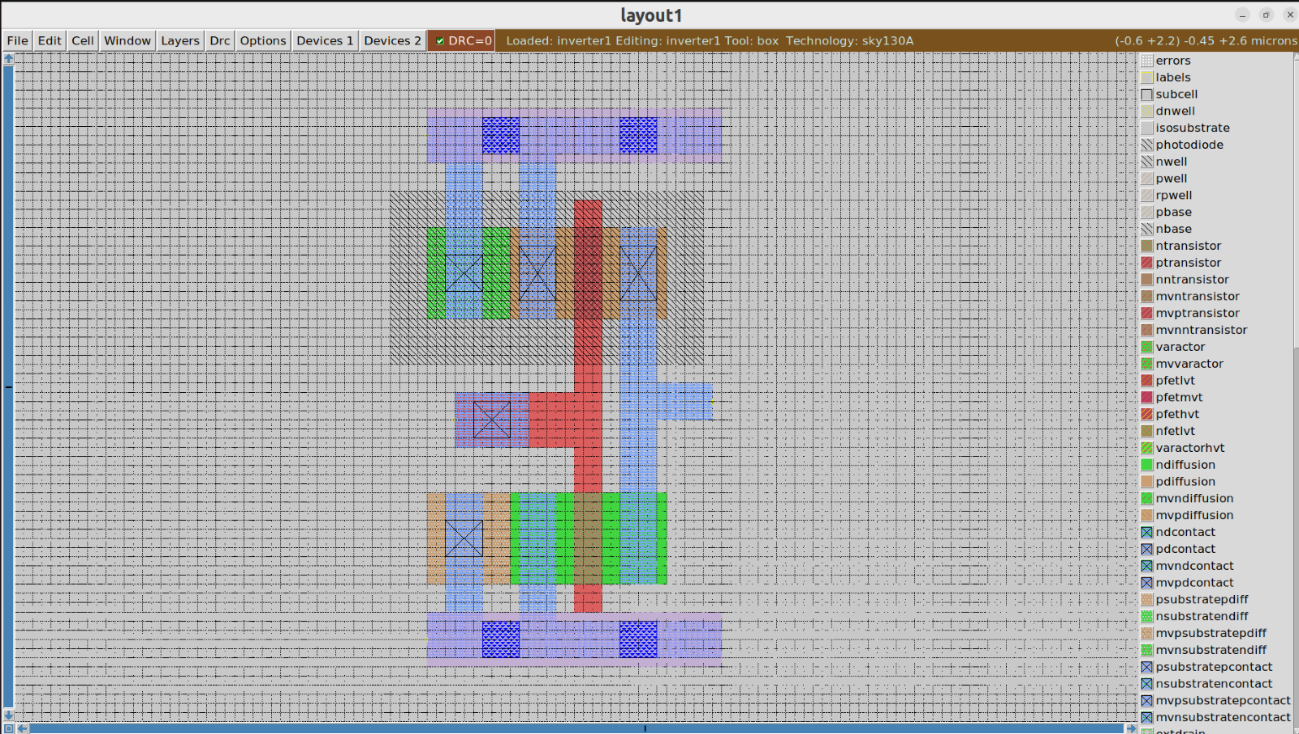
A graph showing a graph of a heart rate

Description automatically generated with medium confidence

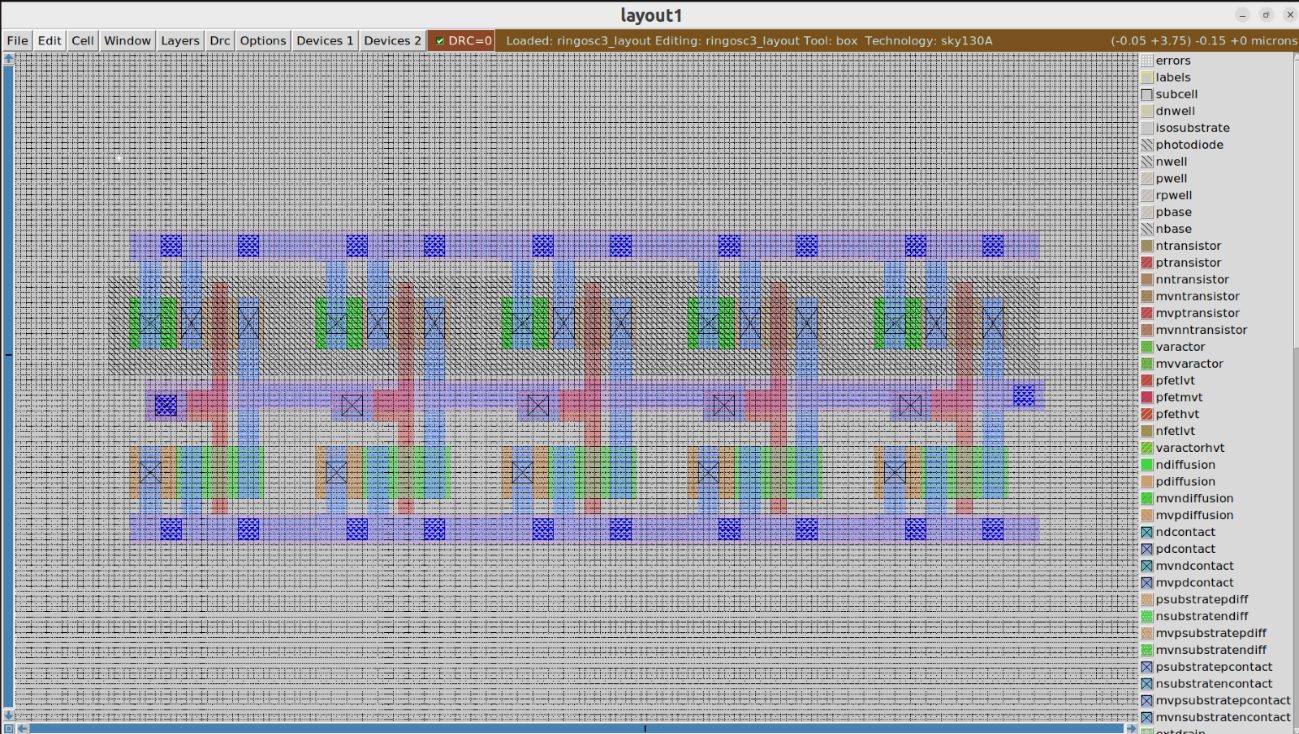
Pada simulasi di atas, grafik menyerupai grafik charge-discharge dari sebuah kapasitor karena beban yang digunakan merupakan beban kapasitif. Tegangan puncak mencapai 1,9 Volt dan dengan periode osilasi sebesar 0,3 nS. Waktu switching yang terjadi dapat diperbesar dan diperkecil dengan mengubah lebar dari gate MOSFET yang digunakan. Semakin lebar gate MOSFET, switching timenya akan semakin besar. Selain itu, pada grafik diatas juga terdapat overshoot yang dapat dikompensasi dengan menggukanan rangkaian induktor.

**Layout:**

Ring oscilator pada tugas kali ini terdiri dari 5 rangkaian inverter cmos yang dirangkaian secara seri. Pada tugas sebelumnya saya telah membuat skematik inverter dan ring oscilator menggunakan software xschem. Selain itu, skematik ring oscilator tersebut juga sudah saya lakukan simulasi spice menggunakan software ngspice. Pada tugas kali ini saya sudah membuat layout IC dari rangkaian inverter dan ring oscillator menggunakan software magic vlsi. Berikut ini adalah layout dari modul inverter.



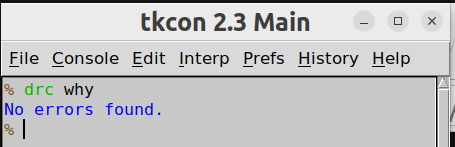
Transistor pada layout tersebut berjenis nfet dan pfet. Transistor tersebut memiliki ukuran lebar sebesar 0,5 mikron dan panjang sebesar 0,15 mikron. Ukuran tersebut merupakan ukuran dari gate transistor berjenis FET. Layout IC tersebut terdiri dari lapisan nwell, ndiffusion, pdiffusion, psubstratepdiffusion, nsubstratendiffusion, polysilicon, local interconect, metal1, dan via interconect. Layout inverter tersebut kemudian di gabungkan menjadi ring oscillator sebagai berikut.



**Validasi:**

1. DRC Error

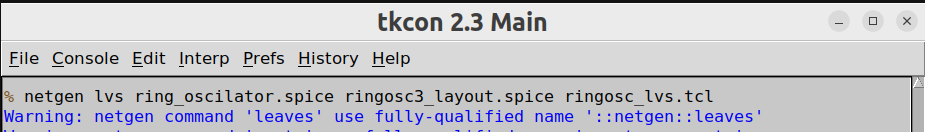
Pada rangkaian di atas, tidak ada error yang ditemukan pada DRC. Hal ini dapat dilihat dengan command drc why pada terminal tkcon.



1. LVS (layout versus schematic)

Pada saat pengecekan LVS, layout ring oscillator yang saya buat tidak terdeteksi komponen-komponennya oleh LVS.

Command:

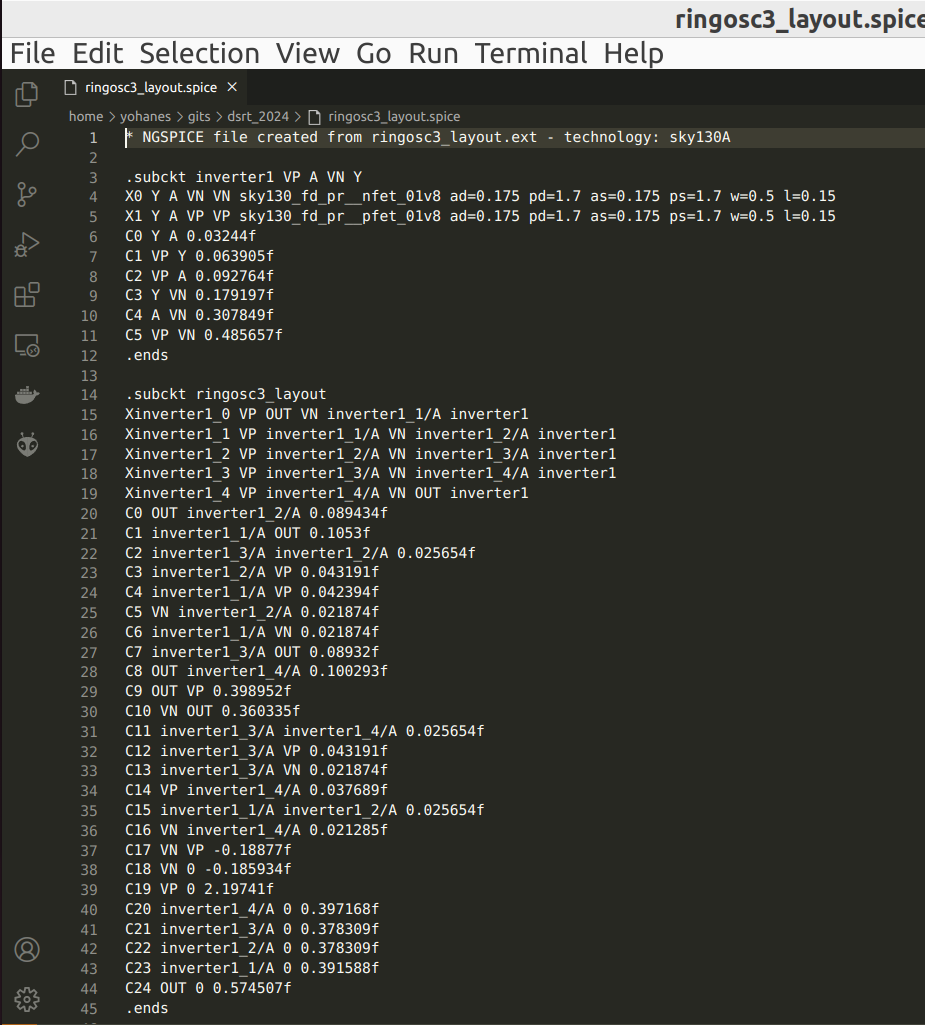


Respon:

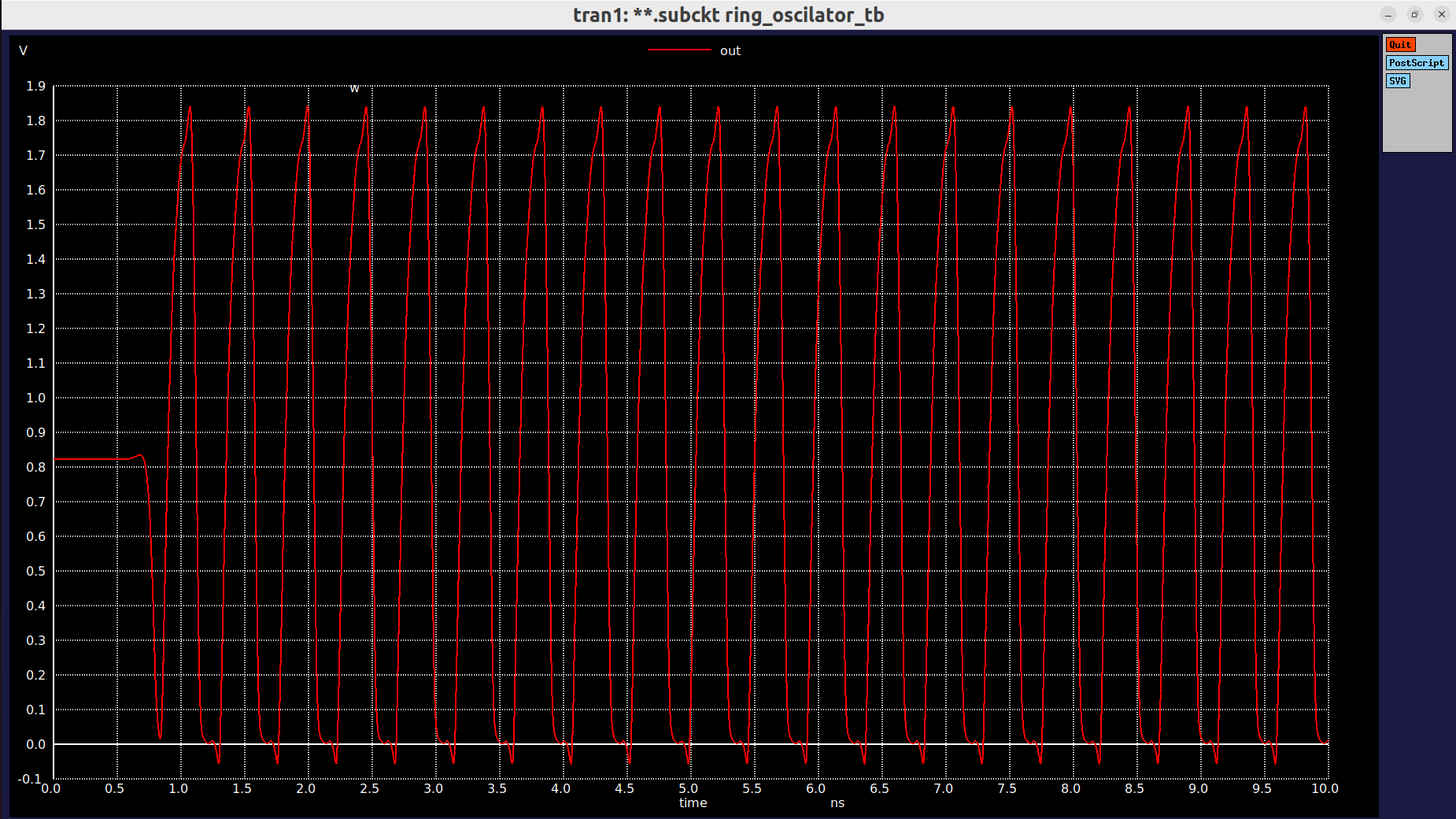
Terlihat bahwa rangkaian ke-2, yaitu layout ring oscillator, tidak terdeksi ada komponen oleh netgen. Sejauh laporan ini di buat saya belum menemukan solusi dari permasalahan tersebut.

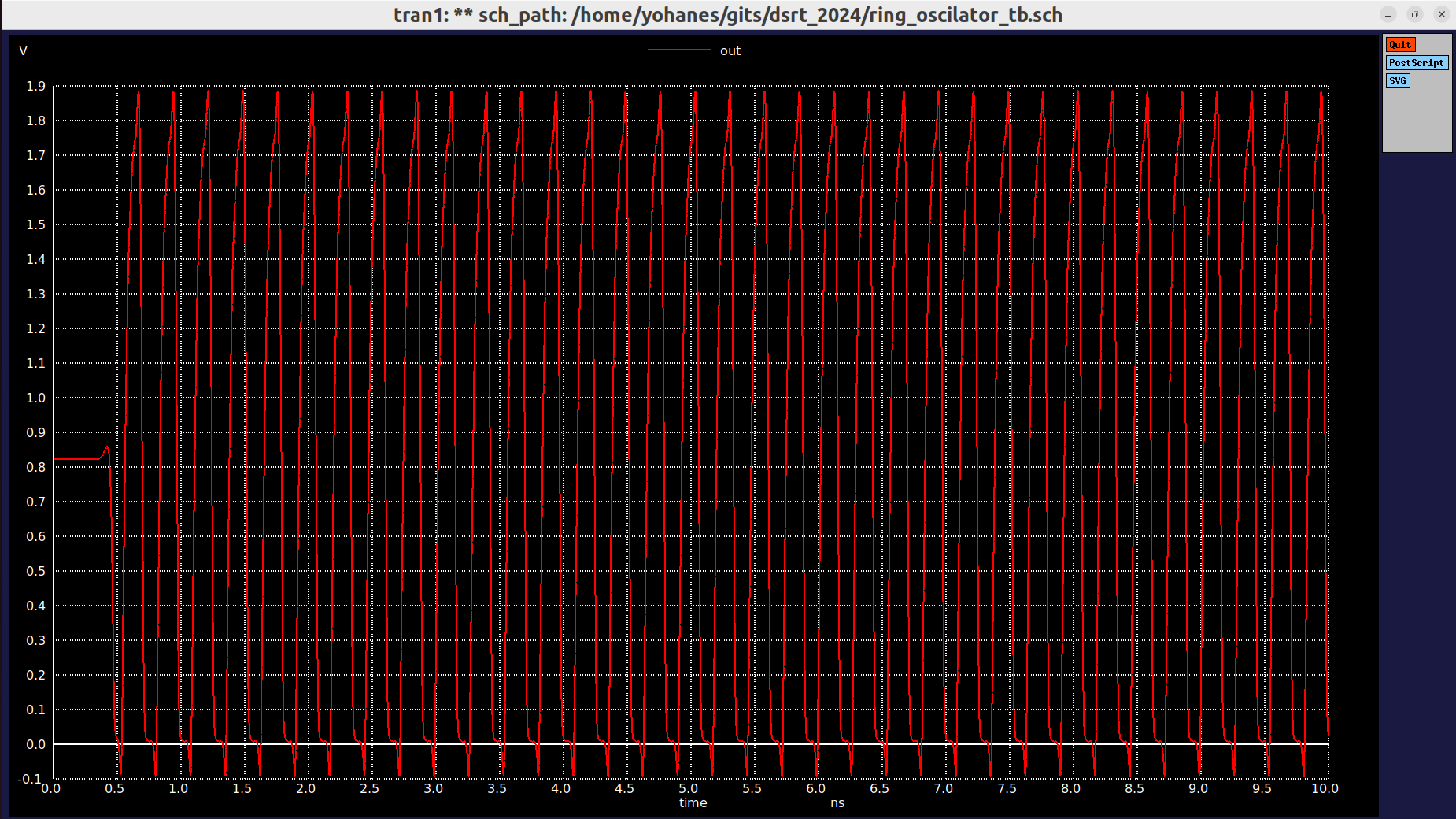
**Post Layout Simulation:**

Setelah layout dan pengecekan LVS telah selesai, saya melakukan simulasi perbandingan respon input output pada layout dan skematik menggunakan software ngspice. Berikut adalah file simulasi spice pada layout ring oscillator.



Berikut ini adalah hasil simulasi layout dan skematik menggukan ngspice:

Simulasi Layout

Simulasi skematik

Pada simulasi tersebut, terlihat bahwa hasil simulasi layout memiliki periode osilasi sebesar T = 0,5 nS dan frekuensi sebesar f = 2 GHz. Sedangkan, hasil simulasi skematik memiliki periode T = 0,25 nS dan frekuensi sebesar f = 4 GHz. Dari hasil tersebut, dapat disimpulkan bahwa hasil layout menyebabkan rangkaian ring oscilator memiliki frekuensi yang setengah kali lebih rendah dibanding dengan hasil simulasi skematik. Hal ini disebabkan karena pada layout yang dibuat terdapat komponen kapasistif yang terbentuk sehingga menyebabkan delay yang terjadi pada sinyal yang melintas di dalam IC ring oscillator tersebut.

**Repository:**

[**https://github.com/yohanesstef/dsrt2024\_Ring-Oscilator\_Yohanes-Stefanus\_5022211089.git**](https://github.com/yohanesstef/dsrt2024_Ring-Oscilator_Yohanes-Stefanus_5022211089.git)