

디지털시스템설계 Lab6

20230227 강현우 20230024 문요준

1. 개요

순차회로의 대표적인 예시 중 하나인 계수기(Counter)의 특성을 알아보고 다양한 계수기를 구현해본다.

2. 이론적 배경

- D 플립 플롭 & JK 플립 플롭

플립플롭은 디지털 논리 회로에서 사용되는 기본적인 저장 장치다. 이는 입력 신호와 현재 상태에 따라 출력을 결정하는 특정한 동작을 가지고 있다. 플립플롭은 주로 순차 논리 회로에서 사용되며, 이전 상태에 따라 현재 상태를 유지하거나 변경할 수 있다.

D 플립플롭은 단일 데이터 입력(D)과 두 개의 상태를 나타내는 출력(Q)으로 구성된다. 입력 신호 D가 변화하면 플립플롭은 즉시 현재 입력에 따라 출력을 갱신한다. 주로 클록(Clock) 신호와 함께 사용되며, 클록 신호가 하강하는 가장자리에서 D 입력이 출력에 복사된다.

JK 플립플롭은 J(K) 입력, 클록(Clock) 신호, 그리고 출력(Q)으로 구성된다. J(K) 입력은 두 개의 비트로 구성되며, J는 "Set"을 의미하고 K는 "Reset"을 의미한다. JK 플립플롭은 입력 신호에 따라 다양한 동작을 수행할 수 있다. 일반적인 JK 플립플롭은 J=1, K=1일 때 토글(Toggle) 동작을 수행하여 이전 상태와 반대되는 상태로 전환된다. J=1, K=0일 때는 "Set" 동작을 수행하여 출력을 강제로 1로 설정하고, J=0, K=1일 때는 "Reset" 동작을 수행하여 출력을 강제로 0으로 설정한다. J=0, K=0일 때는 이전 상태를 유지한다.

- 계수기

계수기는 순차회로의 일종으로, 클록(Clock)에 따라 순차적으로 지정된 패턴의 숫자를 저장하고 출력하는 회로이다. 사용 목적에 따라 출력 패턴을 달리하여 다양한 종류의 계수기를 만들 수 있다. 대표적인 계수기의 예시로는 십진수를 순차적으로 세는 회로인 십진 계수기가 있다.

계수기는 크게 동기 계수기와 비동기 계수기로 나눌 수 있다. 동기 계수기는 조합회로를 통해 클록 신호를 카운터의 모든 플립플롭에 동시에 인가하는 계수기이다. 비동기 계수기에 비해 회로가 복잡하지만 클록이 지연되지 않기 때문에 작동 속도는 더 빠르다. 비동기 계수기는 반대로 첫 번째 플립플롭에만 클락 신호를 연결하고 그 이후 플립플롭들의 클락 입력에는 그 전 플립플롭의 출력을 연결하는 계수기이다.

- 상태 전이표 및 전이표

상태 전이도는 유한 상태 기계(Finite State Machine, FSM)의 작동을 시각적으로 설명하

는 데 활용된다. 이 다이어그램은 상태를 노드로, 상태 간의 전이를 화살표로 나타내어 시스템의 동작 흐름을 명확히 시각화하고 쉽게 이해할 수 있게 해준다. 각 상태는 시스템이나 장치의 특정 상황을 나타내고, 전이는 입력 신호, 이벤트, 논리 조건 등에 따라 상태가 어떻게 변하는지를 보여준다. 상태 전이도를 통해 시스템의 전체적인 동작을 파악하고, 가능한 경로와 상태 전이 조건을 분석할 수 있다.

전이표(Transition Table)는 상태 전이도를 표 형식으로 나타낸 것이다. 이 표는 각 상태와 해당 상태에서 다른 상태로 전이하기 위한 입력 조건을 정리한다. 전이표를 통해 상태와 입력 조건에 따른 다음 상태를 명확히 표현함으로써, 전이 동작을 분석하고 설계하는 데 도움이 된다.

- 유한 상태 기계 (Finite States Machine)

유한 상태 기계(Finite State Machine, FSM)는 컴퓨터 과학에서 시스템이나 장치의 동작을 추상화하고 모델링하는 데 사용되는 수학적 모델이다. 유한 상태 기계는 상태, 입력, 출력, 그리고 전이로 구성된다.

상태(States): 시스템이나 장치가 취할 수 있는 다양한 동작 상태를 나타낸다. 각 상태는 시스템이나 장치가 가질 수 있는 특정한 상태를 나타내며, 유한 상태 기계는 한 번에 하나의 상태에 존재한다.

입력(Inputs): 시스템에 주어지는 입력 신호를 나타낸다. 입력은 상태 전이를 유도하거나 상태 기계의 동작을 유발한다.

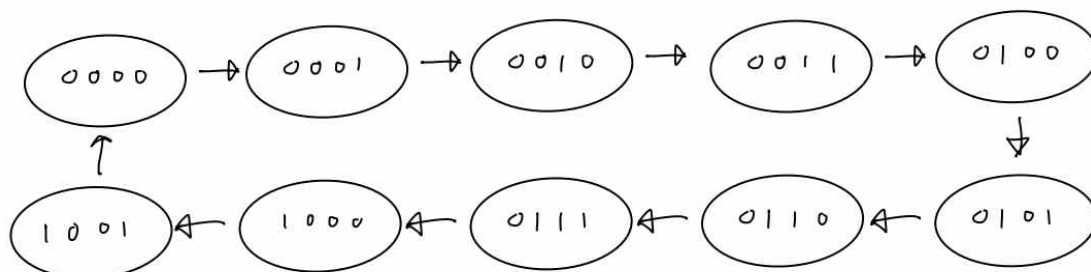
출력(Outputs): 입력에 따라 시스템이나 장치에서 생성되는 출력 신호를 나타낸다. 출력은 상태 기계의 동작에 따라 변할 수 있다.

전이(Transitions): 현재 상태에서 다음 상태로의 전이를 나타낸다. 전이는 입력에 의해 유도되며, 상태와 출력을 변경할 수 있다. 입력과 현재 상태에 따라 다음 상태와 출력을 결정한다. 유한 상태 기계는 초기 상태에서 시작하여 입력에 따라 상태가 전이되고, 출력이 생성되는 동작을 수행한다. 상태 전이는 전이 조건과 현재 상태에 따라 결정되며, 다양한 상태와 전이 조건의 조합을 통해 복잡한 동작을 표현할 수 있다.

3. 실험 준비

1) JK 플립플롭을 이용한 Synchronous decade BCD counter

ㄱ. 계수기의 상태 전이도를 그린다.



ㄴ. 상태 전이표를 작성하고 각 상태 전환에 필요한 JK 플립플롭의 입력을 구한다.

A	B	C	D	A+	B+	C+	D+	Ja	Ka	Jb	Kb	Jc	Kc	Jd	Kd
0	0	0	0	0	0	0	1	0	x	0	x	0	x	1	x
0	0	0	1	0	0	1	0	0	x	0	x	1	x	x	1
0	0	1	0	0	0	1	1	0	x	0	x	x	0	1	x
0	0	1	1	0	1	0	0	0	x	1	x	x	1	x	1
0	1	0	0	0	1	0	1	0	x	x	0	0	x	1	x
0	1	0	1	0	1	1	0	0	x	x	0	1	x	x	1
0	1	1	0	0	1	1	1	0	x	x	0	x	0	1	x
0	1	1	1	1	0	0	0	1	x	x	1	x	1	x	1
1	0	0	0	1	0	0	1	x	0	0	x	0	x	1	x
1	0	0	1	0	0	0	0	x	1	0	x	0	x	x	1

ㄷ. JK 플립플롭의 입력을 단순화하여 나타낸다.

Ja

AB\CD	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	x	x	x	x
10	x	x	x	x

Ja=BCD

Jb

AB\CD	00	01	11	10
00	0	0	1	0
01	x	x	x	x
11	x	x	x	x
10	0	0	x	x

Jb=CD

Jc

AB\CD	00	01	11	10
00	0	1	x	x
01	0	1	x	x
11	x	x	x	x
10	0	0	x	x

Jc=A'D

Jd

AB\CD	00	01	11	10
00	1	x	x	1
01	1	x	x	1
11	x	x	x	x
10	1	x	x	x

Jd=1

Ka

AB\CD	00	01	11	10
00	x	x	x	x
01	x	x	x	x
11	x	x	x	x
10	0	1	x	x

Ka=D

Kb

AB\CD	00	01	11	10
00	x	x	x	x
01	0	0	1	0
11	x	x	x	x
10	x	x	x	x

Kb=CD

Kc

AB\CD	00	01	11	10
00	x	x	1	0
01	x	x	1	0
11	x	x	x	x
10	x	x	x	x

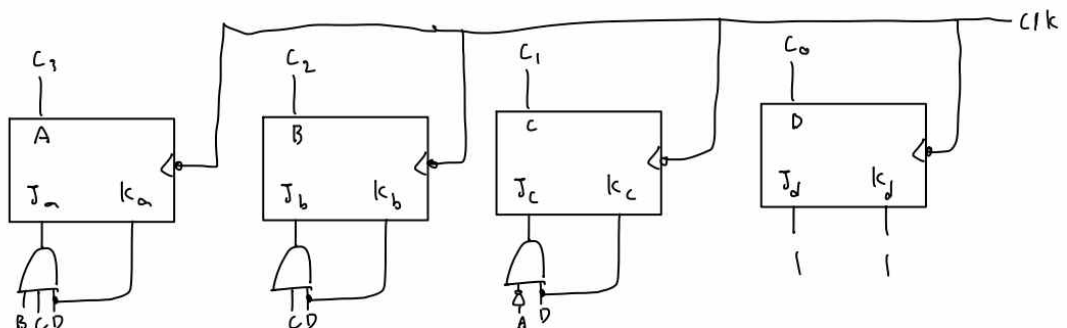
Kc=D

Kd

AB\CD	00	01	11	10
00	x	1	1	x
01	x	1	1	x
11	x	x	x	x
10	x	1	x	x

Kd=1

ㄷ. 전체 회로도를 그린다.

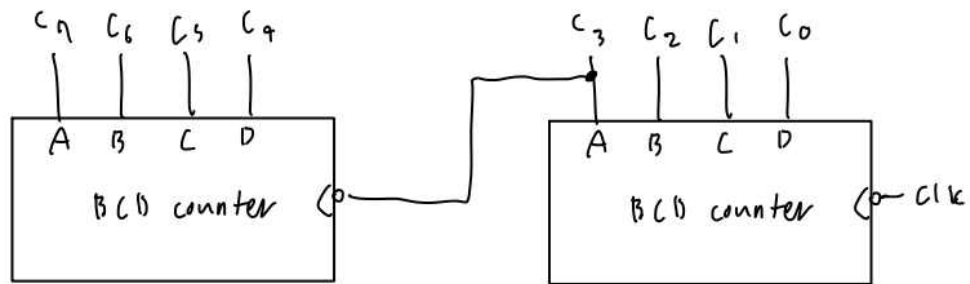


2) JK 플립플롭을 이용한 두 자릿수 Decade BCD counter (0~99)

ㄴ. 계수기의 개략적인 상태 전이도를 그린다.

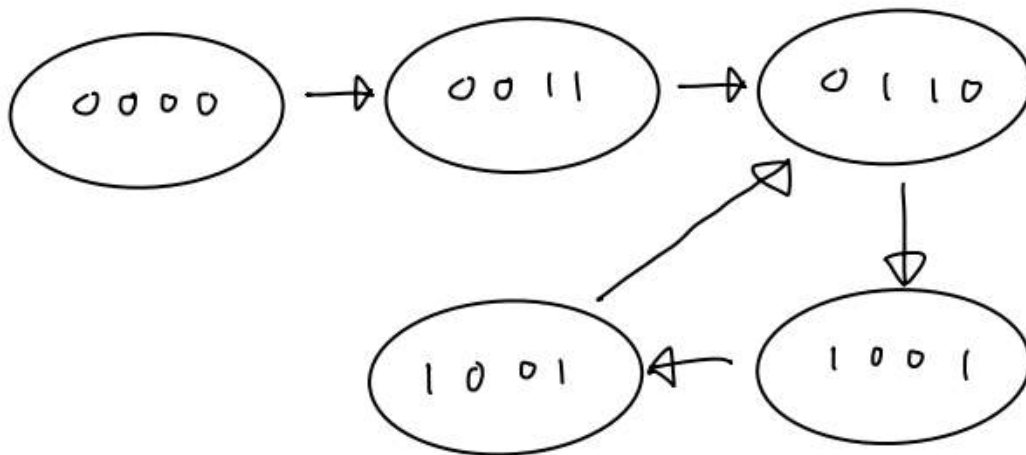


ㄴ. 1)의 계수기를 활용하여 회로도를 그린다.



3) D 플립플롭을 이용한 3, 6, 9 계수기(0→3→6→9→13→6→9→13→...)

ㄱ. 계수기의 상태 전이도를 그린다.



ㄴ. 상태 전이표를 작성하고 각 상태 전환에 필요한 D 플립플롭의 입력을 구한다.

A	B	C	D	A+	B+	C+	D+	Da	Db	Dc	Dd
0	0	0	0	0	0	1	1	0	0	1	1
0	0	1	1	0	1	1	0	0	1	1	0
0	1	1	0	1	0	0	1	1	0	0	1
1	0	0	1	1	1	0	1	1	1	0	1
1	1	0	1	0	1	1	0	0	1	1	0

ㄷ. 플립플롭의 입력을 단순화하여 나타낸다.

Da

AB\CD	00	01	11	10
00	0	x	0	x
01	x	x	x	1
11	x	0	x	x
10	x	1	x	x

$$Da = AB' + C'D'$$

Db

AB\CD	00	01	11	10
00	0	x	1	x
01	x	x	x	0
11	x	1	x	x
10	x	1	x	x

$$Db = D$$

Dc

AB\CD	00	01	11	10
00	1	x	1	x
01	x	x	x	0
11	x	1	x	x
10	x	0	x	x

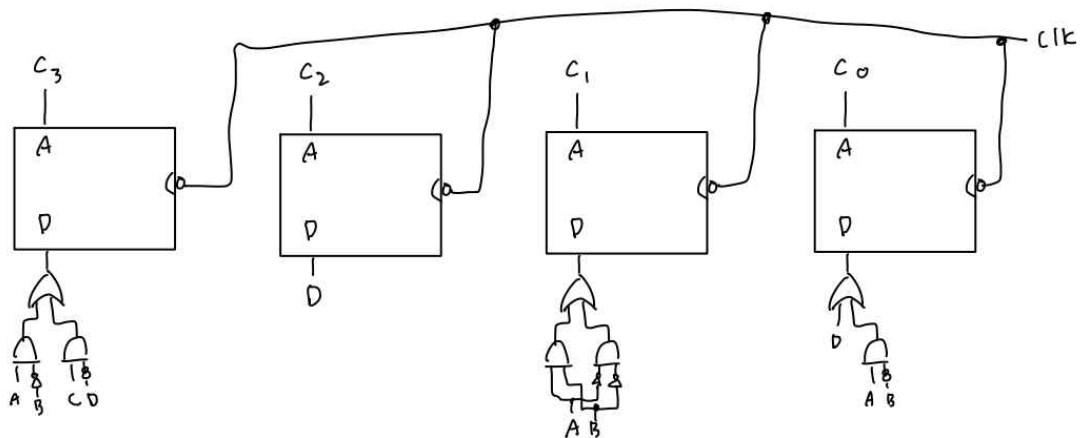
$$Dc = A'B' + AB$$

Dd

AB\CD	00	01	11	10
00	1	x	0	x
01	x	x	x	1
11	x	0	x	x
10	x	1	x	x

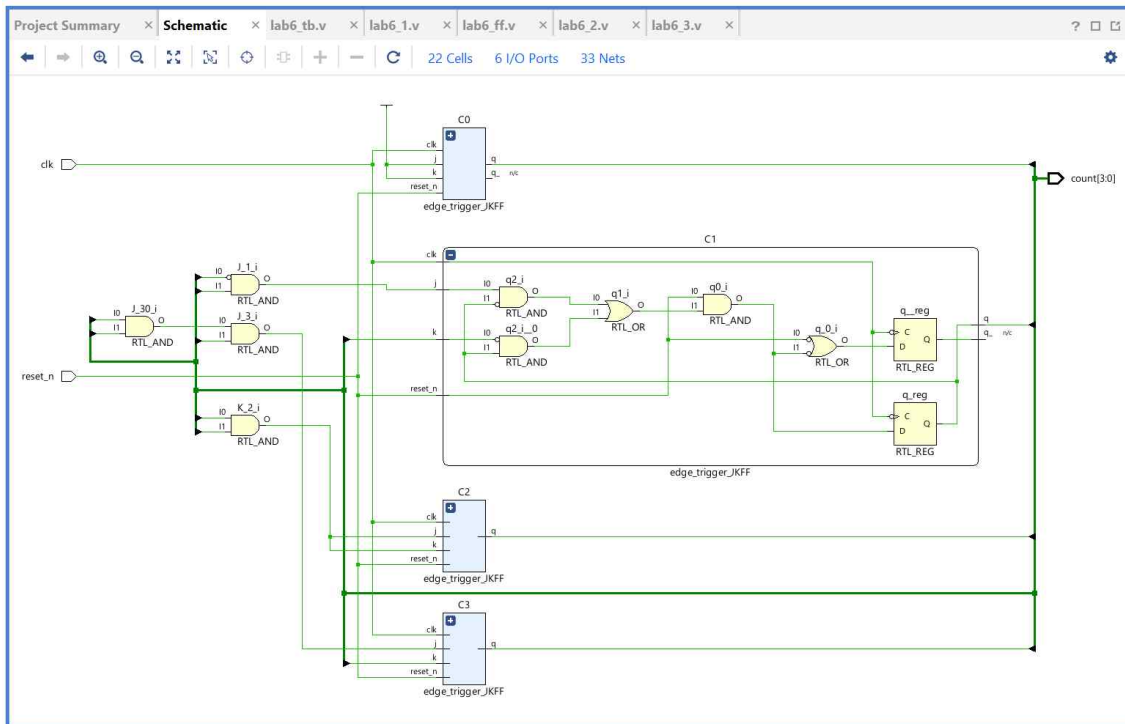
$$Dd = D' + AB'$$

ㄷ. 전체 회로도를 그린다.



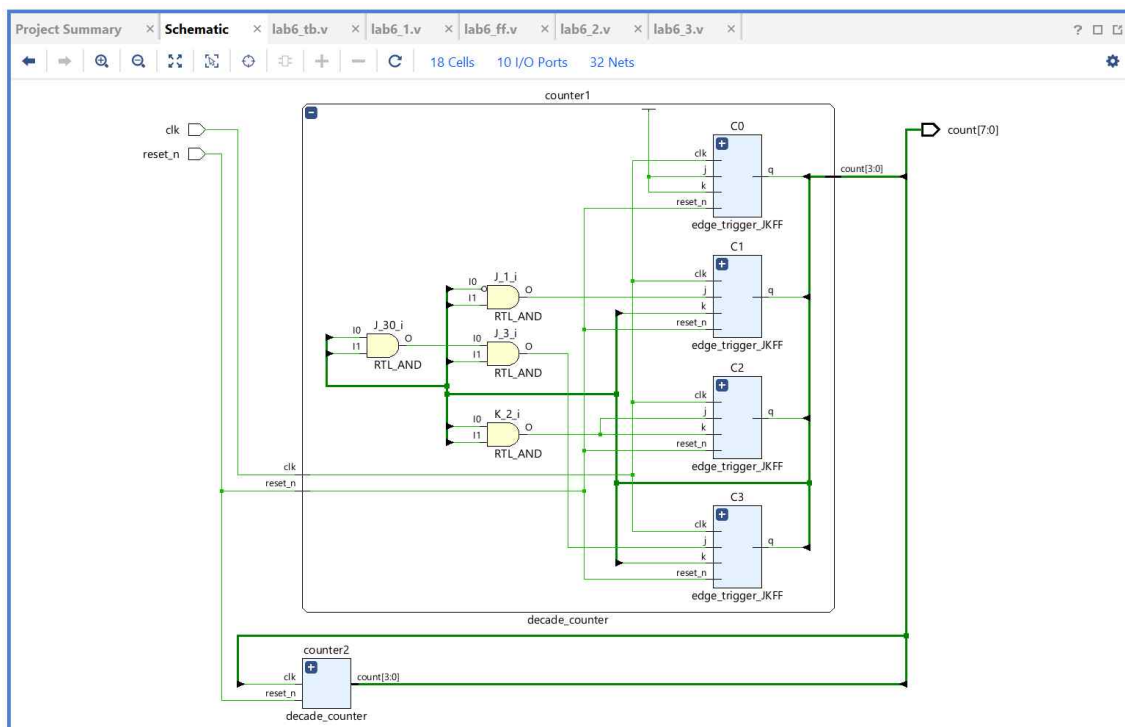
4. 결과

i) lab6_1.v



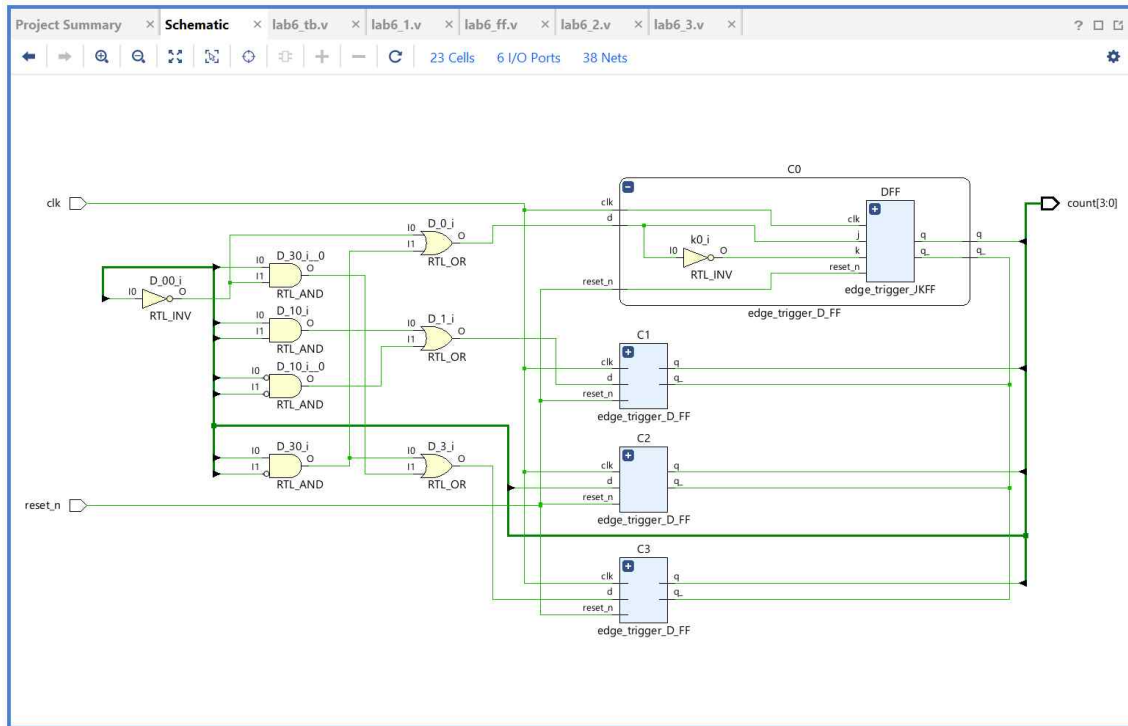
schematic을 통해 JK-FF회로가 잘 만들어진 것을 확인할 수 있었고, 해당 JK-FF를 이용해 만든 Synchronous decade BCD counter 역시 잘 연결된 것을 확인할 수 있었다.

ii) lab6_2.v



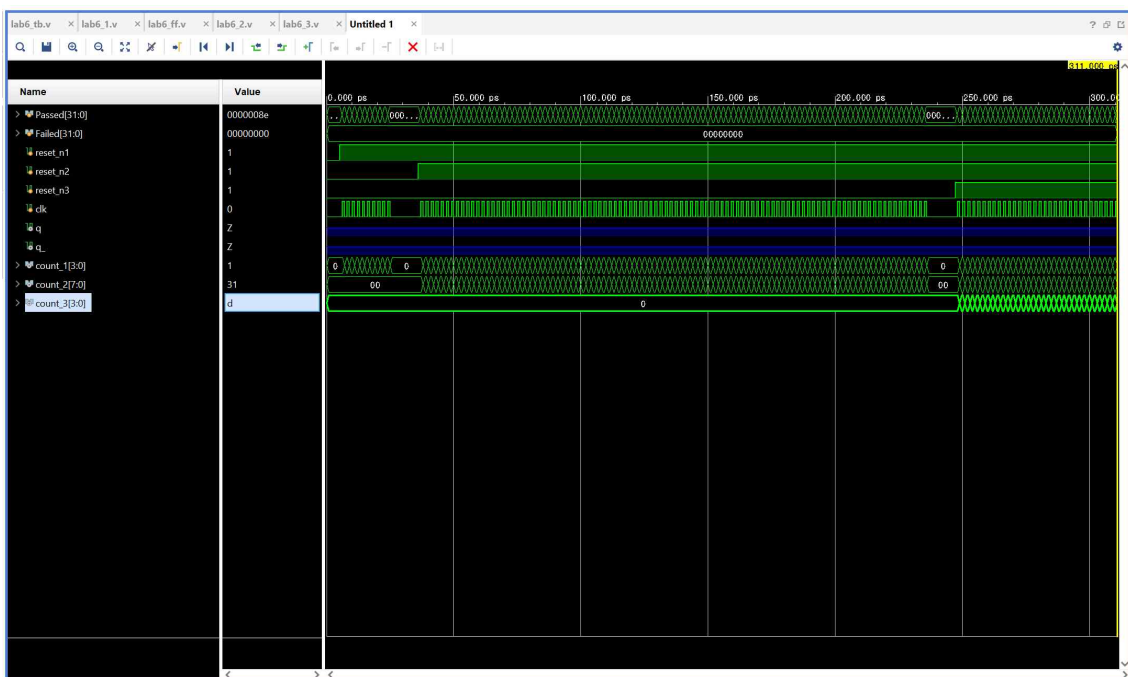
Synchronous decade BCD counter 두 개를 조합해 만든 두 자릿수 Decade BCD counter의 회로가 잘 구현된 것을 schematic을 통해 확인할 수 있었다.

iii) lab6_3.v



schematic을 통해 D-FF회로가 잘 만들어진 것을 확인할 수 있었고, 해당 D-FF를 이용해 만든 3, 6, 9 계수기 역시 잘 구현된 것을 확인할 수 있었다.

iv) lab6_tb.v



Synchronous decade BCD counter, 두 자릿수 Decade BCD counter, 3, 6, 9 계수기를 순서대로 테스트하는 테스트벤치를 만들었다. 각 계수기의 값은 반복해야 하는 범위를 모두 반복하고 다시 0으로 돌아가는 것까지 확인했고, 다른 계수기를 실행하기 전에 약간의 공백을 입력해 계수기들을 구분했다. 계수기의 출력값이 원래 나와야 하는 값과 같으면 pass+1, 아니면 fail+1이 되도록 만들었는데 최종적으로 fail이 0이 나온 것으로 테스트벤치가 잘 작동하는 것을 확인할 수 있었다.

5. 논의

계수기를 직접 verilog로 만들기 위해 계수기의 상태전이도, 상태전이표, 카르노맵 등을 직접 그리면서 계수기의 작동 원리에 대해 더 자세히 알 수 있었다. 또한, lab5에 이어 직접 테스트벤치를 만들고 작동시키는 과정에서 verilog 시스템의 전체적인 흐름에 대해 깨달을 수 있었다. 상태전이도를 그리고 상태전이표를 그리는 과정에서 실수가 일어날 수 있는 부분이 많았지만 결과적으로 성공시키면서 0과 1로 이루어진 비트 표 작업에 대한 요령이 생긴 것을 느낄 수 있었다.