

数字电路分析与设计

基本数字门电路

(2)

n 基本数字门电路

ü 前章节，介绍了各种基本逻辑函数及其电路符号。

ü 本章节，介绍实现各种基本逻辑功能的具体电子电路；
包括：内部具体的电子电路组成、工作原理、使用时的注意事项等。

n 基本数字门电路

- ✓ 集成逻辑门电路的一般特性（2.1）

- ✓ CMOS 集成门电路（2.2）

- ✓ TTL 集成门电路（2.3）

- ✓ 集成门电路的实际应用问题（2.4）

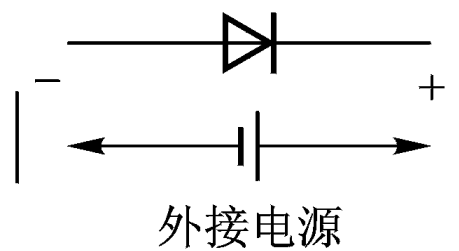
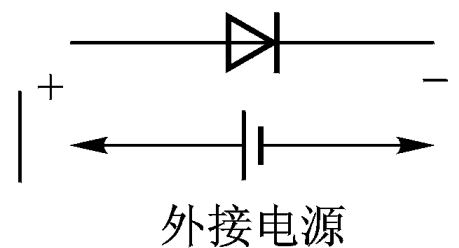
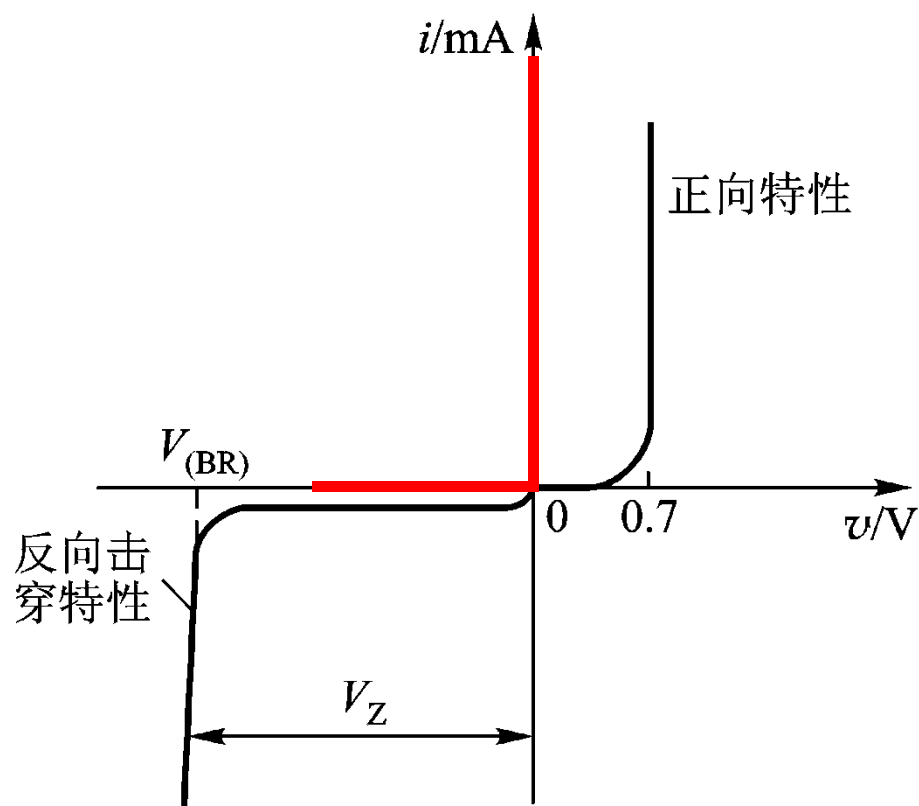
✓ 集成逻辑门电路的一般特性

ü 无论简单或复杂的数字逻辑电路、数字电子系统，都由一系列的逻辑门电路组成。

ü 对各类逻辑功能的门电路必须要有相关的技术指标要求，才能保证逻辑功能的实现和工作可靠性的要求。

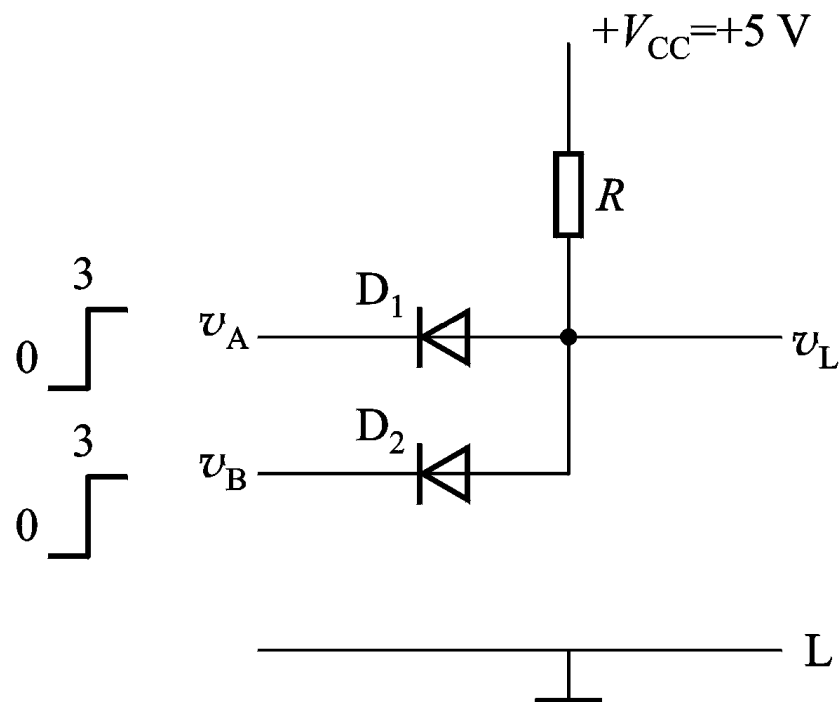
Ø 半导体器件的开关特性和开关电路

ü 半导体二极管开关特性



Ø 半导体器件的开关特性和开关电路

Ü 半导体二极管开关电路

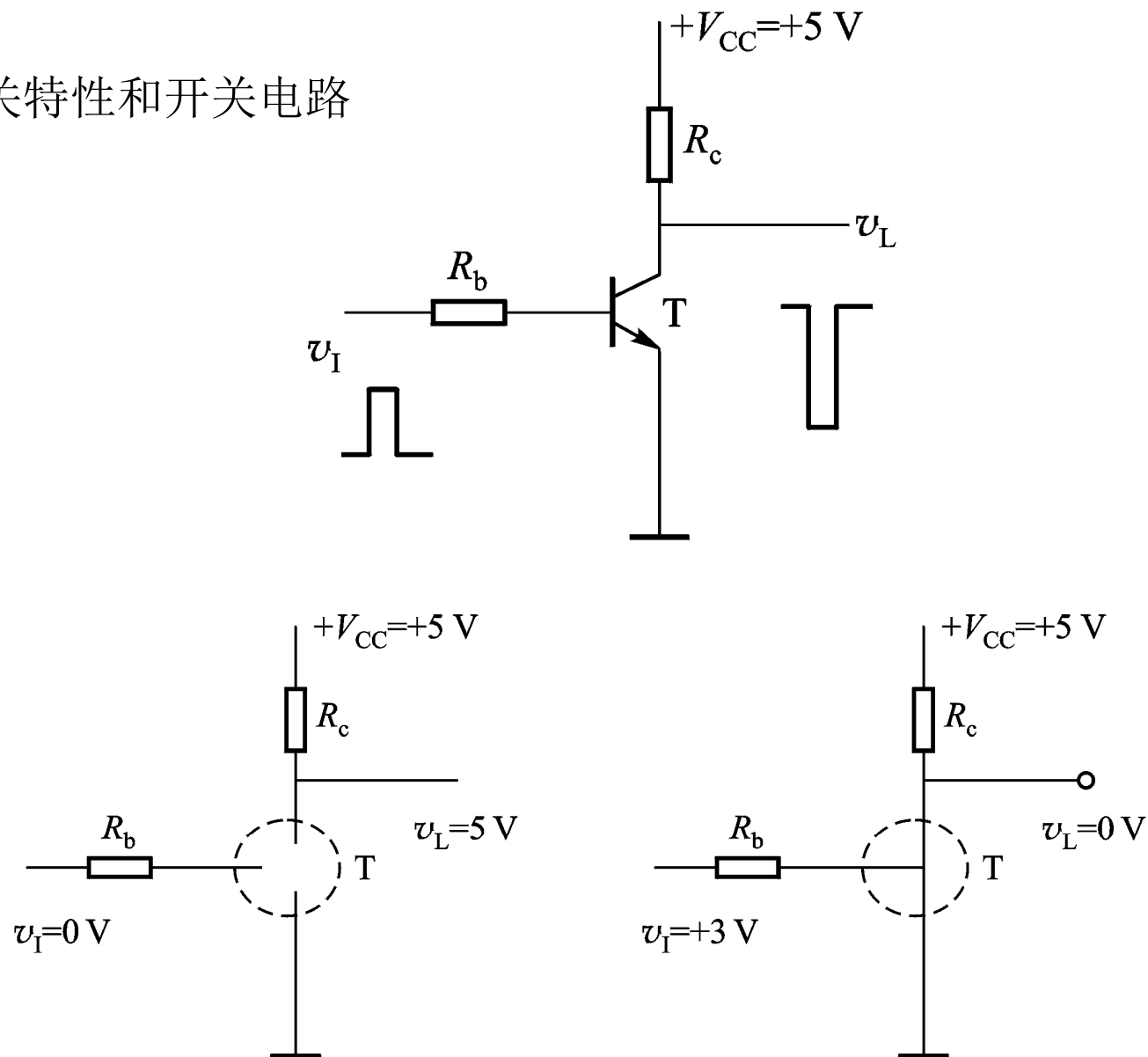
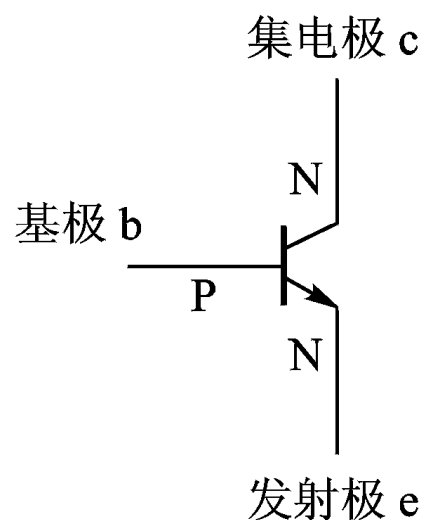


A	B	L
0	0	0
0	1	0
1	0	0
1	1	1

v_A	v_B	D_1	D_2	v_L
0 ₀	0 ₀	导通	导通	0.7 ₀
0 ₀	3 ₁	导通	截止	0.7 ₀
3 ₁	0 ₀	截止	导通	0.7 ₀
3 ₁	3 ₁	导通	导通	3.7 ₁

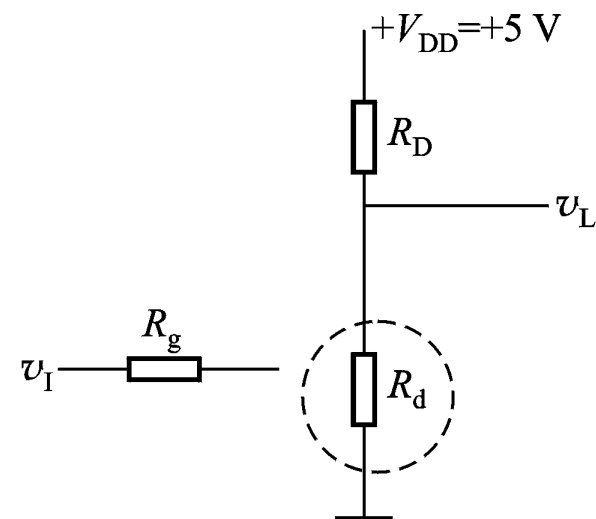
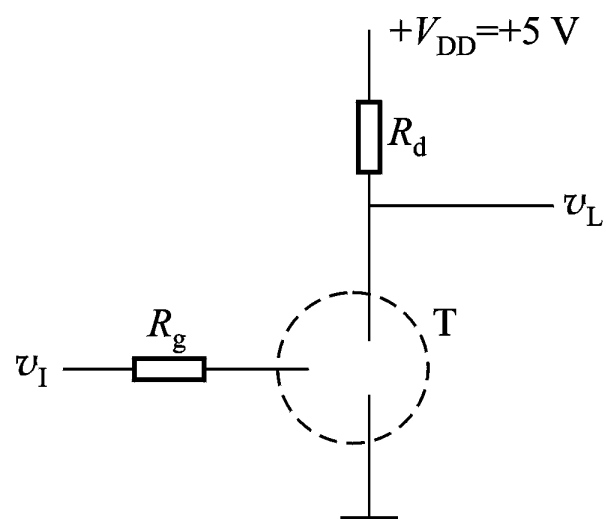
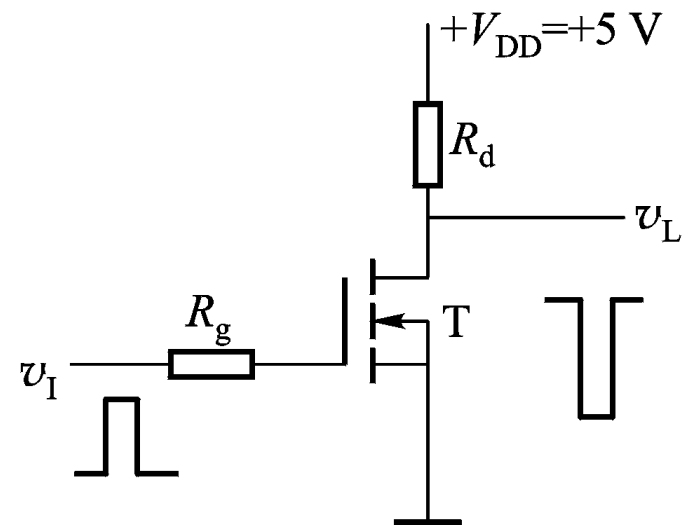
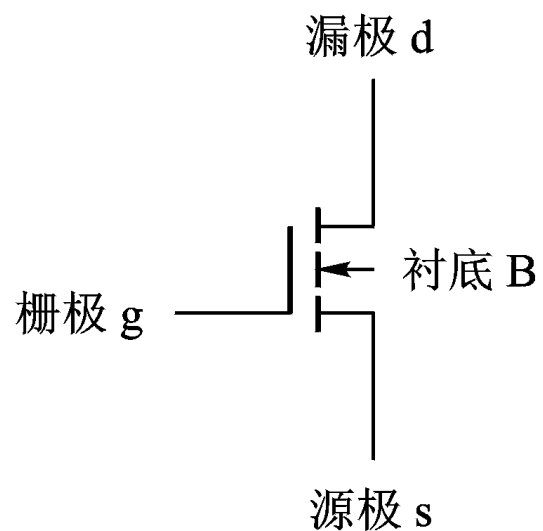
Ø 半导体器件的开关特性和开关电路

Ü 半导体三极管开关特性和开关电路



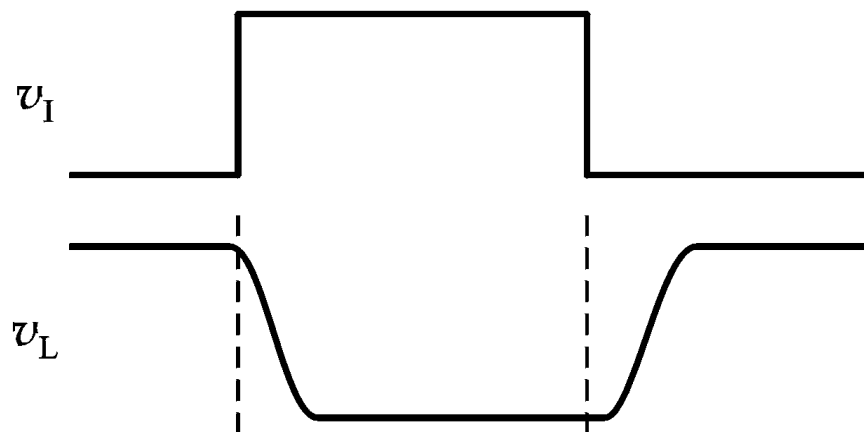
Ø 半导体器件的开关特性和开关电路

ü 场效应管开关特性和开关电路



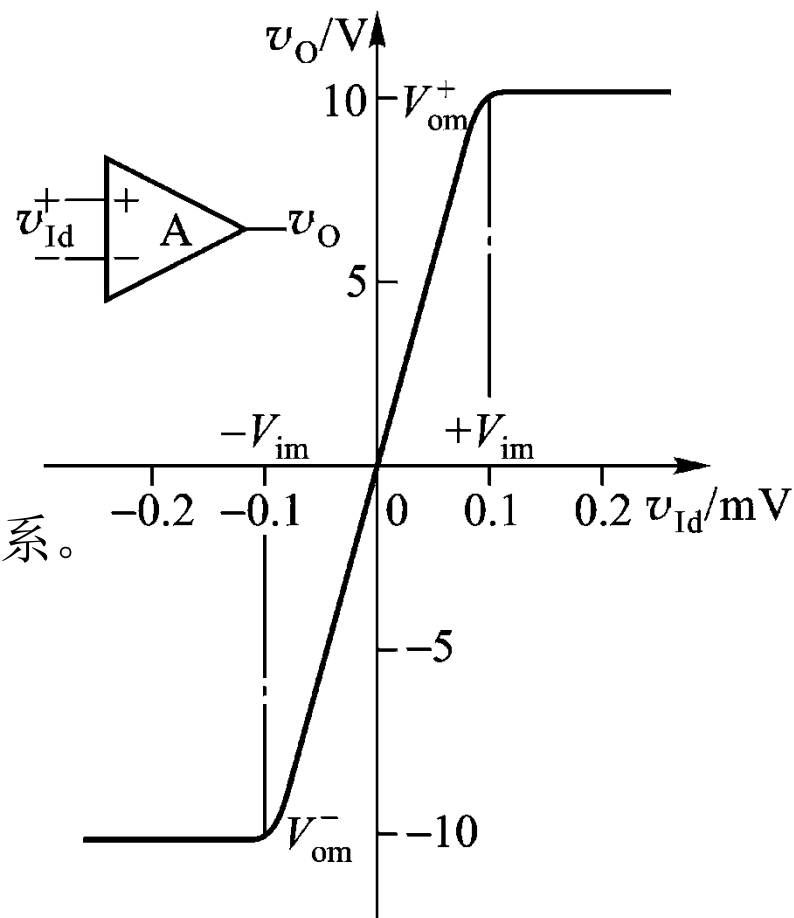
Ø 半导体器件的开关特性和开关电路

ü 实际电路的开关特性，受器件内部载流子运动时间、电路内外部电容等因素影响，开关电路的实际输出波形将延迟输入信号的变化（有延迟时间）。

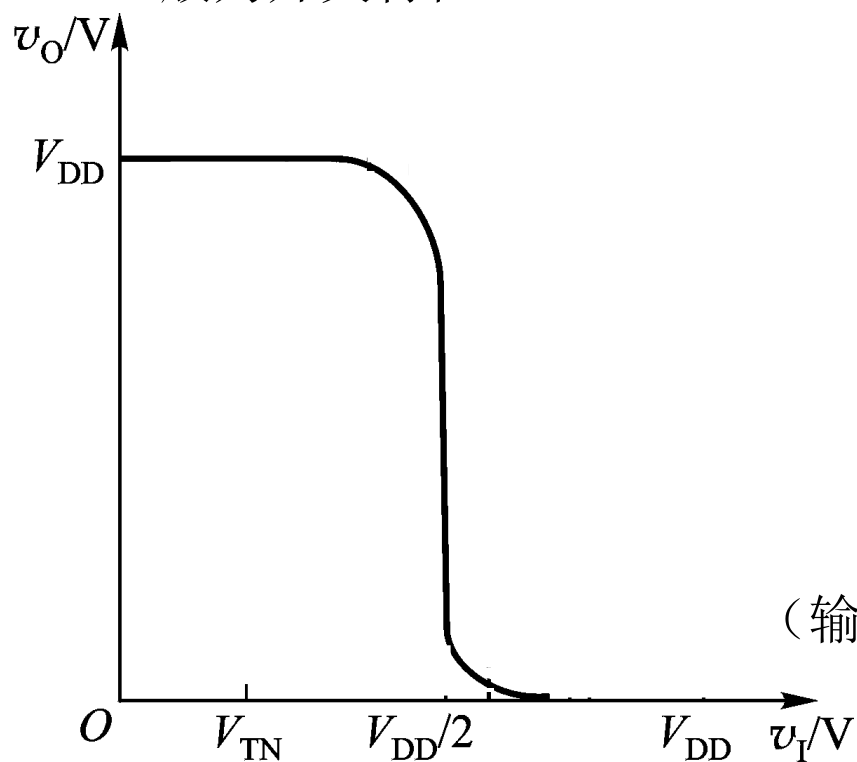


Ø 电压传输特性

ü 集成运放：运放的输入、输出关系。
(在直流或低频条件下)



ü 门电路：输出电压与输入电压之间的关系。
(一般为开关特性)



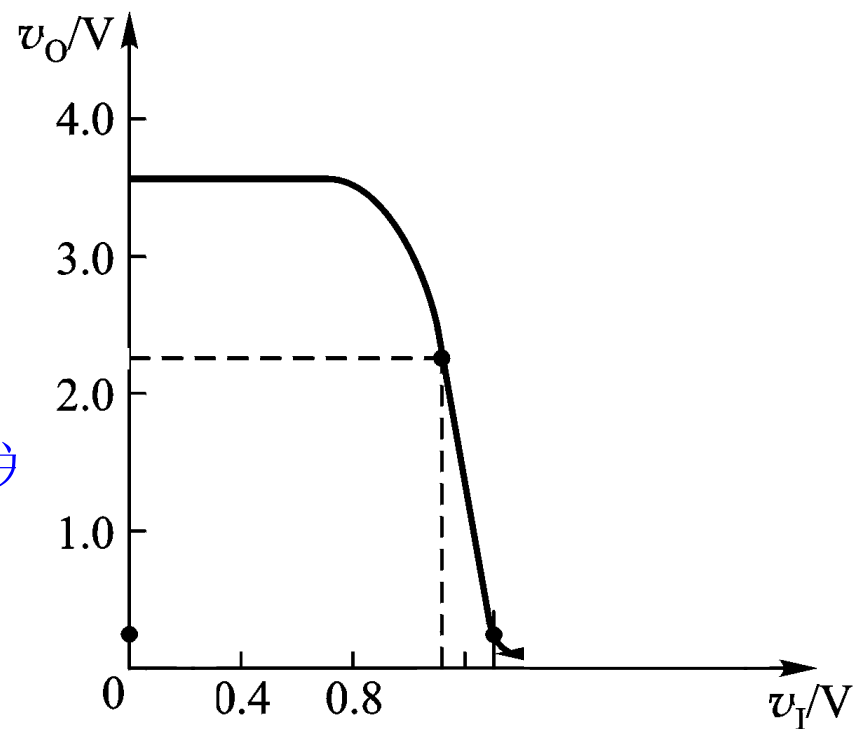
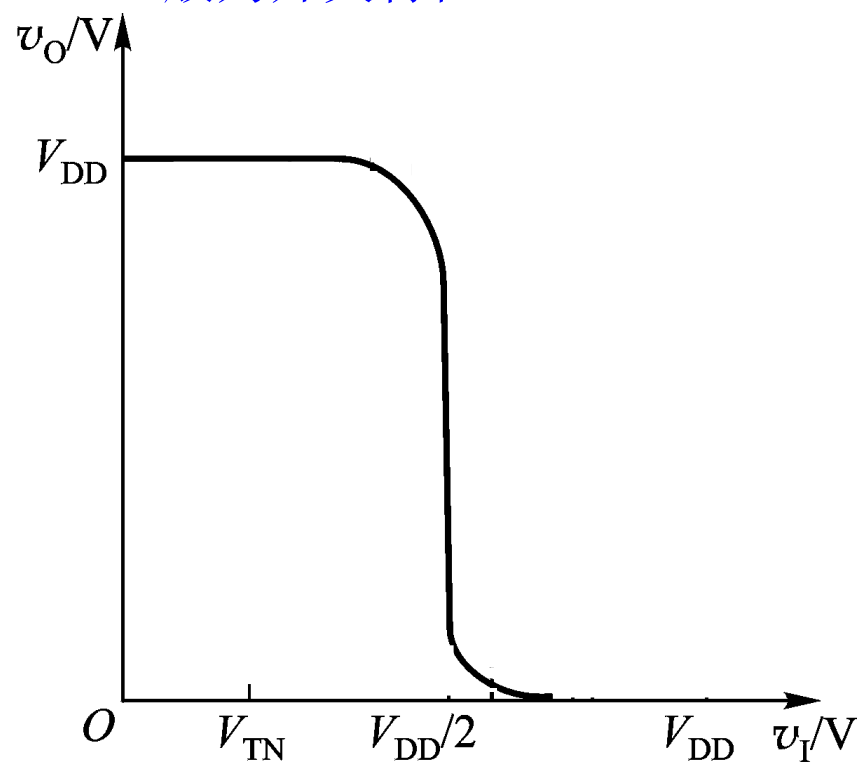
CMOS 反相器的电压传输特性

(输入高电平时，输出为低电平；反之...)

电压传输特性

不同门电路，电压传输特性有差别。

门电路：输出电压与输入电压之间的关系
(一般为开关特性)



TTL 反相器的电压传输特性

CMOS 反相器的电压传输特性

Ø 输入输出逻辑电平

ü 输出高电平 V_{OH}

最小输出高电平 $V_{OH(min)}$

关门电平 V_{off}

(输入电平小于关门电平时, 输出高电平)

最大输入低电平 $V_{IL(max)}$

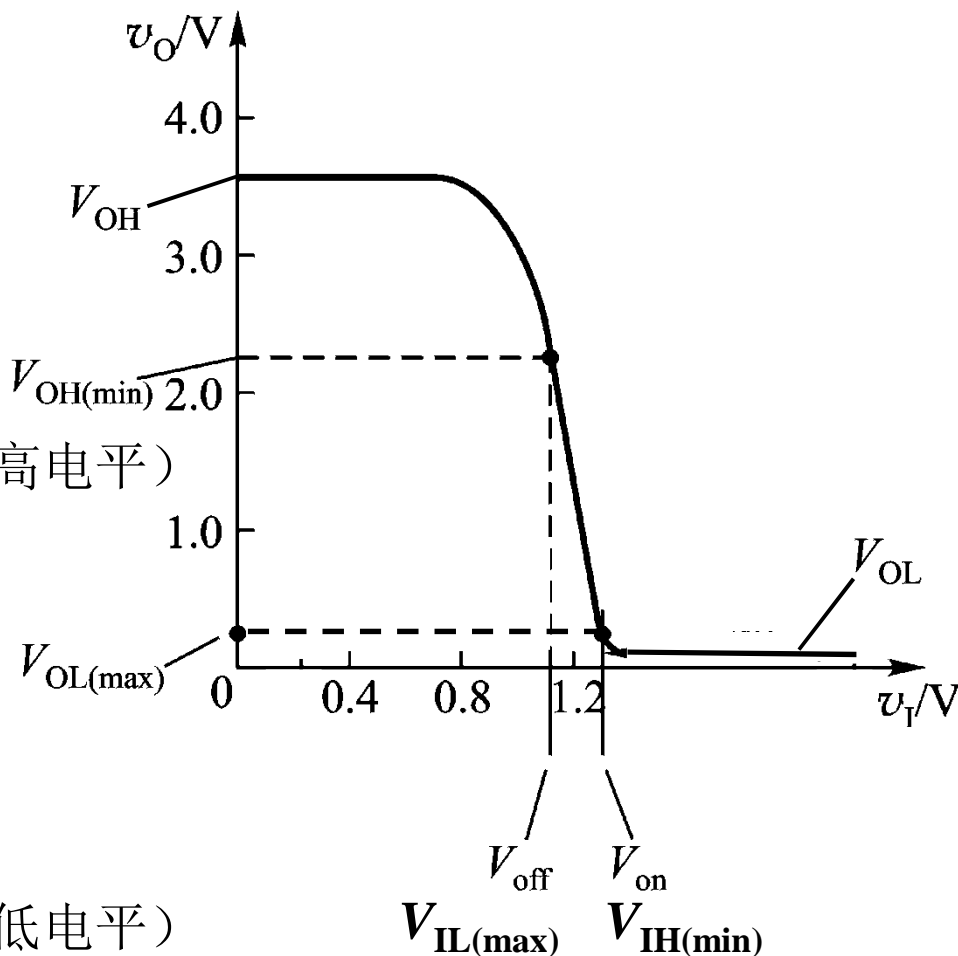
ü 输出低电平 V_{OL}

最大输出低电平 $V_{OL(max)}$

开门电平 V_{on}

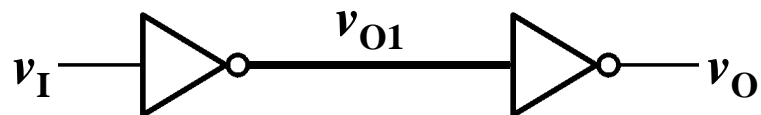
(输入电平大于开门电平时, 输出低电平)

最小输入高电平 $V_{IH(min)}$



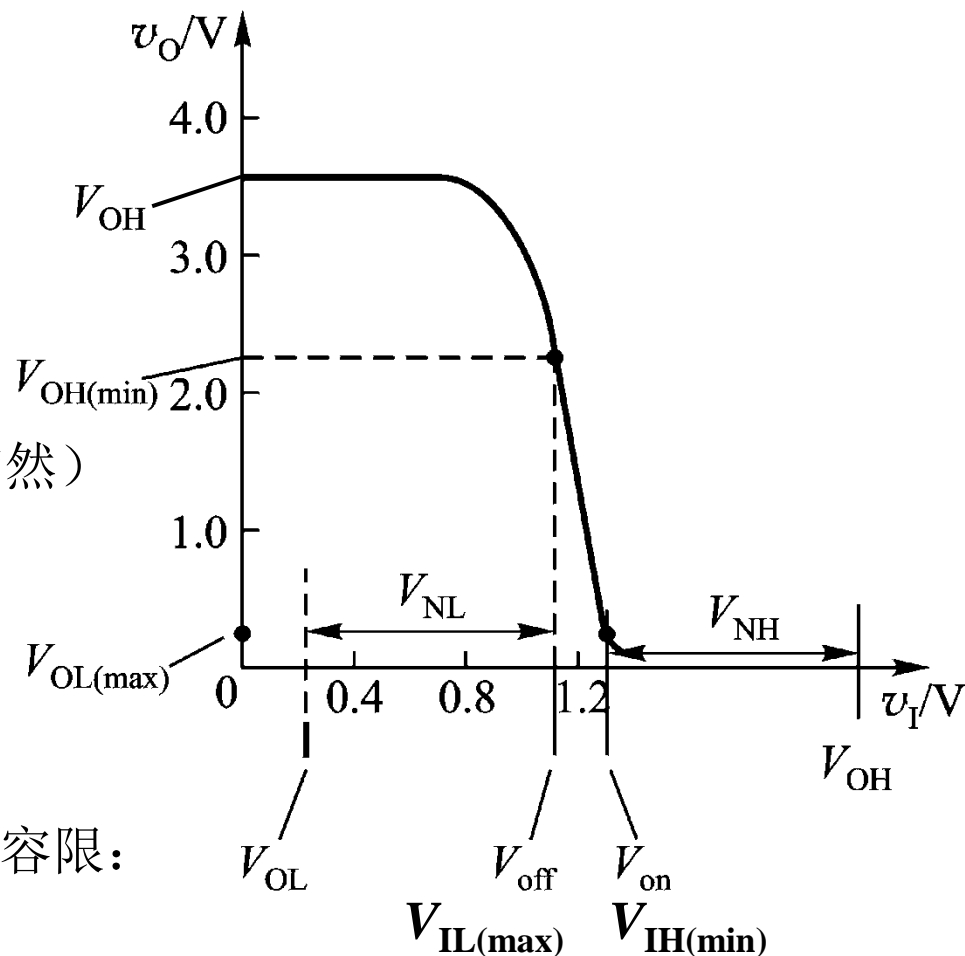
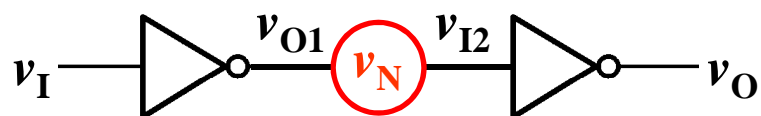
各类门电路输入电平和输出电平比较参 教材 P56 表 2.1.1

Ø 输入信号噪声容限



工作正常时:

v_I 高 \rightarrow v_{O1} 低 \rightarrow v_O 高 (反之亦然)



串入干扰信号 (噪声) 时?

(低电平输入时) 输入信号噪声容限:

$$v_{OL1} + v_{NL} < v_{IL(max)2}$$

$$v_{NL} < v_{IL(max)2} - v_{OL(max)1}$$

(高电平输入时) 输入信号噪声容限:

$$v_{OH1} - v_{NH} > v_{IH(min)2}$$

$$v_{NH} < v_{OH(min)1} - v_{IH(min)2}$$

Ø 灌电流和拉电流负载

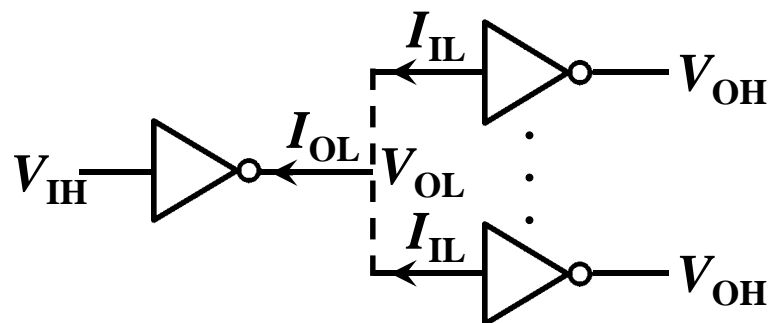
ü 当两级或两级以上的门电路连接时，前一级门电路（驱动门）的输出，就是后一级门电路（负载门）的输入。

ü 一个逻辑门电路应能驱动一定数量的负载门。

ü 负载门的个数称为一个驱动门的扇出能力。

ü 扇出能力是衡量一个驱动门电路带负载能力的重要指标。

灌电流负载



灌电流负载：

当驱动门输出低电平时，负载门的输入电流将流向驱动门。

若增加负载门数， I_{OL} 增大， V_{OL} 上升；

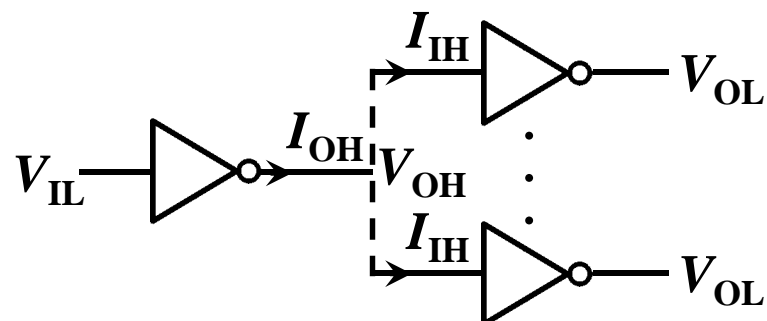
最大灌电流 $I_{OL(max)}$ ：当 V_{OL} 上升至 $V_{OL(max)}$ 时对应的 I_{OL} 。

（此后，若再增加负载门数，将会破坏逻辑关系）

扇出系数（驱动门能带动的最大负载门数）：

$$n_L = \frac{I_{OL(max)}}{I_{IL}}$$

Ø 拉电流负载



Û 拉电流负载:

当驱动门输出高电平时，负载门的输入电流将从驱动门流出。

Û 若增加负载门数， I_{OH} 增大， V_{OH} 下降；

最大拉电流 $I_{OH(max)}$ ：当 V_{OH} 下降至 $V_{OH(min)}$ 时对应的 I_{OH} 。

（此后，若再增加负载门数，将会破坏逻辑关系）

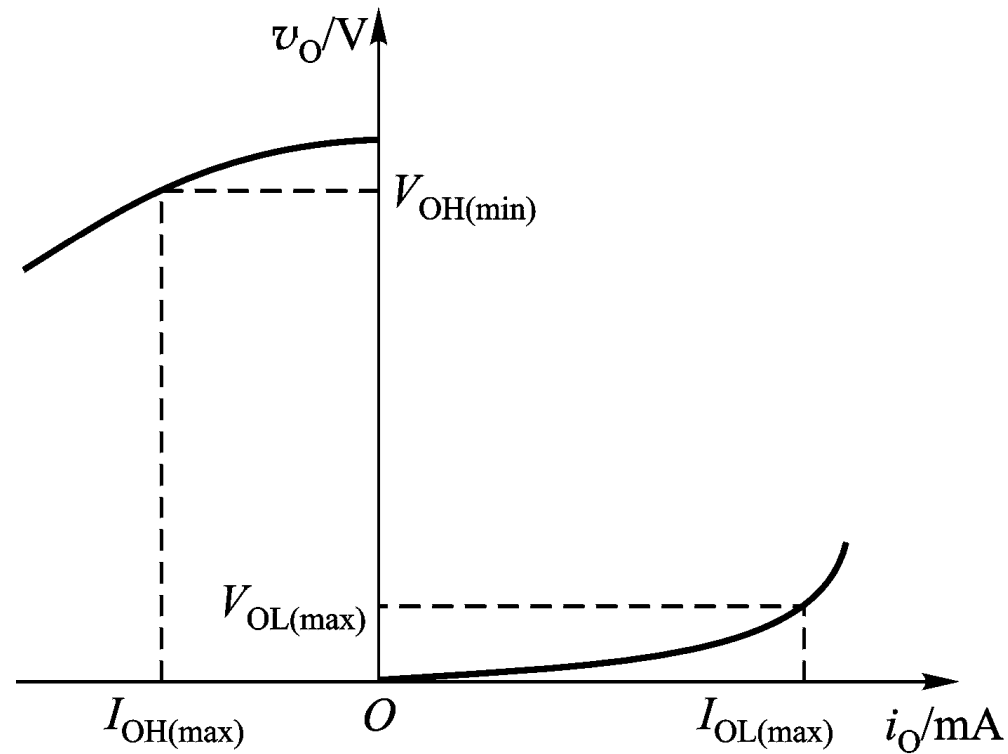
Û 扇出系数（驱动门能带动的最大负载门数）：

$$n_H = \frac{I_{OH(max)}}{I_{IH}}$$

Ø 灌电流和拉电流负载（负载特性）

Û 灌电流负载（若增加负载门数， I_{OL} 增大， V_{OL} 上升，极限 $V_{OL(max)}$ ）

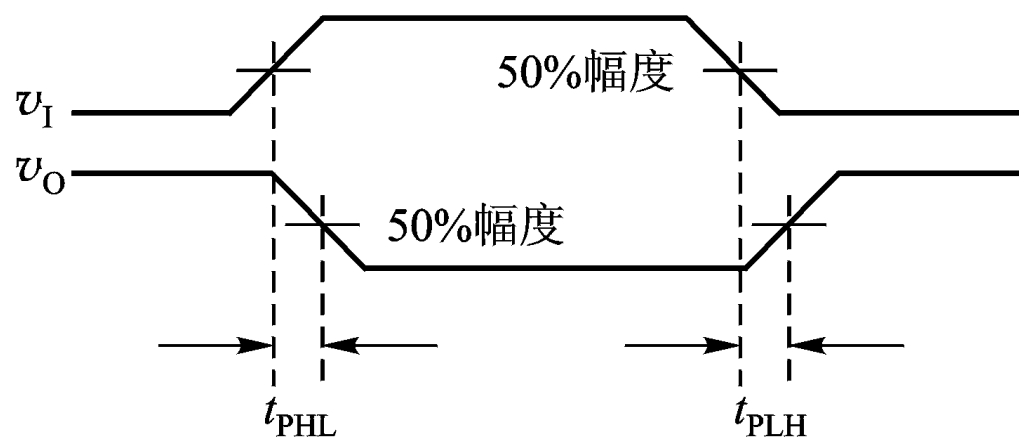
拉电流负载（若增加负载门数， I_{OH} 增大， V_{OH} 下降，极限 $V_{OH(min)}$ ）



Ø 传输延迟时间

ü 门电路在输入脉冲信号的作用下，其输出不能马上响应输入变化（需要一段时间的延迟）；

延迟时间越长，说明门的开关速度越低。



ü 平均传输延迟时间: $t_{pd} = \frac{t_{PHL} + t_{PLH}}{2}$

✓ CMOS 集成门电路

ü CMOS 门电路：由 PMOS 和 NMOS 管构成的互补型逻辑门电路。

ü 许多性能指标比较优越，是目前数字电路中的主流产品。

ü 电平标准：

电源电压 V_{DD} : $+1.8V \sim +18V$

低电平（逻辑 0）： $0 \sim 1/3 V_{DD}$

高电平（逻辑 1）： $2/3 V_{DD} \sim V_{DD}$

CMOS 非门（反相器）

输入 v_I 为高电平（ V_{DD} ）时：

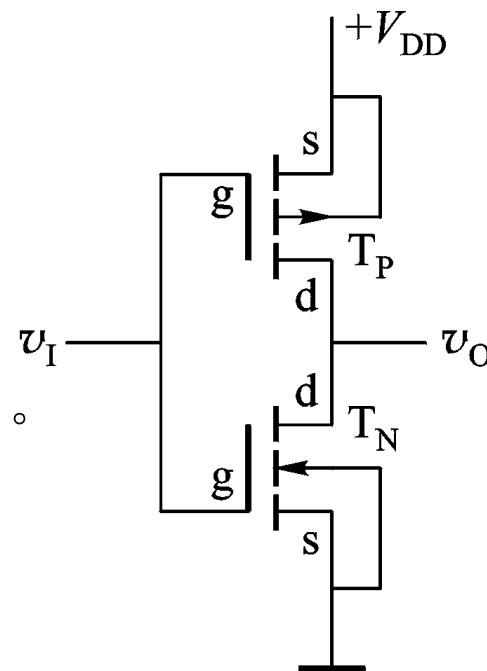
$$V_{GSN} = V_{DD} > V_{TN} \quad , \quad V_{GSP} = 0 < |V_{TP}|$$

T_N 管导通， T_P 管截止，输出低电平（逻辑 0）。

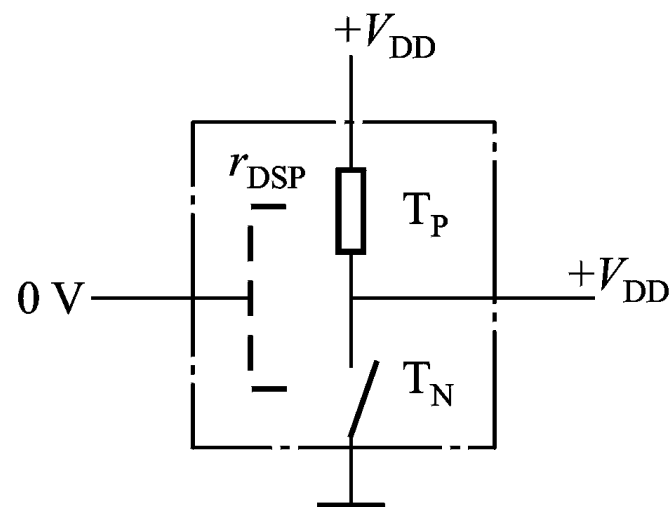
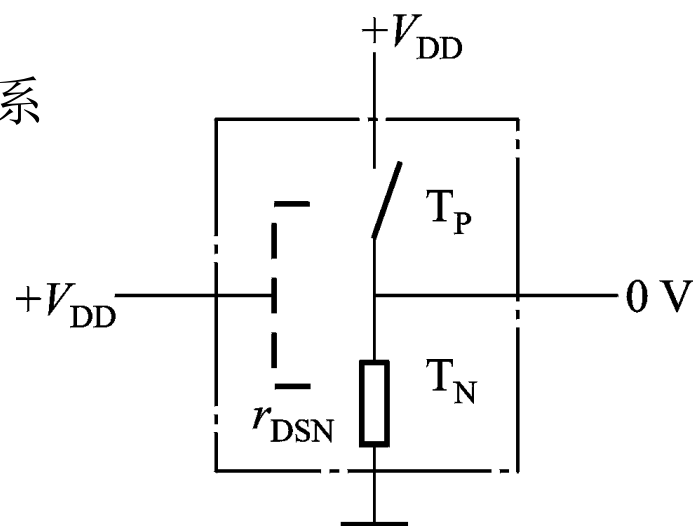
输入 v_I 为低电平（0）时：

$$V_{GSN} = 0 < V_{TN} \quad , \quad V_{GSP} = V_{DD} > |V_{TP}|$$

T_N 管截止， T_P 管导通，输出高电平（逻辑 1）。



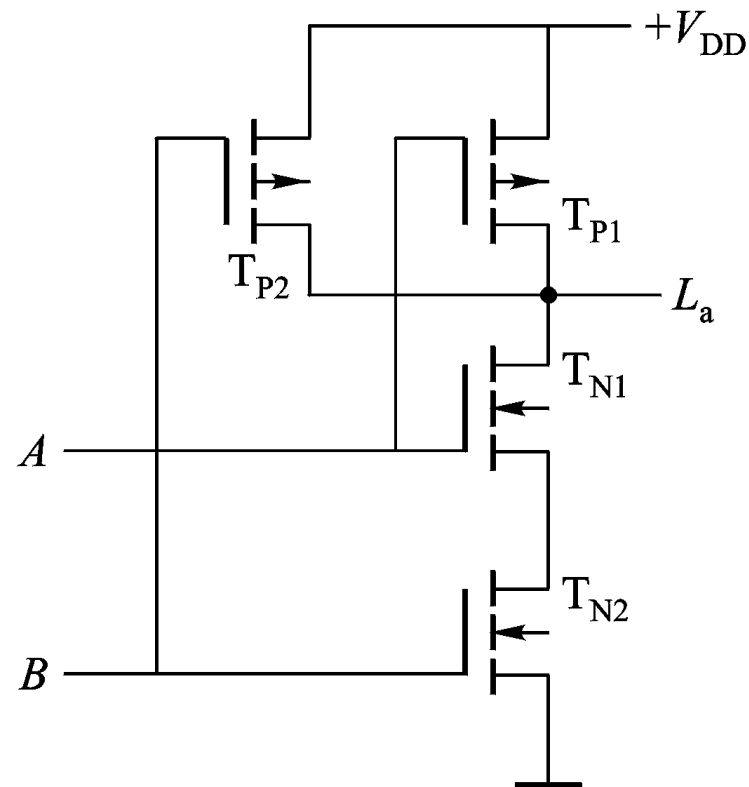
反相关系
低功耗



CMOS 与非门

T_{N1} 、 T_{N2} 管串联， T_{P1} 、 T_{P2} 管并联。

输入		管子导通情况				输出
A	B	T_{N1}	T_{N2}	T_{P1}	T_{P2}	L_a
0	0	×	×	√	√	1
0	1	×	√	√	×	1
1	0	√	×	×	√	1
1	1	√	√	×	×	0

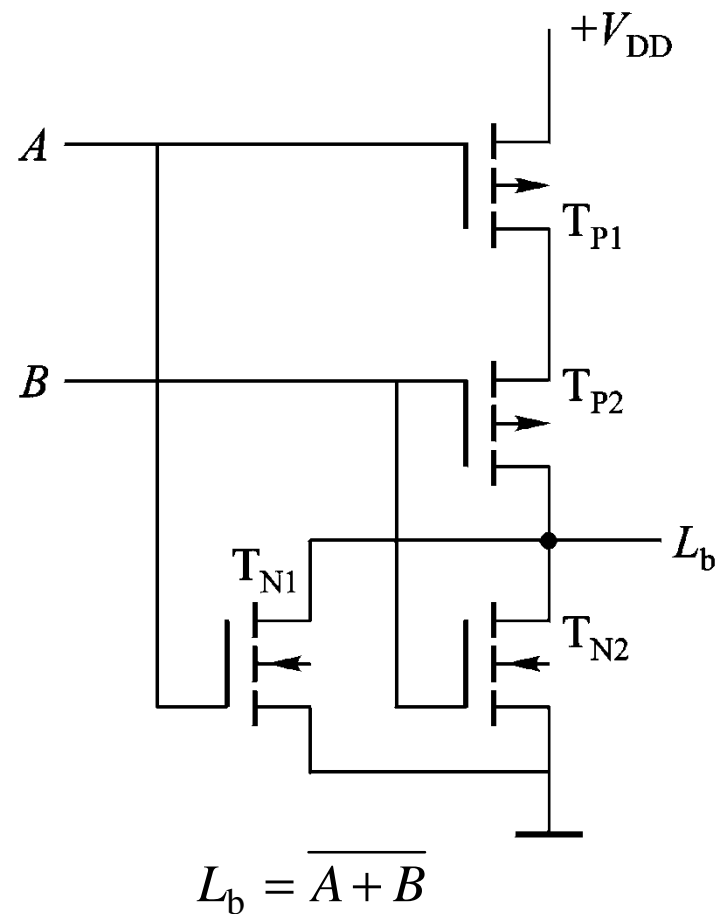


$$L_a = \overline{AB}$$

CMOS 或非门

T_{N1} 、 T_{N2} 管并联， T_{P1} 、 T_{P2} 管串联。

输入		管子导通情况				输出
A	B	T_{N1}	T_{N2}	T_{P1}	T_{P2}	L_b
0	0	×	×	√	√	1
0	1	×	√	√	×	0
1	0	√	×	×	√	0
1	1	√	√	×	×	0



Ø CMOS 漏极开路门（OD 门）

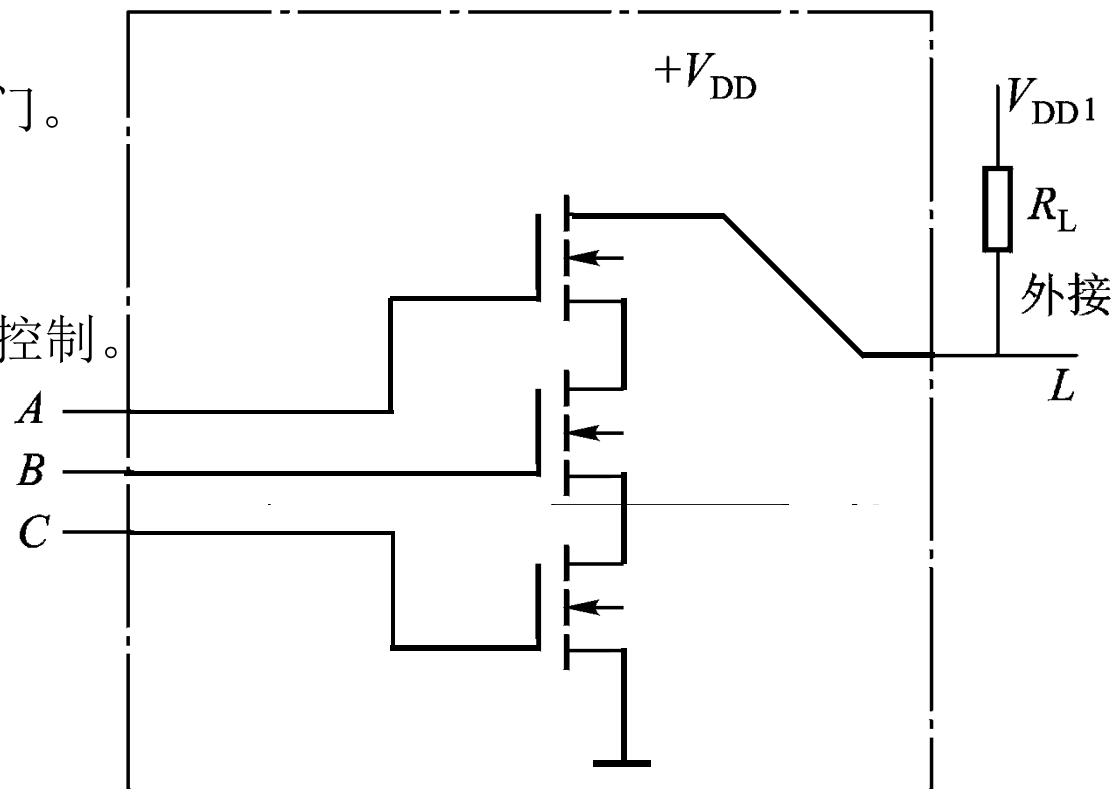
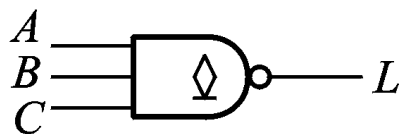
ü 右图所示与非门形式 OD 门。

ü 电路特点：

电路输出的高电平受外接控制。

（ V_{DD1} 可以比 V_{DD} 高）

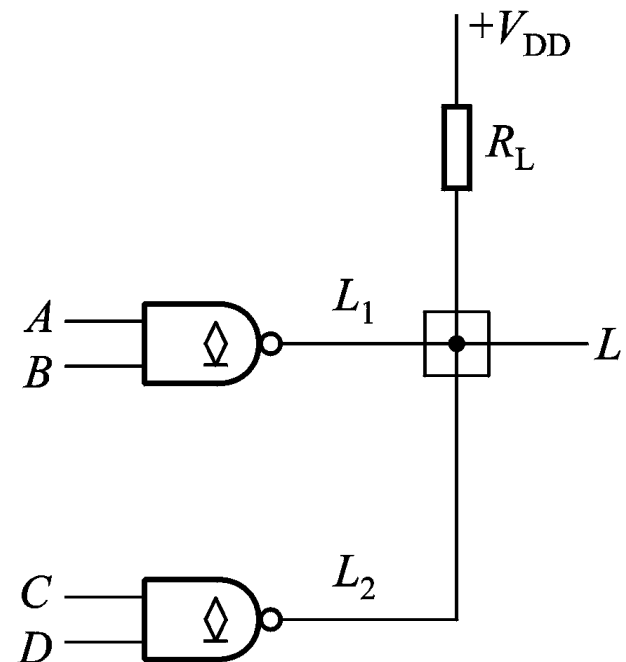
ü 逻辑符号



Ø CMOS 漏极开路门（典型应用）

ü 实现“线与”逻辑关系。
（普通门电路，不能将输出直接连接）

ü 实现两种逻辑电平转换。
（驱动需高电压的负载）



$$L = L_1 \cdot L_2 = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$

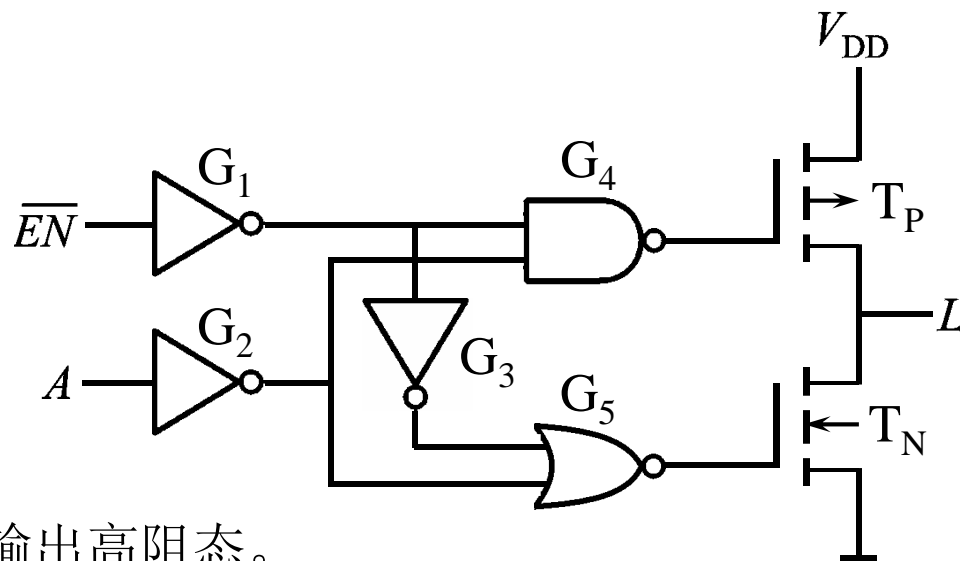
CMOS 三态输出门

右图所示与非门形式三态门。

三态输出：

输出低电平、输出高电平和输出高阻态。

（高阻态：输入输出之间处于断开状态）



若 $\overline{EN} = 0$ ：反相器 G_1 输出高电平（对 G_4 、 G_5 无影响）；
电路是标准的 CMOS 非门（有正常高、低电平输出）。

若 $\overline{EN} = 1$ ：反相器 G_1 输出低电平；
 G_4 、 G_5 被封锁；
无论 A 什么状态， T_P 、 T_N 始终截止；
输出高阻。

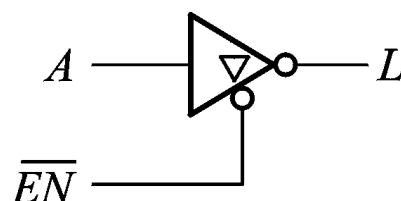
CMOS 三态输出门

三态输出：

低电平、高电平和高阻态。

逻辑符号（非门）

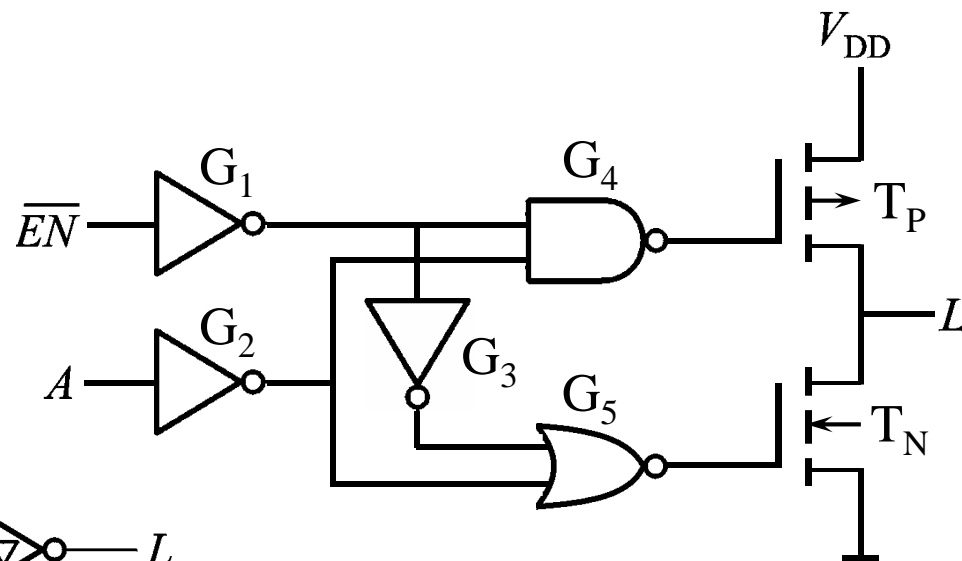
\overline{EN} : 使能端



真值表
(功能表)

\overline{EN}	A	L
0	0	1
0	1	0
1	0	高阻
1	1	

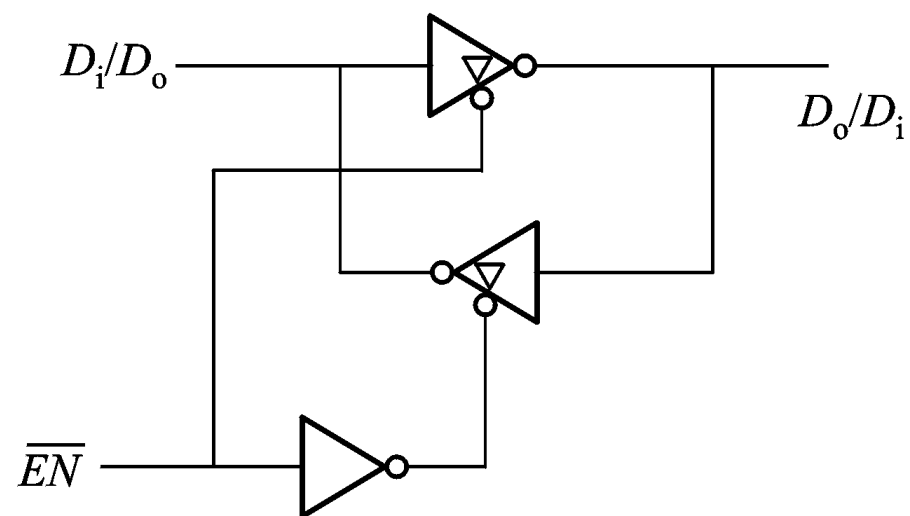
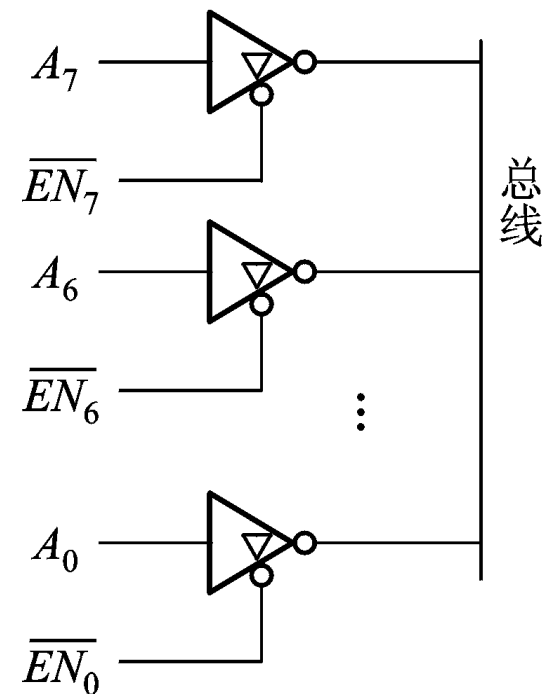
$\Leftarrow Z$



CMOS 三态输出门（典型应用）

共享总线、数据分时传送

信号双向传输



CMOS 传输门 (TG 门)

电路由 NMOS 和 PMOS 管并联而成。

若 $C = 0, \bar{C} = V_{DD}$

T_N 和 T_P 都截止，输入/输出间断开（高阻）状态。

若 $C = V_{DD}, \bar{C} = 0$

当 $0 < v_I < V_{DD} - V_{TN}$ 时， T_N 导通；当 $|V_{TP}| < v_I < V_{DD}$ 时， T_P 导通；

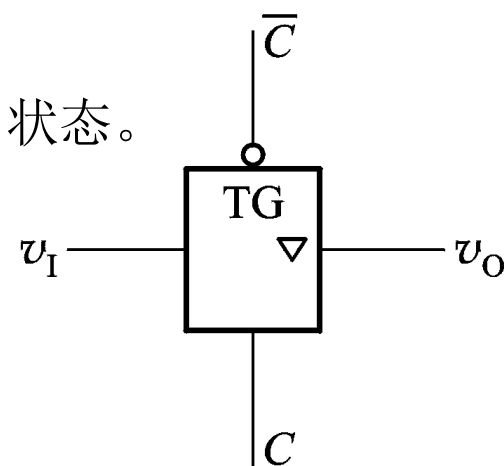
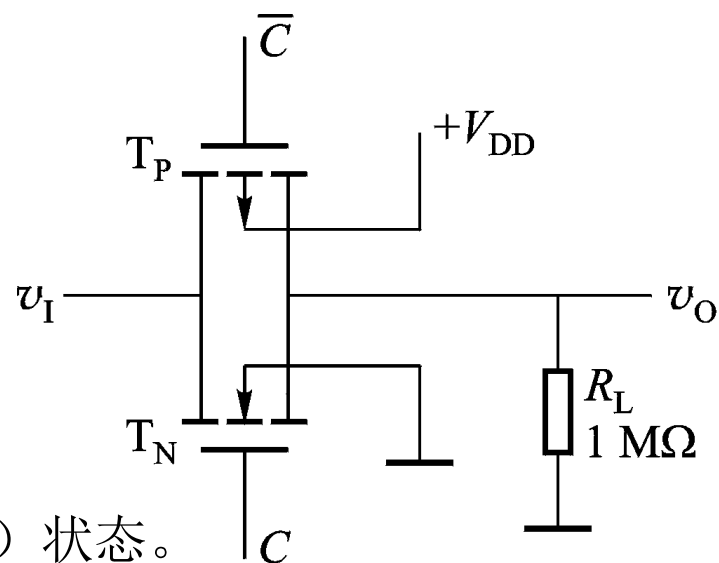
当 $|V_{TP}| < v_I < V_{DD} - V_{TN}$ 时，两管同时导通。

T_N 和 T_P 至少有一导通，输入/输出间导通（低阻）状态。

$$\text{传输信号: } v_O = \frac{R_L}{R_L + R_{TG}} v_I \approx v_I$$

(R_{TG} : 传输门接通电阻)

特点：导通电阻低，断开电阻很高；适用于多路信号传输中的多路开关。

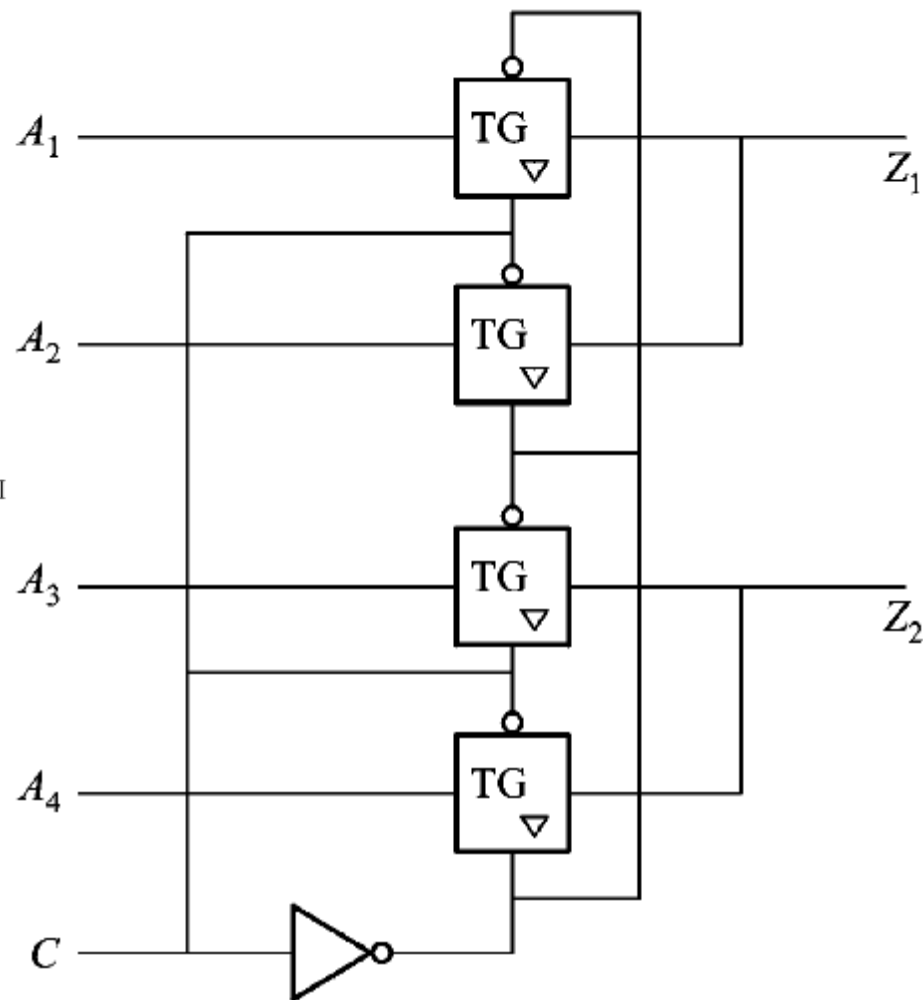
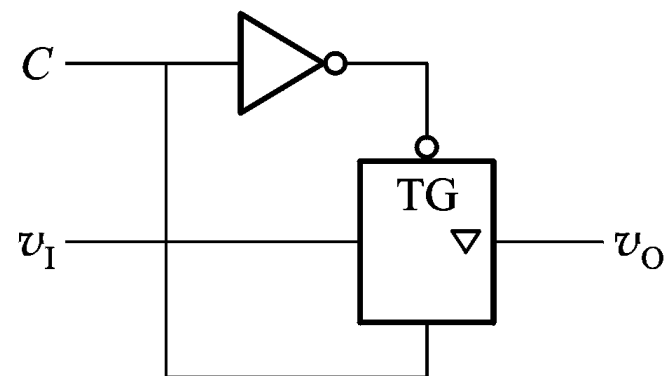
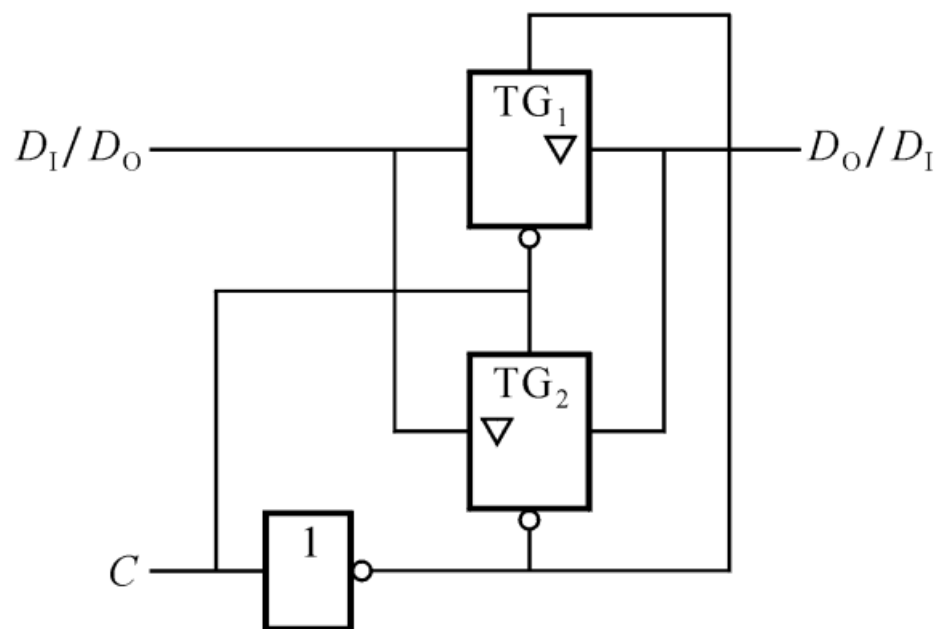


CMOS 传输门（应用）

模拟信号连续传输（模拟开关）
（单刀单掷）

双刀双掷

信号双向传输



✓ TTL 门电路

ü TTL 门电路：由晶体三极管构成的逻辑门电路。
(Transistor Transistor Logic)

ü 在 20 世纪 80、90 年代普遍使用。

ü 电平标准：

电源电压 V_{DD} : +5V

低电平（逻辑 0）：0 ~ 0.4V

高电平（逻辑 1）：2.4V ~ 5V

Ø TTL 与非门

ü 右图所示 TTL 与非门典型结构。

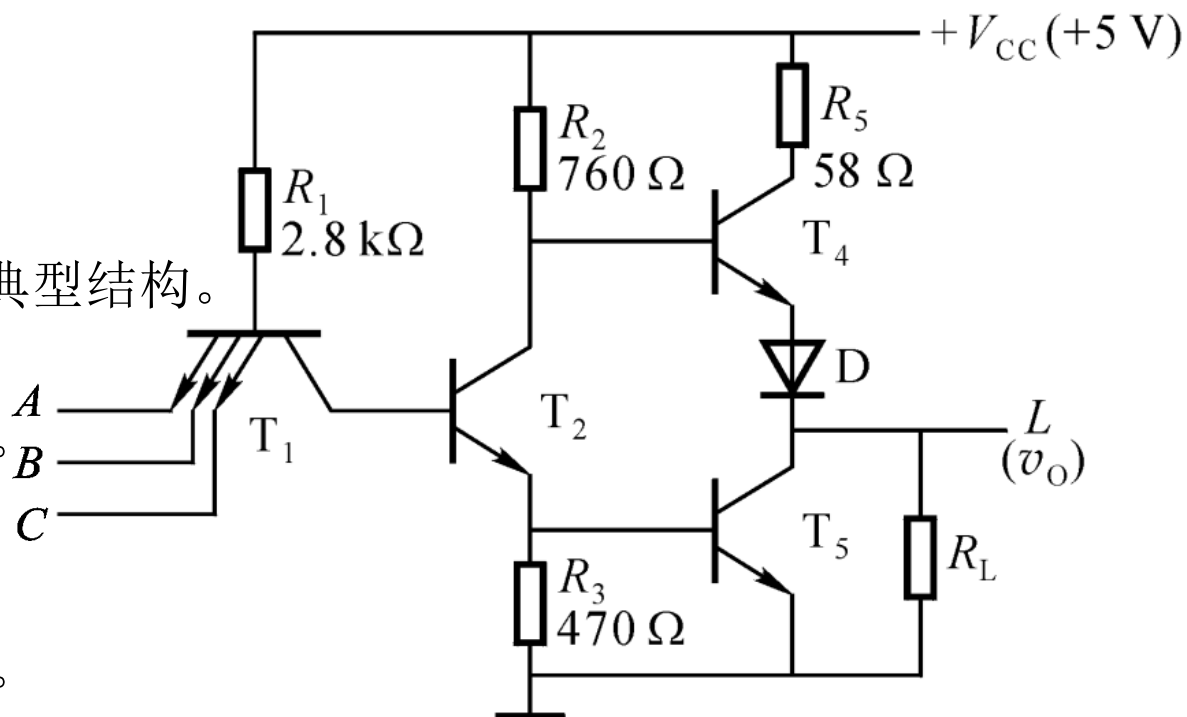
ü 输入级：以 T_1 为核心。
（实现“与”功能）

ü 中间级：以 T_2 为核心。

（为输出级提供两个极性相反的驱动信号）

ü 输出级： T_4 和 T_5 组成推拉工作方式。

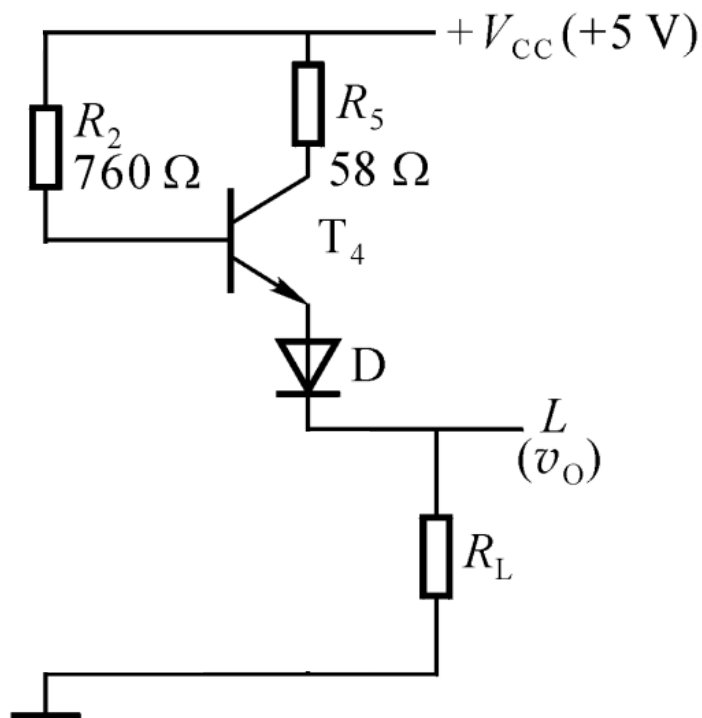
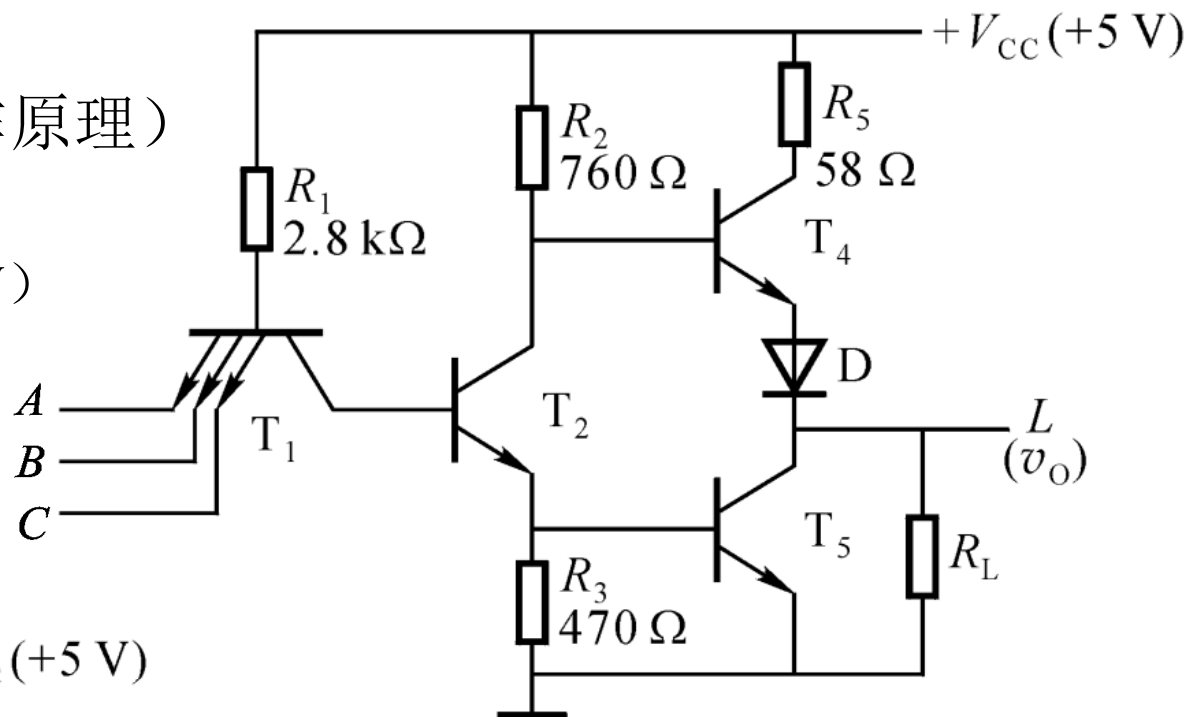
（交替工作，类似于互补对称共集电路）



Ø TTL 与非门（工作原理）

☺ 输入低电平 ($v_{IL} \approx 0.3V$)

☺ J_{BE1} 正偏, $V_{BE1} \approx 1.0V$;
 T_2 、 T_5 截止;



T_4 、 D 导通;

$$v_L = V_{CC} - i_{B4}R_2 - v_{BE4} - v_D \approx 3.6V$$

(输出高电平)

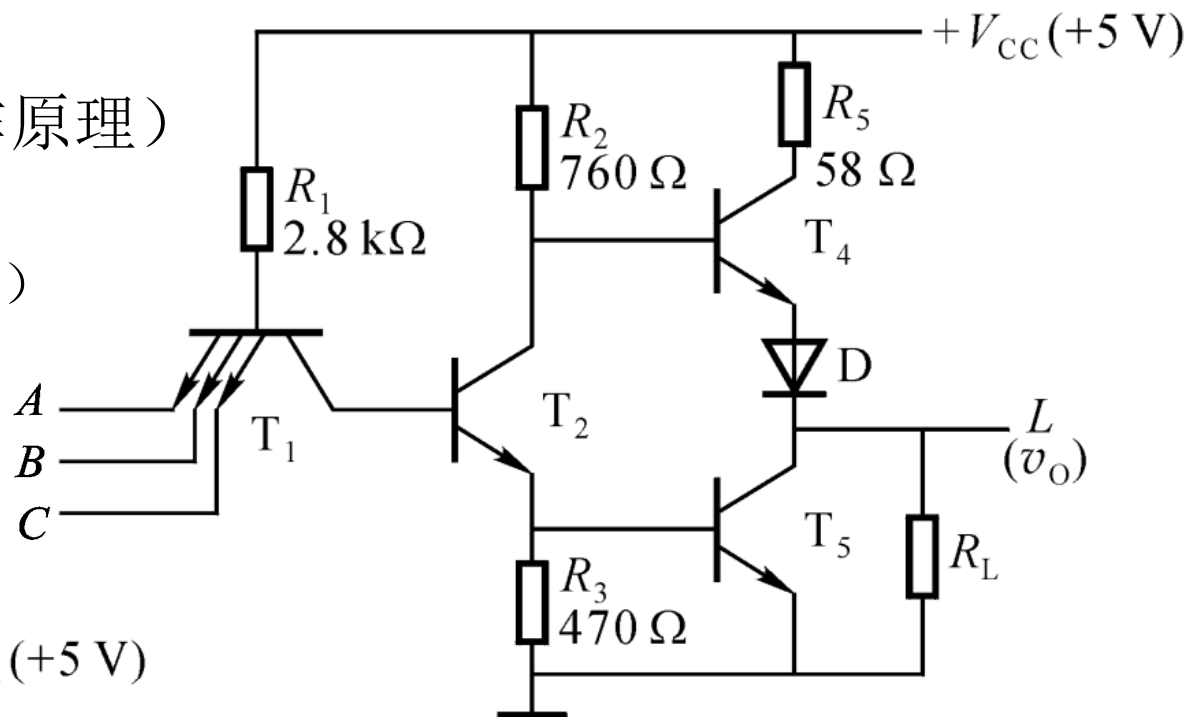
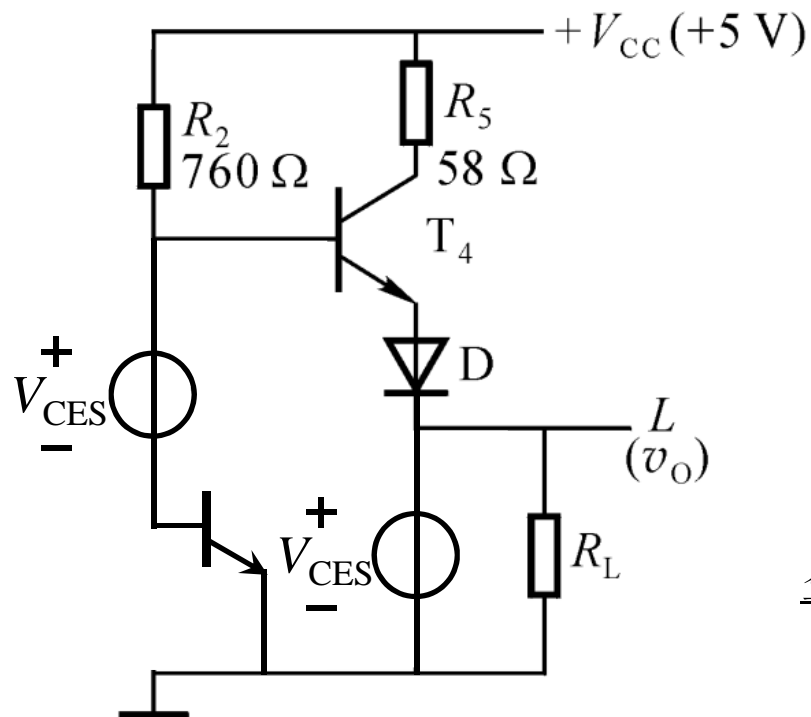
Ø TTL 与非门（工作原理）

☀ 输入高电平 ($v_{IH} \approx 3.6V$)

☀ J_{BE1} 正偏, $V_{B1} \approx 4.3V$;

T_1 倒置;

T_2 、 T_5 饱和导通;



$$v_{B4} \approx 1.0V$$

T_4 、 D 截止。

$$v_L \approx 0.3V$$

（输出低电平）

整体效果：与非门

Ø TTL 与非门（抗饱和型）

ü 右图所示电路。

ü 工作原理等同于前述电路。

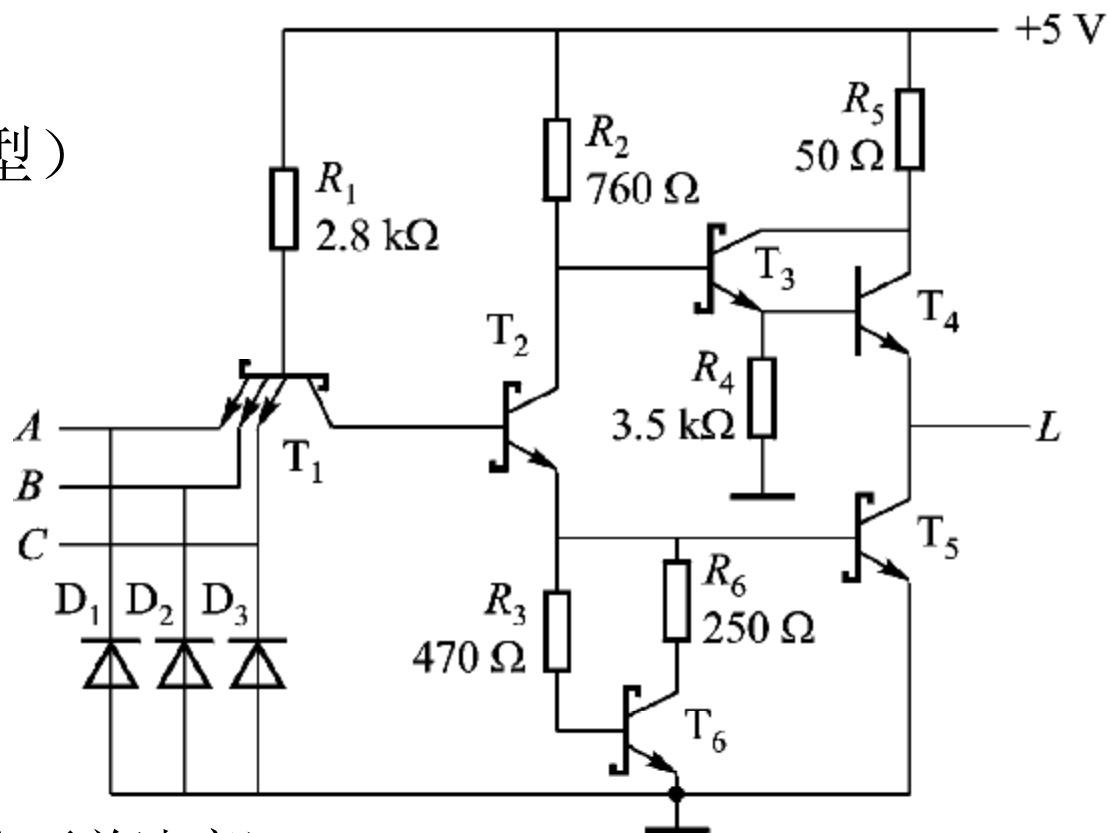
ü 主要特点：

采用了肖特基三极管（提高开关速度）；

增加了由 T_6 、 R_3 和 R_6 组成的有源泄放电路（改善门电路传输特性，提高输入低电平上限值，提高开关速度）；

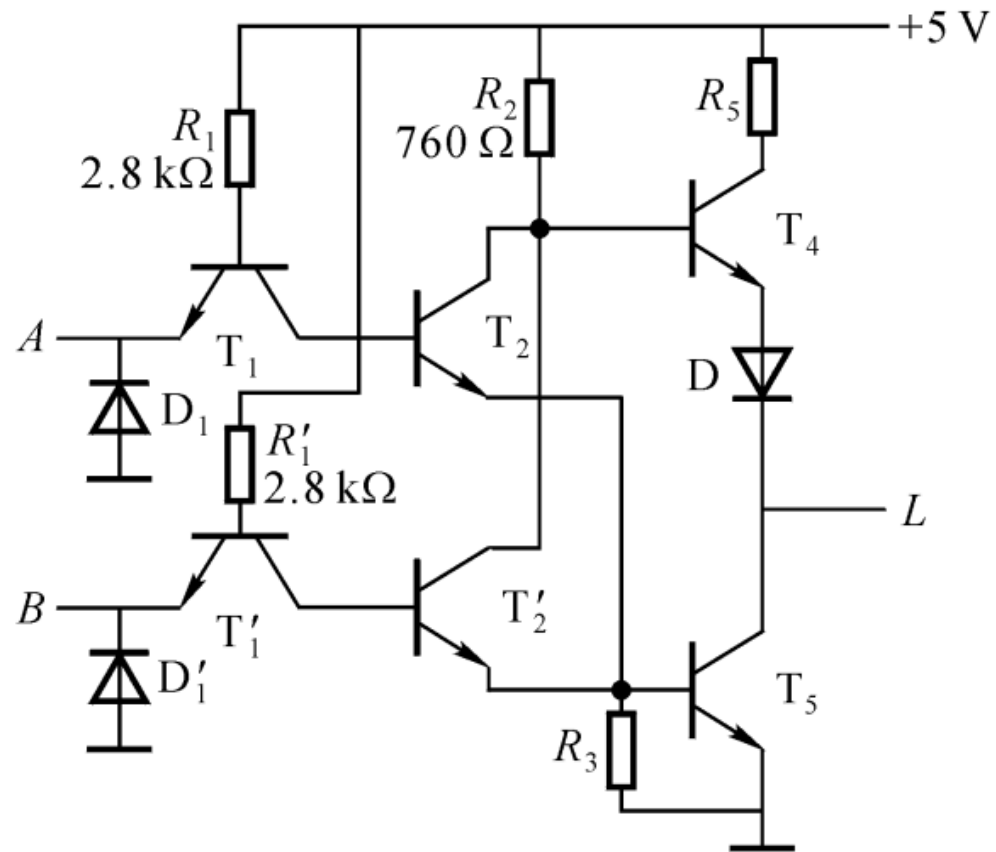
采用 T_3 、 T_4 构成的复合管（提高电路带负载能力）；

增加了输入保护二极管 $D_1 \sim D_3$ （提高电路可靠性）。



整体效果：与非门

Ø TTL 或非门



Ø TTL 集电极开路门（OC 门）

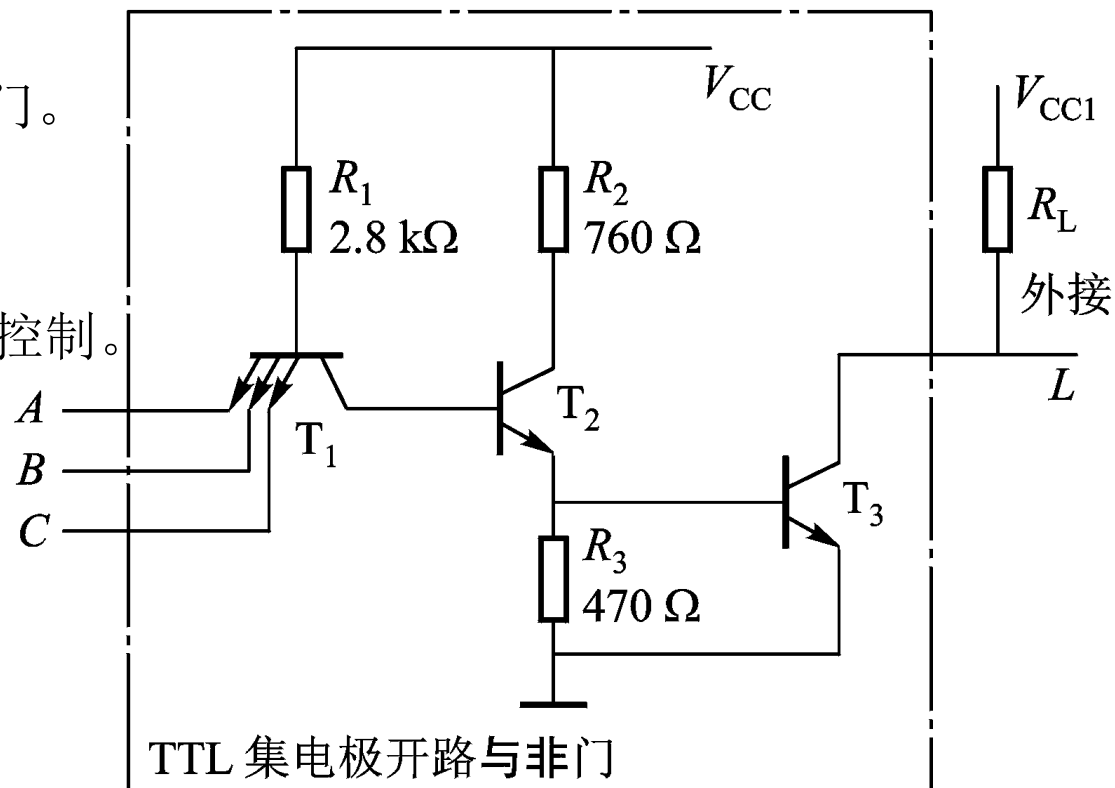
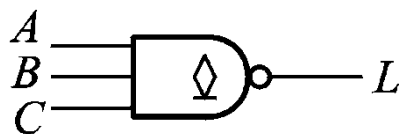
ü 右图所示与非门形式 OC 门。

ü 特点：

电路输出的高电平受外接控制。

（ V_{CC1} 可以比 V_{CC} 高）

ü 逻辑符号

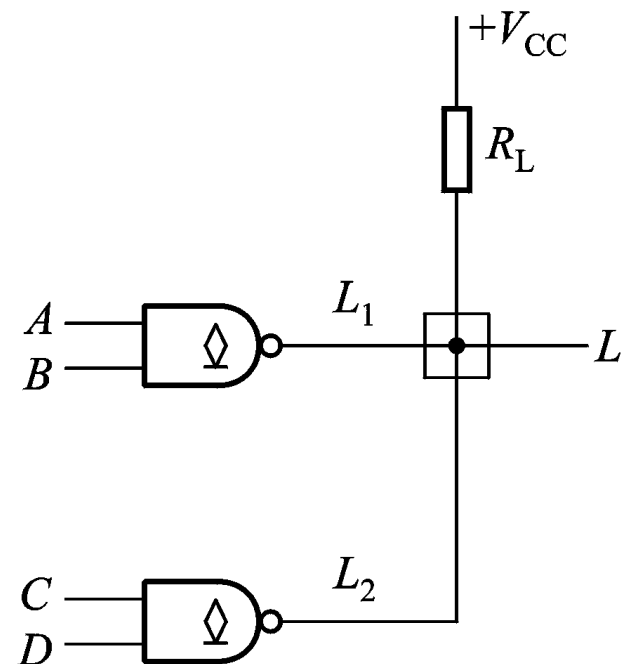


类似于 OD 门

Ø TTL 集电极开路与非门（典型应用）

ü 实现“线与”逻辑关系。
（普通门电路，不能将输出直接连接）

ü 实现两种逻辑电平转换。
（驱动需高电压的负载）



$$L = L_1 \cdot L_2 = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$

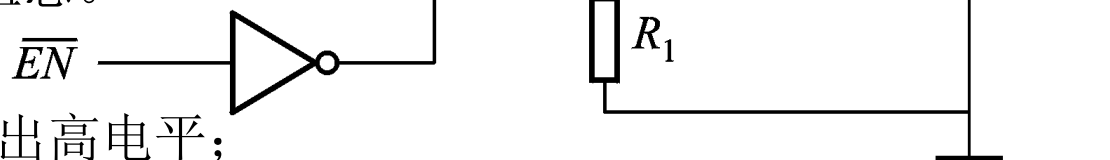
类似于 OD 门

Ø TTL 三态输出门

ü 右图所示与非门形式三态门。

ü 三态输出：

低电平、高电平和高阻态。



ü 若 $\overline{EN} = 0$ ：反相器输出高电平；

D_1 、 D_2 截止；电路是标准的 TTL 非门（有正常高、低电平输出）。

ü 若 $\overline{EN} = 1$ ：反相器输出低电平；

D_1 导通， $V_{C2} \approx 1.0V$ ；

T_3 导通， T_4 截止。

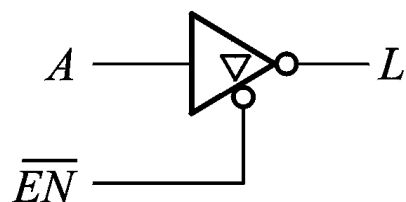
若 A 为低， T_2 、 T_5 截止；若 A 为高， T_2 导通， T_5 截止；
输出高阻。

Ø TTL 三态输出门

ü 三态输出：

低电平、高电平和高阻态。

ü 逻辑符号

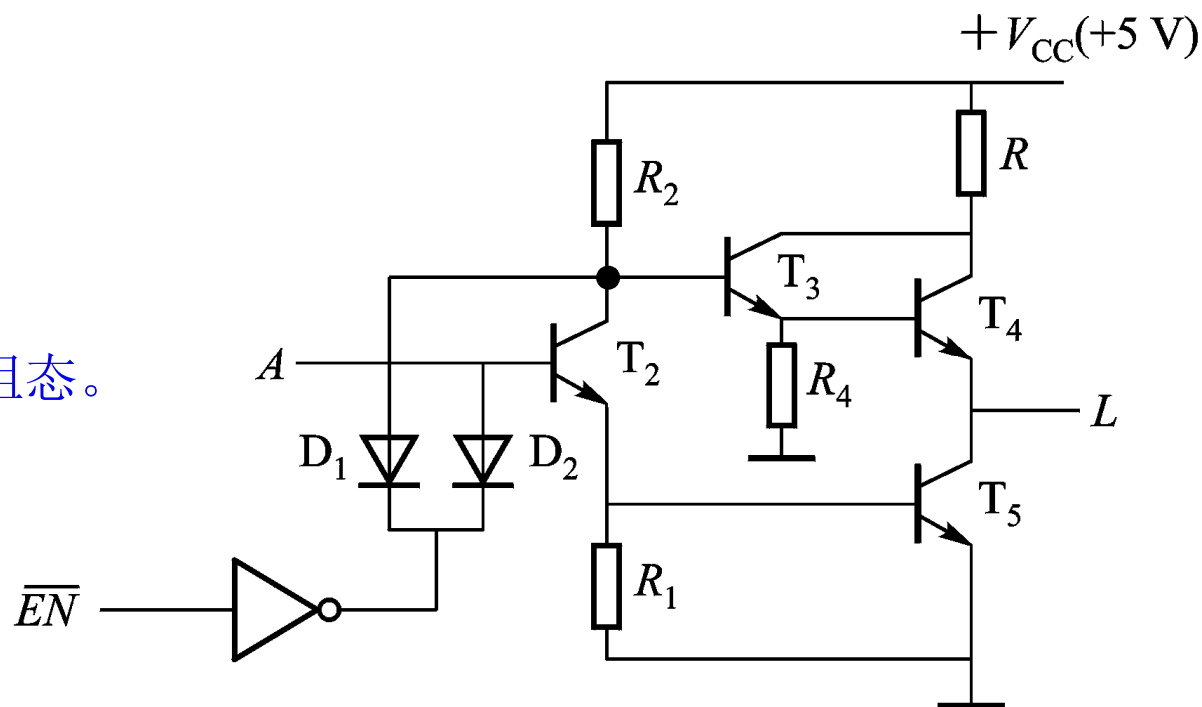


\overline{EN} : 使能端

ü 真值表

\overline{EN}	A	L
0	0	1
0	1	0
1	0	高阻
1	1	

$\Leftarrow Z$



✓ 集成门电路的实际应用问题

ü 门电路多余输入端处理

ü 不同门电路之间接口问题

ü 门电路延迟时间的配合

ü 数字门的抗干扰措施

Ø 门电路多余输入端处理

ü 多余输入端与其中一个有用端并联使用。

ü 根据逻辑功能，多余输入端分别接高、低电平：

与非门电路，多余输入端接正电源 $+V_{DD}$ ；

或非门电路，多余输入端接地。

ü CMOS 门电路输入端的特殊处理：

悬空相当 0V 电位（但由于 CMOS 电路的输入阻抗高，悬空会引起电荷积累，从而损坏 CMOS 管，所以一般严禁悬空）；

通过电阻接地，相当于低电平。

ü TTL 门电路输入端的特殊处理：

悬空，相当于高电平（但会引入干扰信号，一般不建议使用）；

通过大电阻接地，相当于高电平输入；

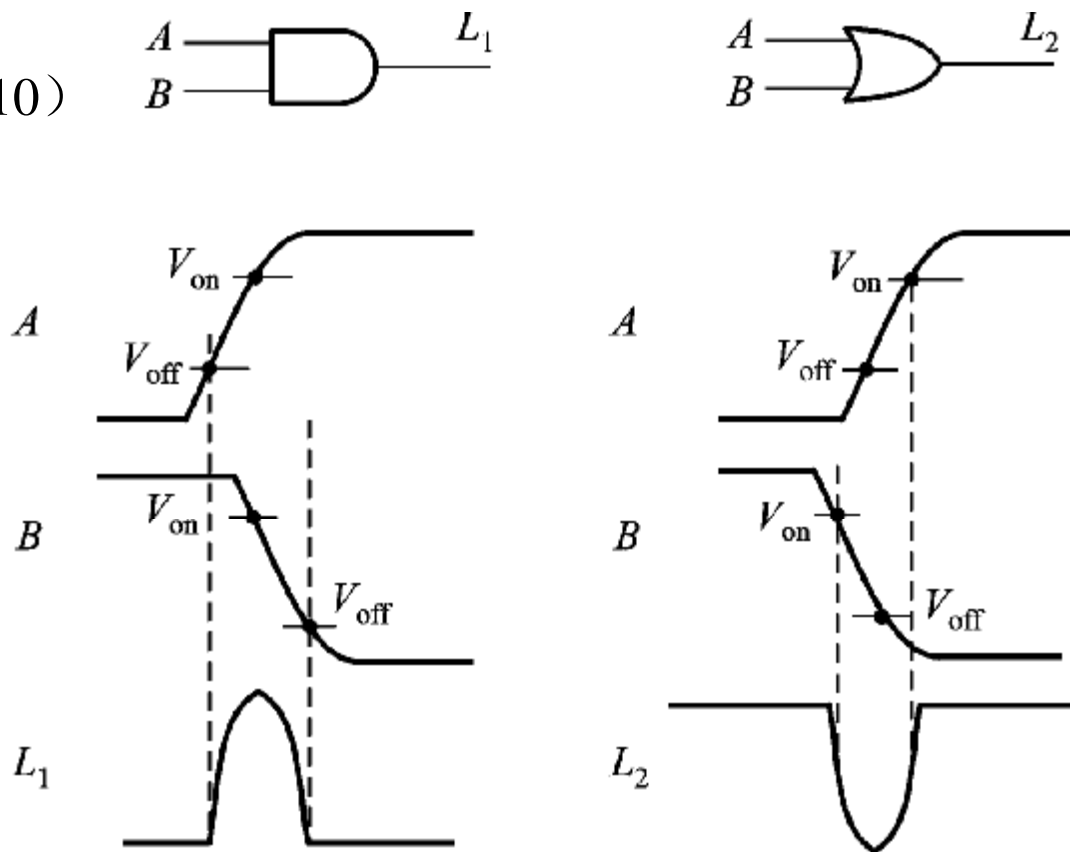
通过小电阻接地，相当于低电平输入。

Ø 门电路延迟时间的配合

ü 门电路存在传输延迟时间；

信号经过不同的传输途径，到达后续门电路输入端的时间有差别；
时间不一致的信号可能会影响门电路的输出结果。

ü 例图（输入由 01 转为 10）
（竞争冒险）



Ø 数字门的抗干扰措施（电源的去耦滤波）

- ü 多片集成电路往往由统一的一组稳压电源供电；
电路中半导体器件的交替开关工作，将会产生脉冲尖峰电流；
该电流在电源内阻上产生压降，使各逻辑电平产生变化；
影响其正常的逻辑关系，或出现逻辑错误。
- ü 常用方法：
每一集成电路的电源引脚端对地间连接一 $0.01 \sim 0.1\mu\text{F}$ 的电容器。

✓ 本节作业

☺ 习题 2 (P74)

1、4、9、21、23、补充题。

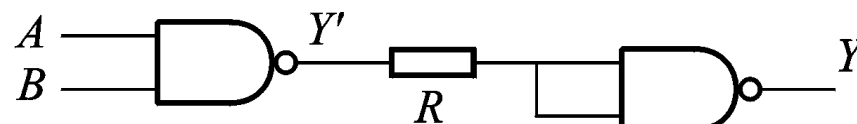
☺ 说明：

1 题 4，A 通过 10k 电阻接地。

所有的题目，需要有解题过程（不是给一个答案即可）。

☺ 补充题

右图所示 TTL 门电路。



已知门参数： $V_{OH}/V_{OL} = 3.6V/0.1V$ ；

$$V_{IHmin}/V_{ILmax} = 2.8V/0.4V；$$

$$I_{IH}/I_{IL} = 20\mu A/-10mA；$$

为实现正常的逻辑关系，请确定电阻 R 的取值范围。