

# 数字电路分析与设计（实验）

## 组合逻辑电路

## ✓ 实验目的

- ü 掌握组合集成电路元件的功能检查方法。
- ü 熟悉全加器和奇偶位判断电路的工作原理。
- ü 掌握组合逻辑电路的功能测试方法及设计方法。

## ✓ 实验内容

ü 测试基本逻辑门（与非门74xx00、与或非门 74xx55）的逻辑功能。  
（引脚图，请参考实验教材 P579、P583 附录 B）

ü 利用基本逻辑门（7400、7455）实现：  
全加器电路；  
四位数奇偶位判断电路；  
（实现，并进行功能测试）

ü 利用基本逻辑门实现其它功能电路（自定义）

## ✓ 实验原理

ü 各种逻辑功能的电路，理论上都能仅用与非门实现。

ü 标准步骤：

逻辑定义（输入输出）；

列出真值表；

画出卡诺图并化简（与非表达式）；

写出与非表达式；

实现电路（采用规定逻辑门）；

检验功能。

ü 灵活点：真值表简化、卡诺图化简（门电路的选择）。

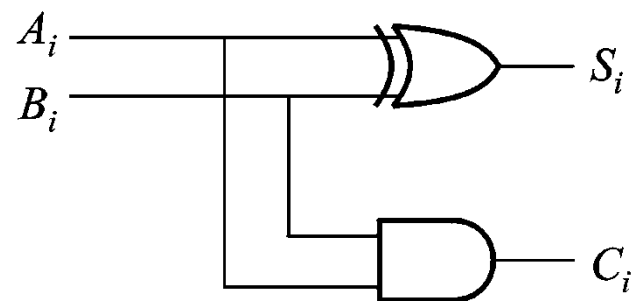
## 半加器

半加器（真值表）

$A_i$	$B_i$	$S_i$	$C_i$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

根据真值表，有： $S_i = \bar{A}_i B_i + A_i \bar{B}_i = A_i \oplus B_i$ ， $C_i = A_i B_i$

可由异或门 + 与门实现半加器。



还可以由与非门、或非门... 实现

## Ø 全加器

## ü 全加器（真值表）

$A_i$	$B_i$	$C_{i-1}$	$S_i$	$C_i$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

## ü 根据真值表，有：

$$S_i = \overline{A_i} \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C_{i-1}} + A_i \overline{B_i} \overline{C_{i-1}} + A_i B_i C_{i-1}$$

$$C_i = \overline{A_i} B_i C_{i-1} + A_i \overline{B_i} C_{i-1} + A_i B_i \overline{C_{i-1}} + A_i B_i C_{i-1}$$

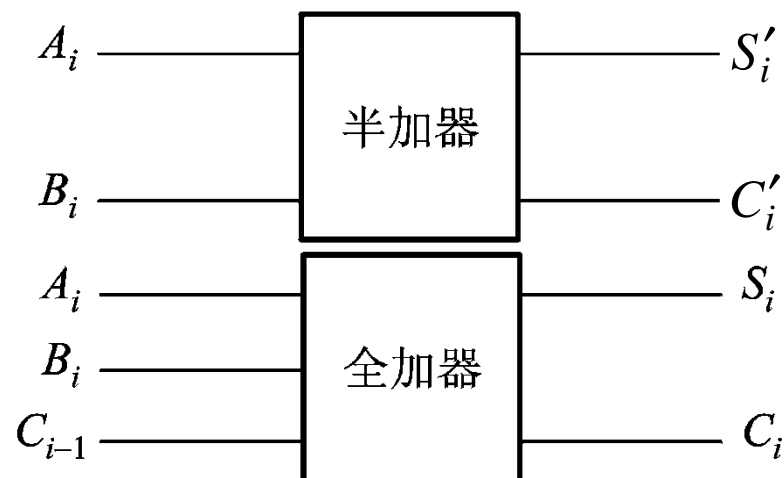
可由基本门（与非等）实现全加器。

还可以有：半加器+或门...

## Ø 全加器

ü 右图所示半加器、全加器结构图。

ü 由图可得：



$$S'_i = \overline{A_i B_i} + \overline{\overline{A_i} \overline{B_i}}$$

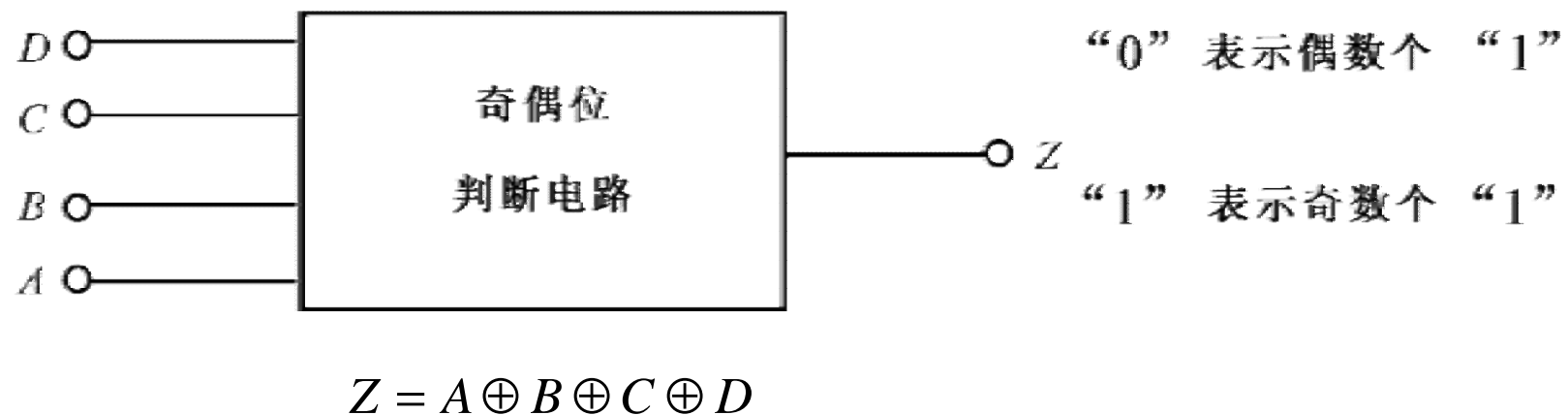
$$S_i = A_i \oplus B_i \oplus C_{i-1} = \overline{S'_i C_{i-1}} + \overline{\overline{S'_i} \overline{C_{i-1}}}$$

$$C_i = A_i B_i + B_i C_{i-1} + A_i C_{i-1} = \overline{\overline{A_i} \overline{B_i}} + \overline{\overline{C_{i-1}} \overline{S'_i}}$$

可由“与或非门 + 非门”实现全加器。

## Ø 奇偶位判断

ü 下图所示四位奇偶位判断电路结构图。





## ✓ 注意事项

- ⚡ 严禁电源极性颠倒！严禁带电插拔元器件！
- ⚡ 输出端不能并联使用（OC 门和特殊情况下的三态门除外）。
- ⚡ 多余的输入端最好不要悬空（尤其是一些控制端）；  
TTL 门电路输入端悬空时相当于高电平，但容易引入干扰，应避免；  
CMOS 门电路由于其内部结构因素，一般禁止悬空。
- ⚡ 多余的输入端应根据实际需要作适当处理。

## Ø 注意事项（实用）

☺ 与非门，多余输入端可接至高电平，也可 ...

☺ 在验证电路的逻辑功能时，如发现与要求不符，应首先检查集成电路所加的电源是否正常，然后再检查设计有无问题。

☺ 在查找电路故障时，应用逻辑笔，从电路的输入端至输出端逐级检查，从而确定故障点，并加以排除。

☺ 输入端，可采用实验箱上的数据开关；  
时序型输入，可采用实验箱上的脉冲信号。

☺ 实验结果可用真值表（或波形）记录。

## ✓ 实验报告

ü 实验目的、原理、器材、电路等（可略）；

ü 实验过程、原始数据。  
（表格、图形等）

ü 实验数据分析。  
（理论值推导，实测与理论的差异及其原因）

ü 问题、缺陷、体会、经验、意见等。

ü 下周一（四），上交一份实验报告。  
（左上角桌号）

## ✓ 任务小结

自查

ü 测试基本逻辑门（与非门74xx00、与或非门 74xx55）的逻辑功能。

ü 利用基本逻辑门（7400、7455）实现：

全加器电路；

四位数奇偶位判断电路；

（实现，并进行功能测试）

ü 利用基本逻辑门实现其它功能电路（自定义）

请说明

## ✓ 下次实验

ü 同步时序逻辑电路的设计。  
(数字钟)

ü 实验背景理论知识：基本时序逻辑电路的分析与设计（讲义 4.1.3）。  
中规模集成计数器（讲义 4.1.4）

ü 参考资料：实验教材 实验 25、实验 27。  
(实验教材 P260 实验 5)