

浙江大学实验报告

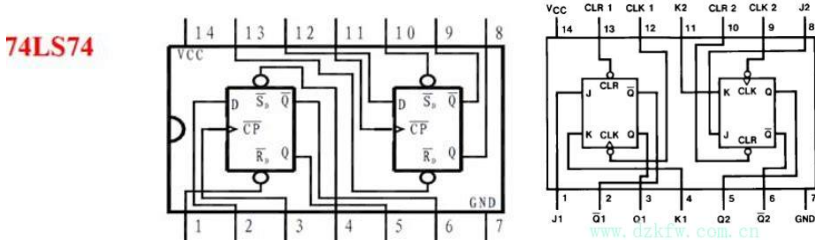
实验名称： 时序逻辑和计数电路设计 指导老师： 周箭 实验类型： 设计型

一、实验目的

- 1、加深理解时序逻辑电路和计数器电路的工作原理；
- 2、学习时序逻辑和计数器电路的设计组装和调试；
- 3、了解分析和比对集成时序逻辑和计数器电路的应用；
- 4、进一步掌握常用仪器设备的使用；

二、实验内容、实验电路和实验原理

- 1、测试集成触发器（74 和 107）的逻辑功能；



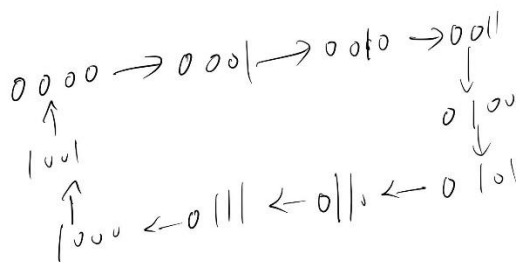
74 和 107 拥有两个 D 触发器和 JK 触发器

- 2、测试集成计数器（161）的逻辑功能；

清零	预置	使能		时钟	预置数据				输出			
$\overline{R_D}$	\overline{LD}	EP	ET	CP	D	C	B	A	Q_0	Q_1	Q_2	Q_3
0	×	×	×	×	×	×	×	×	0	0	0	0
1	0	×	×	↑	D	C	B	A	D	C	B	A
1	1	0	×	×	×	×	×	×	保持			
1	1	×	0	×	×	×	×	×	保持			
1	1	1	1	↑	×	×	×	×	计数			

本次实验使用计数功能，同时使用清零端进行循环控制。

- 3、利用集成触发器和其他逻辑门实现 8421 编码的同步十进制加法计数器；
采用 JK 触发器设计加法计数器电路。十进制需要使用四个 JK 触发器，所以需要两个 107 芯片。
根据状态转化图可得到真值表

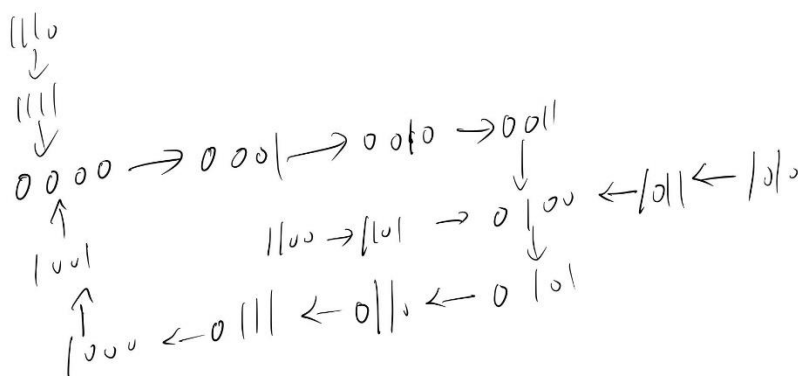


CP	$Q_3^n Q_2^n Q_1^n Q_0^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
1	0000	0001
2	0001	0010
3	0010	0011
4	0011	0100
5	0100	0101
6	0101	0110
7	0110	0111
8	0111	1000
9	1000	1001
10	1001	0000

再根据卡诺图可以得出驱动方程：

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = \overline{Q_3^n} Q_0^n & K_1 = Q_0^n \\ J_2 = K_2 = Q_1^n Q_0^n \\ J_3 = Q_2^n Q_1^n Q_0^n & K_3 = Q_0^n \end{cases}$$

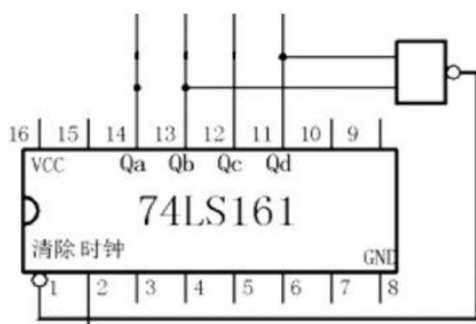
然后进行自启动检查：



可以自启动

因此可以使用 **11** 芯片的三输入与门。

4、利用集成计数器和其他逻辑门实现数字钟；



将 7、9、10 管脚全部置位高电位

对 Q3 和 Q1 取与非，并接入清零端进行清零，保证计数范围。

三、主要仪器设备与实验元器件

实验箱、74 芯片、107 芯片、161 芯片、11 芯片、00 芯片

四、实验步骤与操作方法

- 1、检查芯片功能是否正常；
- 2、设计并接好电路一；
- 3、采用低频周期信号作为 CP 脉冲，并使用发光二极管指示输出，检查功能；
- 4、检查自启动；
- 5、接好电路二；
- 6、检查基本功能；
- 7、采用高频信号作为 CP 脉冲，并使用示波器观察对比 CP 和输出端波形；
- 8、记录实验数据；

五、实验结果分析

74、107、11、00 芯片正常，161 芯片损坏，更换后正常。

JK 触发器组成的计数器功能正常，自启动正常；

集成计数器计数功能正常、清零逻辑正常；

示波器信号稳定；

六、讨论、心得

实验前先检查芯片是否正常还是很重要的，这次我的 161 芯片又是坏的，已经是第二次发现新的芯片都是损坏的情况了。

这次看到有同学采用置数法进行循环控制，发现总是会出现奇怪的跳变，后来帮他换成了清零端控制就好了，接上示波器后图形正常，感觉是因为置数控制是同步的，可能会受到 CP 脉冲的毛刺影响，清零控制是异步的，所以可以避免这个情况。