

数字电路分析与设计（实验）

时序逻辑、计数器电路

✓ 实验目的

- ü 加深理解时序逻辑、计数器电路的工作原理。
- ü 学习时序逻辑、计数器电路的设计、组装与调试。
- ü 了解、分析和比对集成时序逻辑、计数器电路的应用。
- ü 进一步掌握常用仪器设备等的使用。

✓ 实验内容

ü 测试集成触发器（74xx74、74xx107）的逻辑功能。

测试集成计数器（74xx161）的逻辑功能。

（引脚图，请参考实验教材 P583、P584 附录 B）

ü 利用集成触发器（74xx74、74xx107）和其它基本逻辑门实现：
8421BCD 编码的同步十进制加法计数器、脉冲分配器电路；

利用集成计数器（74xx161）和其它基本逻辑门实现：
数字钟（十进制、x 进制 ... ）
（设计，实现，并进行功能测试、分析和比对）

ü 利用集成时序逻辑门、计数器实现其它功能电路（自定义）。

✓ 实验原理

ü 设计：已知电路的功能，要求画出对应的逻辑电路图。

ü 在保证电路功能的前提下，设计出来的电路越简越好。

什么是简？

原则上以卡诺图化简为标准，实际上 ...

（没有最简）

ü 设计分同步、异步时序逻辑电路设计；

同步时序逻辑电路，所有触发器受同一个 CP 触发，设计方法相对单一、比较简单。

异步时序逻辑电路，设计时要选好每个触发器的 CP ，设计方法灵活、多样化，最终电路相对简单；具体方案可参照同步进行。

Ø 同步时序逻辑电路的设计

ü 常规设计步骤:

根据题意，确定电路输入、输出变量；

根据输入输出，确定电路的状态数，并画出状态转换图（或时序图）；
（有时需要对状态图进行合并或简化）

关键

选择触发器类型，用二进制代码对状态转化图进行编码；

将状态转化图转换为状态转换真值表（含输入、初态、次态、输出）

以真值表中输入、初态为变量，求各触发器驱动方程、电路输出方程；
检查自启动；

根据选定的触发器、上述方程，画出同步时序电路图。

分析的逆过程

Ø 8421BCD 编码的同步十进制加法计数器（采用 JK 触发器）

设计步骤：

- ü 定义电路无输入、无输出；
- ü 十进制计数器，共有 10 个状态，画出状态转换图；
- ü 至少需要四个 JK 触发器，画出用 8421 编码后的状态转换图；
- ü 将状态转化图转换为状态转换真值表（剩余的 6 种编码作为约束项）；
- ü 采用 ... 方法，求出各触发器的驱动方程；
- ü 检查自启动；
- ü 根据选定的触发器、方程，实现电路。

可参考课件 4-3 例 3.4。

Ø 8421BCD 编码的同步十进制加法计数器（结果示例）

CP	$Q_3^n Q_2^n Q_1^n Q_0^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	$J_3 K_3 \ J_2 K_2 \ J_1 K_1 \ J_0 K_0$
1	0000	0001	
2	0001	0010	
3	0010	0011	
4	0011	0100	
5	0100	0101	
6	0101	0110	
7	0110	0111	
8	0111	1000	
9	1000	1001	
10	1001	0000	

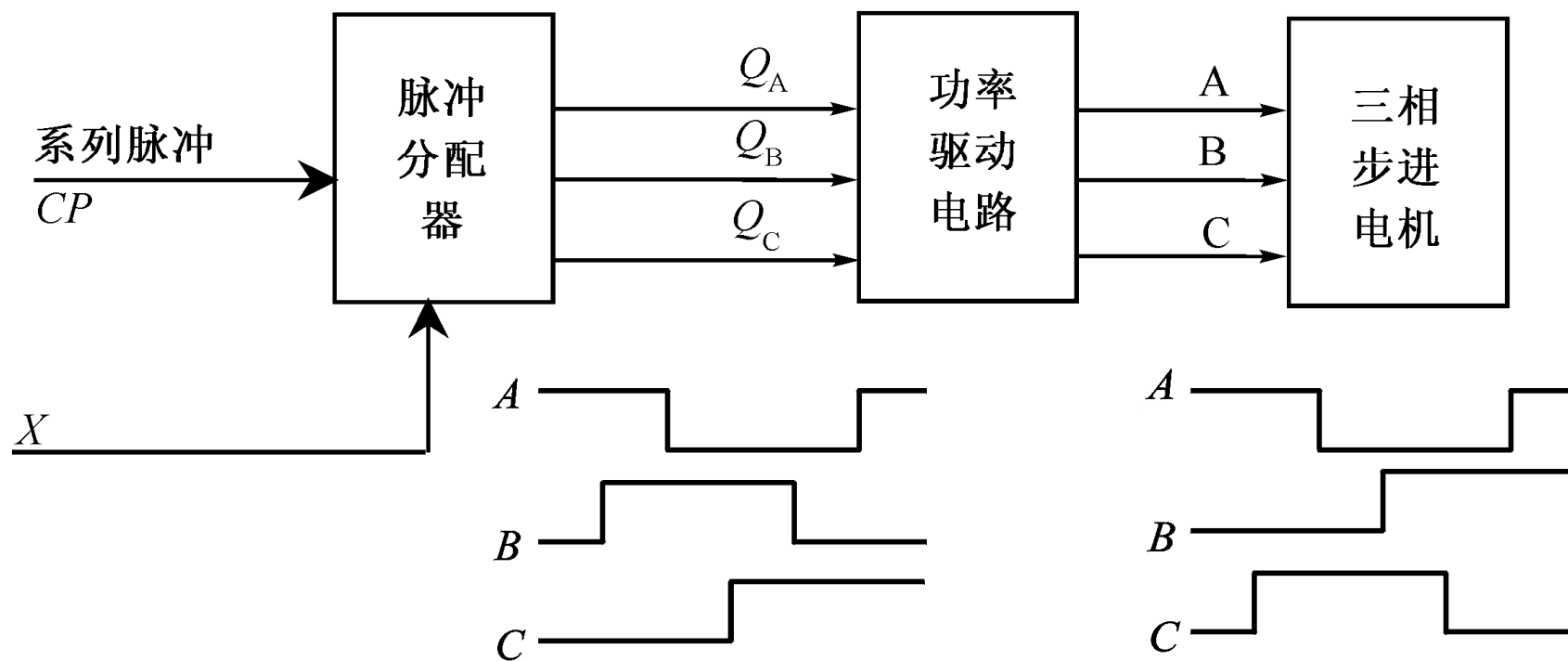
$$\left\{ \begin{array}{l} J_0 = K_0 = 1 \\ J_1 = \overline{Q_3^n} Q_0^n \quad K_1 = Q_0^n \\ J_2 = K_2 = Q_1^n Q_0^n \\ J_3 = Q_2^n Q_1^n Q_0^n \quad K_3 = Q_0^n \end{array} \right.$$

请自行验证

采用什么芯片？

Ø 脉冲分配器电路（采用 D 触发器）

ü 脉冲分配器的作用是产生多路序列脉冲。



ü $X=1$ 和 $X=0$ 时的输出波形图如上所示。

可参考课件 4-3 例 3.6-3。

Ø 脉冲分配器电路（结果示例）

$$\begin{cases} D_A = \overline{XQ_B^n + \overline{X}Q_C^n} \\ D_B = \overline{XQ_C^n + \overline{X}Q_A^n} \\ D_C = \overline{XQ_A^n + \overline{X}Q_B^n} \end{cases}$$

ü 步进电机的绕组在任何时刻都不应出现三相同时通电或同时断电的情况，即要求所设计的计数器能自启动。

ü 可借助异步复位端和置位端来实现。

$$\begin{cases} \overline{S}_{DA} = \overline{Q_A^n Q_B^n Q_C^n} \\ \overline{R}_{DB} = \overline{R}_{DC} = \overline{Q_A^n Q_B^n Q_C^n} \end{cases}$$

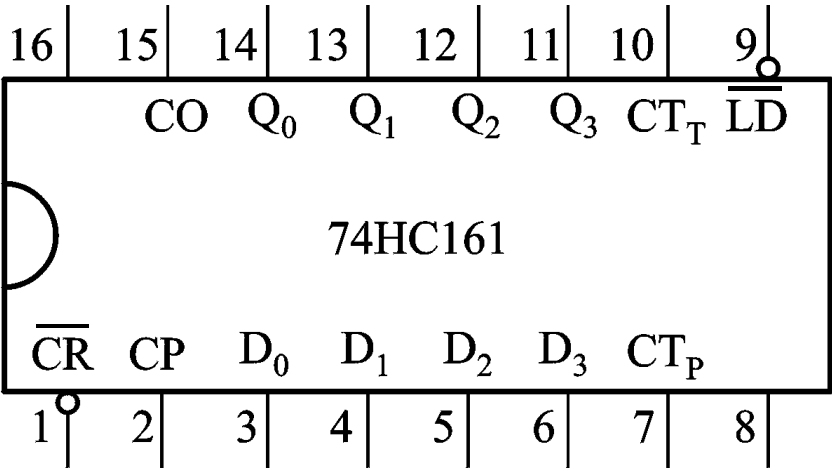
Ø 集成计数器

ü 74161 功能表

输入						输出
CP	\overline{CR}	\overline{LD}	CT_P	CT_T	$D_3D_2D_1D_0$	$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$
×	0	×	×	×	×	0 0 0 0
↑	1	0	×	×	$A_3A_2A_1A_0$	$A_3 A_2 A_1 A_0$
↑	1	1	1	1	×	4 位二进制加法
×	1	1	0	×	×	保持
×	1	1	×	0	×	保持

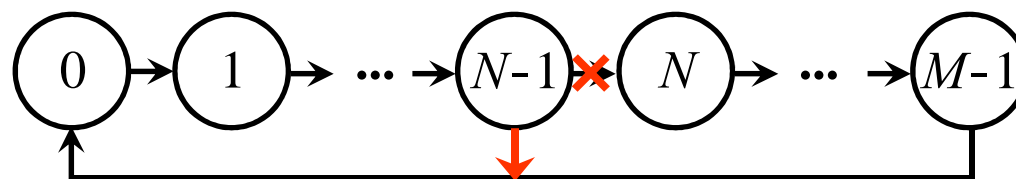
ü 异步清零、同步置数、四位二进制加法计数器。

ü 引脚图



Ø 反馈清零法

ü 模为 M 的单片集成计数器，若无任何控制，其状态转换图为：



若实现模为 N ($N < M$)，则应调整状态转换图（上）。

ü 实现方案：

正常计数时，清零端无效；

计数至某个数据时，清零端有效，计数器清零；

然后，清零端（自动）恢复为无效，计数器从零开始重新计数。

ü 某个数据？

若同步清零方式，清零端需在 CP 脉冲有效前置为有效；

若异步清零方式，清零端的有效作用与 CP 脉冲无关。

（会出现一个短暂的非有效循环内状态）

$N-1$

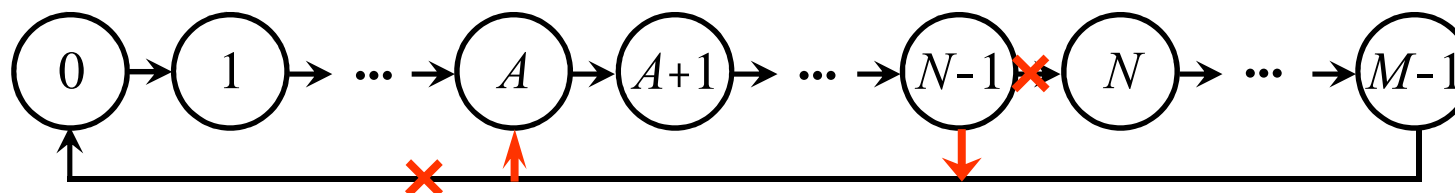
N

置数法

适用场合：

减法计数（无需有全零状态）；

也可以用于加法；



（若 $A = 0$ ，亦可称置零法）

要求状态连续变化。

解题步骤：

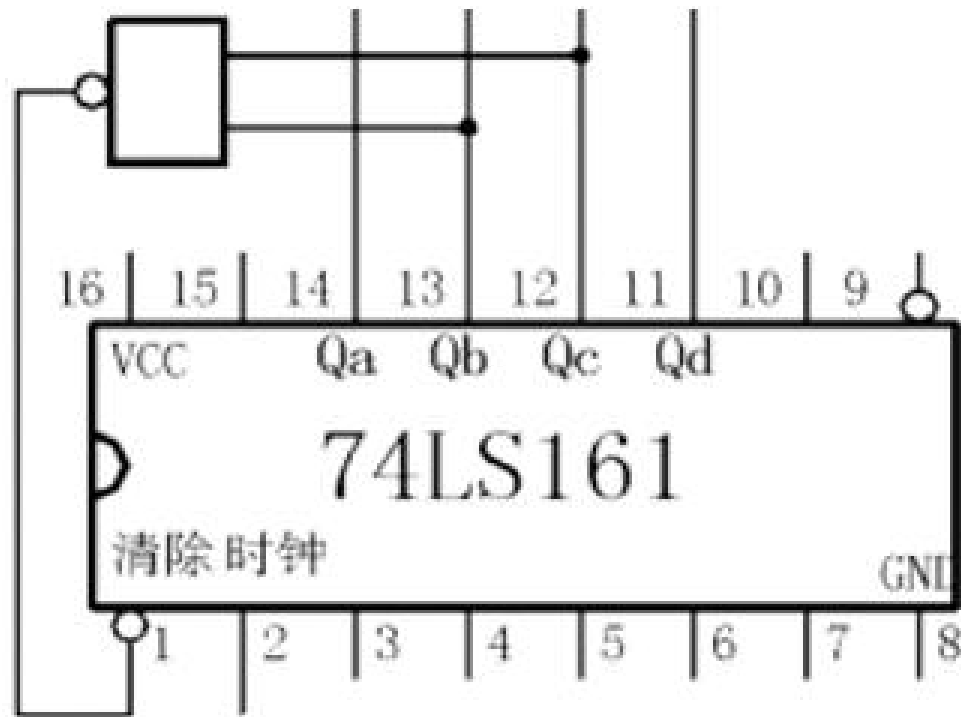
画出状态转移图，判断是否满足置数法条件；

根据置数方式（同步/异步、高电平/低电平），决定反馈状态；

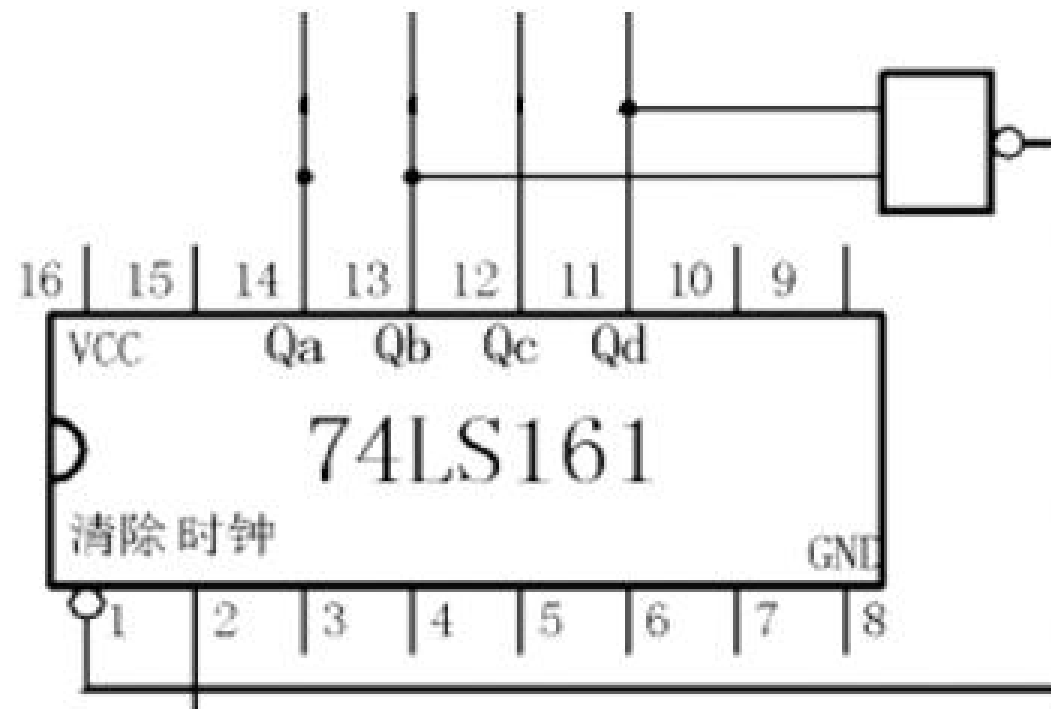
写出置数端控制函数，并画出逻辑电路图。

（图中未用到的输入端，尤其是控制端，不能轻易悬空）

Ø 161 实现 8421BCD 编码 六进制加法计数器



Ø 161 实现 8421BCD 编码 十进制加法计数器



✓ 实验步骤

ü 连接好电路。

ü 用低频/手控脉冲作为计数脉冲进行功能测试。
(采用数码显示管或发光二极管指示输出)

ü 检查电路能否自启动。
(先将输出置成无效态, 再加入计数脉冲)

ü 用高频计数脉冲, 示波器观察并记录 CP 和所有输出端的波形。
(如何记录多组波形?)

✓ 注意事项

- ⚡ 严禁电源极性颠倒！严禁带电插拔元器件！
- ⚡ 输出端不能并联使用（OC 门和特殊情况下的三态门除外）。
- ⚡ 多余的输入端最好不要悬空（尤其是一些控制端）；
TTL 门电路输入端悬空时相当于高电平，但容易引入干扰，应避免；
CMOS 门电路由于其内部结构因素，一般禁止悬空。
- ⚡ 多余的输入端应根据实际需要作适当处理。

Ø 注意事项（实用）

Û 与非门，多余输入端可接至高电平，也可 ...

Û 在验证电路的逻辑功能时，如发现与要求不符，应首先检查集成电路所加的电源是否正常，然后再检查设计有无问题。

Û 在查找电路故障时，应用逻辑笔，从电路的输入端至输出端逐级检查，从而确定故障点，并加以排除。

Û 输入端，可采用实验箱上的数据开关；
时序型输入，可采用实验箱上的脉冲信号。

Û 实验结果可用真值表（或波形）记录。

⊘ 注意事项（计数器）

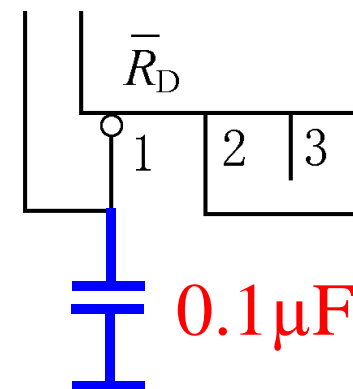
ü 改善接线布局以减少干扰（换短的电线、层叠在 3 层以下、置数端接高电平、芯片电源处接滤波电容，或重新接一次）。

ü 在计数器的 2 脚（CP 端）或 1 脚（清零端）接滤波电容。

ü 由于异步电路存在“毛刺”，容易产生误动作；解决问题的根本方法是采用同步时序电路来设计。

ü 在调试时，应分阶段连接调试，一步一步地进行；

采用这种步步为营的接线和调试方法（称为自下而上），能较容易地发现问题并排除故障。



✓ 实验报告

ü 实验目的、原理、器材、电路等（可略）；

ü 实验过程、原始数据。
（表格、图形等）

ü 实验数据分析。
（理论值推导，实测与理论的差异及其原因）

ü 问题、缺陷、体会、经验、意见等。

ü 下周一（四），上交一份实验报告。
（左上角桌号）

✓ 任务小结

ü 测试集成触发器（74xx74/107）、集成计数器（74xx161）的逻辑功能；

ü 利用集成触发器（74xx74/107）和其它基本逻辑门实现：
8421BCD 编码的同步十进制加法计数器；

利用集成计数器（74xx161）和其它基本逻辑门实现：
8421BCD 编码的十进制加法计数器；

（设计，实现，并进行功能测试，包括人工观察及示波器显示等）

记录 4 个波形： $CP+Q_0$ 、 $CP+Q_1$ 、 $CP+Q_2$ 、 $CP+Q_3$ ；

分析和
比对两者

估 2 节课

ü 利用集成触发器（74xx74/107）和其它基本逻辑门实现：
脉冲分配器电路。

ü 利用基本逻辑门实现其它功能电路（自定义）。

✓ 下次实验

🕒 数字钟

🕒 实验背景理论知识：中规模集成计数器（讲义 4.1.4）。

🕒 参考资料：实验教材 P288 实验 7。