数字电路分析与设计

基本时序逻辑电路

（4.1.1、4.1.3）

n 逻辑电路

- ü 在数字系统中，常用的各种数字逻辑电路按其功能可分为：
  组合逻辑电路（combinational logic circuit）；
  时序逻辑电路（sequential logic circuit）。

- ü 组合逻辑电路：
  任意时刻的输出仅取决于该时刻的输入，与电路的初始状态无关。
  （只要输入改变，输出随之改变）
  （电路的输出与输入之间无反馈，电路不需要记忆元件）

- ü 时序逻辑电路：
  输出由输入和电路的初始状态共同决定。
  （电路中一定包含具有记忆功能的触发器）

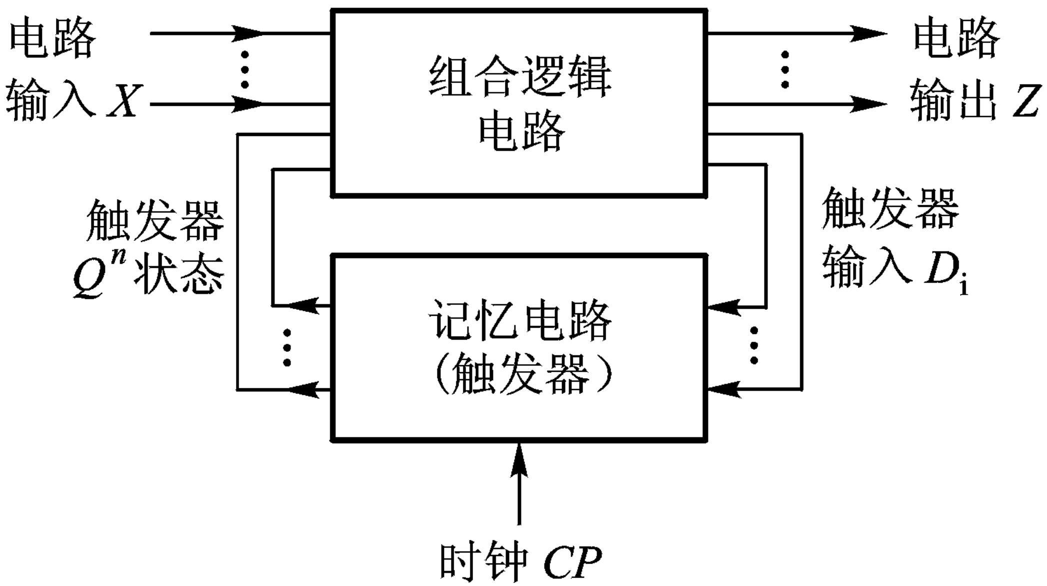
- 时序逻辑电路

  - 时序逻辑电路（4.1.1）
  - 基本时序逻辑电路的分析（4.1.3.1）（同步、异步、二进制计数器）
  - 基本时序逻辑电路的设计（4.1.3.2）

v 时序逻辑电路

- ü 时序逻辑电路的工作特点与组合逻辑电路不同；
  某时刻的输出不仅与该时刻的输入有关，还与前一时刻的输出有关；
  因此，必须把前一时刻的输出记忆下来。

- ü 时序逻辑电路由组合电路和记忆电路（触发器）两部分组成；
  下图所示时序逻辑电路的基本框图：



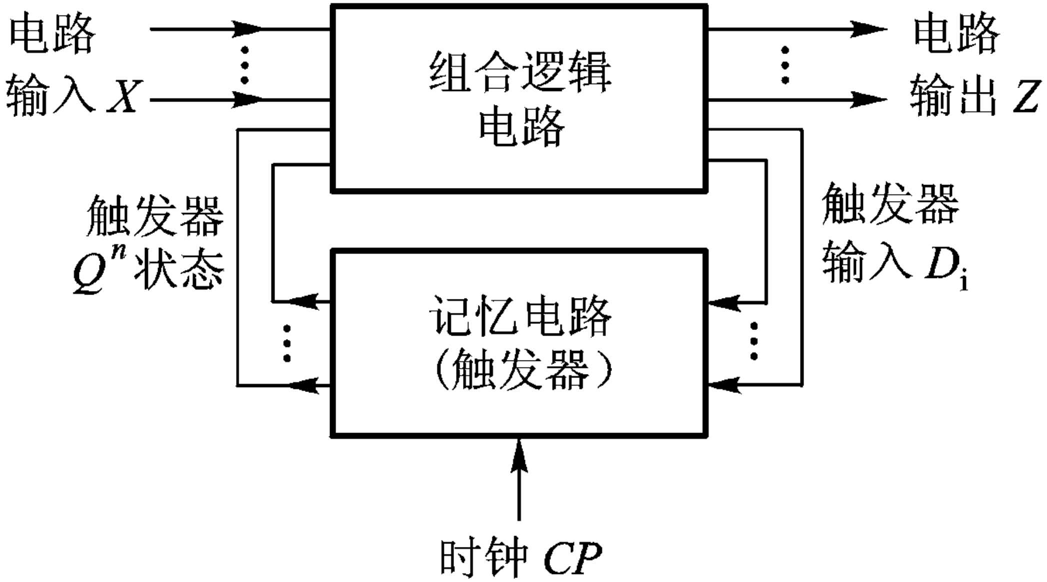
Ø 时序逻辑电路

ü 驱动方程　　次态方程　　输出方程

$D_i = F_1(X, Q^n)$　　$Q^{n+1} = F_2(D_i, Q^n)$　　$Z = F_3(X, Q^n)$

ü 输入 X，输出 Z，触发器输入D_i，记忆电路初态 Q^n，次态 Q^{n+1}；除 X 以外，其它量都与时钟 CP 有关。

（电路需要一个时钟脉冲信号来触发或协调工作）



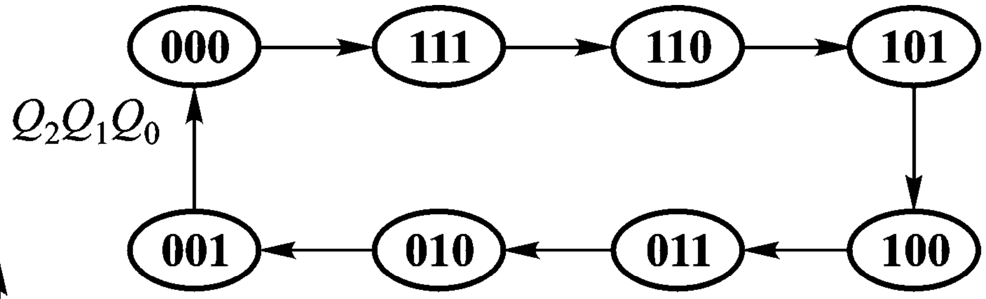
Ø 时序逻辑电路（功能描述）

- ü 时序逻辑电路的功能描述方式有：

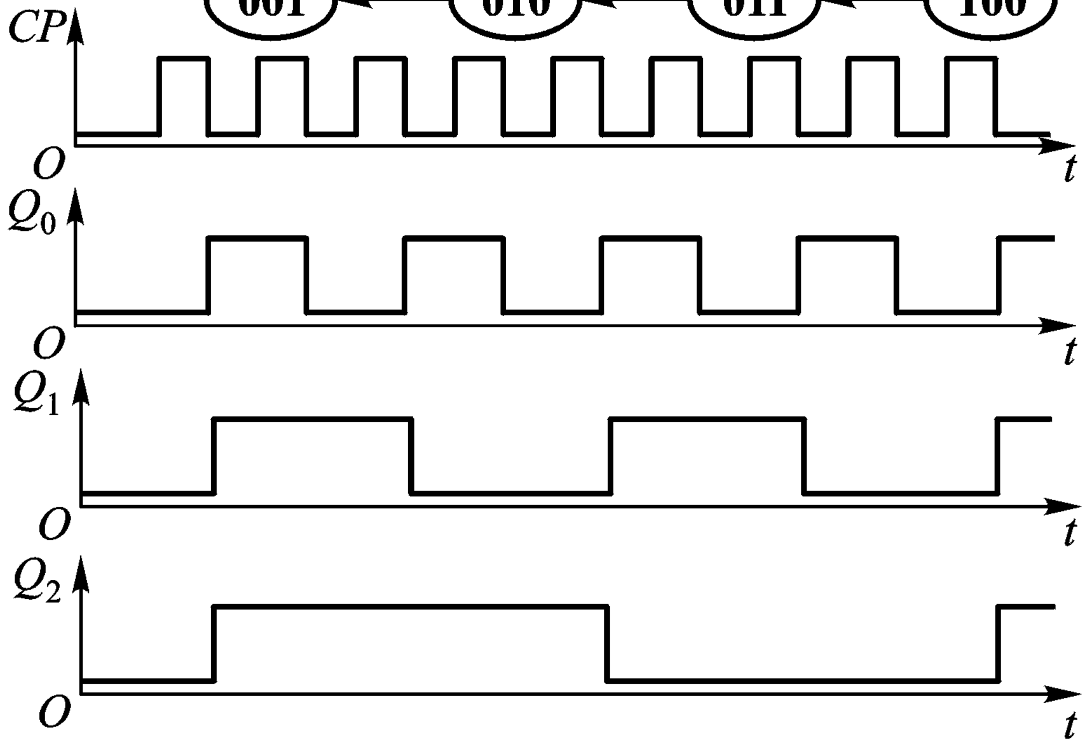
  状态（转换）真值表、状态转换图、波形（时序）图、逻辑函数表达式、逻辑电路图和次态卡诺图。

  转换、对比、选择？

- ü 例：3 位二进制减法计数器



时钟	初态	次态
CP	$Q_2^nQ_1^nQ_0^n$	$Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$
1	000	111
2	111	110
3	110	101
4	101	100
5	100	011
6	011	010
7	010	001
8	001	000



Ø 时序逻辑电路（分类）

- ü 时序逻辑电路有多种分类依据和规则。

- ü 按电路中所有触发器的时钟是否连在一起分：
  同步时序逻辑电路：同一时钟；
  异步时序逻辑电路：不同时钟。

- ü 按输出是否与输入有关分：
  Mealy 型：输出由电路输入和触发器初态一起决定；
  Moore 型：输出只由触发器的初始状态决定。

v 基本时序逻辑电路的分析

- ü 分析：已知逻辑电路图，说明电路的功能。

- ü 时序逻辑电路图，一般不能直接看出其具体的逻辑功能；
  只有通过对电路的分析，得到电路的状态转换真值表（或状态转换图，或时序图）后，才能正确说明电路的功能。

- ü 有多种分析方法，可以根据电路特点、自身爱好等选择；
  本章节介绍常规通用方法，相对规范，容易理解。

Ø 同步时序逻辑电路的分析

ü 同步时序逻辑电路特点：

电路中所有触发器的 *CP* 端都连在一起（受同一个时钟触发）；

具备翻转条件的触发器状态同时改变。

ü 常规分析步骤：

根据电路，写出触发器的驱动方程，电路的输出方程；

将驱动方程代入触发器的特征方程，求得触发器的次态方程；

根据次态方程，列出状态转换真值表；

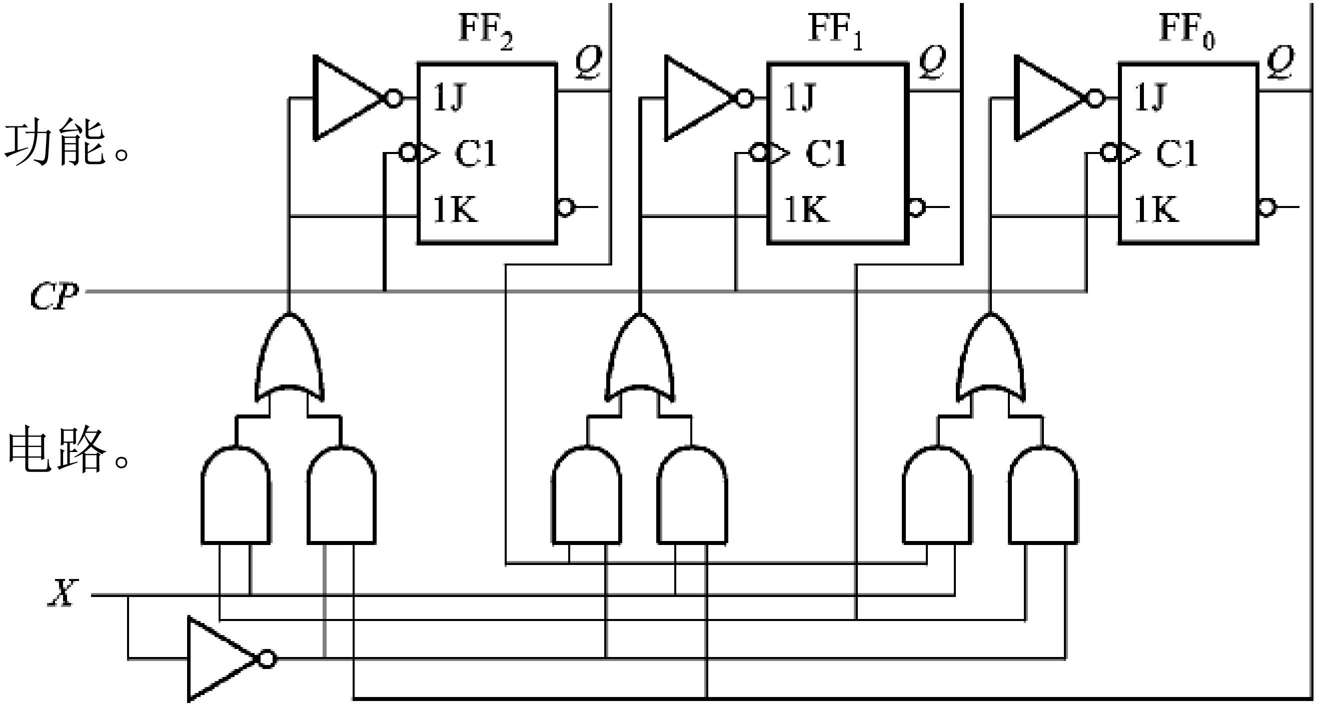
（真值表包括：输入、初态、次态、输出）

将状态转换真值表转换为状态转换图；

根据状态转换图，说明电路功能。

【例3.1】

分析右图所示电路功能。



解：同步时序逻辑电路。

以 FF_2 为例，

驱动方程：$\overline{J}_2 = K_2 = XQ_1^n + \overline{X}Q_0^n$

输出方程（无）

特征方程：$Q_2^{n+1} = J_2\overline{Q_2^n} + \overline{K}_2Q_2^n$

次态方程：$Q_2^{n+1} = \overline{X}\,\overline{Q_0^n} + X\overline{Q_1^n} \Rightarrow Q_2^{n+1} = \begin{cases} \overline{Q_0^n} & X = 0 \\ \overline{Q_1^n} & X = 1 \end{cases}$

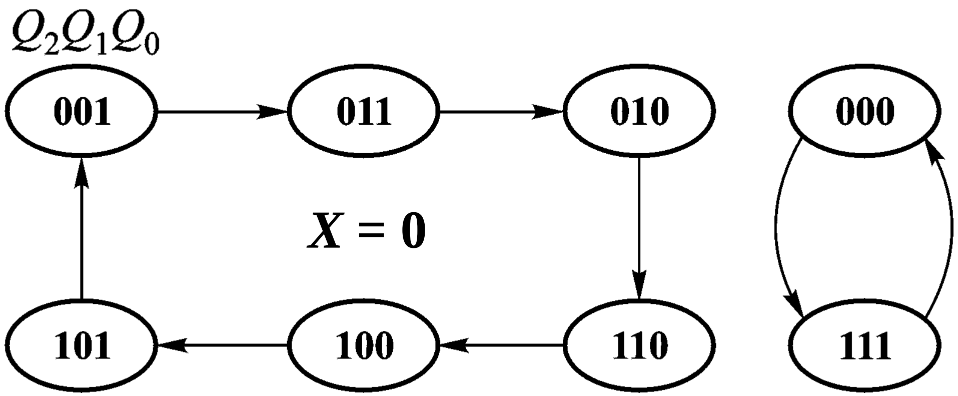
同理，可求得 FF_1 和 FF_0 的相关方程。

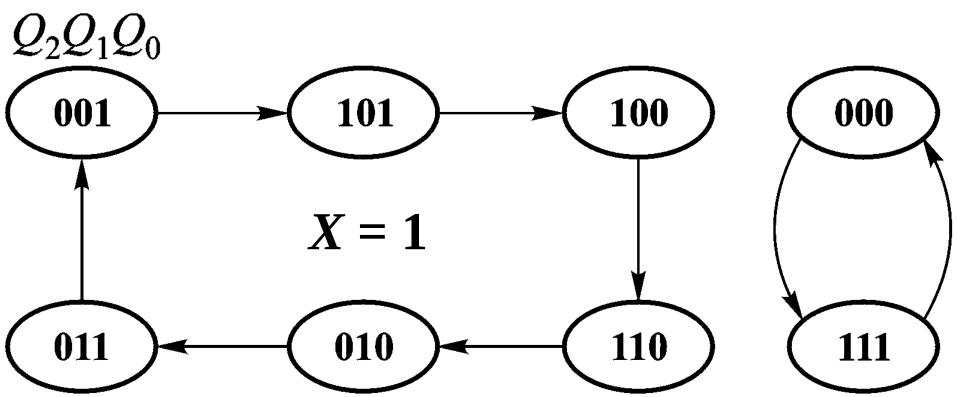
次态方程：$\begin{cases} X=0\text{时：} & Q_2^{n+1}=\overline{Q_0^n},\ Q_1^{n+1}=\overline{Q_2^n},\ Q_0^{n+1}=\overline{Q_1^n} \\ X=1\text{时：} & Q_2^{n+1}=\overline{Q_1^n},\ Q_1^{n+1}=\overline{Q_0^n},\ Q_0^{n+1}=\overline{Q_2^n} \end{cases}$

列出状态转换真值表（右）

时钟	输入	初态	次态
CP	X	$Q_2^nQ_1^nQ_0^n$	$Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$
1	0	000	111
2	0	111	000
3	0	001	011
4	0	011	010
5	0	010	110
6	0	110	100
7	0	100	101
8	0	101	001
9	1	000	111
10	1	111	000
11	1	001	101
12	1	101	100
13	1	100	110
14	1	110	010
15	1	010	011
16	1	011	001

转换为状态转换图（下）

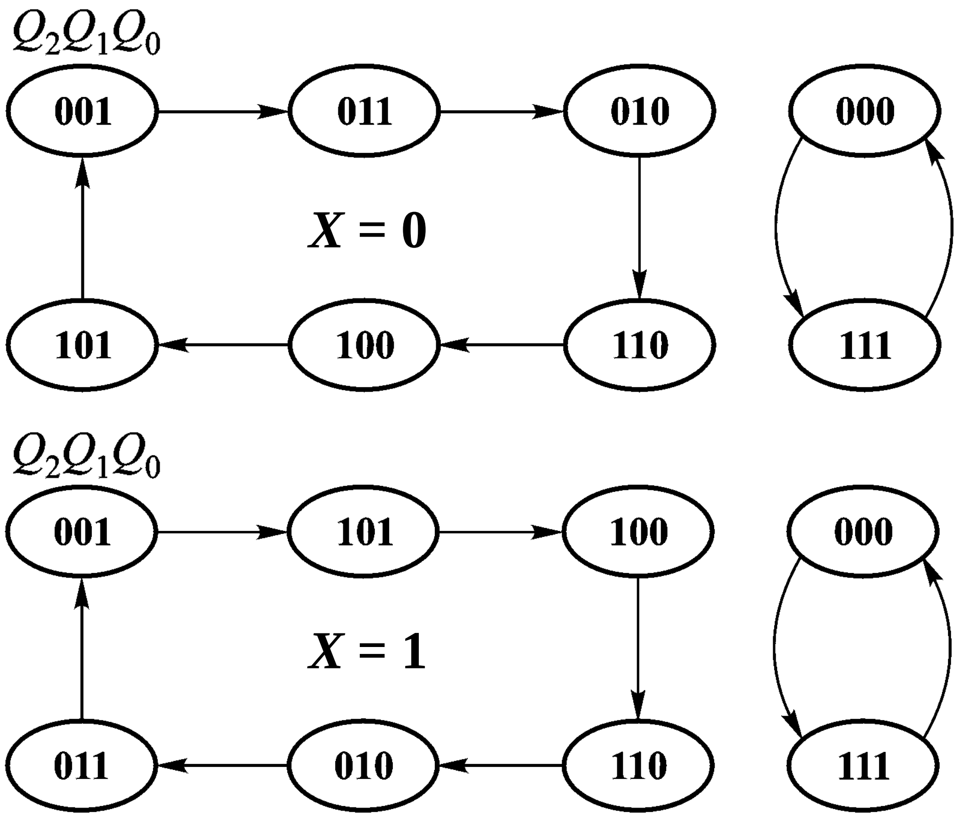




功能：

　　不能自启动的×××编码六进制计数器。

自启动？



Ø 异步时序逻辑电路的分析

- ü 异步时序逻辑电路特点：

  电路中各触发器的 *CP* 端并非都连在一起（触发时间不统一）；

  触发器状态翻转有先后。

- ü 常规分析步骤（与同步的基本相同，但需特别关注时钟脉冲）：

  根据电路，写出触发器的时钟、驱动方程，电路的输出方程；

  将时钟、驱动方程代入触发器的特征方程，求得触发器的次态方程；

  根据次态方程，列出状态转换真值表；

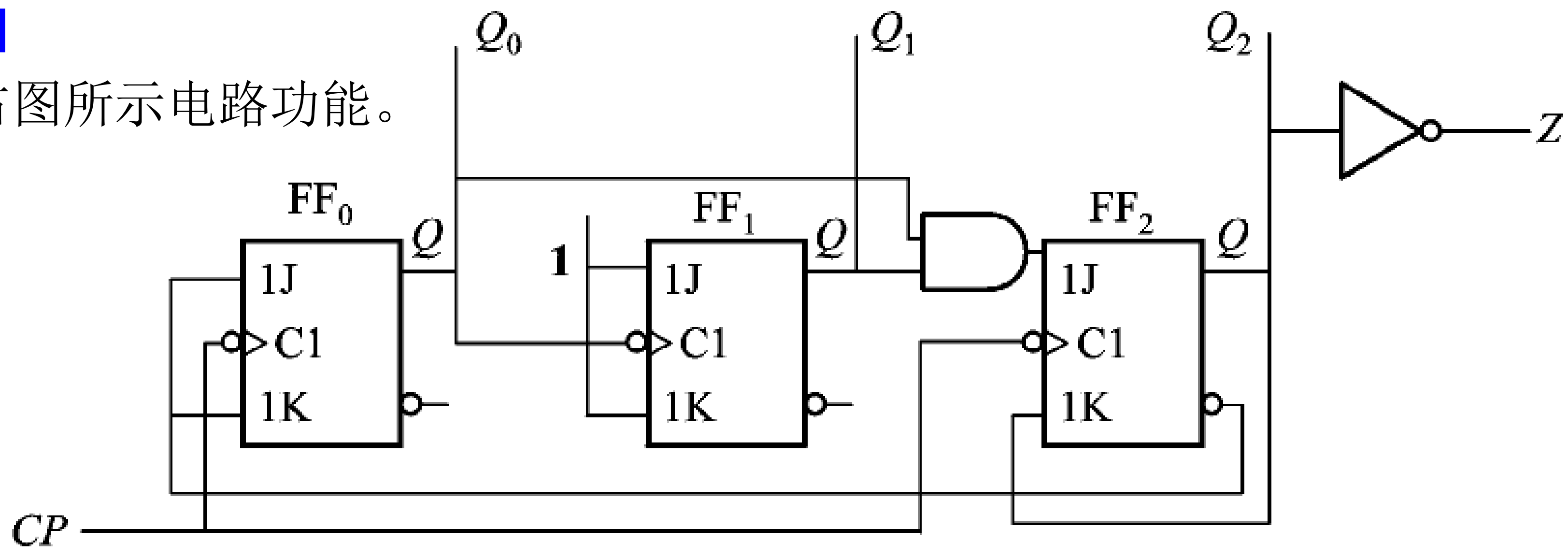
  （真值表包括：输入、初态、次态、输出）

  将状态转换真值表转换为状态转换图；

  根据状态转换图，说明电路功能。

【例3.2】

分析右图所示电路功能。



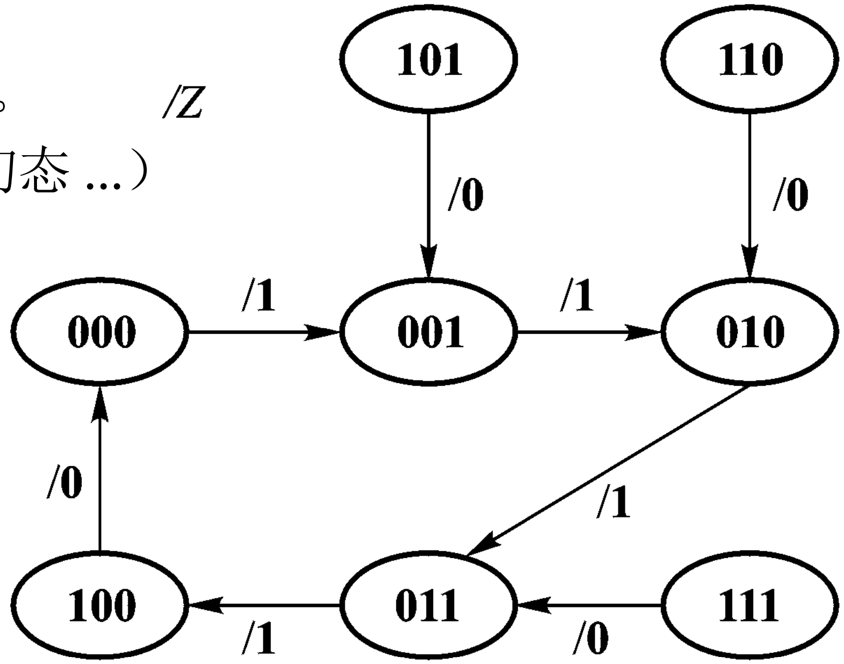
解：异步时序逻辑电路。

驱动方程	次态方程	时钟方程	输出方程
$J_0 = K_0 = \overline{Q_2^n}$	$Q_0^{n+1} = \overline{Q_2^n}\,\overline{Q_0^n} + Q_2^n Q_0^n$	$CP_0 = CP$	$Z = \overline{Q_2^n}$
$J_1 = K_1 = 1$	$Q_1^{n+1} = \overline{Q_1^n}$	$CP_1 = Q_0^n$	
$J_2 = Q_1^n Q_0^n$	$Q_2^{n+1} = \overline{Q_2^n} Q_1^n Q_0^n$	$CP_2 = CP$	
$K_2 = Q_2^n$			

根据方程式，列出真值表（略）。

（根据初态，依次求出次态，下一初态 ...）

状态转换图（右）



功能：

421 编码 5 进制加法计数器。

（异步、可以自启动）

驱动方程	次态方程	时钟方程	输出方程
$J_0 = K_0 = \overline{Q_2^n}$	$Q_0^{n+1} = \overline{Q_2^n}\,\overline{Q_0^n} + Q_2^n Q_0^n$	$CP_0 = CP$	$Z = \overline{Q_2^n}$
$J_1 = K_1 = 1$	$Q_1^{n+1} = \overline{Q_1^n}$	$CP_1 = Q_0^n$	
$J_2 = Q_1^n Q_0^n$	$Q_2^{n+1} = \overline{Q_2^n} Q_1^n Q_0^n$	$CP_2 = CP$	
$K_2 = Q_2^n$			

Ø 二进制计数器的分析

ü 计数器是数字系统中应用极为广泛的一种时序逻辑电路；

可以应用在测频、测距，定时和时间测量中，如计算机中的定时器和时钟计数器等。

ü 二进制计数器的连接很有规律，分析时，只要看清电路的连接规律，一般都能得出结论；

通用分析方法，等同于前述同步或异步时序逻辑电路的分析方法。

ü 计数器分类：

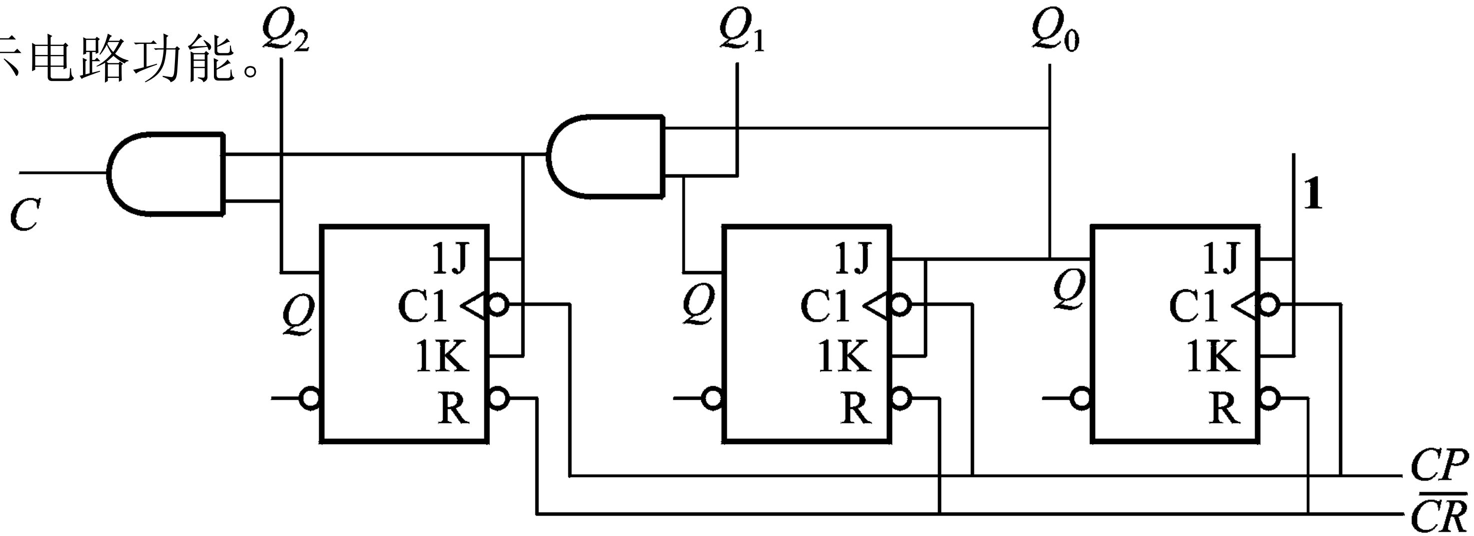
按连接方式分，同步计数器、异步计数器；

按进制分，二进制计数器、非二进制计数器；

按功能分，加法计数器、减法计数器、可逆计数器。

【例3.3-1】

分析右图所示电路功能。



解：每个触发器的 *CP* 均连在一起，是同步型时序电路。

每个 *JK* 触发器都接成 *T* 功能（$T=1$ 时状态翻转，$T=0$ 时保持）。

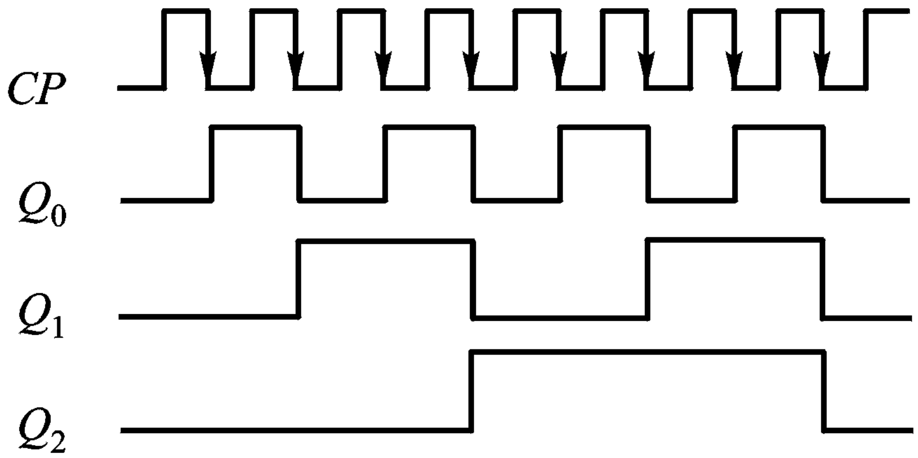
每个触发器的复位端均连在一起，作为总清零。

$$
\text{驱动方程：}\begin{cases} T_0 = 1 \\ T_1 = Q_0^n \\ T_2 = Q_0^n Q_1^n \\ C = Q_0^n Q_1^n Q_2^n \end{cases}
$$

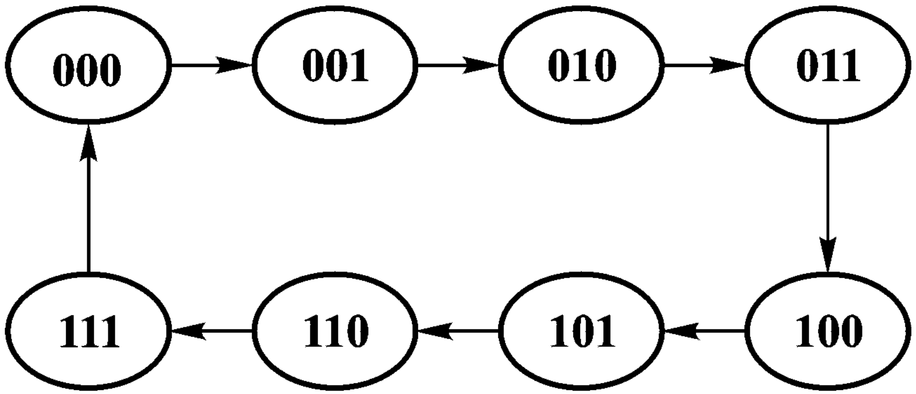
状态转换真值表（右）

时钟	初态	次态	输出
CP	$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	C
1	000	001	0
2	001	010	0
3	010	011	0
4	011	100	0
5	100	101	0
6	101	110	0
7	110	111	1
8	111	000	0

时序图（下）

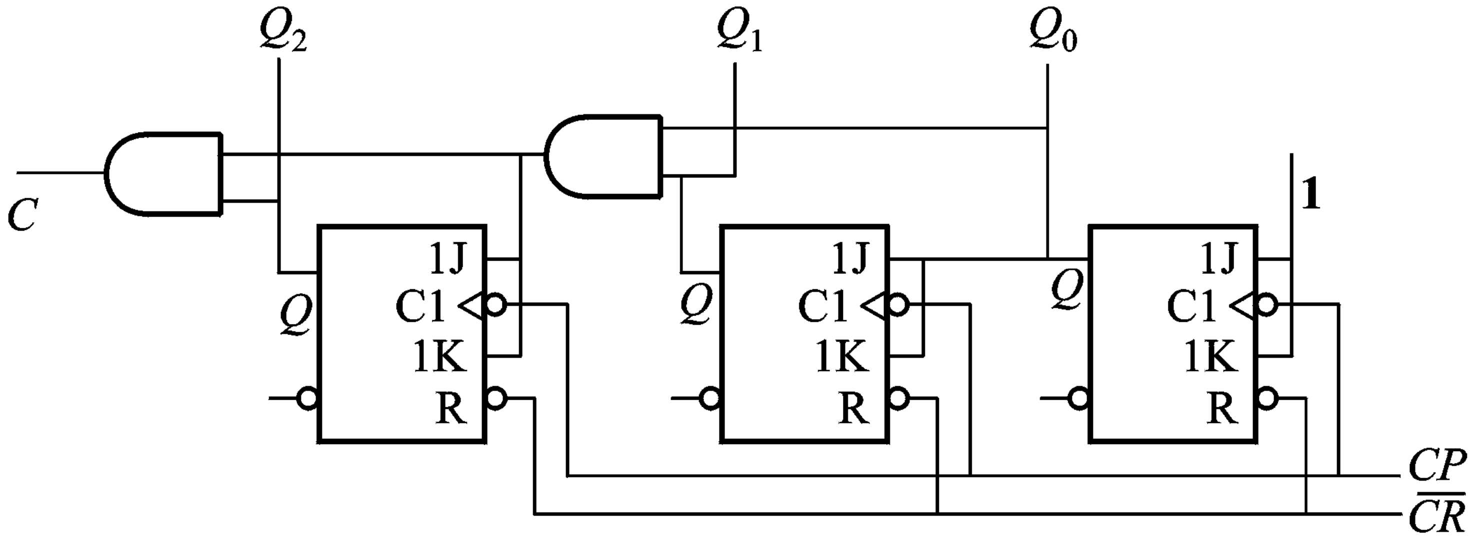


状态转换图（右）



功能：421 编码 3 位二进制加法计数器（同步）。

（由于一次计数循环需 8 个 CP 脉冲，也称模 8 计数器，分频器）



若调整各 *JK* 触发器的输入来源于低位的 $\overline{Q^n}$，即：

$$\begin{cases} T_0 = 1 \\ T_1 = \overline{Q_0^n} \\ T_2 = \overline{Q_0^n}\,\overline{Q_1^n} \\ C = \overline{Q_0^n}\,\overline{Q_1^n}\,\overline{Q_2^n} \end{cases}$$

（具体参教材 P146 图 4.1.19）

再次分析电路功能。

功能：同步 3 位二进制减法计数器。

Ø N位同步二进制计数器

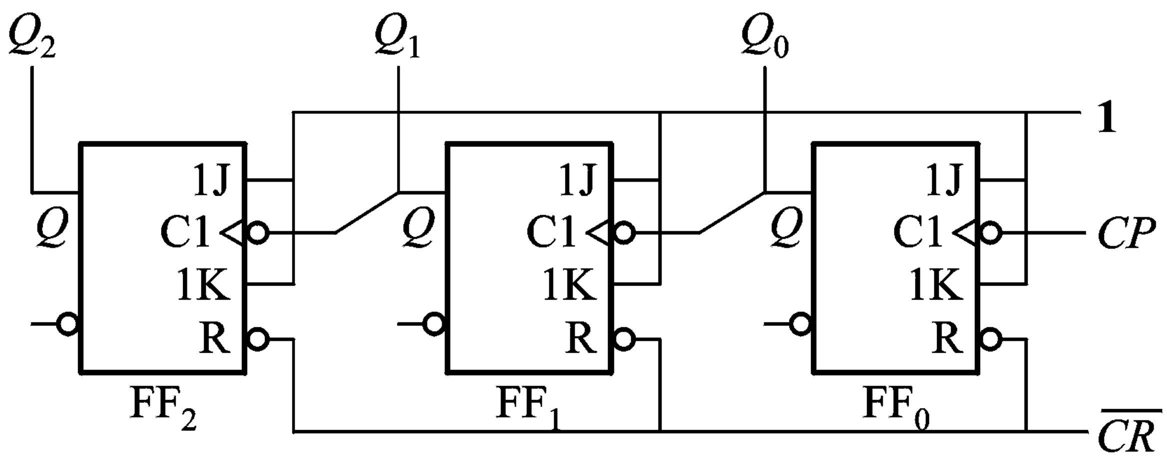
- ü 加法计数器：$T_i = Q_0^n Q_1^n \cdots Q_{i-2}^n Q_{i-1}^n = \prod_{j=0}^{i-1} Q_j^n$

- ü 减法计数器：$T_i = \overline{Q_0^n}\,\overline{Q_1^n} \cdots \overline{Q_{i-2}^n}\,\overline{Q_{i-1}^n} = \prod_{j=0}^{i-1} \overline{Q_j^n}$

- ü 可逆计数器：$T_i = X\prod_{j=0}^{i-1} Q_j^n + \overline{X}\prod_{j=0}^{i-1} \overline{Q_j^n}$ $\begin{cases} X = 1 & \text{加法} \\ X = 0 & \text{减法} \end{cases}$

【例3.3-2】

分析右图所示电路功能。



解：各个触发器的 CP 没有完全连在一起，是异步型时序电路。

每个 JK 触发器的输入均接高（只要 CP 脉冲有效，状态即翻转）。

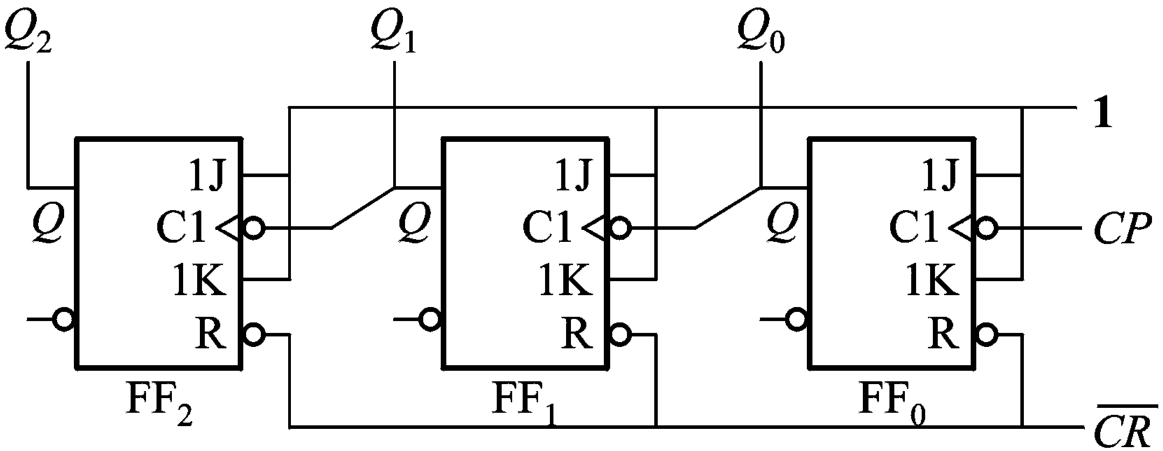
每个触发器的复位端均连在一起，作为总清零。

各触发器之间没有反馈，可逐个分析。

由 CP 求 FF_0 输出，由 FF_0 输出求 FF_1 输出，由 FF_1 输出求 FF_2 输出。

三个触发器共有 8 种状态（最多只需计算 8 个 CP ）。

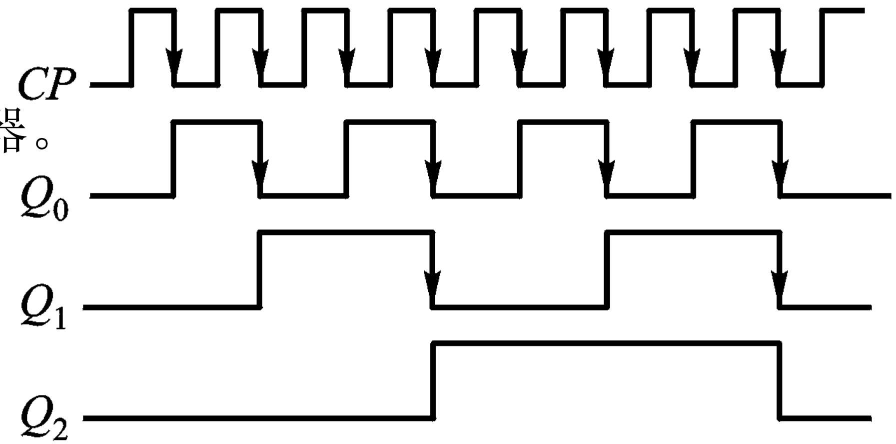
时钟方程：$CP_i = Q_{i\text{-}1}$



时序图（右下）

状态转换图
（略，同例 3.3-1）

功能：421 编码 3 位二进制加法计数器。
（异步）



若调整各 JK 触发器的时钟来源于低位的 $\overline{Q^n}$，即：$CP_i = \overline{Q_{i-1}^n}$
（具体参教材 P148 图 4.1.22）

再次分析电路功能。

功能： 421 编码 3 位二进制减法计数器（异步）。

Ø N位异步二进制计数器

ü 加法计数器：$\uparrow CP_i = \overline{Q_{i-1}^n}$ ， $\downarrow CP_i = Q_{i-1}^n$

ü 减法计数器：$\uparrow CP_i = Q_{i-1}^n$ ， $\downarrow CP_i = \overline{Q_{i-1}^n}$

ü 可逆计数器：

$$\uparrow CP_i = X\overline{Q_{i-1}^n} + \overline{X}Q_{i-1}^n$$
$$\downarrow CP_i = XQ_{i-1}^n + \overline{X}\,\overline{Q_{i-1}^n}$$

$$\begin{cases} X = 1 & \text{加法} \\ X = 0 & \text{减法} \end{cases}$$

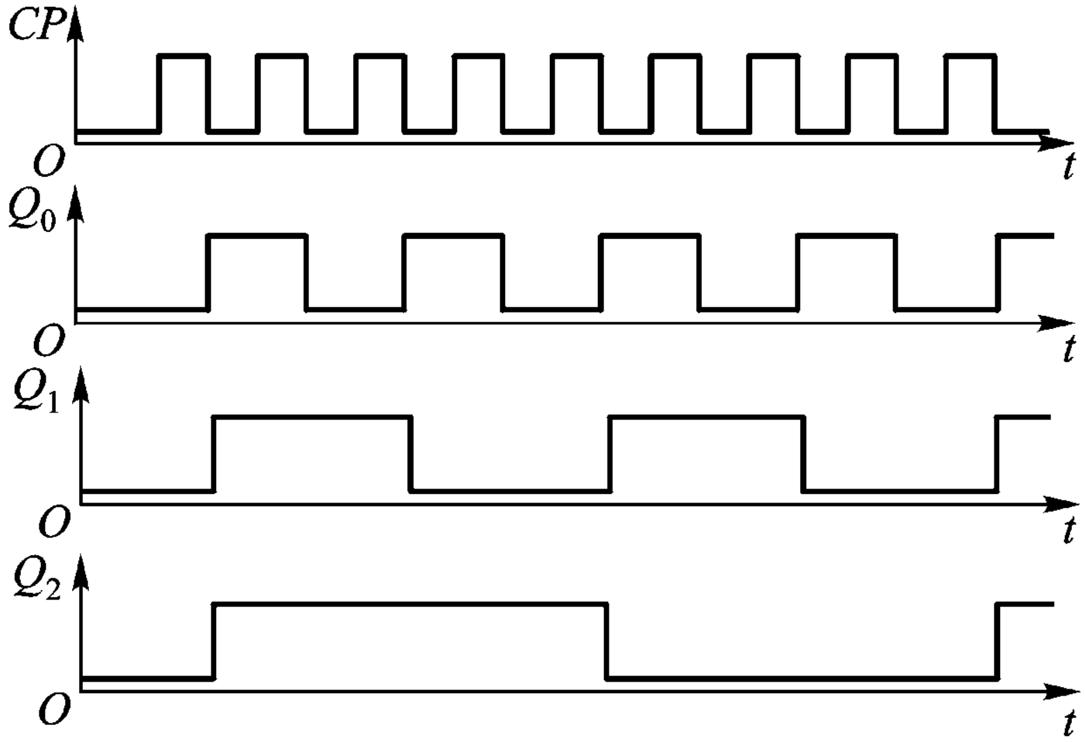
Ø 同步～异步计数器

ü 实现的功能相同，但异步计数器结构更简单。

ü 异步计数器会产生过渡状态；
异步计数器的工作速度相对低。

ü 计数器就是分频器；
模为 M 的计数器的最大分频数为 M：

$$T_{\max} = \frac{1}{f_{\mathrm{CP}}} \cdot M$$



v 基本时序逻辑电路的设计

- ü 设计：已知电路的功能，要求画出对应的逻辑电路图。

- ü 在保证电路功能的前提下，设计出来的电路越简越好。

  什么是**简**？

  原则上以卡诺图化简为标准，实际上 ...

  （没有最简）

- ü 设计分同步、异步时序逻辑电路设计：

  同步时序逻辑电路，所有触发器受同一个 CP 触发，设计方法上相对单一，且比较简单；

  异步时序逻辑电路，设计时要选好每个触发器的 CP ，设计方法灵活、多样化，最终电路相对简单；具体方案可参照同步进行。

- ü 本章节，以同步时序逻辑电路的设计为主。

Ø 同步时序逻辑电路的设计

关键

ü 常规设计步骤：

根据题意，确定电路输入、输出变量；

根据输入输出，确定电路的状态数，并画出状态转换图（或时序图）；（有时需要对状态图进行合并或简化）

选择触发器类型，用二进制代码对状态转化图进行编码；

将状态转化图转换为状态转换真值表（含输入、初态、次态、输出）

以真值表中输入、初态为变量，求各触发器驱动方程、电路输出方程；

检查自启动；

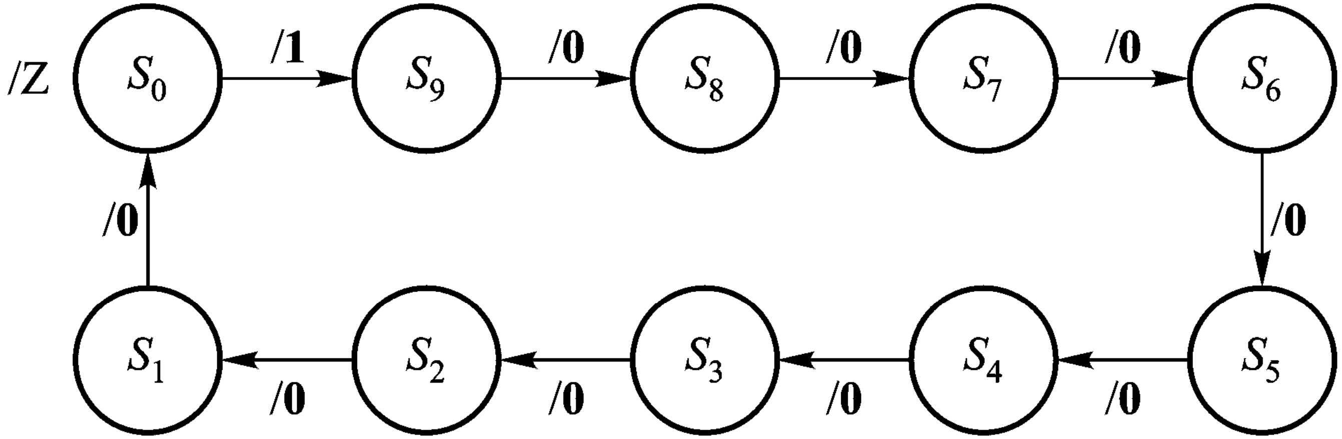
根据选定的触发器、上述方程，画出同步时序电路图。

分析的逆过程

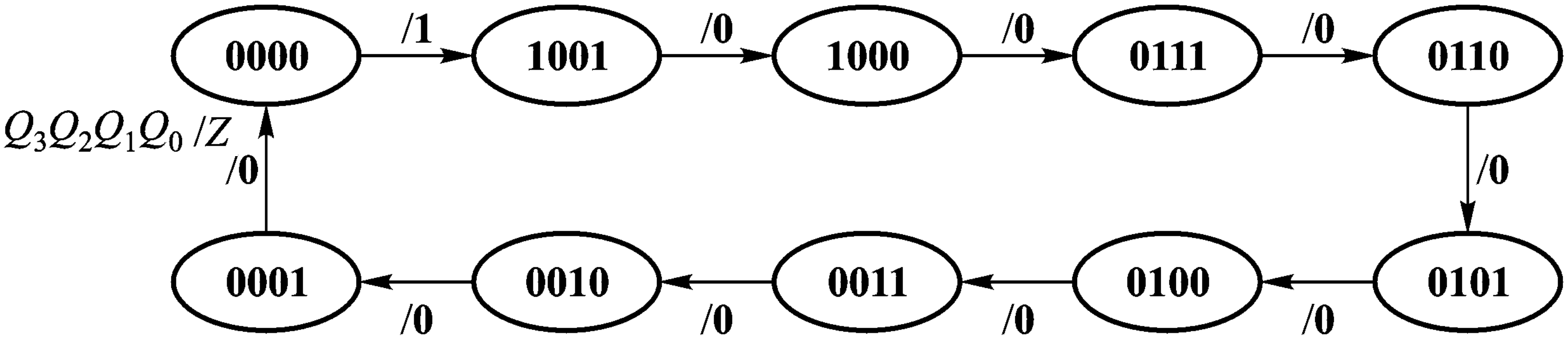
【例3.4】

用下降沿触发的 *JK* 触发器，设计 8421 编码的同步十进制减法计数器。

解：根据题意，电路无输入、输出定义为向高位借位 *Z*（也可以无）；
十进制计数器，共有 10 个状态，状态转换图如下：



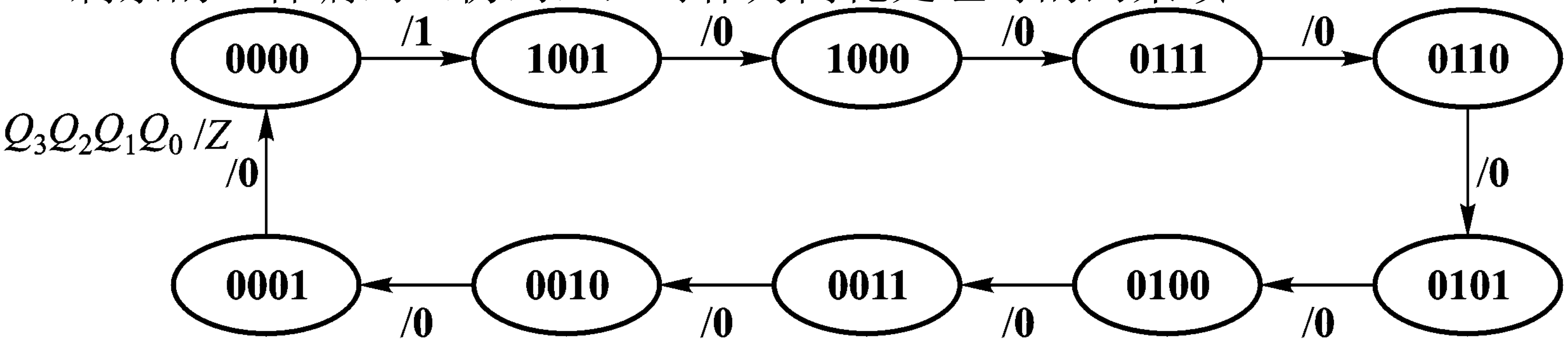
10 个状态，至少需要四个 *JK* 触发器；
用 8421 编码后的状态转换图如下：



将状态转化图转换为状态转换真值表

CP	$Q_3^nQ_2^nQ_1^nQ_0^n$	$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$	$J_3K_3\ J_2K_2\ J_1K_1\ J_0K_0$	Z
1	0000	1001		1
2	1001	1000		0
3	1000	0111		0
4	0111	0110		0
5	0110	0101		0
6	0101	0100		0
7	0100	0011		0
8	0011	0010		0
9	0010	0001		0
10	0001	0000		0

剩余的 6 种编码（伪码），可作为简化处理时的约束项。



CP	$Q_3^nQ_2^nQ_1^nQ_0^n$	$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$	$J_3K_3\ J_2K_2\ J_1K_1\ J_0K_0$	Z
1	0000	1001		1
2	1001	1000		0
3	1000	0111		0
4	0111	0110		0
5	0110	0101		0
6	0101	0100		0
7	0100	0011		0
8	0011	0010		0
9	0010	0001		0
10	0001	0000		0

以 $Q_3^nQ_2^nQ_1^nQ_0^n$ 为变量，（卡诺图化简）得：$Q_3^{n+1}=\overline{Q_3^n}\,\overline{Q_2^n}\,\overline{Q_1^n}\,\overline{Q_0^n}+Q_3^nQ_0^n$

对照 JK 触发器特征方程，得：$\begin{cases} J_3=\overline{Q_2^n}\,\overline{Q_1^n}\,\overline{Q_0^n} \\ K_3=\overline{Q_0^n} \end{cases}$

同理，可求得其它 ...（参教材 P153）

求解驱动方程的其它方法

CP	$Q_3^nQ_2^nQ_1^nQ_0^n$	$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$	J_3K_3 J_2K_2 J_1K_1 J_0K_0	Z
1	0000	1001	1× 0× 0× 1×	1
2	1001	1000	×0 0× 0× ×1	0
3	1000	0111	×1 1× 1× 1×	0
4	0111	0110	0× ×0 ×0 ×1	0
5	0110	0101	0× ×0 ×1 1×	0
6	0101	0100	0× ×0 0× ×1	0
7	0100	0011	0× ×1 1× 1×	0
8	0011	0010	0× 0× ×0 ×1	0
9	0010	0001	0× 0× ×1 1×	0
10	0001	0000	0× 0× 0× ×1	0

以 $Q_3^nQ_2^nQ_1^nQ_0^n$ 为变量，（卡诺图化简）得：$\begin{cases} J_3 = \overline{Q_2^n}\,\overline{Q_1^n}\,\overline{Q_0^n} \\ K_3 = \overline{Q_0^n} \end{cases}$

同理，可求得其它 ...（结果与前述一样）

不一定永远一样

两种方法比对？

自启动检查

（由于前述设计中，利用了 6 个无关项，所以必须要检查）

<检查方法>

任意设定一无关项，获得 JK，即可求出次态；

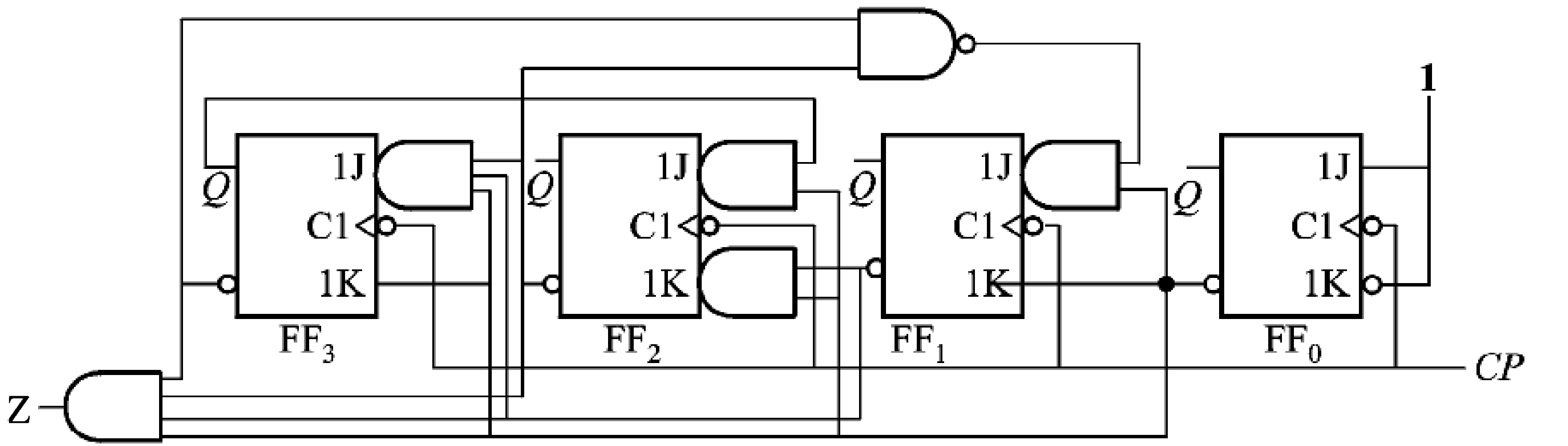
依次检查所有无关项 ...

```
0000→1001→1000→0111→0110
 ↑                   ↓
0001←0010←0011←0100←0101←1110←1111
           ↑         ↑
          1100      1010
           ↑         ↑
          1101      1011
```

检查后实际状态转换图（右）

结论：该电路能自启动。

逻辑电路图（下）



【例3.5】

用上升沿触发的 D 触发器，设计一个能检测 110 序列的同步时序电路。

110 序列检测：

连续三个时钟脉冲内，串行输入信号依次为 1、1、0，则电路输出有效。

解：根据题意，定义串行输入数据 X、输出检测结果 Z。

定义初始状态 S_0：最近一次输入信号为 0；

针对 S_0，下一输入信号有可能为 0 或 1；

若为 0，仍为状态 S_0；

若为 1，产生状态 S_1：最近两次输入信号为 0 1；

针对 S_1，下一输入信号有可能为 0 或 1；

若为 0，重新转为状态 S_0；

若为 1，产生状态 S_2：最近两次输入信号为 1 1；

针对 S_2，下一输入信号有可能为 0 或 1；

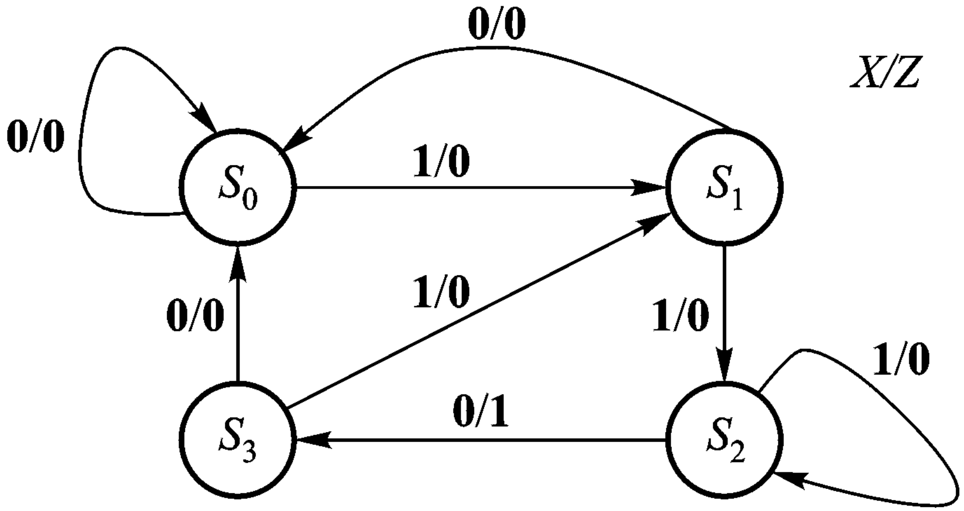
若为 0，产生状态 S_3：最近三次输入信号为 1 1 0（输出有效）；

若为 1，仍为状态 S_2；

（S_3 实际上就是 S_0）

逻辑抽象
状态分析

画出状态转换图（右）



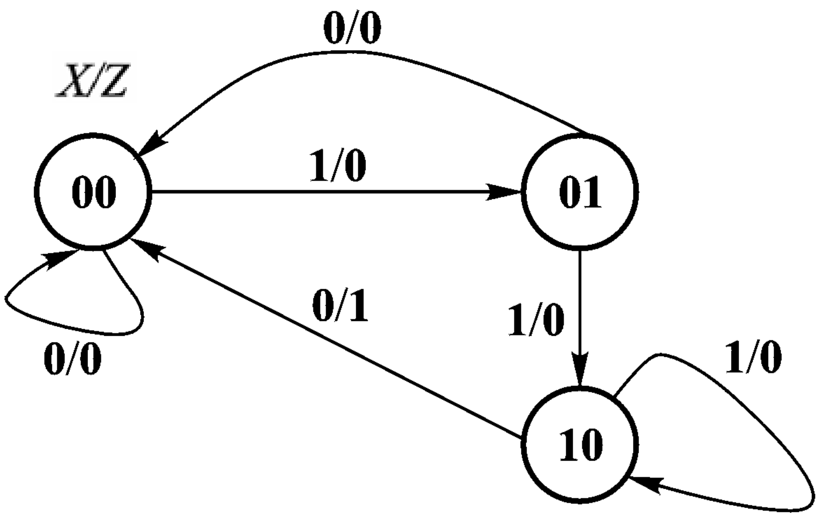
S_3 实际上就是 S_0

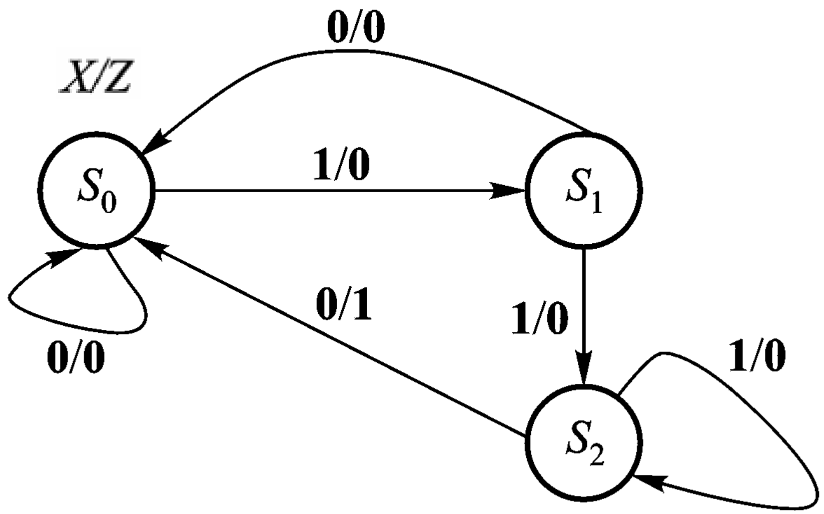
（由图，也可得出这一结论）

由此，简化状态转换图（右下）

3 个状态需要两个触发器；

将 00、01、10 分别分配给 $S_0 \sim S_2$ 。





不同的编码分配，会得出不同的电路（繁易）结果，习惯上按自然顺序。

列写状态转换真值表（下）

X	$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1}$	$D_1\ D_0$	Z
0	00	00	0 0	0
0	01	00	0 0	0
0	10	00	0 0	1
1	00	01	0 1	0
1	01	10	1 0	0
1	10	10	1 0	0

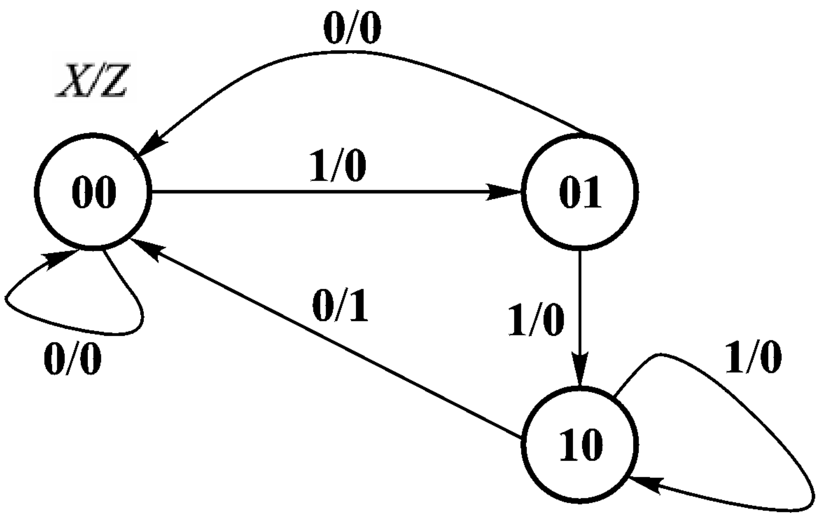
由表可得驱动、输出方程：

$$D_1 = Q_1^{n+1} = XQ_0^n + XQ_1^n$$

$$D_0 = Q_0^{n+1} = X\overline{Q_1^n}\,\overline{Q_0^n}$$

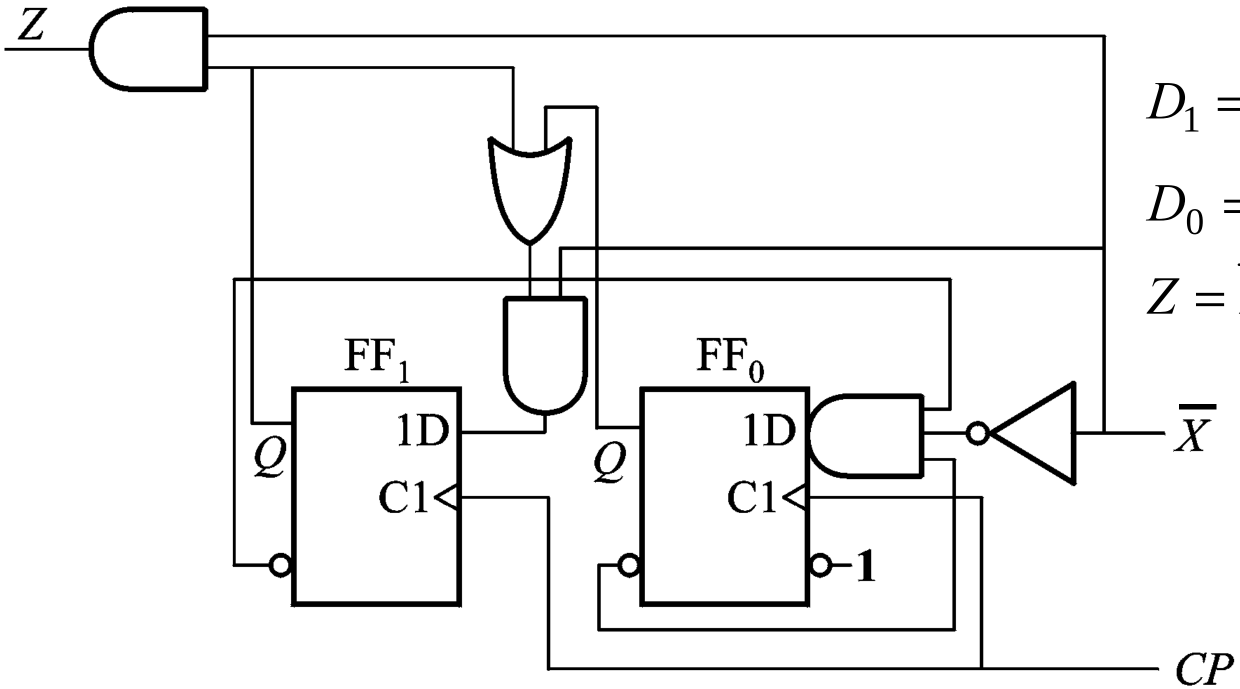
$$Z = \overline{X}Q_1^n$$

（也可以采用其它方法）得到与上述相同的结果



自启动检查，正常（能自启动）

逻辑电路图（下）



$$D_1 = Q_1^{n+1} = XQ_0^n + XQ_1^n$$

$$D_0 = Q_0^{n+1} = X\overline{Q_1^n}\,\overline{Q_0^n}$$

$$Z = \overline{X}Q_1^n$$

此电路，还存在一个应用中的小问题 ...

【例3.6-1】

用 JK 触发器设计一个同步串行数据检测器。

要求：连续输入三个（或以上）1 时，电路输出为 1 。

解：根据题意，定义串行输入数据 X 、输出检测结果 Z 。

定义初始状态 S_0 ：最近一次输入信号为 0 ；

针对 S_0 ，下一输入信号有可能为 0 或 1；

若为 0 ，仍为状态 S_0 ；

若为 1 ，产生状态 S_1 ：最近两次输入信号为 0 1 ；

针对 S_1 ，下一输入信号有可能为 0 或 1；

若为 0 ，重新转为状态 S_0 ；

若为 1 ，产生状态 S_2 ：最近三次输入信号为 0 1 1 ；

针对 S_2 ，下一输入信号有可能为 0 或 1；

若为 0 ，重新转为状态 S_0 ；

若为 1 ，产生状态 S_3 ：最近三次输入信号为 1 1 1 （输出有效）；

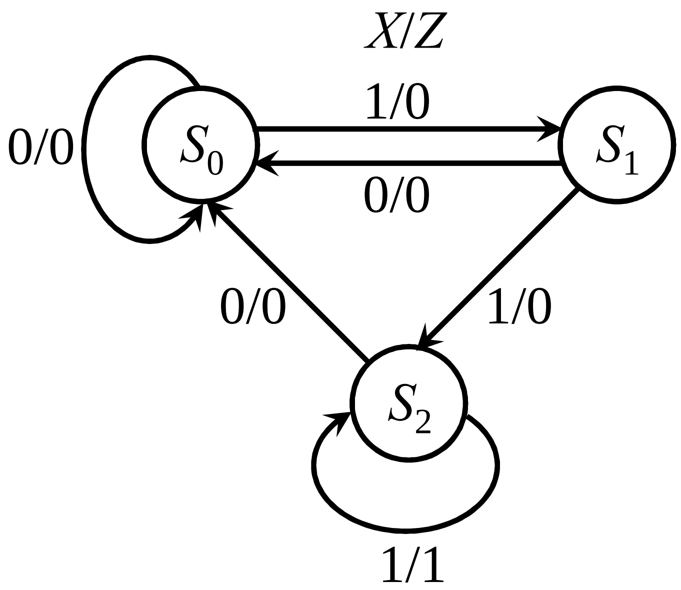
（S_3 实际上就是 S_2 ）

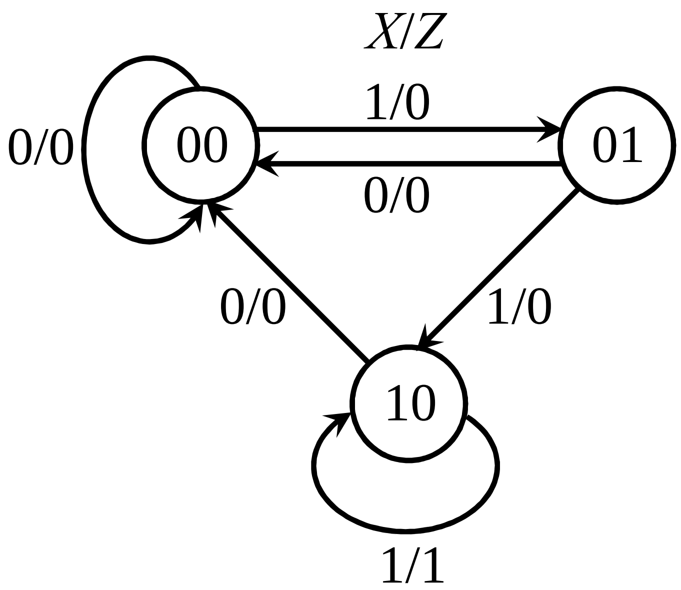
S_3 实际上就是 S_2

由此，简化状态转换图（右）

3 个状态需要两个触发器；

将 00、01、10 分别分配给 $S_0 \sim S_2$ 。





状态转换真值表（下）

X	$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1}$	$J_1 K_1 J_0 K_0$	Z
0	00	00	0× 0×	0
0	01	00	0× ×1	0
0	10	00	×1 0×	0
1	00	01	0× 1×	0
1	01	10	1× ×1	0
1	10	10	×0 0×	1

$J_1 = XQ_0^n$, $K_1 = \overline{X}$

$J_0 = X\overline{Q_1^n}$, $K_0 = 1$

$Z = XQ_1^n$

逻辑电路图（略）

【例3.6-2】

设计一个能自动出售饮料的控制逻辑电路。

要求：投币口每次只能接收一枚五角或一枚一元的硬币；

投入一元五角硬币后，给一杯饮料；

投入两元后，给一杯饮料，同时找回一枚五角的硬币。

解：定义输入输出逻辑：

A：五角硬币（1 投入，0 未投入）；

B：一元硬币（1 投入，0 未投入）；

Y：饮料（1 给饮料，0 不给饮料）；

Z：找零（1 找零，0 不找零）。

A：五角硬币（1 投入，0 未投入）；
B：一元硬币（1 投入，0 未投入）；
Y：饮料（1 给饮料，0 不给饮料）；
Z：找零（1 找零，0 不找零）。

定义初始状态 S_0：未接收到任何硬币；

针对 S_0，下一输入信号有可能为 A 或 B；

若为 A，产生状态 S_1：接收到五角钱，不给饮料，不找零；

若为 B，产生状态 S_2：接收到一元钱，不给饮料，不找零；

针对 S_1，下一输入信号有可能为 A 或 B；

若为 A，转为状态 S_2；

若为 B，产生状态 S_3：接收到一元五角钱，给饮料，不找零；

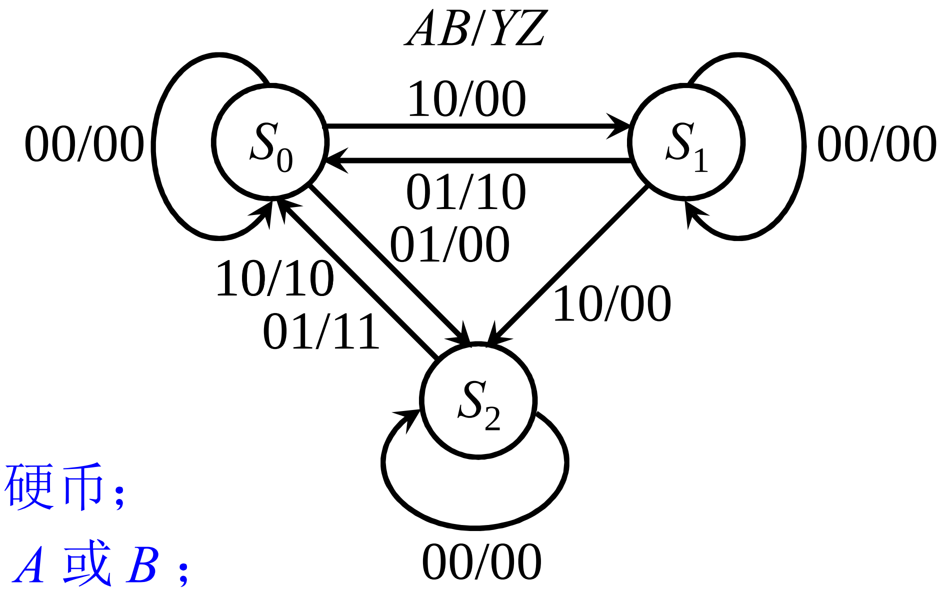
针对 S_2，下一输入信号有可能为 A 或 B；

若为 A，转为状态 S_3；

若为 B，产生状态 S_4：接收到两元钱，给饮料，找零；

（S_3 和 S_4 实际上就是 S_0）

简化状态转换图（右）
需要两个触发器；



定义初始状态 S_0：未接收到任何硬币；

针对 S_0，下一输入信号有可能为 A 或 B；
若为 A，产生状态 S_1：接收到五角钱，不给饮料，不找零；
若为 B，产生状态 S_2：接收到一元钱，不给饮料，不找零；

针对 S_1，下一输入信号有可能为 A 或 B；
若为 A，转为状态 S_2；
若为 B，产生状态 S_3：接收到一元五角钱，给饮料，不找零；

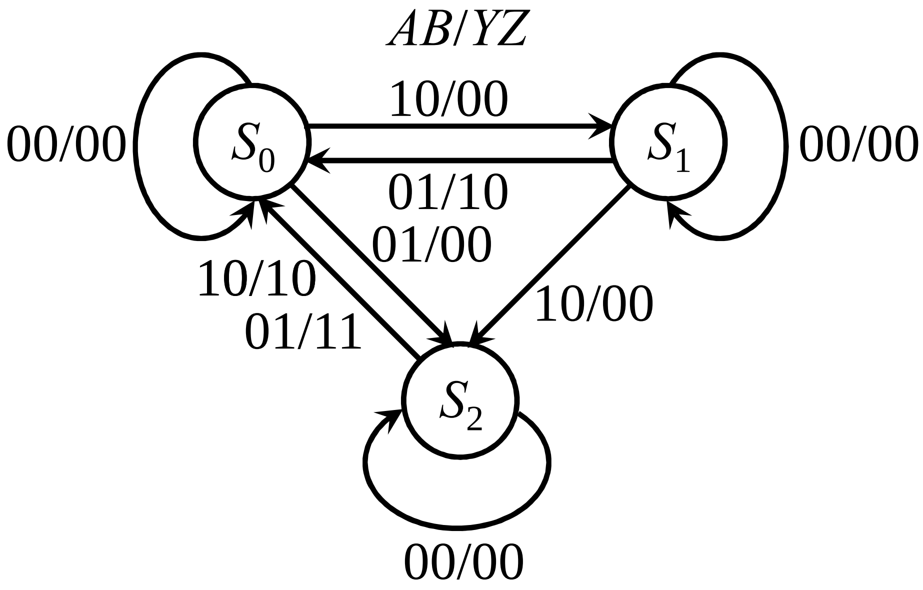
针对 S_2，下一输入信号有可能为 A 或 B；
若为 A，转为状态 S_3；
若为 B，产生状态 S_4：接收到两元钱，给饮料，找零；

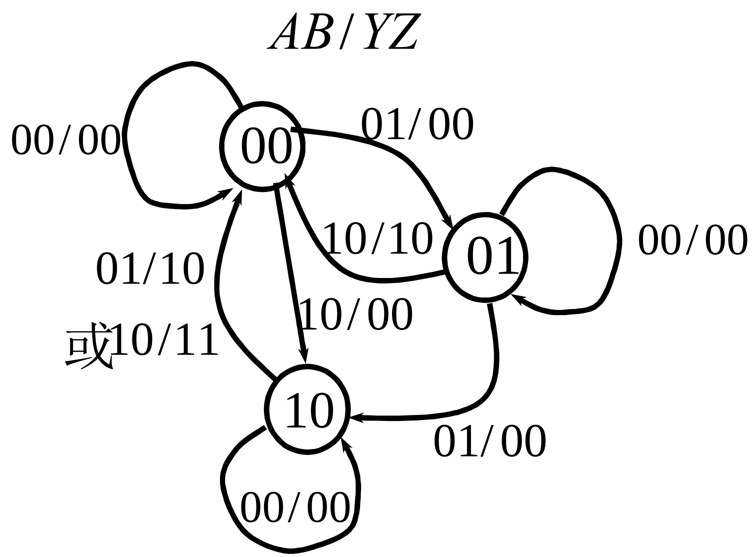
（S_3 和 S_4 实际上就是 S_0）

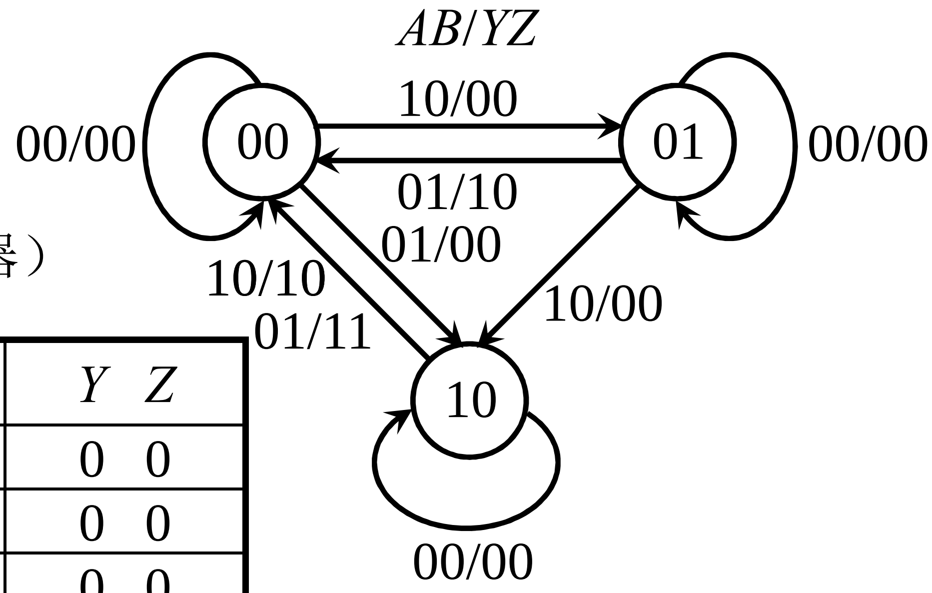
简化状态转换图（右）

需要两个触发器；

将 00、01、10 分别分配给 $S_0 \sim S_2$ 。







状态转换真值表（下）（选 D 触发器）

$A\ \ B$	$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1}$	$D_1 D_0$	$Y\ \ Z$
0 0	00	00	0 0	0 0
0 0	01	01	0 1	0 0
0 0	10	10	1 0	0 0
0 1	00	10	0 1	0 0
1 0	00	01	1 0	0 0
0 1	01	00	1 0	0 0
1 0	01	10	0 0	1 0
0 1	10	00	0 0	1 0
1 0	10	00	0 0	1 1

驱动、输出方程：$D_1 = \mathrm{A}\,\overline{Q_1^n}\,\overline{Q_0^n} + B\,Q_0^n + \overline{A}\,\overline{B}\,Q_1^n$，$D_0 = B\,\overline{Q_1^n}\,\overline{Q_0^n} + \overline{A}\,\overline{B}\,Q_0^n$

$$Y = AQ_0^n + AQ_1^n + BQ_1^n,\ Z = AQ_1^n$$

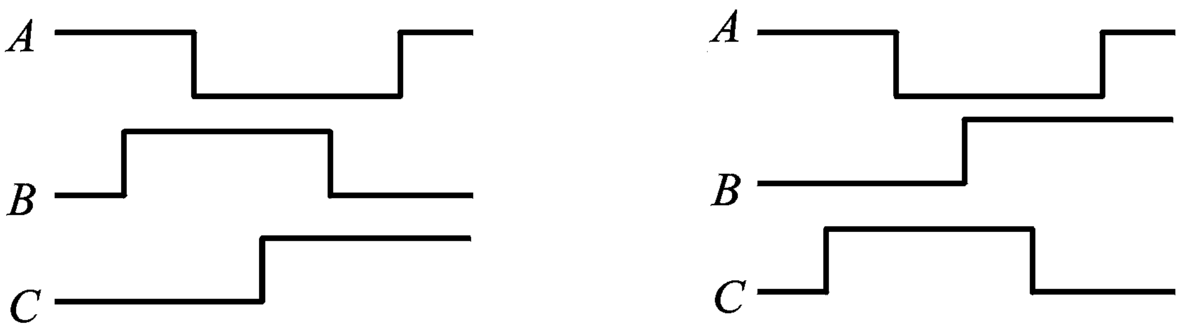
自启动检查 ... 逻辑电路（略）

【例3.6-3】

用 JK 触发器设计一个能控制三相六节拍步进电机运行的控制电路。

要求：三相六节拍步进电机的驱动电脉冲（正、反转）如图所示。

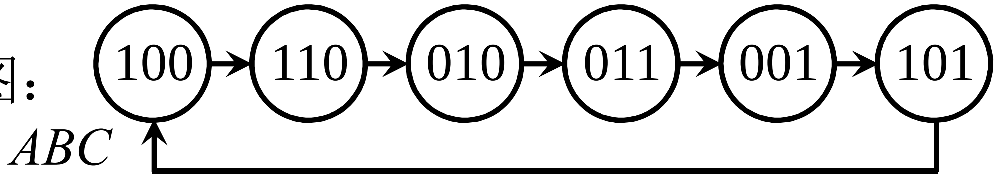
（三相绕组不允许同时通电和断电）



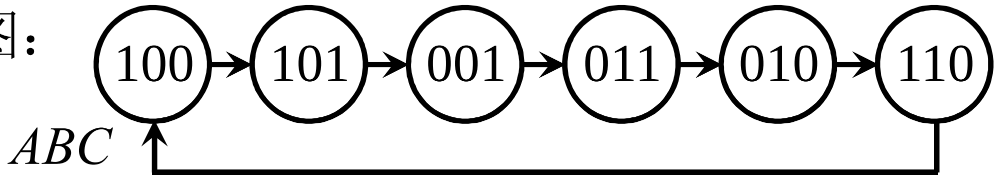
解：定义驱动电机的三相信号分别为 A、B、C（1 通电、0 断电）；

定义控制电机正反转变量 M（1 正转、0 反转）。

正转（$M=1$）时的状态转换图：



反转（$M=0$）时的状态转换图：



状态转换真值表：

M	$Q_A^n Q_B^n Q_C^n$	$Q_A^{n+1} Q_B^{n+1} Q_C^{n+1}$	$J_A K_A J_B K_B J_C K_C$
0	100	101	×0　0×　1×
0	101	001	×1　0×　×0
0	001	011	0×　1×　×0
0	011	010	0×　×0　×1
0	010	110	1×　×0　0×
0	110	100	×0　×1　0×
1	100	110	×0　1×　0×
1	110	010	×1　×0　0×
1	010	011	0×　×0　1×
1	011	001	0×　×1　×0
1	001	101	1×　0×　×0
1	101	100	×0　0×　×1

驱动方程：

$$\begin{cases} J_A = \overline{M}\,\overline{Q_C^n} + M\overline{Q_B^n} \\ K_A = \overline{M}Q_C^n + MQ_B^n \end{cases}$$

$$\begin{cases} J_B = \overline{M}\,\overline{Q_A^n} + M\overline{Q_C^n} \\ K_B = \overline{M}Q_A^n + MQ_C^n \end{cases}$$

$$\begin{cases} J_C = \overline{M}\,\overline{Q_B^n} + M\overline{Q_A^n} \\ K_C = \overline{M}Q_B^n + MQ_A^n \end{cases}$$

正转（$M=1$）时的状态转换图：

ABC：$100 \to 110 \to 010 \to 011 \to 001 \to 101 \to 100$

反转（$M=0$）时的状态转换图：

ABC：$100 \to 101 \to 001 \to 011 \to 010 \to 110 \to 100$

自启动问题的解决

同步法：将 000、111 状态也列入至状态转换真值表。

（有多少种方案？）

异步法：出现 000、111 状态时，使能触发器的异步控制端。

（有多少种方案？）

$Q_A^n Q_B^n Q_C^n$	$\overline{S}_{DA}\ \overline{R}_{DB}\ \overline{R}_{DC}$
000	000
001	111
010	111
011	111
100	111
101	111
110	111
111	000

同步法简单，但至少需要 1 个 CP 时间；
异步法复杂，但可以瞬间实现。
（按本例要求，应该采用异步法）

例，使能 $\overline{S}_{DA}$、$\overline{R}_{DB}$、$\overline{R}_{DC}$

即：一旦出现 000、111 状态，

则：立即被强制转为 100 状态。

所以：$\overline{S}_{DA}=\overline{R}_{DB}=\overline{R}_{DC}=\overline{Q_A^n Q_B^n Q_C^n+\overline{Q_A^n}\,\overline{Q_B^n}\,\overline{Q_C^n}}$

v 本节作业

- ü 习题 4（P232）

  10、11、15、补充题 。

- ü 补充题：

  用 JK 触发器、与非门 设计一个 110 序列脉冲检测器。

  所有的题目，需要有解题过程（不是给一个答案即可）。