

# 数字电路分析与设计

集成组合逻辑电路

(4.2.1 ~ 4.2.3)

## n 集成组合逻辑电路

ü 前章介绍了一些基本组合逻辑电路，要求能掌握它们的逻辑功能、逻辑符号描述、工作原理等。

ü 将这些基本组合逻辑电路，加上电源和某些控制端后，即可成为中规模集成组合逻辑电路。

ü 中规模集成组合逻辑电路的**功能**比较完善，**连接**和**功能扩展**也很方便。

## n 集成组合逻辑电路

ü 介绍几款常见的中规模集成组合逻辑电路芯片；  
通过对它们基本功能的介绍，掌握其典型的应用。

ü 在中规模集成组合逻辑电路中，通常给出其功能表、芯片管（引）脚图或符号图，要求能看（读）懂；  
能依据芯片功能，应用芯片。

掌握  
功能

ü 通过一些例题（分析），掌握常规应用方案。

✓ 编码器、译码器（4.2.1）

✓ 数据选择器（4.2.2）

✓ 加法器、数值比较器（4.2.3）

## ✓ 编码器

ü 右图所示 8 线 - 3 线优先编码器管（引）脚图。

ü 怎么看管脚图？

$V_{DD}$  / GND: 电源/地；

I: 输入；

Y: 输出；

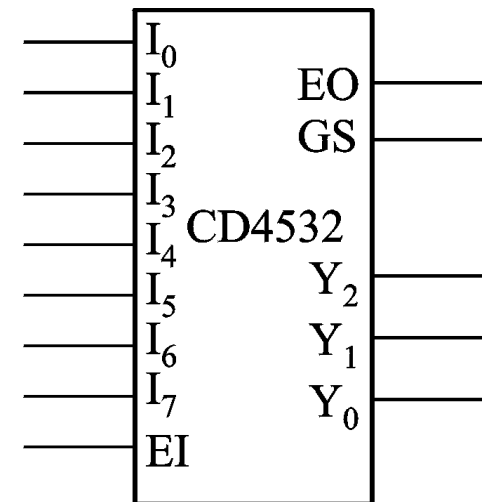
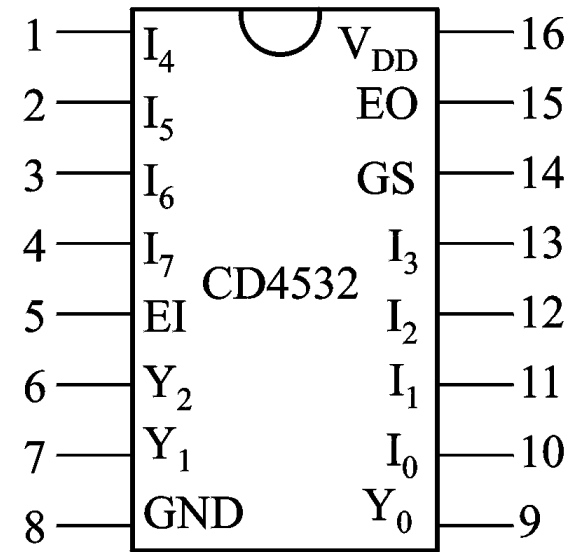
其它: 控制等。

（常用的一些默认符号: A、B、X、Y、I、O、ES、CS、WR、RD、CLK、CP、CLR、R、S ...）

（掌握一些通用的图规范）

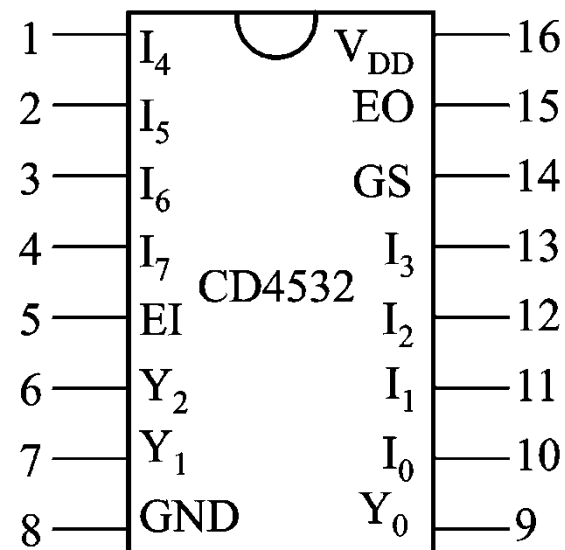
ü 符号图

管脚图 ~ 符号图（区别，应用场合 ...）



## ❖ 编码器（功能表）

编码器输入									代码和控制输出				
$EI$	$I_7$	$I_6$	$I_5$	$I_4$	$I_3$	$I_2$	$I_1$	$I_0$	$Y_2$	$Y_1$	$Y_0$	$GS$	$EO$
0	×	×	×	×	×	×	×	×	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	×	×	×	×	×	×	×	1	1	1	1	0
1	0	1	×	×	×	×	×	×	1	1	0	1	0
1	0	0	1	×	×	×	×	×	1	0	1	1	0
1	0	0	0	1	×	×	×	×	1	0	0	1	0
1	0	0	0	0	1	×	×	×	0	1	1	1	0
1	0	0	0	0	0	1	×	×	0	1	0	1	0
1	0	0	0	0	0	0	1	×	0	0	1	1	0
1	0	0	0	0	0	0	0	1	0	0	0	1	0



☺ 使能端  $EI$ ，高电平使能有效。

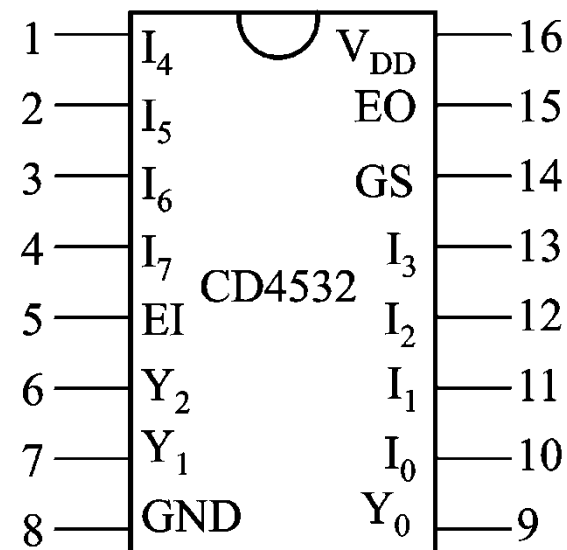
☺ 输入  $I_7 \sim I_0$ ，8 位高电平有效，大数优先。

☺ 输出  $Y_2 \sim Y_0$ ，3 位原码。

☺ 8 线 - 3 线优先编码器。

## ❏ 编码器（功能表）

编码器输入									代码和控制输出				
$EI$	$I_7$	$I_6$	$I_5$	$I_4$	$I_3$	$I_2$	$I_1$	$I_0$	$Y_2$	$Y_1$	$Y_0$	$GS$	$EO$
0	×	×	×	×	×	×	×	×	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	×	×	×	×	×	×	×	1	1	1	1	0
1	0	1	×	×	×	×	×	×	1	1	0	1	0
1	0	0	1	×	×	×	×	×	1	0	1	1	0
1	0	0	0	1	×	×	×	×	1	0	0	1	0
1	0	0	0	0	1	×	×	×	0	1	1	1	0
1	0	0	0	0	0	1	×	×	0	1	0	1	0
1	0	0	0	0	0	0	1	×	0	0	1	1	0
1	0	0	0	0	0	0	0	1	0	0	0	1	0



可判断是否有效输入

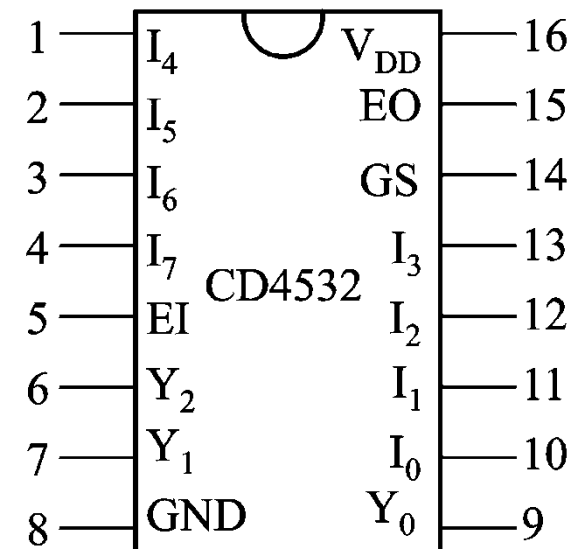
可区分输出全 0 模式

⚡ 仅在  $EI$  使能有效，且无编码输入时， $EO = 1$ 。  
（可与相同编码器的  $EI$  相连，实现多芯片级联）

⚡ 仅在  $EI$  使能有效，且有编码输入时， $GS = 1$ 。  
（可用于指示编码器是否处于正常编码工作模式）

## Ø 编码器（芯片数据手册）

ü 下表所示来源于芯片数据手册的功能表。



INPUT									OUTPUT				
E1	D7	D6	D5	D4	D3	D2	D1	D0	GS	Q2	Q1	Q0	EO
0	X	X	X	X	X	X	X	X	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	X	X	X	X	X	X	X	1	1	1	1	0
1	0	1	X	X	X	X	X	X	1	1	1	0	0
1	0	0	1	X	X	X	X	X	1	1	0	1	0
1	0	0	0	1	X	X	X	X	1	1	0	0	0
1	0	0	0	0	1	X	X	X	1	0	1	1	0
1	0	0	0	0	0	1	X	X	1	0	1	0	0
1	0	0	0	0	0	0	1	X	1	0	0	1	0
1	0	0	0	0	0	0	0	1	1	0	0	0	0

X = Don't Care

Logic 1 = High

Logic 0 = Low

## 【例2.1】

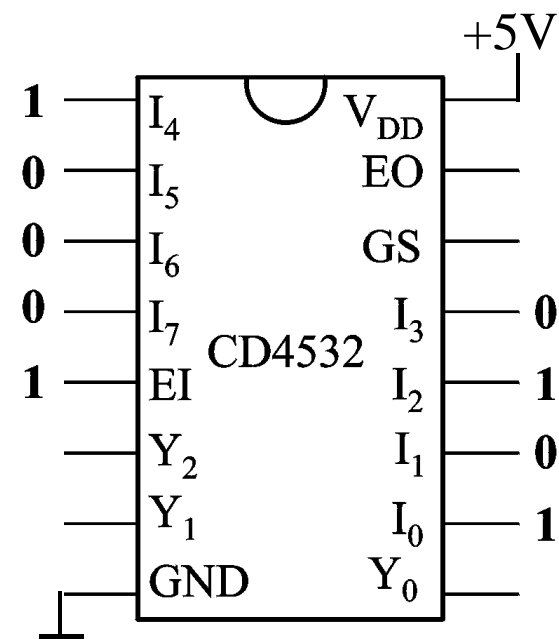
右图所示电路。

求：此时  $Y_2 \sim Y_0$ 、 $GS$ 、 $EO$  端口状态。

解：根据功能表 ...

可得： $Y_2 \sim Y_0 = 100$ ， $GS = 1$ ， $EO = 0$ 。

编码器输入									代码和控制输出				
$EI$	$I_7$	$I_6$	$I_5$	$I_4$	$I_3$	$I_2$	$I_1$	$I_0$	$Y_2$	$Y_1$	$Y_0$	$GS$	$EO$
0	×	×	×	×	×	×	×	×	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	×	×	×	×	×	×	×	1	1	1	1	0
1	0	1	×	×	×	×	×	×	1	1	0	1	0
1	0	0	1	×	×	×	×	×	1	0	1	1	0
1	0	0	0	1	×	×	×	×	1	0	0	1	0
1	0	0	0	0	1	×	×	×	0	1	1	1	0
1	0	0	0	0	0	1	×	×	0	1	0	1	0
1	0	0	0	0	0	0	1	×	0	0	1	1	0
1	0	0	0	0	0	0	0	1	0	0	0	1	0





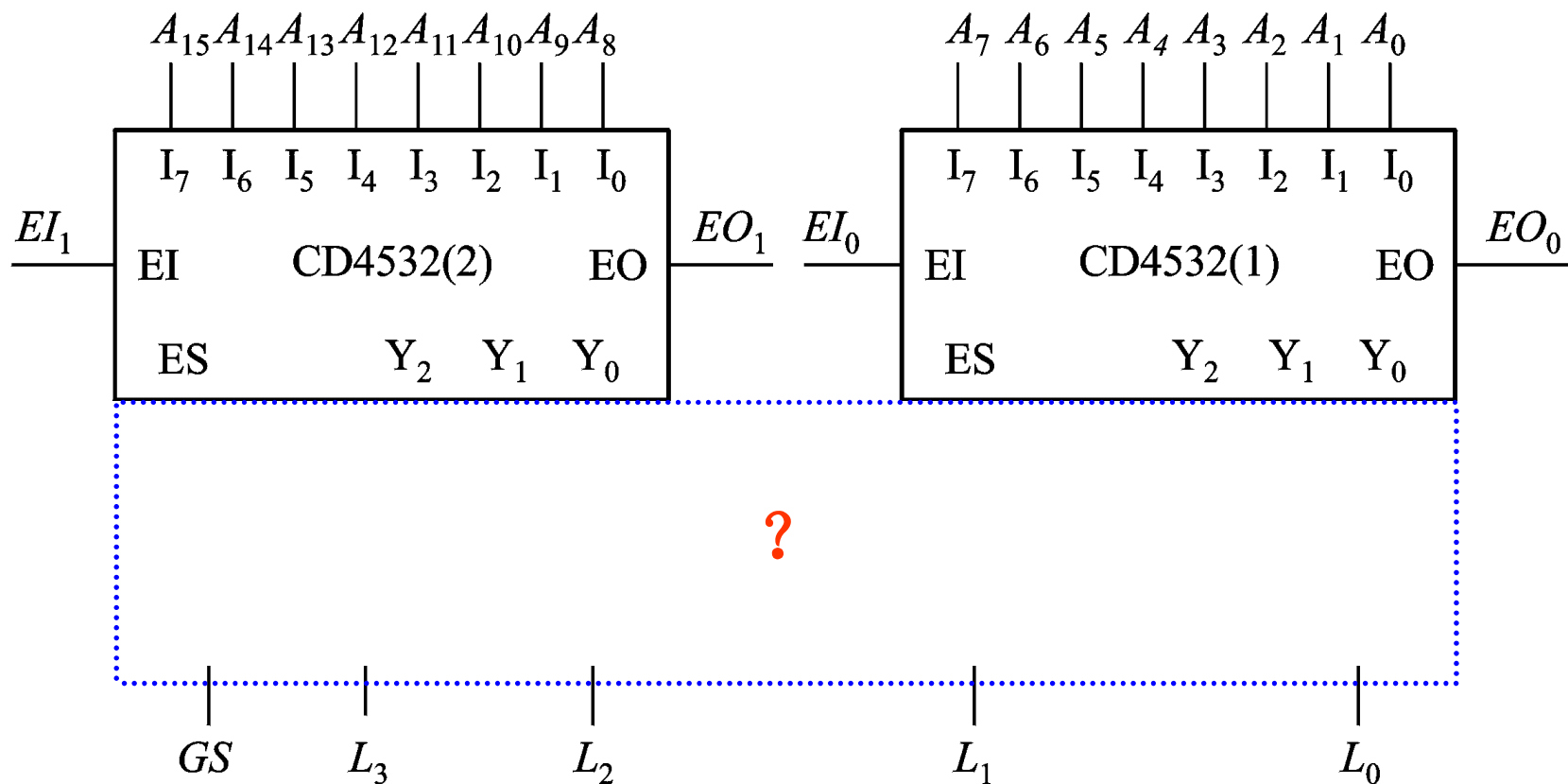
### 【例2.2】

用两片 CD4532 扩展成 16 线 - 4 线优先编码器。

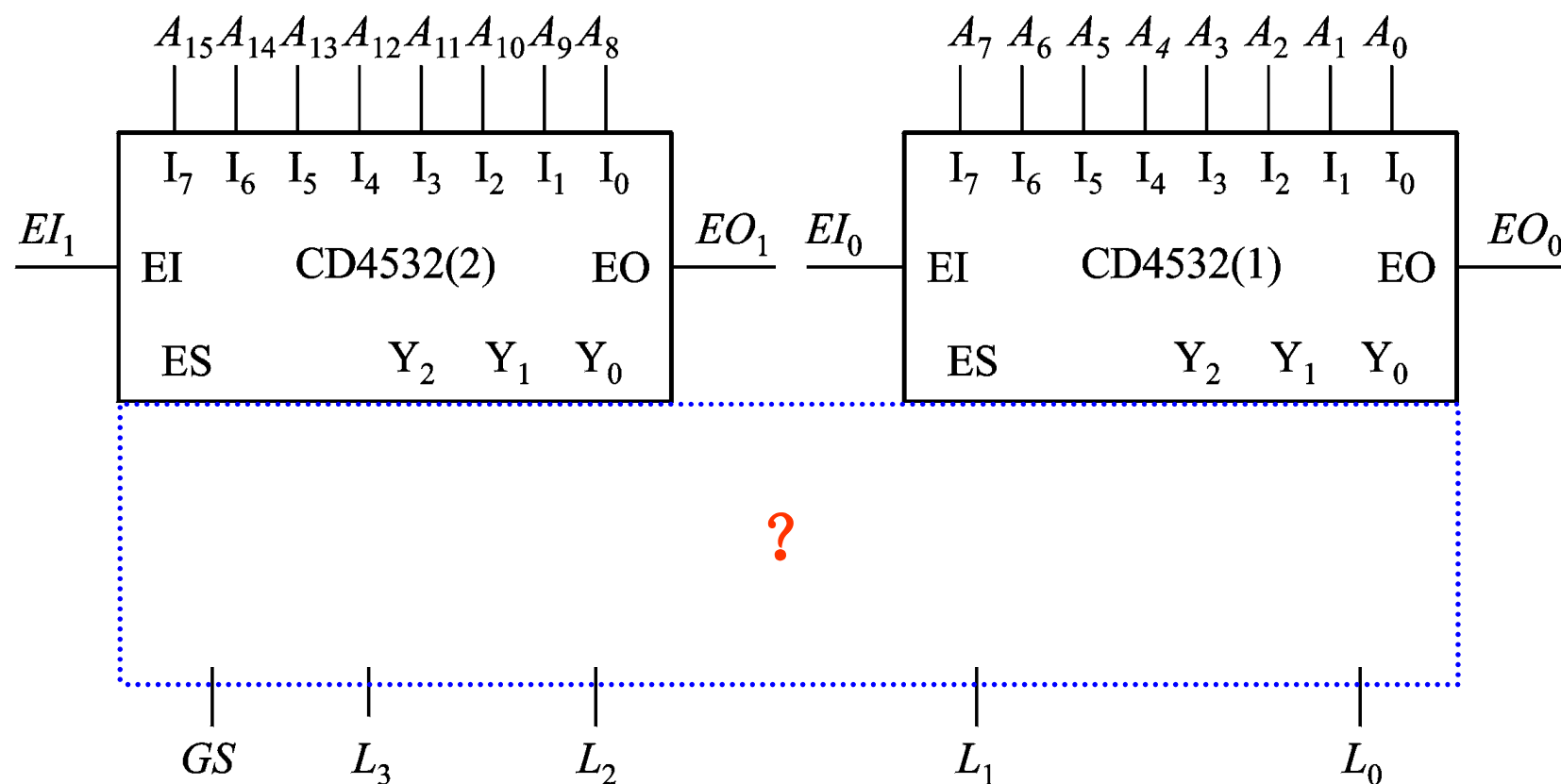
解：16 线 - 4 线优先编码器的基本结构如下图所示。

### 设计思路:

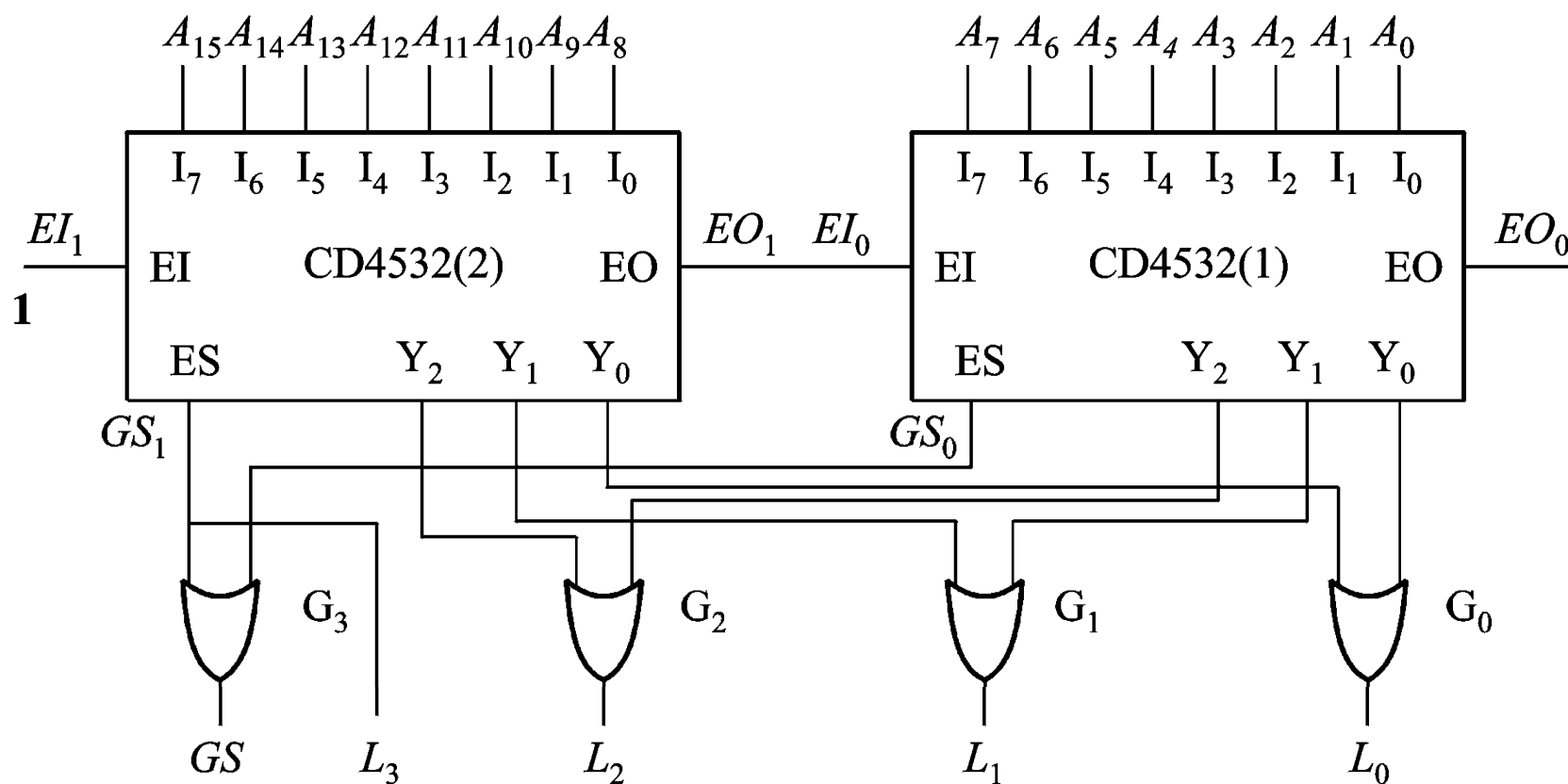
利用使能端  $EI$  和  $EO$ 、 $GS$  端，将两片连接成分时工作制，输出采用门电路扩展。



- 若  $A_{15} \sim A_8$  有输入时，CD4532(2) 工作，CD4532(1) 禁止；  
输出  $GS = 1$ ， $L_3 = 1$ ， $L_2 \sim L_0$  由 CD4532(2) 的  $Y_2 \sim Y_0$  决定；
  - 若  $A_{15} \sim A_8$  无输入（ $A_7 \sim A_0$  有）时，CD4532(2) 无效，CD4532(1) 工作；  
输出  $GS = 1$ ， $L_3 = 0$ ， $L_2 \sim L_0$  由 CD4532(1) 的  $Y_2 \sim Y_0$  决定。
- 利用使能端  $EI$  和  $EO$ 、 $GS$  端，将两片连接成分时工作制，输出采用门电路扩展。

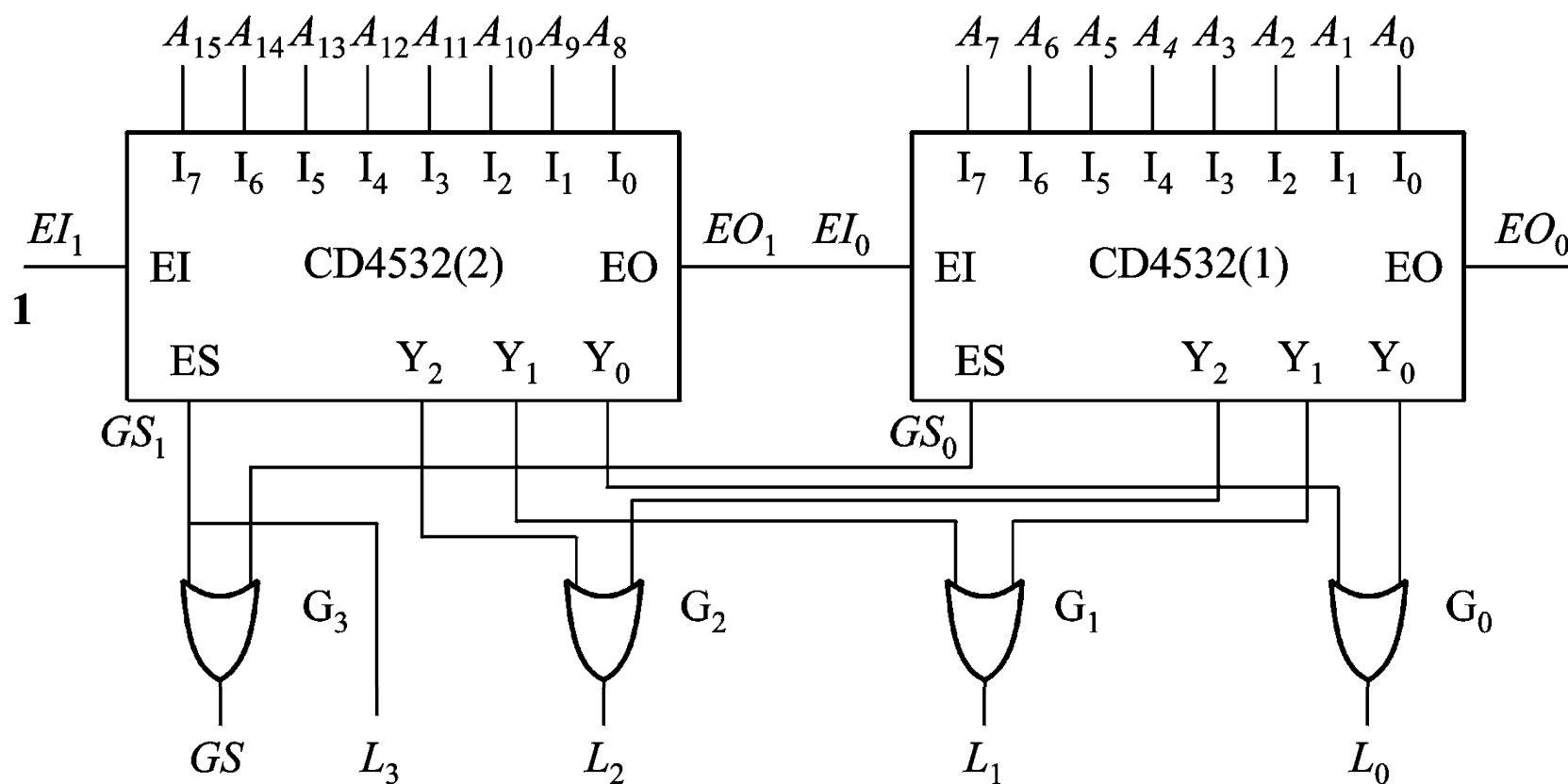


- 若  $A_{15} \sim A_8$  有输入时，CD4532(2) 工作，CD4532(1) 禁止；  
输出  $GS = 1$ ， $L_3 = 1$ ， $L_2 \sim L_0$  由 CD4532(2) 的  $Y_2 \sim Y_0$  决定；
- 若  $A_{15} \sim A_8$  无输入（ $A_7 \sim A_0$  有）时，CD4532(2) 无效，CD4532(1) 工作；  
输出  $GS = 1$ ， $L_3 = 0$ ， $L_2 \sim L_0$  由 CD4532(1) 的  $Y_2 \sim Y_0$  决定。



- 若  $A_{15} \sim A_8$  有输入,  $EO_1 = 0$ , CD4532(1) 被禁止编码, 其  $Y_2 \sim Y_0 = 000$ ; 此时  $L_3 = 1$ ,  $L_2 \sim L_0$  由  $A_{15} \sim A_8$  的输入情况决定。
- 若  $A_{15} \sim A_8$  无输入, CD4532(2) 无效, 其  $Y_2 \sim Y_0 = 000$ ,  $EO_1 = 1$ ; 此时 CD4532(1) 有效,  $L_3 = 0$ ,  $L_2 \sim L_0$  由  $A_7 \sim A_0$  的输入情况决定。
- 只要  $A_{15} \sim A_0$  有输入,  $GS = 1$ 。

芯片扩展



## ✓ 译码器

ü 右图所示 3 线 - 8 线译码器符号图。

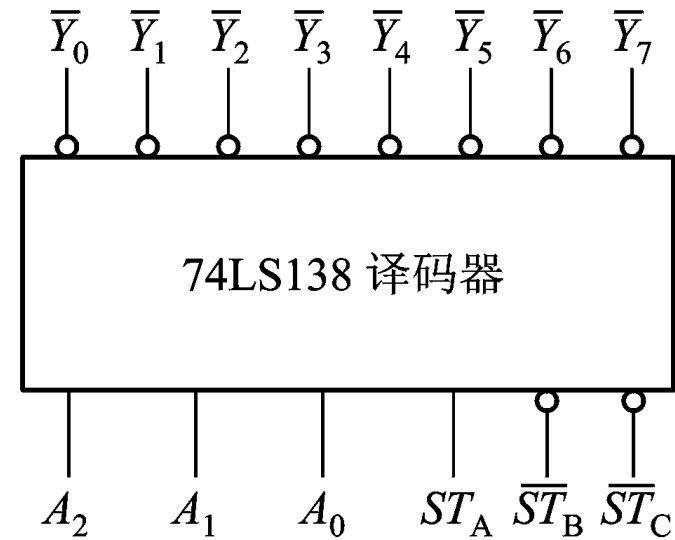
ü 怎么根据图，猜功能？

$A_2 \sim A_0$ ：输入；

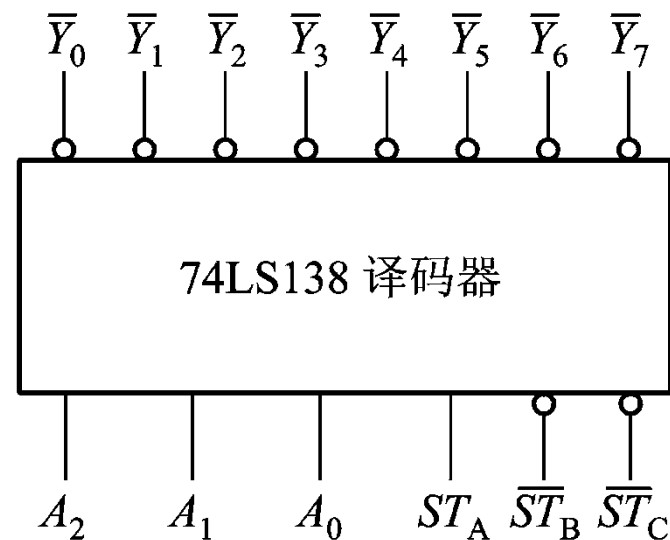
$\bar{Y}_7 \sim \bar{Y}_0$ ：输出；

$ST_A$ 、 $\overline{ST}_B$ 、 $\overline{ST}_C$ ：使能控制端；

（掌握一些通用的图规范）



# 译码器（功能表）



控制与代码输入					译码器输出							
$ST_A$	$\overline{ST_B} + \overline{ST_C}$	$A_2$	$A_1$	$A_0$	$\overline{Y_7}$	$\overline{Y_6}$	$\overline{Y_5}$	$\overline{Y_4}$	$\overline{Y_3}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	1	0	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	0	1	1	1	1	1
1	0	1	1	0	1	0	1	1	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1	1	1

## 译码器（芯片数据手册）

下表所示来源于芯片数据手册的功能表。



FUNCTION TABLE

INPUTS						OUTPUTS							
$\overline{E}_1$	$\overline{E}_2$	$E_3$	$A_0$	$A_1$	$A_2$	$\overline{Y}_0$	$\overline{Y}_1$	$\overline{Y}_2$	$\overline{Y}_3$	$\overline{Y}_4$	$\overline{Y}_5$	$\overline{Y}_6$	$\overline{Y}_7$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

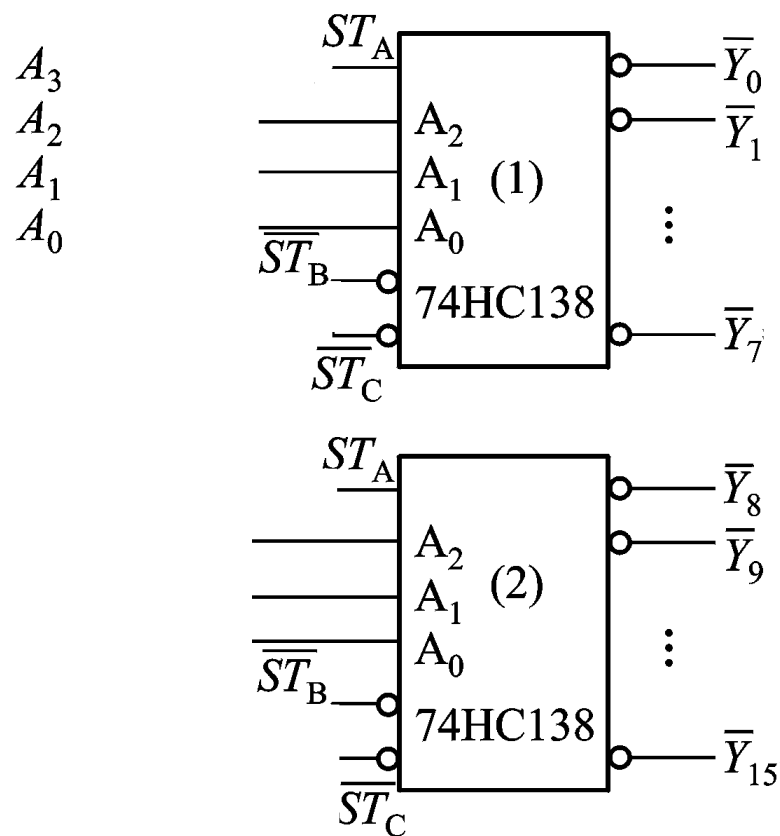
### Notes

1. H = HIGH voltage level  
L = LOW voltage level  
X = don't care

### 【例2.3】

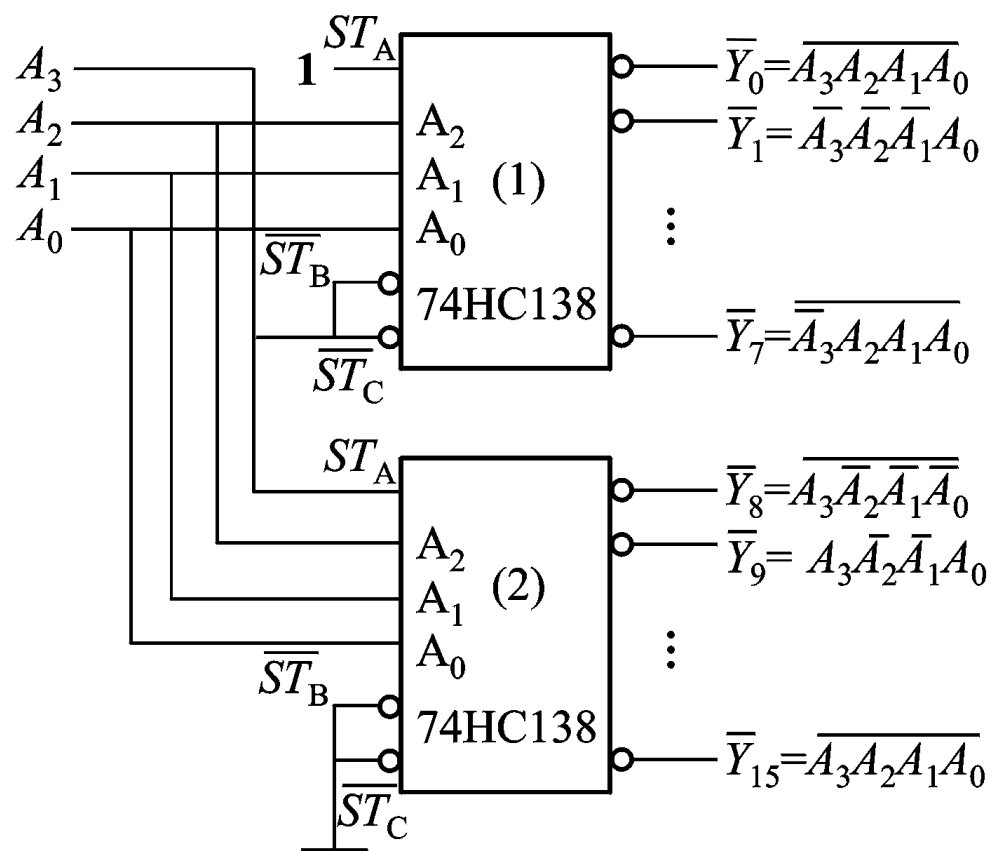
用两片 74LS138 扩展成 4 线 - 16 线译码器。

解：4 线 - 16 线译码器的基本结构如下图所示。



设计思路：利用使能端控制端，将两片连接成分时工作制。





方案是多样化的

## Ø 译码器（实现任意组合逻辑函数）

ü 针对一个二进制全译码器（ $n$  位码输入时，有  $2^n$  个输出），每个输出函数就是一个输入代码变量的最小项。

ü 以74LS138 为例，当使能有效时，有：

$$\overline{Y}_7 = \overline{A_2 A_1 A_0}, \overline{Y}_6 = \overline{A_2 A_1 \overline{A_0}}, \overline{Y}_5 = \overline{A_2 \overline{A_1} A_0}, \overline{Y}_4 = \overline{A_2 \overline{A_1} \overline{A_0}}$$

$$\overline{Y}_3 = \overline{\overline{A_2} A_1 A_0}, \overline{Y}_2 = \overline{\overline{A_2} A_1 \overline{A_0}}, \overline{Y}_1 = \overline{\overline{A_2} \overline{A_1} A_0}, \overline{Y}_0 = \overline{\overline{A_2} \overline{A_1} \overline{A_0}}$$

即： $\overline{Y}_i = \overline{m_i}$

ü 逻辑函数可以用最小项之和形式表示；

将译码器的某些输出“组合”在一起，即可实现逻辑功能。

### 【例2.4】

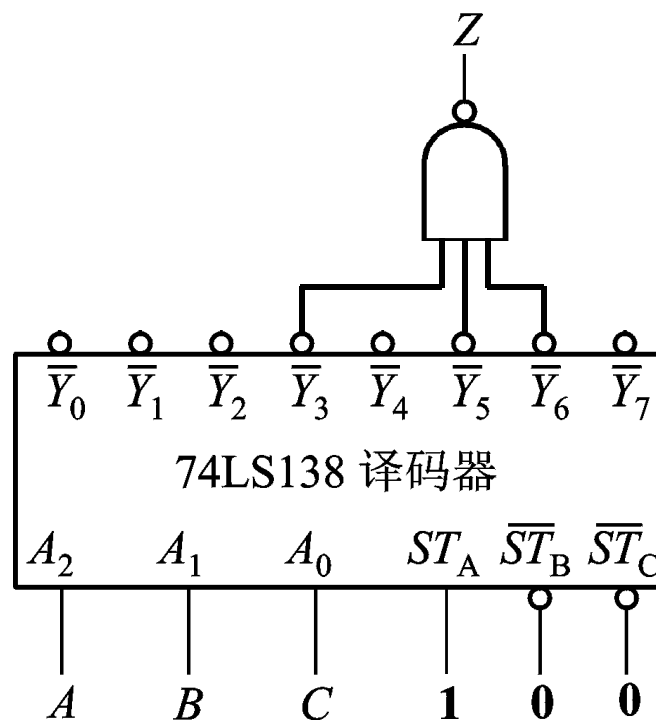
用74LS138 实现逻辑函数： $Z = \overline{A}BC + A\overline{B}C + ABC\overline{C}$

解：将逻辑函数写成最小项之和形式： $Z = m_3 + m_5 + m_6$

由于 74LS138 芯片是反码输出，所以改写表达式为： $Z = \overline{\overline{m_3} \cdot \overline{m_5} \cdot \overline{m_6}}$

即： $Z = \overline{\overline{Y_3} \cdot \overline{Y_5} \cdot \overline{Y_6}}$

由此可得电路图。



译码器 + 多输入与非门，可实现任意的组合逻辑函数。

（注意输入与译码器地址端的对应）

### 【例2.5】

用74LS138 实现奇偶检验电路。

（输入为 4 位二进制码，检验其中 1 的个数是奇数还是偶数）

解：定义输入为  $A_3 \sim A_0$ ；

定义输出分别为  $Y_{OD}$ （奇校验）、 $Y_E$ （偶校验）；

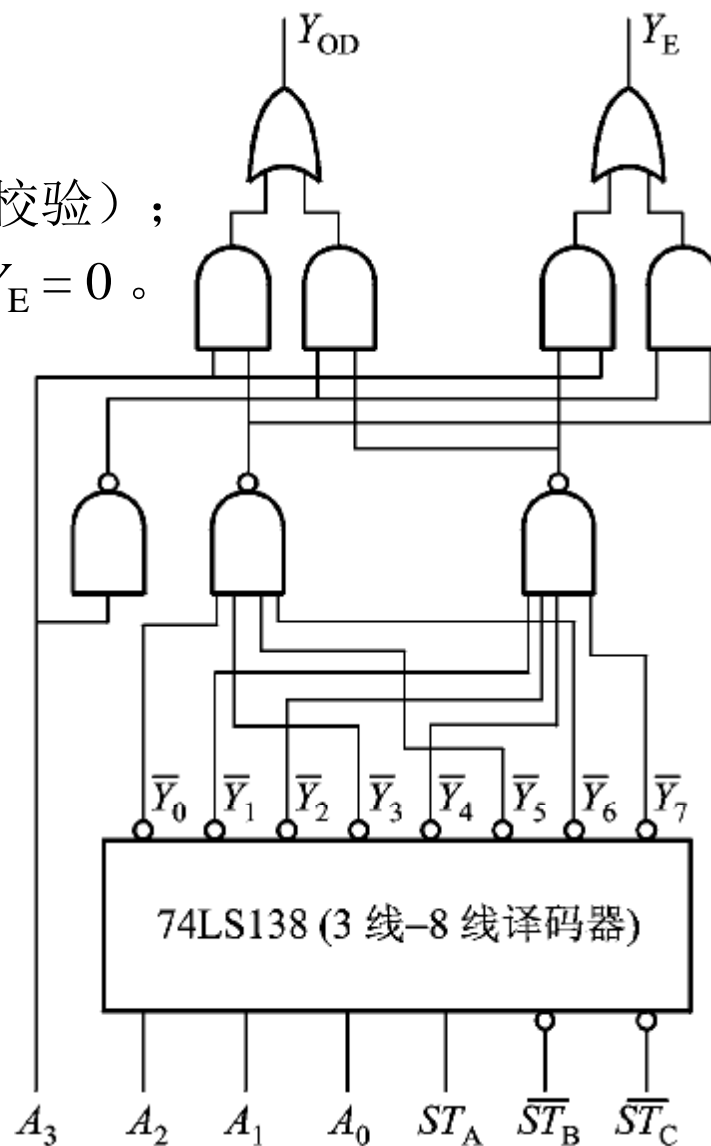
若输入中 1 的个数是奇数，则  $Y_{OD} = 1$ ， $Y_E = 0$ 。

通过真值表、卡诺图（略）等，得：

$$Y_{OD} = A_3(\overline{Y_0}\overline{Y_3}\overline{Y_5}\overline{Y_6}) + \overline{A_3}(\overline{Y_1}\overline{Y_2}\overline{Y_4}\overline{Y_7})$$

$$Y_E = A_3(\overline{Y_1}\overline{Y_2}\overline{Y_4}\overline{Y_7}) + \overline{A_3}(\overline{Y_0}\overline{Y_3}\overline{Y_5}\overline{Y_6})$$

由此可得电路图。



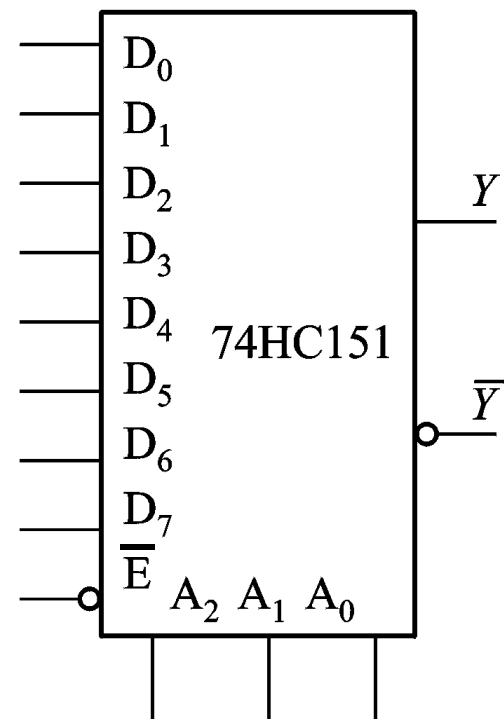
## ✓ 数据选择器

ü 右图所示 8 选 1 数据选择器符号图。

ü 怎么根据图，猜功能？

ü 功能表

输入				输出	
使能	地址			原码	反码
$\overline{E}$	$A_2$	$A_1$	$A_0$	$Y$	$\overline{Y}$
1	×	×	×	0	1
0	0	0	0	$D_0$	$\overline{D_0}$
0	0	0	1	$D_1$	$\overline{D_1}$
0	0	1	0	$D_2$	$\overline{D_2}$
0	0	1	1	$D_3$	$\overline{D_3}$
0	1	0	0	$D_4$	$\overline{D_4}$
0	1	0	1	$D_5$	$\overline{D_5}$
0	1	1	0	$D_6$	$\overline{D_6}$
0	1	1	1	$D_7$	$\overline{D_7}$



## 数据选择器（芯片数据手册）

ü 下表所示来源于芯片数据手册的功能表。

INPUTS												OUTPUTS	
$\bar{E}$	S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>	I <sub>0</sub>	I <sub>1</sub>	I <sub>2</sub>	I <sub>3</sub>	I <sub>4</sub>	I <sub>5</sub>	I <sub>6</sub>	I <sub>7</sub>	$\bar{Y}$	Y
H	X	X	X	X	X	X	X	X	X	X	X	H	L
L	L	L	L	L	X	X	X	X	X	X	X	H	L
L	L	L	L	H	X	X	X	X	X	X	X	L	H
L	L	L	H	X	L	X	X	X	X	X	X	H	L
L	L	L	H	X	H	X	X	X	X	X	X	L	H
L	L	H	L	X	X	L	X	X	X	X	X	H	L
L	L	H	L	X	X	H	X	X	X	X	X	L	H
L	L	H	H	X	X	X	L	X	X	X	X	H	L
L	L	H	H	X	X	X	H	X	X	X	X	L	H
L	L	L	L	X	X	X	X	L	X	X	X	H	L
L	L	L	L	X	X	X	X	H	X	X	X	L	H
L	L	L	H	X	X	X	X	X	L	X	X	H	L
L	L	L	H	X	X	X	X	X	H	X	X	L	H
L	H	H	L	X	X	X	X	X	X	L	X	H	L
L	H	H	L	X	X	X	X	X	X	H	X	L	H
L	H	H	H	X	X	X	X	X	X	X	L	H	L
L	H	H	H	X	X	X	X	X	X	X	H	L	H

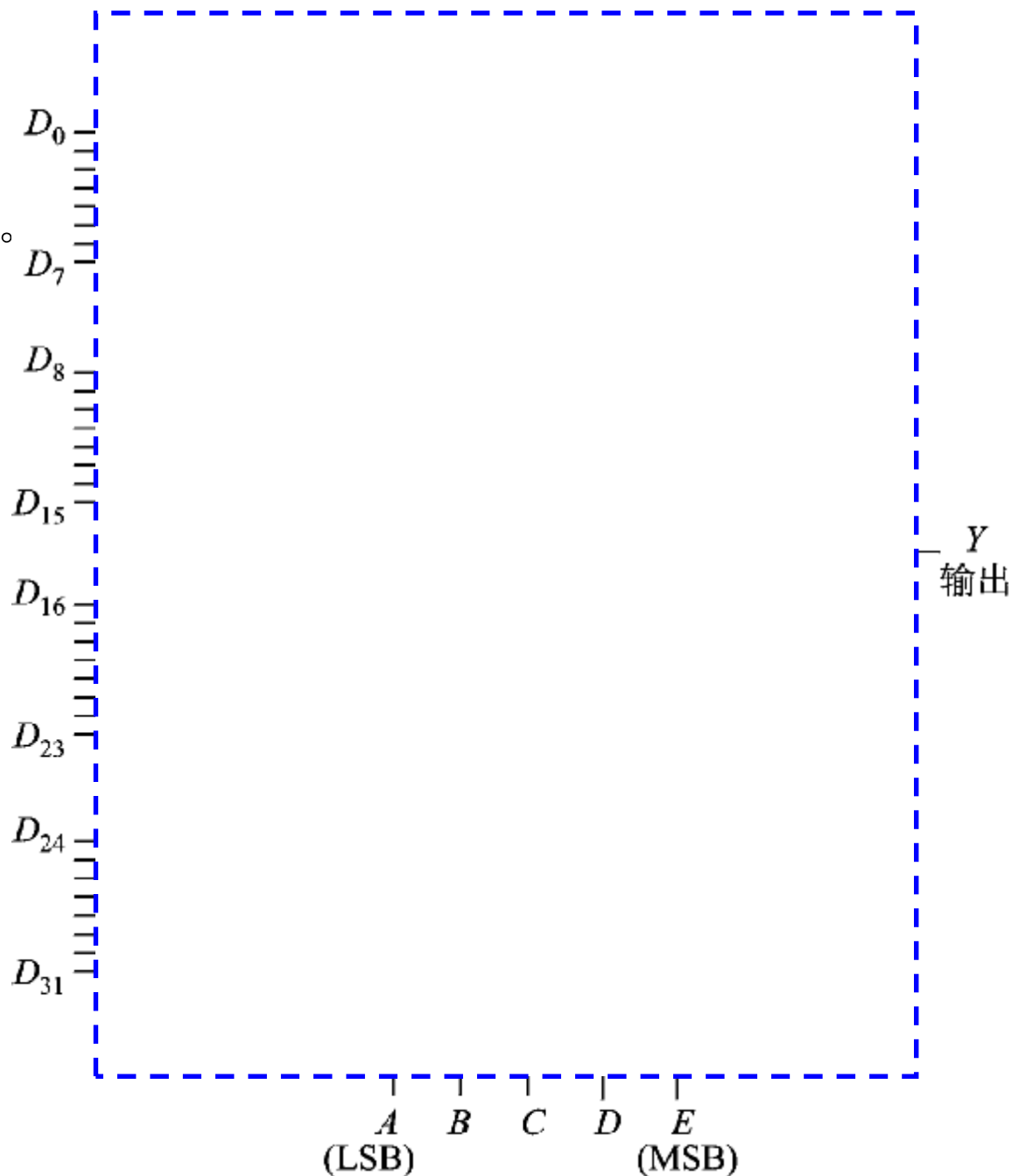
### 【例2.6】

用 74HC253 (4 选 1)  
和 74HC151 (8 选 1)  
扩展成 32 选 1 数据选择器。

解：32 选 1 数据选择器的  
基本结构如右图所示。

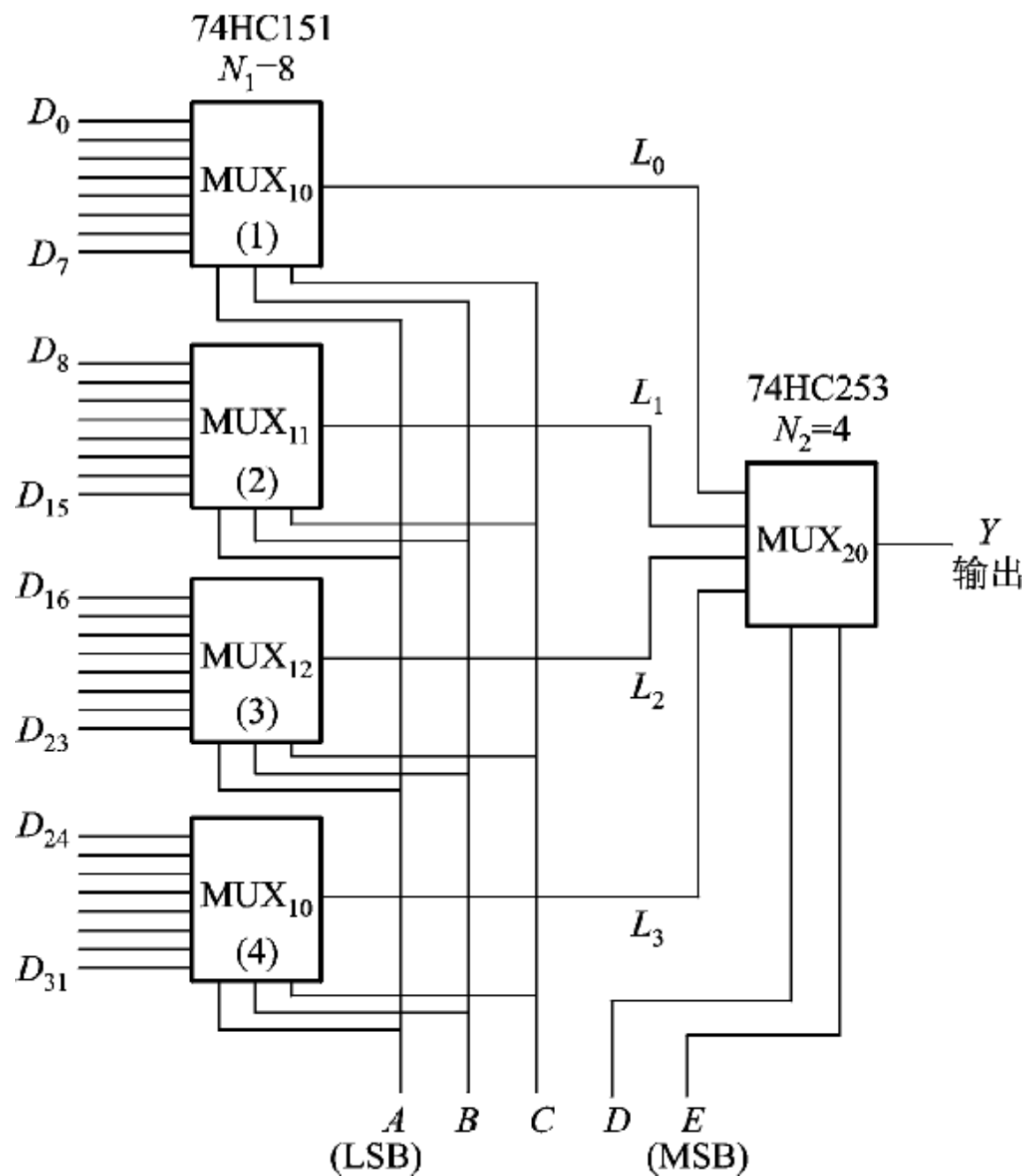
设计思路：  
首先需要 4 片 74HC151，  
完成 32 选 4；

再完成 4 选 1，  
需要 1 片 74HC253。



设计思路：  
首先需要 4 片 74HC151，  
完成 32 选 4；

再完成 4 选 1，  
需要 1 片 74HC253。





## Ø 数据选择器（实现任意组合逻辑函数）

ü 用数据选择器可以实现：任意的组合逻辑函数（组合逻辑电路）。

ü 实现流程：

选择适当的变量从数据选择器的地址端输入（剩余变量加在数据端）；

（当变量选得不同时，结果会不同）

根据地址输入方式，写出数据选择器的逻辑函数；

将函数书写成对应的最小项之和形式；

比对上述两式，即可得出数据输入端的逻辑定义；

画出逻辑电路图。



类似于译码器

### 【例2.7-1】

用一片 8 选 1 数据选择器实现函数： $Z = f(A, B, C) = \overline{A}\overline{B} + \overline{B}C + AB\overline{C}$

解：（1）选择  $A$ 、 $B$ 、 $C$  分别从数据选择器的  $A_2$ 、 $A_1$ 、 $A_0$  地址端输入；

（2）根据地址输入方式，写出数据选择器的逻辑函数： $Z = \sum_{i=0}^7 D_i m_i$

（3）将函数书写成对应的最小项之和形式：

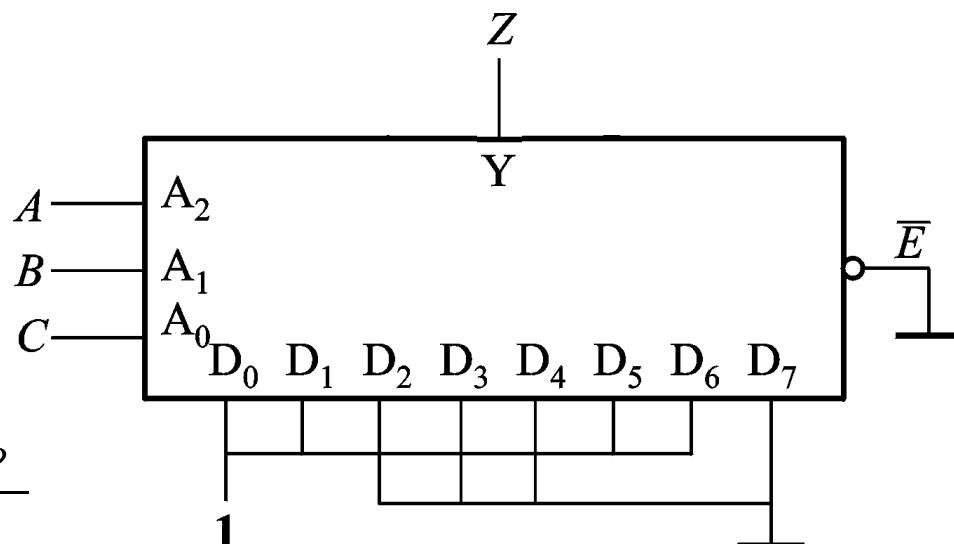
$$Z = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + AB\overline{C} = m_0 + m_1 + m_5 + m_6$$

（4）对照上述两式，得：

$$D_0 = D_1 = D_5 = D_6 = 1$$

$$(D_2 = D_3 = D_4 = D_7 = 0)$$

（5）电路图



当变量选得不同时，结果会不同？

### 【例2.7-2】

用一片 4 选 1 数据选择器实现函数： $Z = f(A, B, C) = \overline{A}\overline{B} + \overline{B}C + AB\overline{C}$

解：（1）选择  $A$ 、 $B$  分别从数据选择器的  $A_1$ 、 $A_0$  地址端输入；

（2）根据地址输入方式，写出数据选择器的逻辑函数： $Z = \sum_{i=0}^3 D_i m_i$

（3）将函数书写成对应的最小项之和形式：

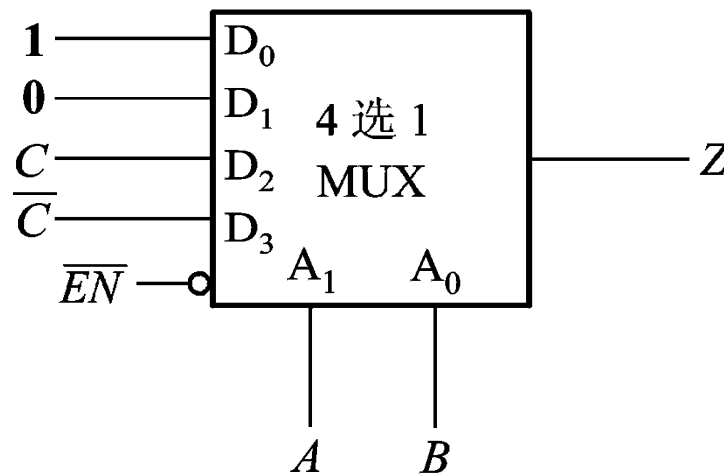
$$Z = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + AB\overline{C} = m_0 + m_2C + m_3\overline{C}$$

（4）对照上述两式，得：

$$D_0 = 1, D_1 = 0, D_2 = C, D_3 = \overline{C}$$

（5）电路图

剩余变量加在数据端

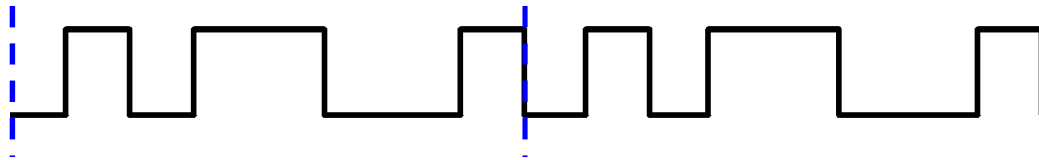


### 【例2.8】

用 74HC151 实现序列脉冲输出。

（序列脉冲：周期性的脉冲信号）

例：下图所示序列脉冲 01011001。



设计思路：

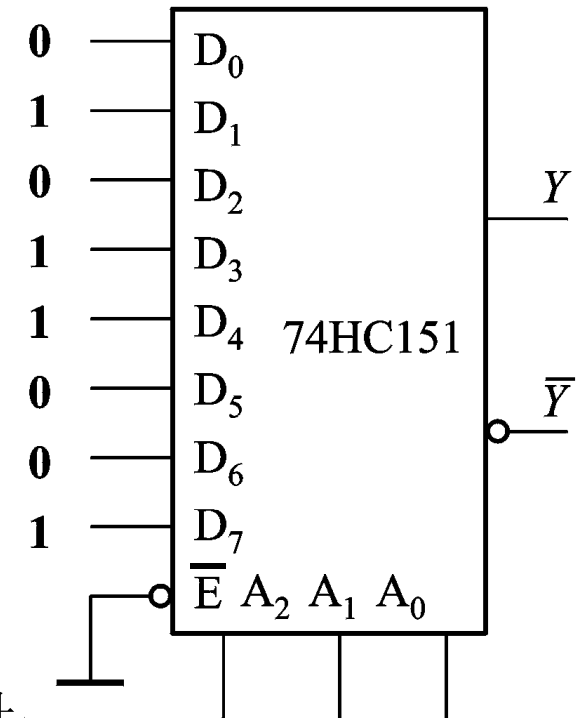
将脉冲数据信息接入数据选择器的数据输入端；

数据选择器的输出端作为脉冲信号输出端；

在数据选择器的地址控制端依次（周期）加入地址；

...

只要是周期性的信息...

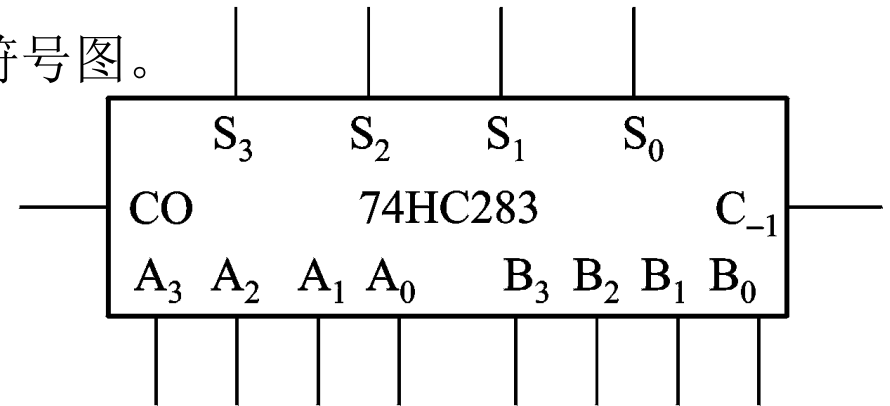


3 位二进制计数器

## ✓ 加法器

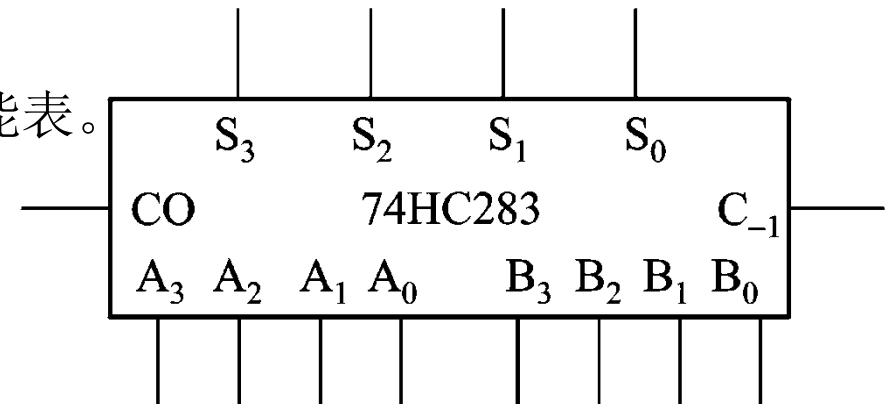
ü 右图所示中规模集成二进制加法器符号图。

ü 怎么根据图，猜功能？



## Ø 加法器（芯片数据手册）

ü 下表所示来源于芯片数据手册的功能表。



FUNCTION TABLE

PINS	C <sub>IN</sub>	A <sub>1</sub>	A <sub>2</sub>	A <sub>3</sub>	A <sub>4</sub>	B <sub>1</sub>	B <sub>2</sub>	B <sub>3</sub>	B <sub>4</sub>	Σ <sub>1</sub>	Σ <sub>2</sub>	Σ <sub>3</sub>	Σ <sub>4</sub>	C <sub>OUT</sub>	EXAMPLE <sup>(2)</sup>
logic levels	L	L	H	L	H	H	L	L	H	H	H	L	L	H	
active HIGH	0	0	1	0	1	1	0	0	1	1	1	0	0	1	(3)
active LOW	1	1	0	1	0	0	1	1	0	0	0	1	1	0	(4)

### Note

1. H = HIGH voltage level  
L = LOW voltage level
2. **example**  
1001  
1010  
-----  
10011
3. for active HIGH, example = (9 + 10 = 19)
4. for active LOW, example = (carry + 6 + 5 = 12)

## Ø 加法器（实现减法运算）

ü 二进制的减法运算可以通过补码的加法来实现。

ü 步骤：

减数求补；

（被减数 求补？）

被减数 + 减数；

（和 求补？）

无需

按需

ü 补码运算规则：

补码 = 原数值的反码（按位求反） + 1

补码 + 补码 = 补码

补码的补码 = 原码

## 【例2.9】

用 74HC283 实现减法。

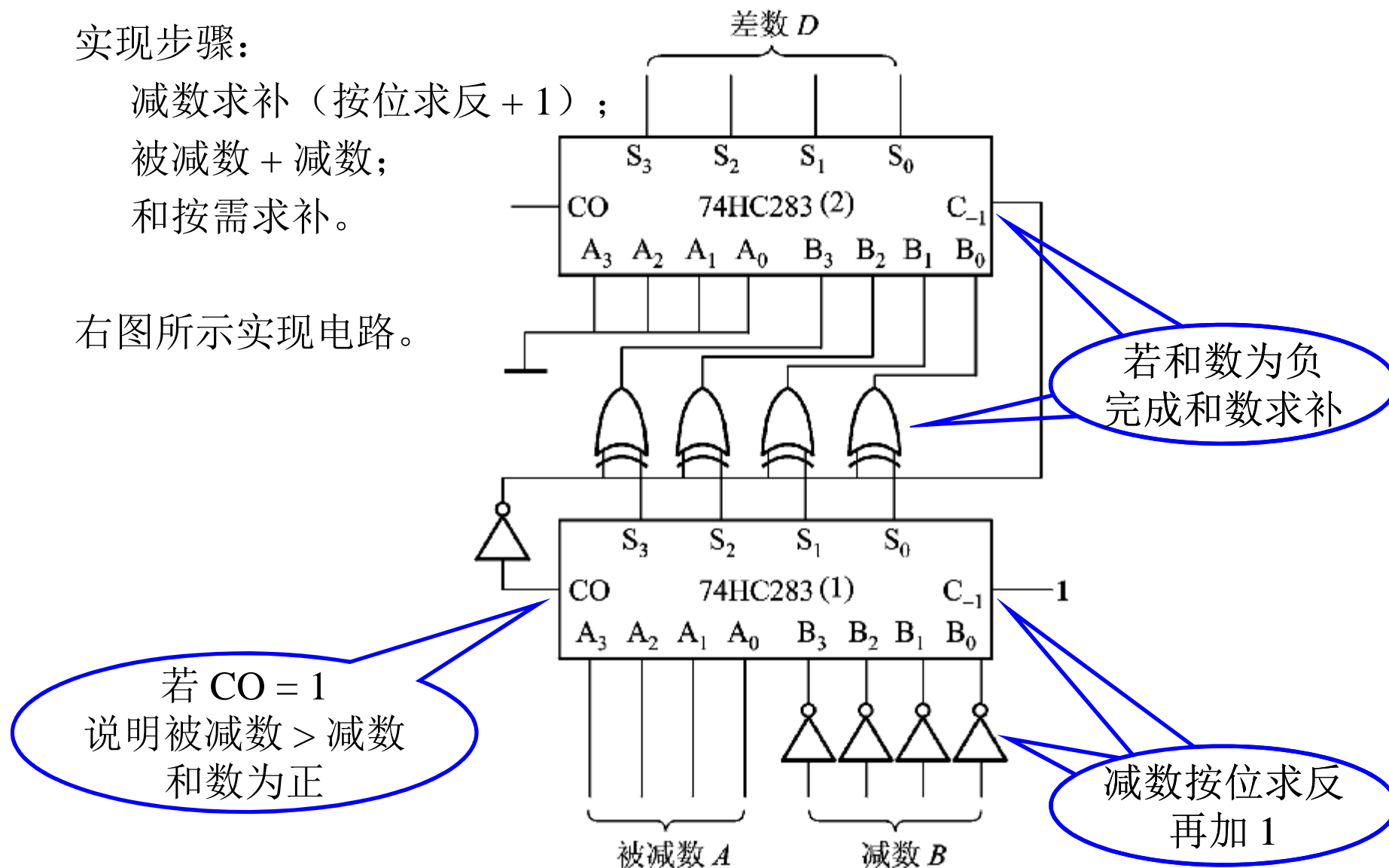
实现步骤：

减数求补（按位求反 + 1）；

被减数 + 减数；

和按需求补。

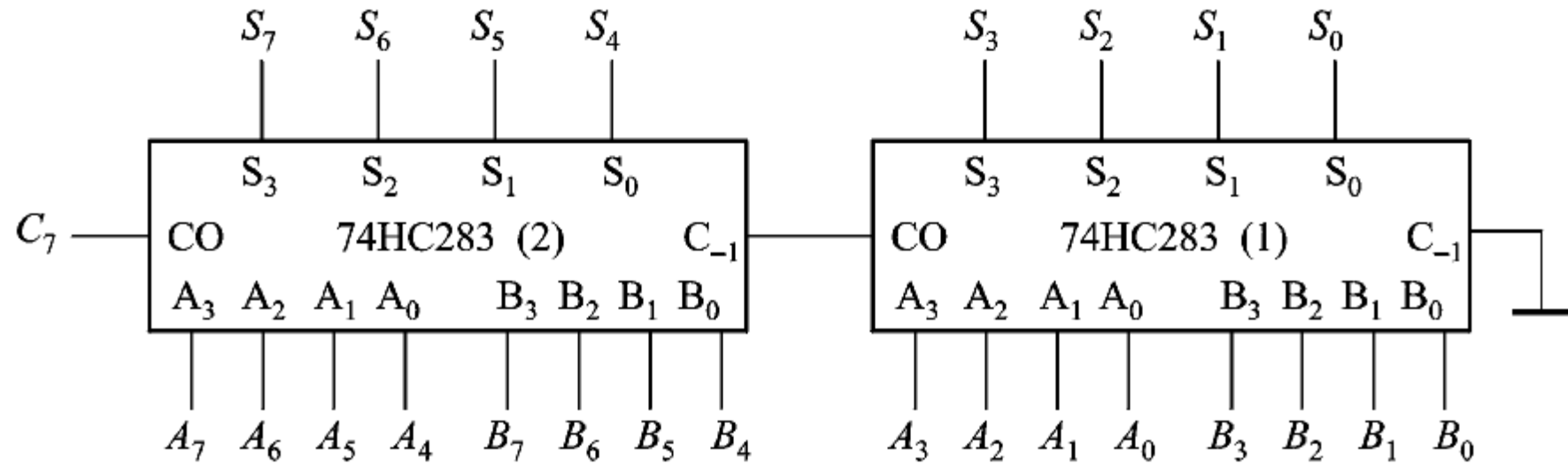
右图所示实现电路。





### 【例2.10】

用 74HC283 实现多位二进制数加法。



两个 8 位二进制数加法

### 【例2.11-1】

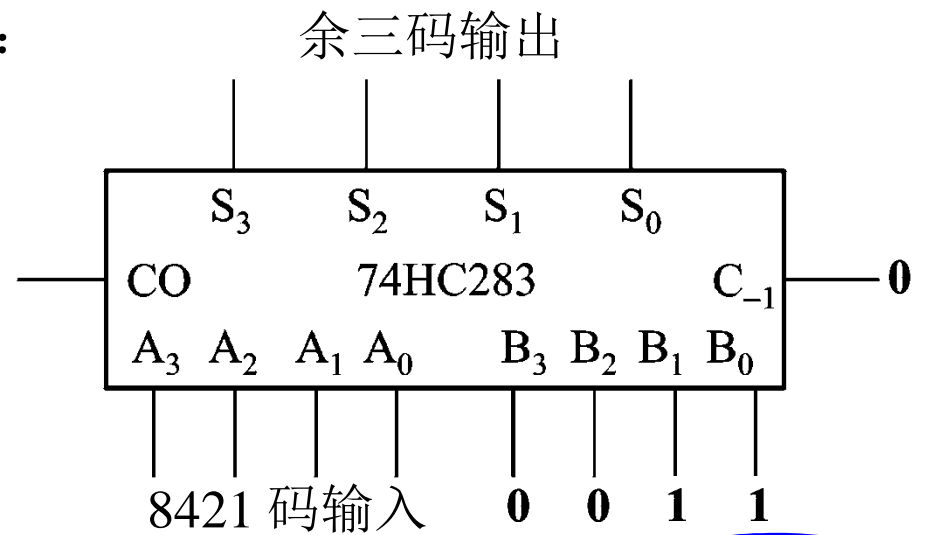
用 74HC283 将 8421BCD 码转换成余三码。

解题思路：

74HC283 只能做加法，这一功能不能改变。

如果 8421BCD 码 + ? = 余 3 码，那么 ...

电路图：



无需恒定

只要两组数据之间存在差值...

## 【例2.11-2】

用 74HC283 将 8421BCD 码转换成 2421BCD 码。

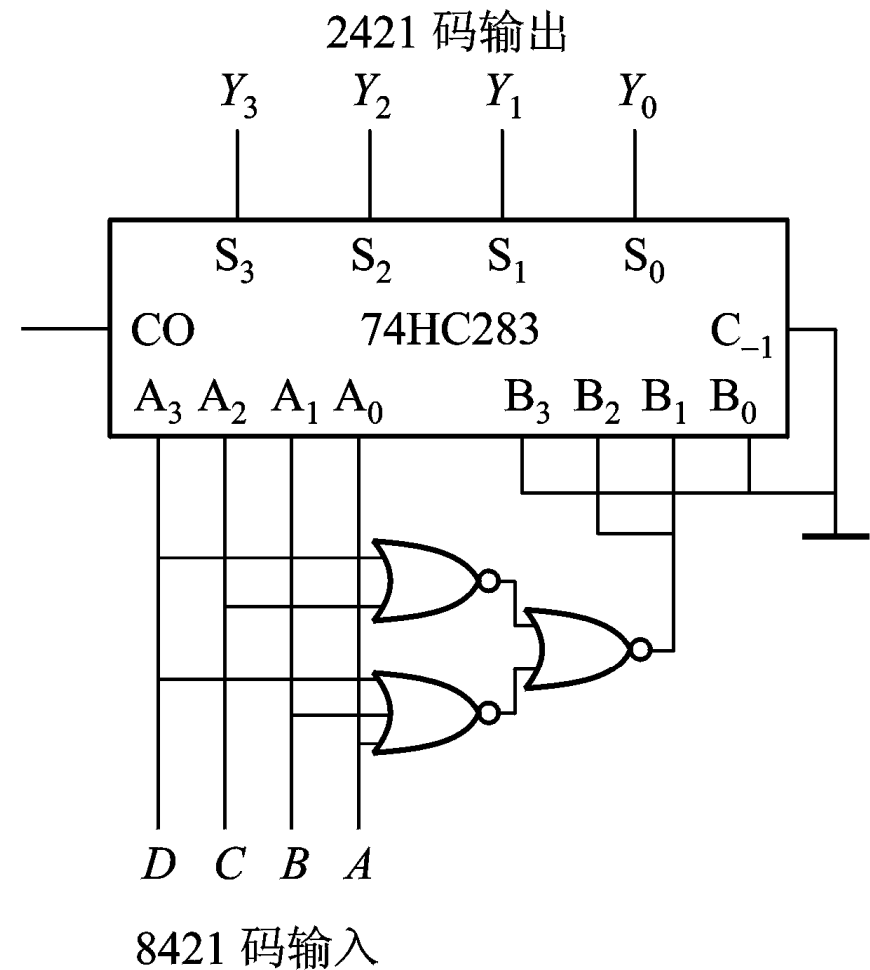
解题思路：找到 8421BCD 码和 2421BCD 码之间的差值。

列真值表

8421BCD 码	差值 $B_3 \sim B_0$	2421BCD 码
0000	0000	0000
0001	0000	0001
0010	0000	0010
0011	0000	0011
0100	0000	0100
0101	0110	1011
0110	0110	1100
0111	0110	1101
1000	0110	1110
1001	0110	1111

$$B_2 = B_1 = \overline{\overline{D + C + D + B + A}}$$

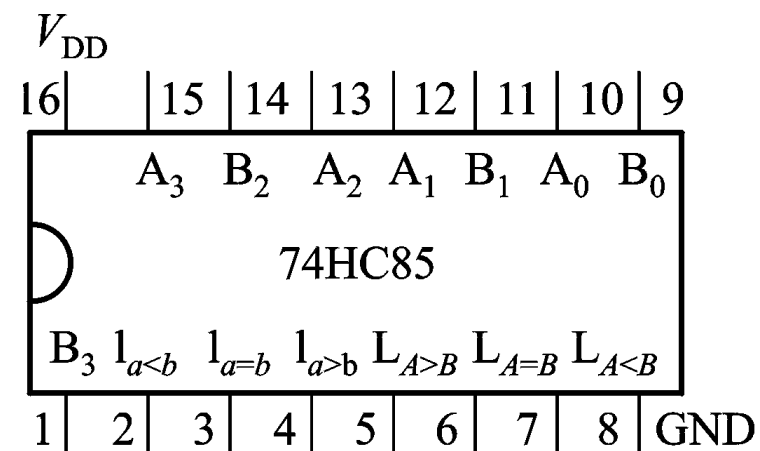
任意数据之间...



## ✓ 数值比较器

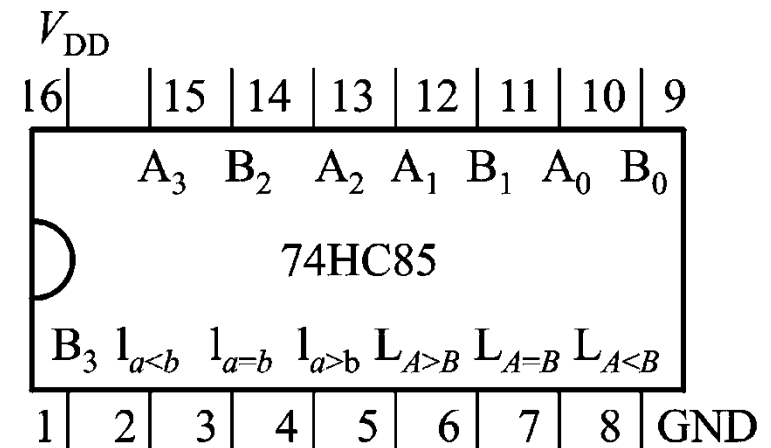
ü 右图所示中规模集成 4 位数值比较器。

ü 怎么根据图，猜功能？



## Ø 数值比较器（芯片数据手册）

ü 下表所示来源于芯片数据手册的功能表。



FUNCTION TABLE

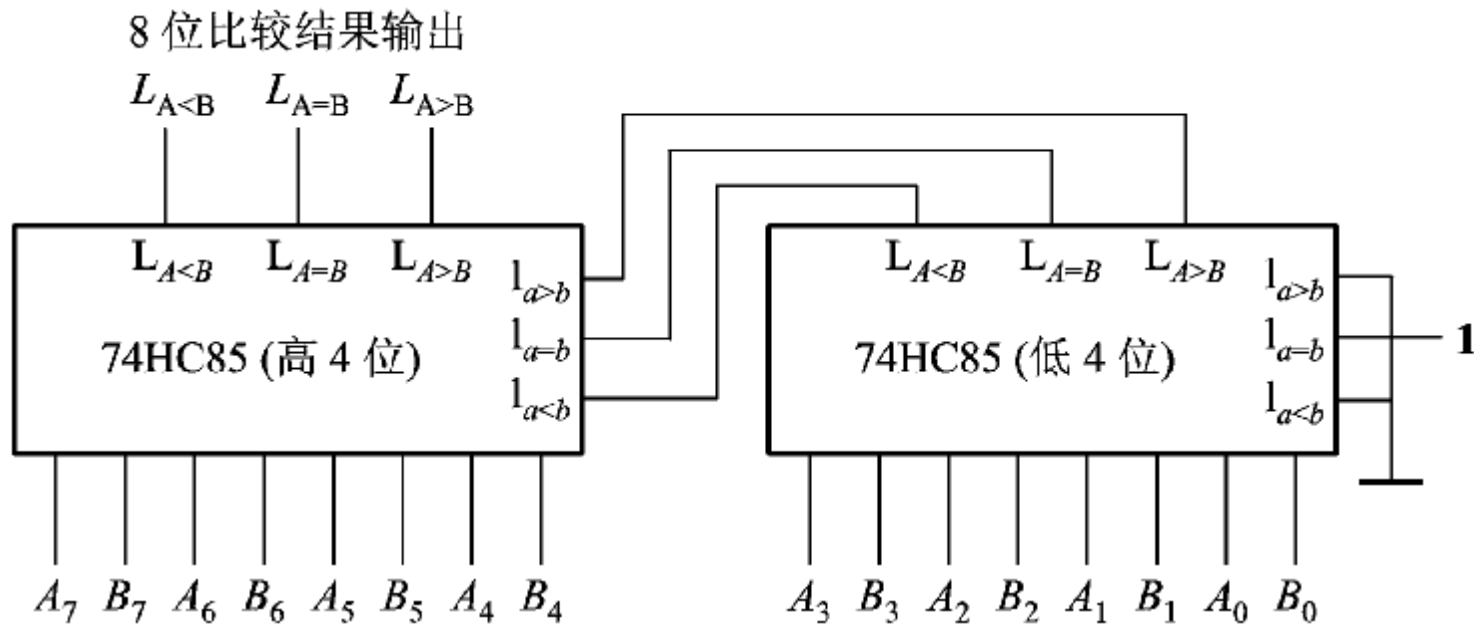
COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
$A_3, B_3$	$A_2, B_2$	$A_1, B_1$	$A_0, B_0$	$I_{A>B}$	$I_{A<B}$	$I_{A=B}$	$Q_{A>B}$	$Q_{A<B}$	$Q_{A=B}$
$A_3 > B_3$	X	X	X	X	X	X	H	L	L
$A_3 < B_3$	X	X	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 > B_2$	X	X	X	X	X	H	L	L
$A_3 = B_3$	$A_2 < B_2$	X	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 > B_1$	X	X	X	X	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 < B_1$	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 > B_0$	X	X	X	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 < B_0$	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	H	L	L	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	H	L	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	L	H	L	L	H
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	X	X	H	L	L	H
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	H	H	L	L	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	L	L	H	H	L

### Notes

1. H = HIGH voltage level  
L = LOW voltage level  
X = don't care

【例2.12-1】

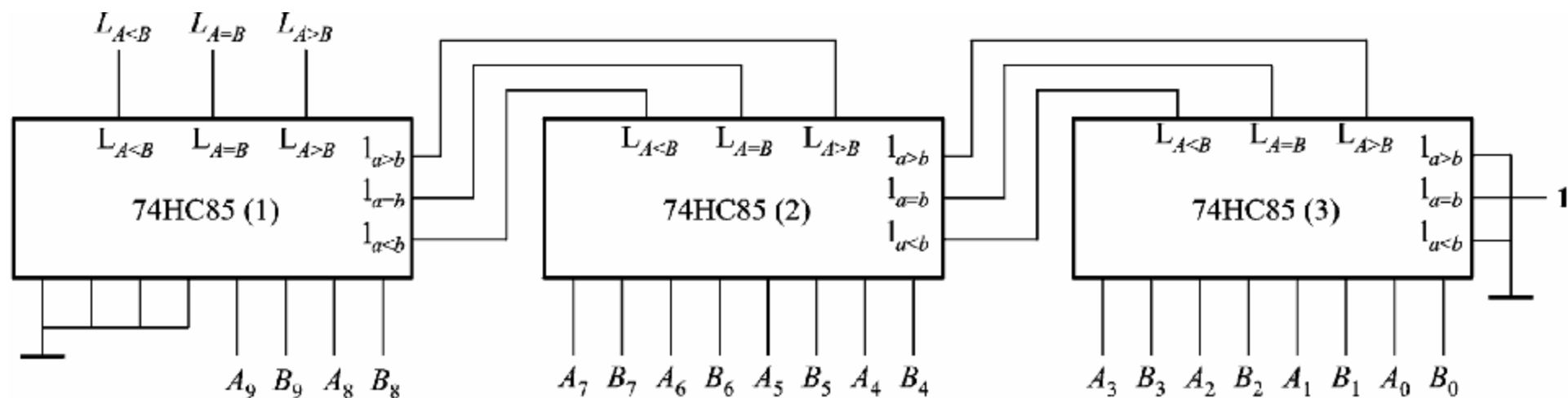
用 74HC85 实现多位数值比较。



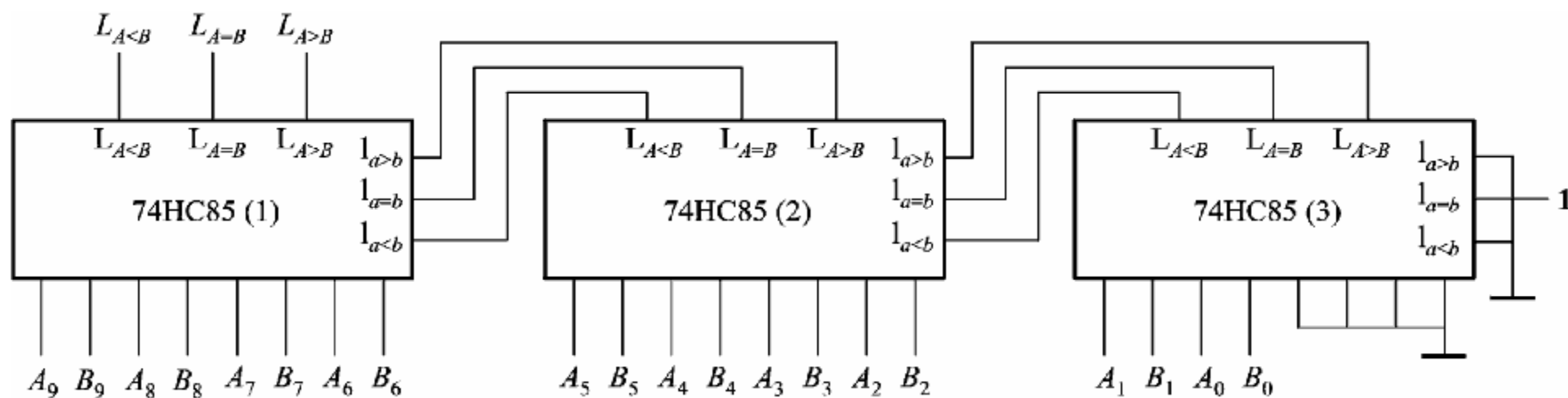
## 8 位数值比较

### 【例2.12-2】

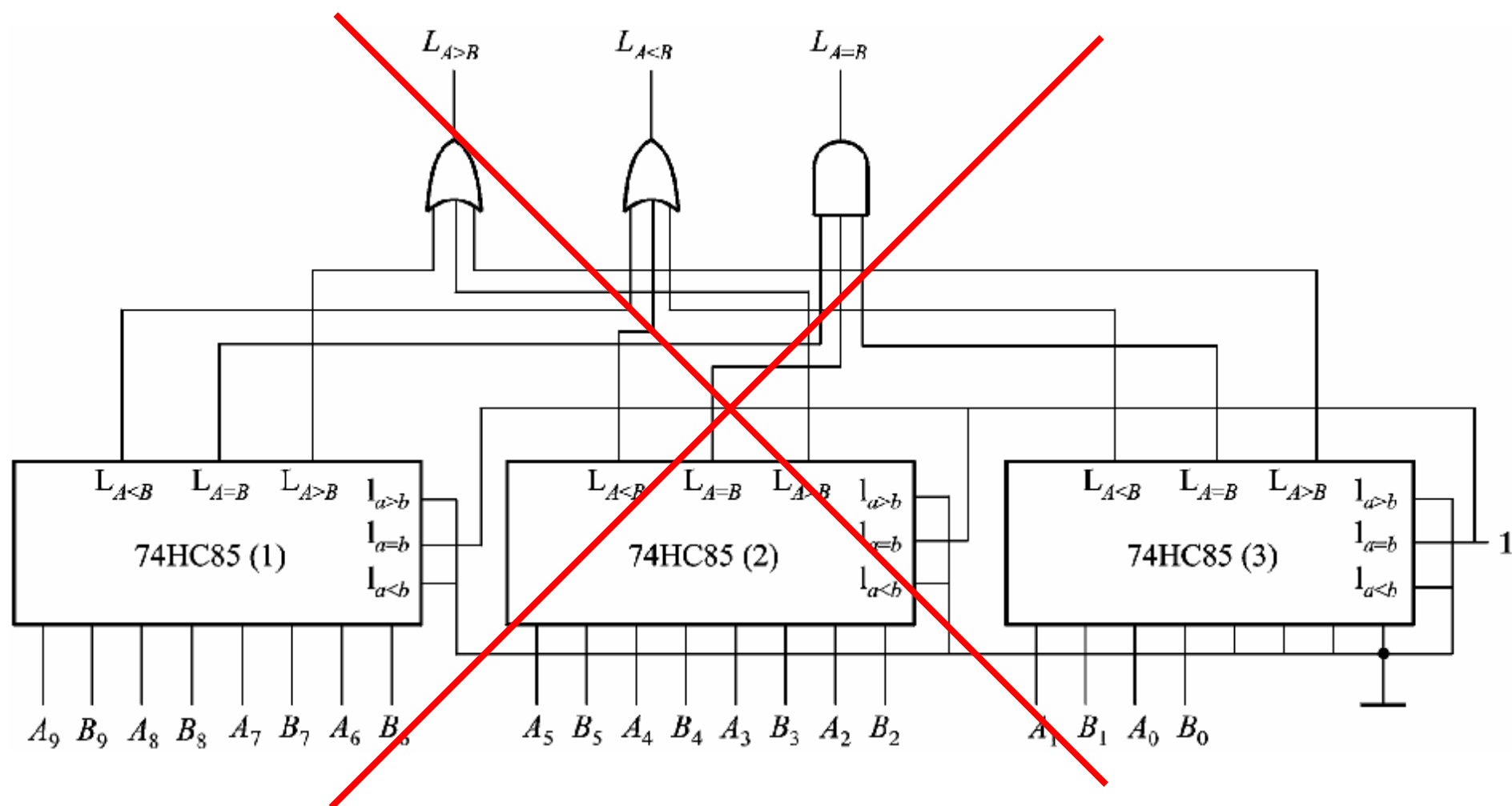
用 74HC85 实现多位数值比较。



### 10 位数值比较



## 用 74HC85 实现多位数值比较（并行比较法）





## ✓ 本节作业

ü 习题 4 (P236)

21、23.1/2、29。

所有的题目，需要有解题过程（不是给一个答案即可）。