

# 数字电路分析与设计（实验）

## 计数器电路

## ✓ 实验目的

ü 加深理解计数器电路的工作原理。

ü 学习计数器电路的设计、组装与调试。

ü 进一步掌握常用仪器设备等的使用。

## ✓ 实验内容

ü 测试集成计数器（74xx161）的逻辑功能。

（引脚图，请参考实验教材 P584 附录 B）

ü 利用集成计数器（74xx161）和其它基本逻辑门实现：  
数字钟。

（六进制、十进制、六十进制、二十四进制、...）

（设计，实现，并进行功能测试）

ü 利用集成计数器实现其它功能/进制电路（自定义）

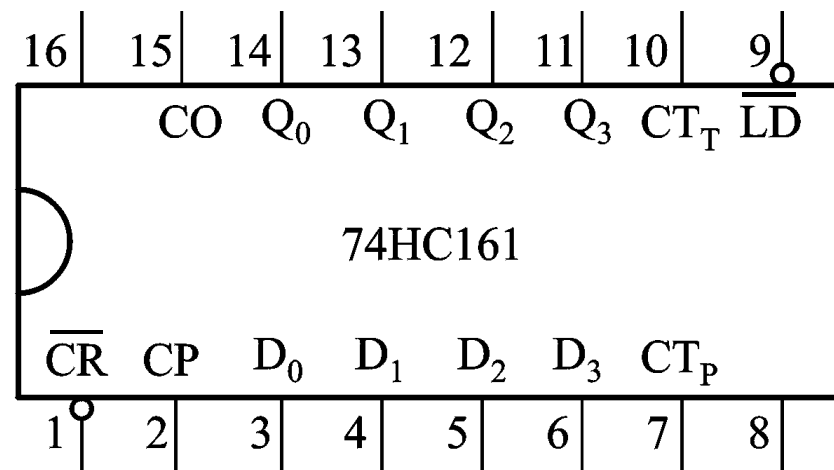
## ✓ 实验原理

### 74161 功能表

输入						输出
$CP$	$\overline{CR}$	$\overline{LD}$	$CT_P$	$CT_T$	$D_3D_2D_1D_0$	$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$
×	0	×	×	×	××××	0 0 0 0
↑	1	0	×	×	$A_3A_2A_1A_0$	$A_3 A_2 A_1 A_0$
↑	1	1	1	1	××××	4 位二进制加法
×	1	1	0	×	××××	保持
×	1	1	×	0	××××	保持

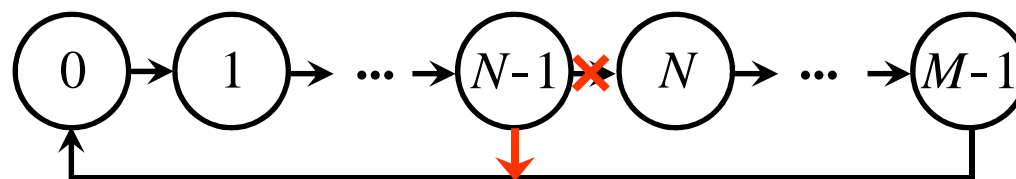
74161 异步清零、同步置数、四位二进制加法计数器。

### 74161 引脚图



## Ø 反馈清零法

ü 模为  $M$  的单片集成计数器，若无任何控制，其状态转换图为：



若实现模为  $N$  ( $N < M$ )，则应调整状态转换图（上）。

ü 实现方案：

正常计数时，清零端无效；

计数至某个数据时，清零端有效，计数器清零；

然后，清零端（自动）恢复为无效，计数器从零开始重新计数。

ü 某个数据？

若同步清零方式，清零端需在  $CP$  脉冲有效前置为有效；

若异步清零方式，清零端的有效作用与  $CP$  脉冲无关。

（会出现一个短暂的非有效循环内状态）

$N-1$

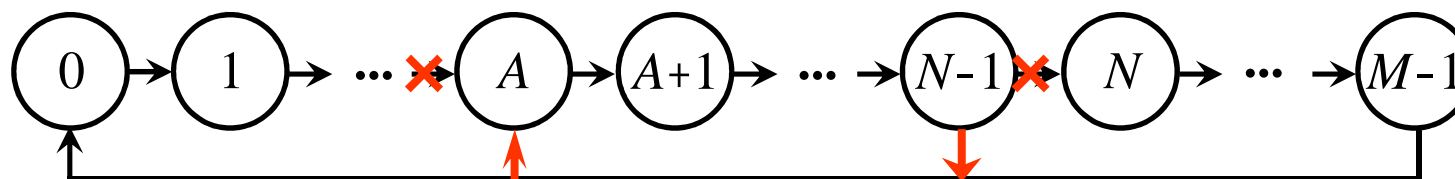
$N$

## 置数法

### 适用场合：

减法计数（无需有全零状态）；

也可以用于加法；



（若  $A = 0$ ，亦可称置零法）

要求状态连续变化。

### 解题步骤：

画出状态转移图，判断是否满足置数法条件；

根据置数方式（同步/异步、高电平/低电平），决定反馈状态；

写出置数端控制函数，并画出逻辑电路图。

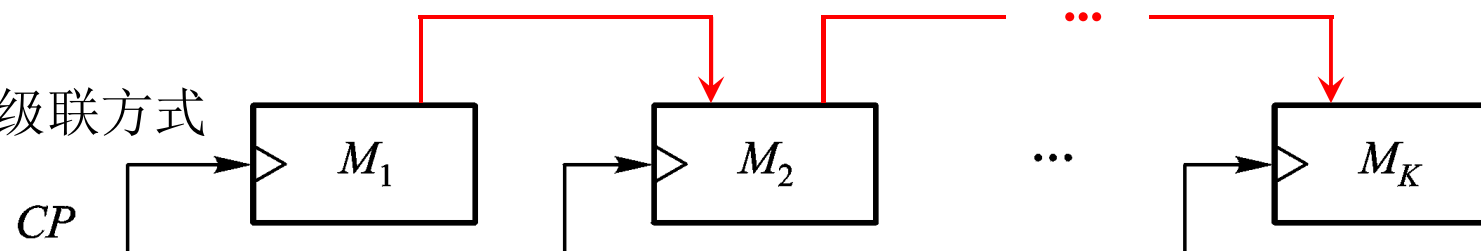
（图中未用到的输入端，尤其是控制端，不能轻易悬空）

## Ø 大容量计数器的实现

ü 连接原则：多个单片集成计数器级联。

整体计数器的模  $M = M_1 \times M_2 \times M_3 \times \dots$

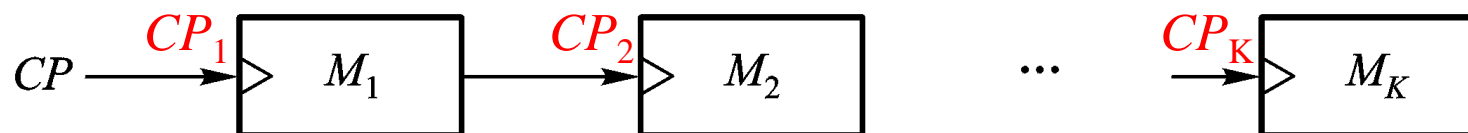
ü 同步级联方式



思路：低位正常计数时，高位保持状态；低位进位时，高位计数状态。

（一般通过控制高位的控制端实现）

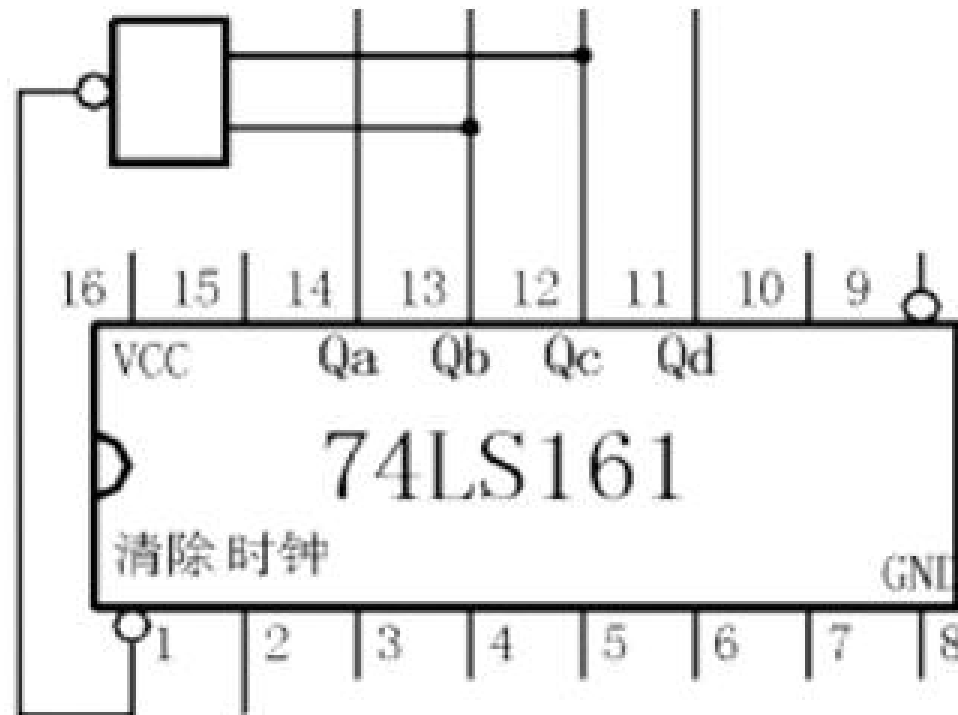
ü 异步级联方式



思路与同步级联方式一致。

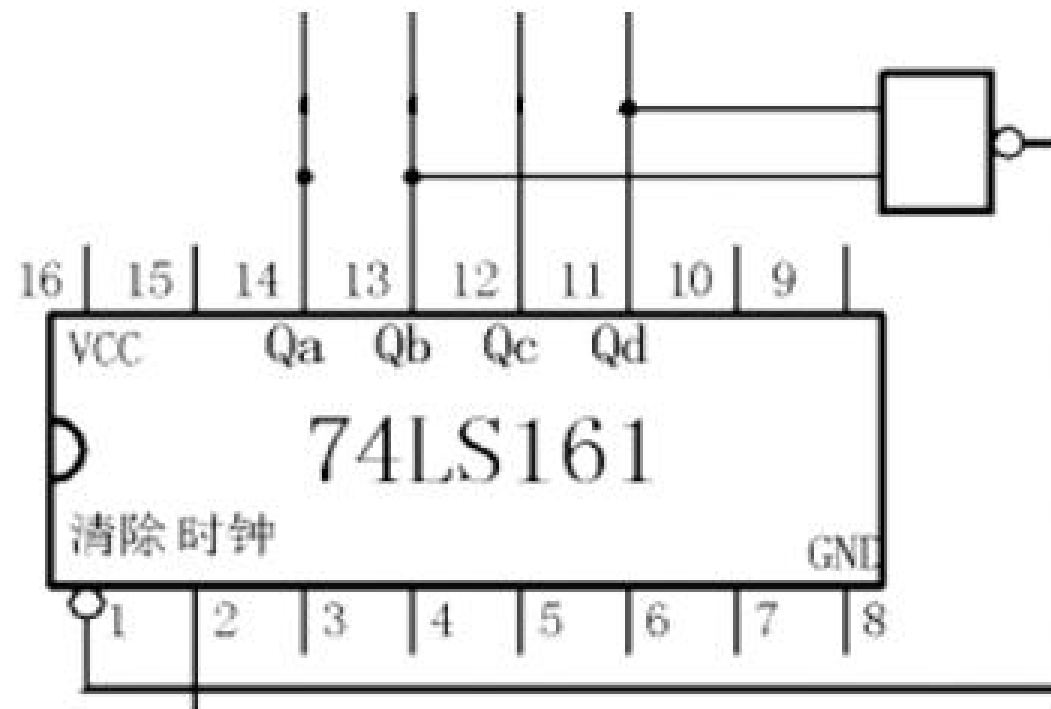
（一般通过控制高位的  $CP$  脉冲端实现）

# Ø 161 实现 8421BCD 编码 六进制加法计数器

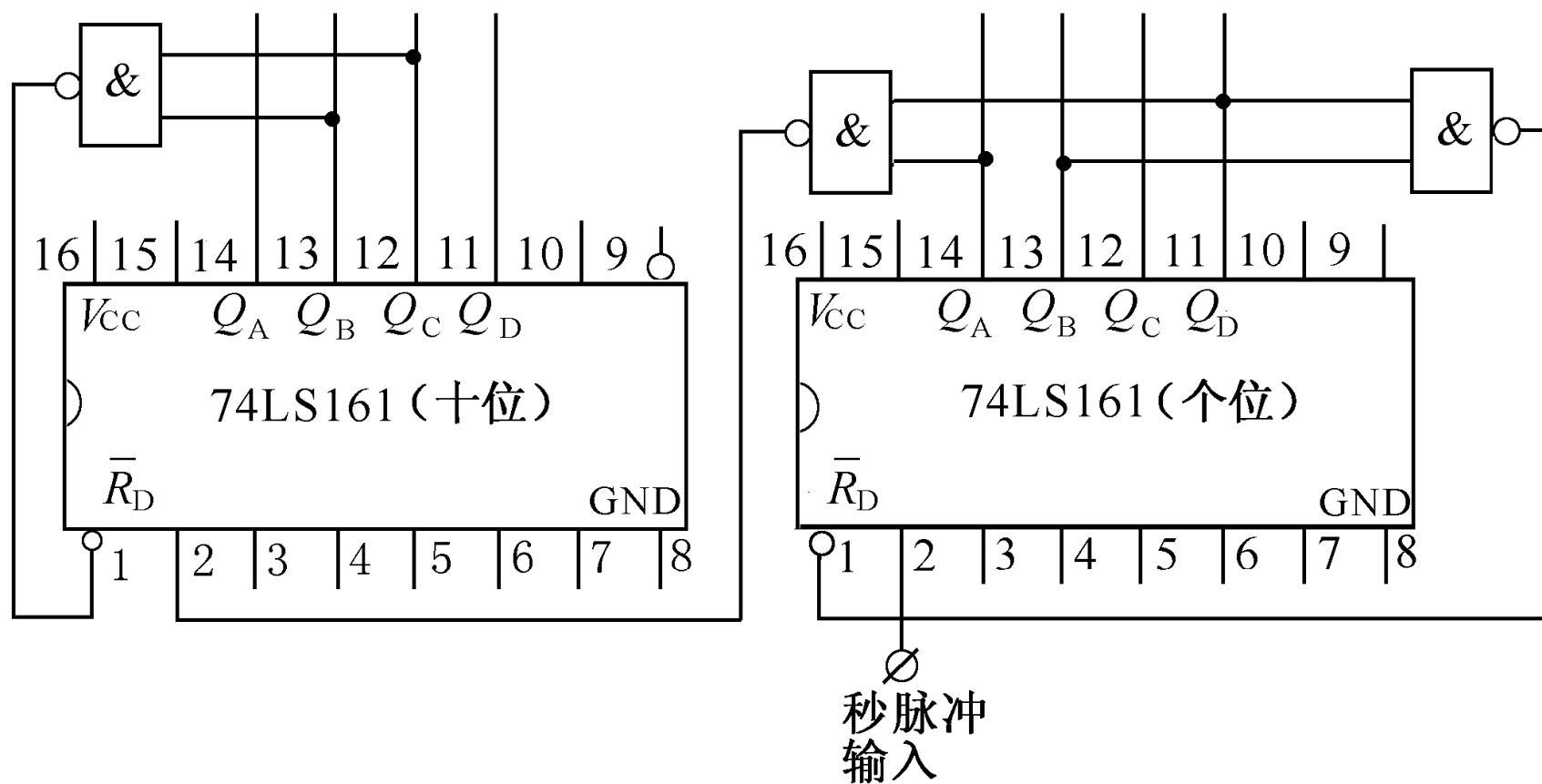




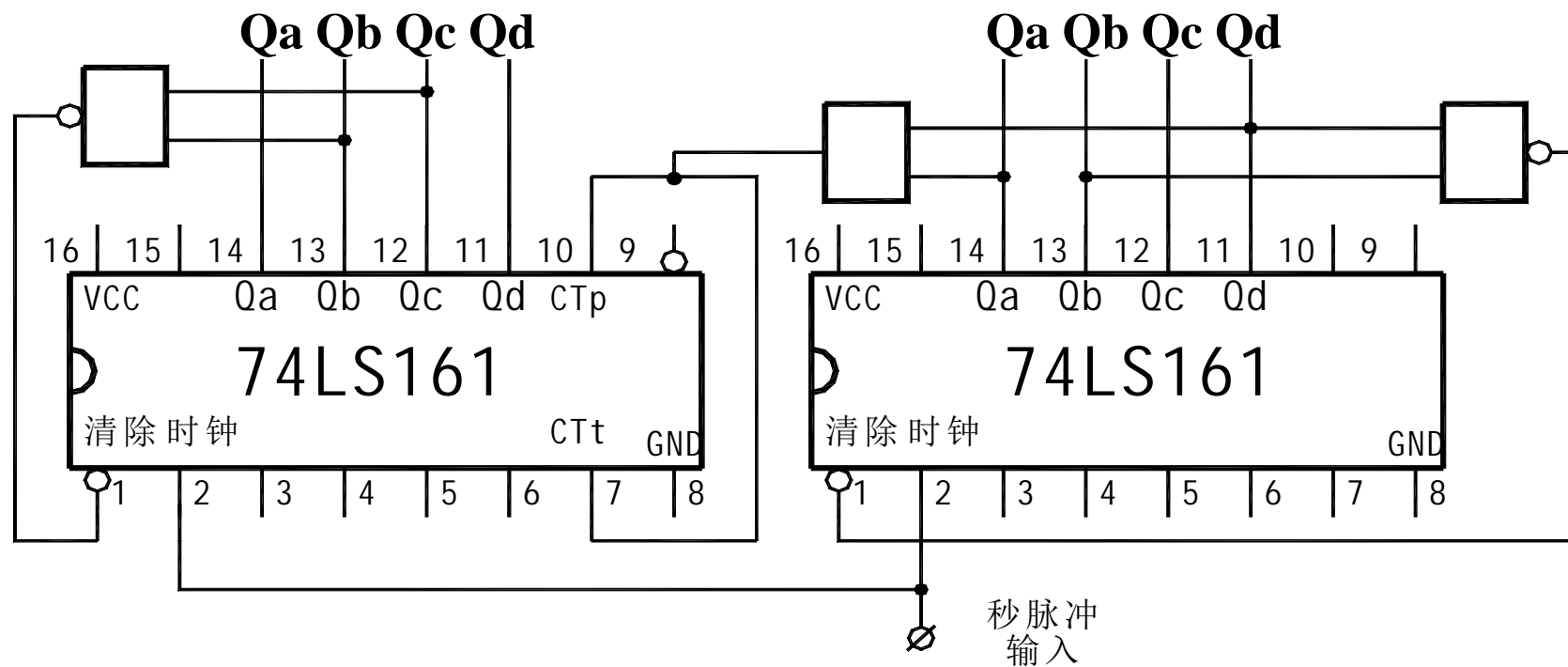
# Ø 161 实现 8421BCD 编码 十进制加法计数器



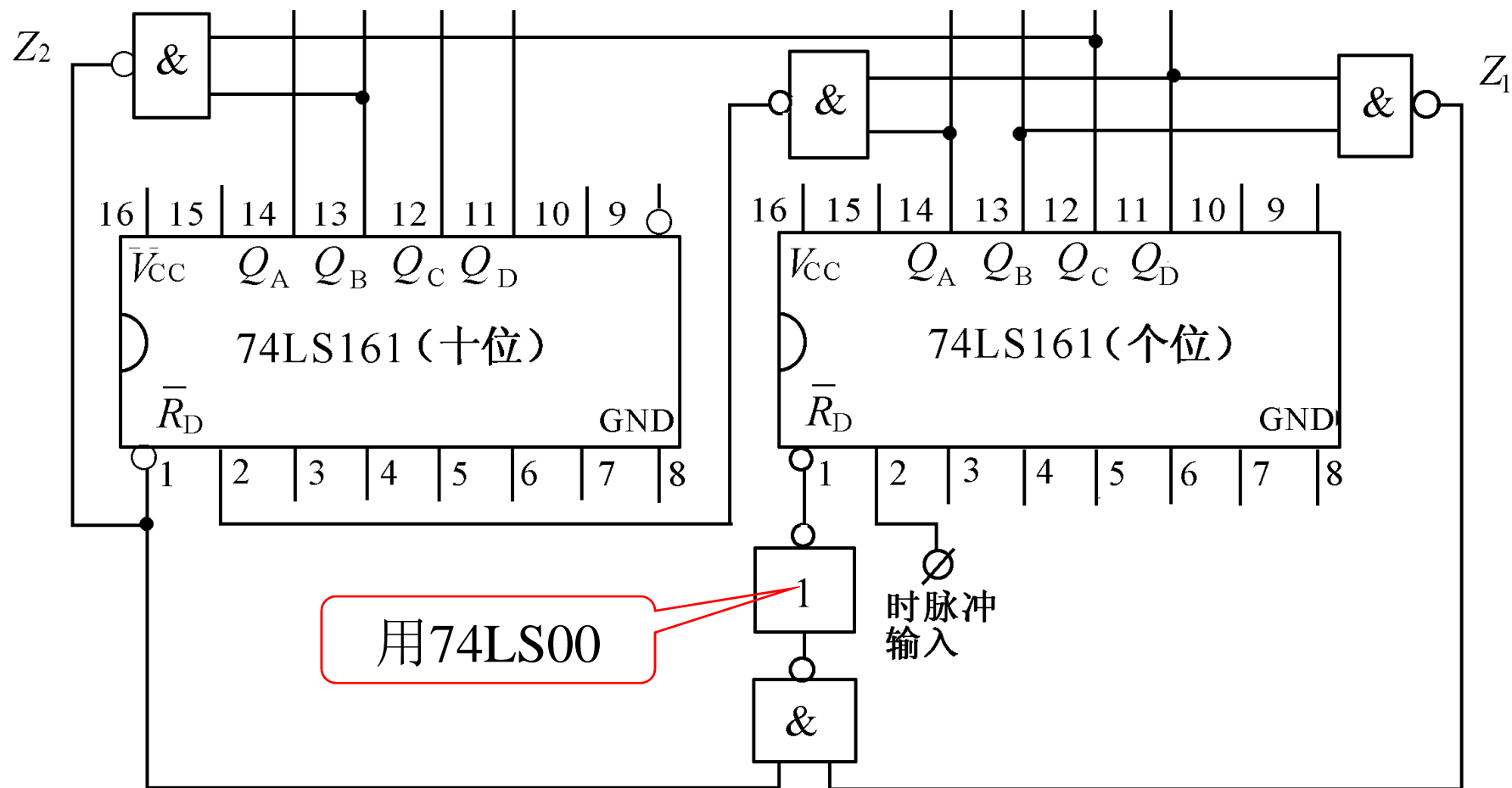
## Ø 161 实现 8421BCD 编码 六十进制加法计数器



## Ø 161 实现 8421BCD 编码 六十进制加法计数器（同步型）



## Ø 161 实现 8421BCD 编码 二十四进制加法计数器



## ✓ 实验步骤

ü 用低频/手控脉冲作为计数脉冲，对数码显示管和芯片进行功能测试。

ü 连接线路成 10 进制计数器；

用低频/手控脉冲作为计数脉冲，进行功能测试；

用高频计数脉冲，示波器观察并记录 *CP* 和所有输出端的波形。

ü 连接线路成 60 进制计数器。

（选做）

ü 连接线路成 24 进制计数器；

（用低频/手控脉冲作为计数脉冲，进行功能测试）

连接线路成 28 进制计数器？

ü 连接线路成其它进制计数器。

（选做）

## ✓ 注意事项

- ⚡ 严禁电源极性颠倒！严禁带电插拔元器件！
- ⚡ 输出端不能并联使用（OC 门和特殊情况下的三态门除外）。
- ⚡ 多余的输入端最好不要悬空（尤其是一些控制端）；  
TTL 门电路输入端悬空时相当于高电平，但容易引入干扰，应避免；  
CMOS 门电路由于其内部结构因素，一般禁止悬空。
- ⚡ 多余的输入端应根据实际需要作适当处理。

## Ø 注意事项（实用）

ü 与非门，多余输入端可接至高电平，也可 ...

ü 在验证电路的逻辑功能时，如发现与要求不符，应首先检查集成电路所加的电源是否正常，然后再检查设计有无问题。

ü 在查找电路故障时，应用逻辑笔，从电路的输入端至输出端逐级检查，从而确定故障点，并加以排除。

ü 输入端，可采用实验箱上的数据开关；  
时序型输入，可采用实验箱上的脉冲信号。

ü 实验结果可用真值表（或波形）记录。

## ⊘ 注意事项（计数器）

ü 改善接线布局以减少干扰（换短的电线、层叠在 3 层以下、置数端接高电平、芯片电源处接滤波电容，或重新接一次）。

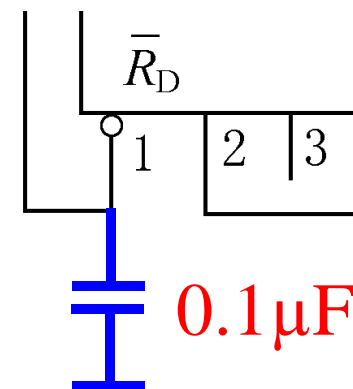
ü 在十位计数器的 2 脚（CP 端）或 1 脚（清零端）接滤波电容。

ü 由于异步电路存在“毛刺”，容易产生误动作；解决问题的根本方法是采用同步时序电路来设计。

ü 在调试时，应分阶段连接调试，一步一步地进行；

例，先连接好个位的十进制计数器，待电路测试正确后，再接十位；两者都正常后，再将 60 进制计数器连接起来；

采用这种步步为营的接线和调试方法（称为自下而上），能较容易地发现问题并排除故障。





## ✓ 实验报告

ü 实验目的、原理、器材、电路等（可略）；

ü 实验过程、原始数据。  
（表格、图形等）

ü 实验数据分析。  
（理论值推导，实测与理论的差异及其原因）

ü 问题、缺陷、体会、经验、意见等。

ü 下周一（四），上交一份实验报告。  
（左上角桌号）

## ✓ 任务小结

ü 测试集成计数器（74xx161）的逻辑功能。

（引脚图，请参考实验教材 P584 附录 B）

ü 利用集成计数器（74xx161）和其它基本逻辑门实现：

二十四进制、二十八进制计数器、（六进制）、（六十进制）。

（设计，实现，功能测试）

（用示波器显示 CP 和各输出端的波形）

ü 利用集成计数器实现其它功能/进制电路（自定义）。



请说明

✓ 下次实验

ü 实验课考查

ü 闭卷

## ✓ 下次课程

ü 研讨课

ü 复习？

ü 作业