

数字电路分析与设计

中规模集成计数器

(4.2.4)

n 中规模集成计数器

ü 中规模集成计数器的一般功能：

计数（加法，减法，不同编码）；
保持；
置数（同步或异步）；
清零（同步或异步）；
进/借位输出端，扩展输入输出端等。

ü 计数器的原理相对简单易懂（之前已熟悉）；
所以，以能读懂计数器的功能表和引脚排列即可。
（类似之前的集成组合逻辑电路）

ü 本章目标：学会使用计数器。
（无需了解其内部电路结构）

n 中规模集成计数器

- ✓ 典型中规模集成计数器介绍
- ✓ 中规模集成计数器的典型应用
- ✓ 大容量计数器的实现
- ✓ 中规模集成计数器的扩展应用

✓ 典型中规模集成计数器介绍

ü 4 位二进制加法计数器 74HC163、74HC161

ü 十进制可逆计数器 74LS192

Ø 4 位二进制加法计数器 74HC163、74HC161

ü 引脚图 (74HC163)

ü 功能猜测?

\overline{CR} : 清零 (同步/异步?)

\overline{LD} : 置数 (同步/异步?)

CP: 时钟脉冲?

$D_0 \sim D_3$: 数据输入

$Q_0 \sim Q_3$: 数据输出

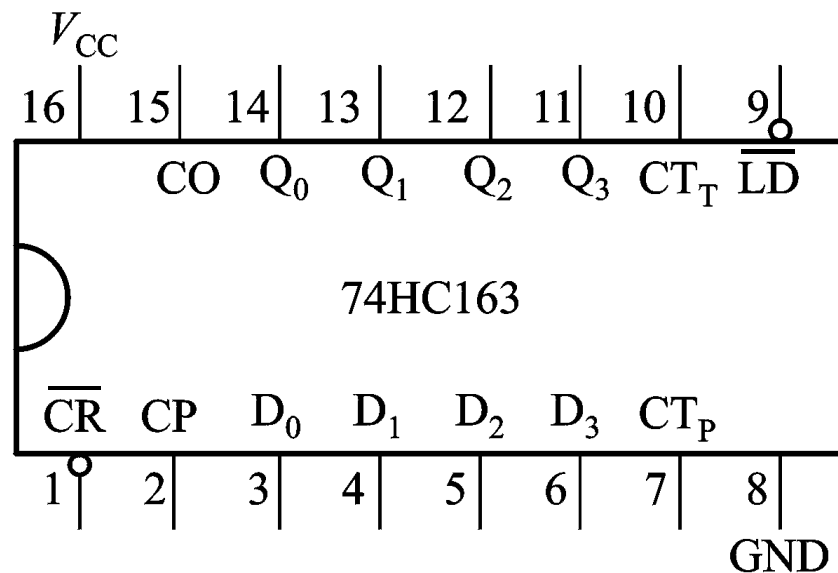
CO: 进位输出 ... ?

V_{CC} 、GND: 电源

CT_P 、 CT_T : ? ✓

ü 功能表

ü 161: 异步清零



输入						输出			
CP	\overline{CR}	\overline{LD}	CT_P	CT_T	$D_3D_2D_1D_0$	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
↑	0	×	×	×	××××	0	0	0	0
↑	1	0	×	×	$A_3A_2A_1A_0$	A_3	A_2	A_1	A_0
↑	1	1	1	1	××××	4 位二进制加法			
×	1	1	0	×	××××	保持			
×	1	1	×	0	××××	保持			

十进制可逆计数器 74LS192

引脚图

功能猜测？

CR：清零（同步/异步？）

\overline{LD} ：置数（同步/异步？）

CP_D 、 CP_U ：时钟脉冲？

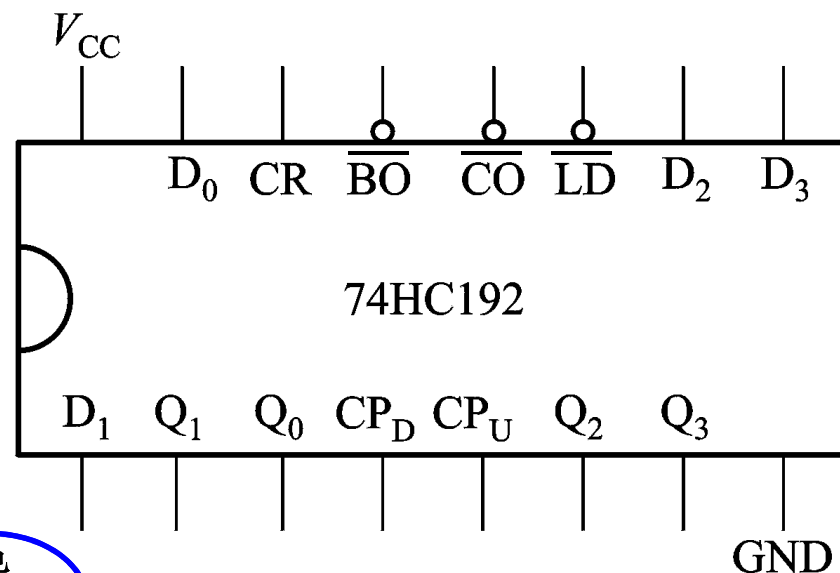
$D_0 \sim D_3$ ：数据输入

$Q_0 \sim Q_3$ ：数据输出

\overline{CO} ：进位输出 ... ?

\overline{BO} ：借位输出 ... ?

V_{CC} 、GND：电源



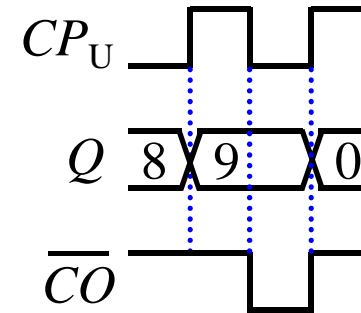
异步

功能表

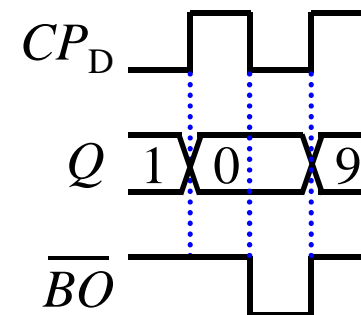
CR	\overline{LD}	CP_U	CP_D	$D_3 D_2 D_1 D_0$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
1	×	×	×	× × × ×	0 0 0 0
0	0	×	×	$A_3 A_2 A_1 A_0$	$A_3 A_2 A_1 A_0$
0	1	↑	1	× × × ×	8421 十进制加法
0	1	1	↑	× × × ×	8421 十进制减法
0	1	1	1	× × × ×	保持

十进制可逆计数器 74LS192

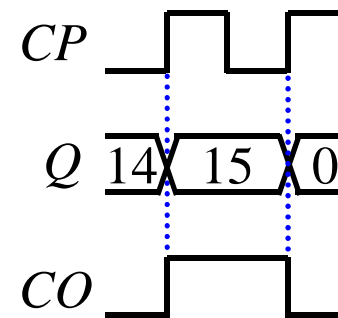
进位输出: $\overline{CO} = \overline{Q_3 Q_0 \overline{CP_U}}$
(何时输出低电平?)
(波形?)



借位输出: $\overline{BO} = \overline{Q_3 Q_2 Q_1 Q_0 \overline{CP_D}}$
(何时输出低电平?)
(波形?)



74HC161/163 进位输出: $CO = Q_3 Q_2 Q_1 Q_0 \cdot CT_T$
(何时输出高电平?)
(波形?)



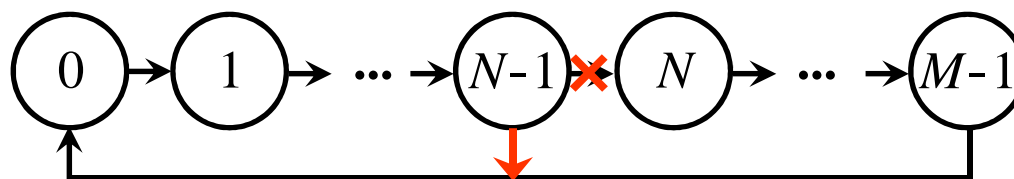
✓ 中规模集成计数器的典型应用

ü 设单片集成计数器的模为 M ，其典型应用是：
实现进制数 $< M$ 的任意进制计数。

ü 主要方法：
反馈清零法；
置数法；
多次反馈置数法。

Ø 反馈清零法

ü 模为 M 的单片集成计数器，若无任何限制，其状态转换图为：



若实现模为 N ($N < M$)，则应调整状态转换图（上）。

ü 实现方案：

正常计数时，清零端无效；

计数至某个数据时，清零端有效，计数器清零；

然后，清零端（自动）恢复为无效，计数器从零开始重新计数。

ü 某个数据？

若同步清零方式，清零端需在 CP 脉冲有效前置为有效；

若异步清零方式，清零端的有效作用与 CP 脉冲无关。

（会出现一个短暂的非有效循环内状态）

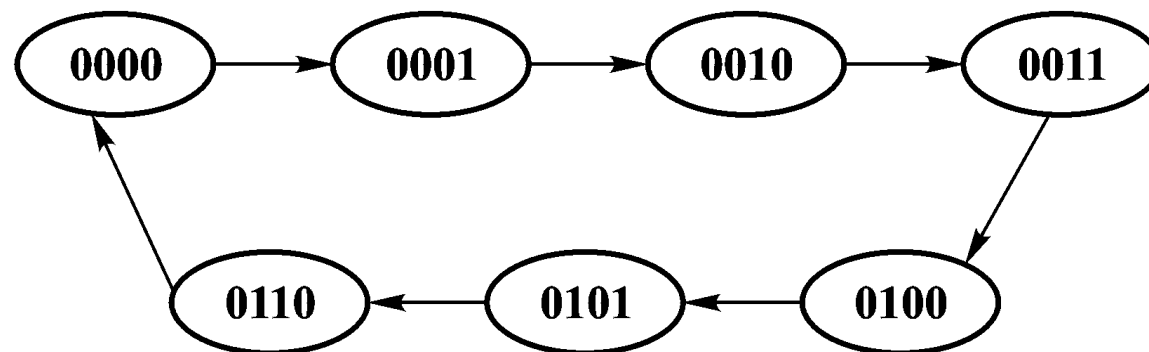
$N-1$

N

【例4.1-1】

用 74HC163 设计一个 8421BCD 编码的七进制加法计数器。

解：七进制加法计数器的状态转换图如下。



$$\overline{CR} = \overline{Q_2^n Q_1^n}$$

74HC163（同步、低电平清零，16 进制）

同步清零：清零端需在 CP 脉冲有效前置为有效；

低电平清零：正常计数时，清零端应为高电平；

所以：

计数值为 0000 ~ 0101 时，清零端为高电平；

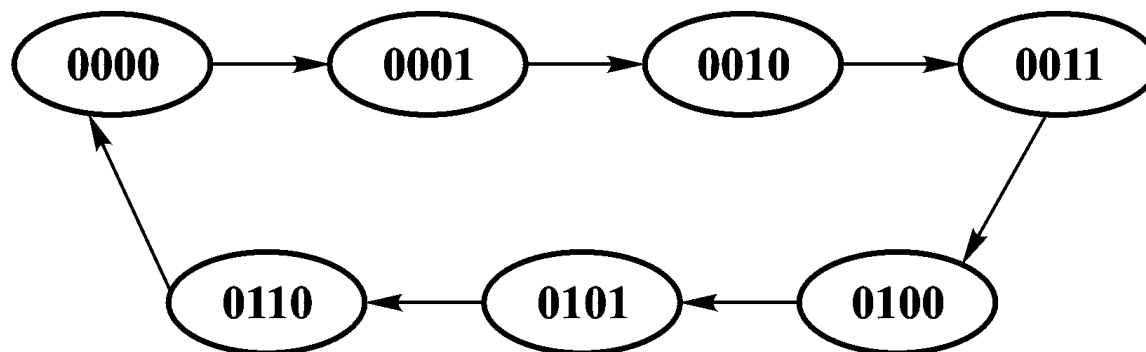
计数值为 0110 时，清零端需为低电平（先于脉冲）；

等 CP 脉冲有效时，清零；

然后，清零端自动恢复为高电平，重新计数。

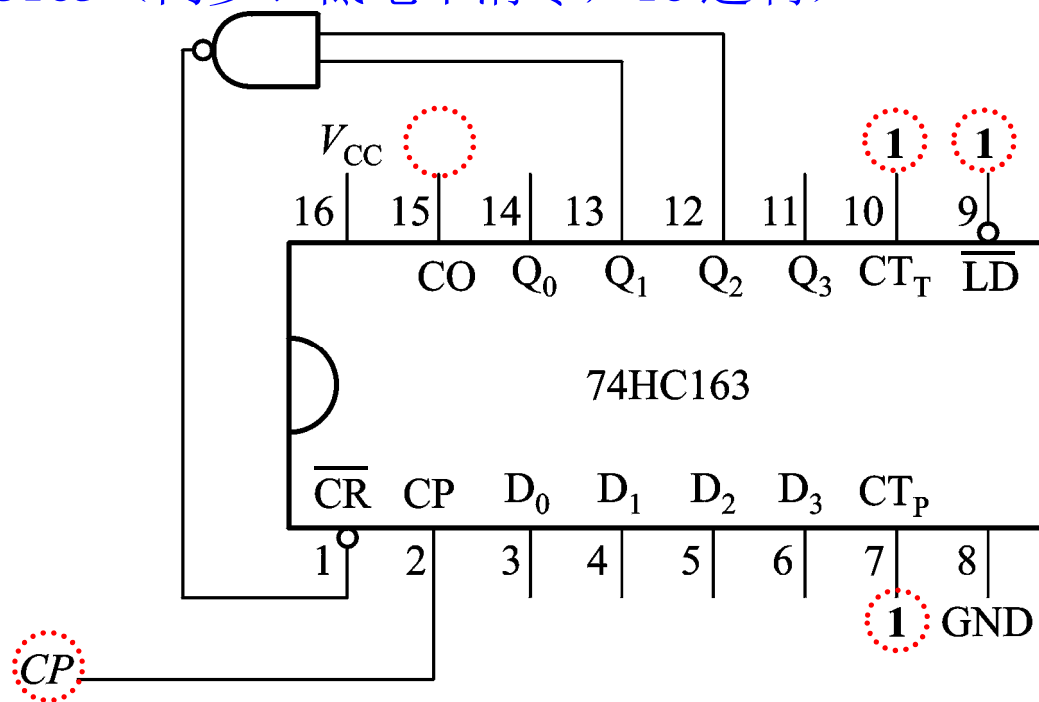
用 74HC163 设计一个 8421BCD 编码的七进制加法计数器。

解：七进制加法计数器的状态转换图如下。



$$\overline{CR} = \overline{Q_2^n Q_1^n}$$

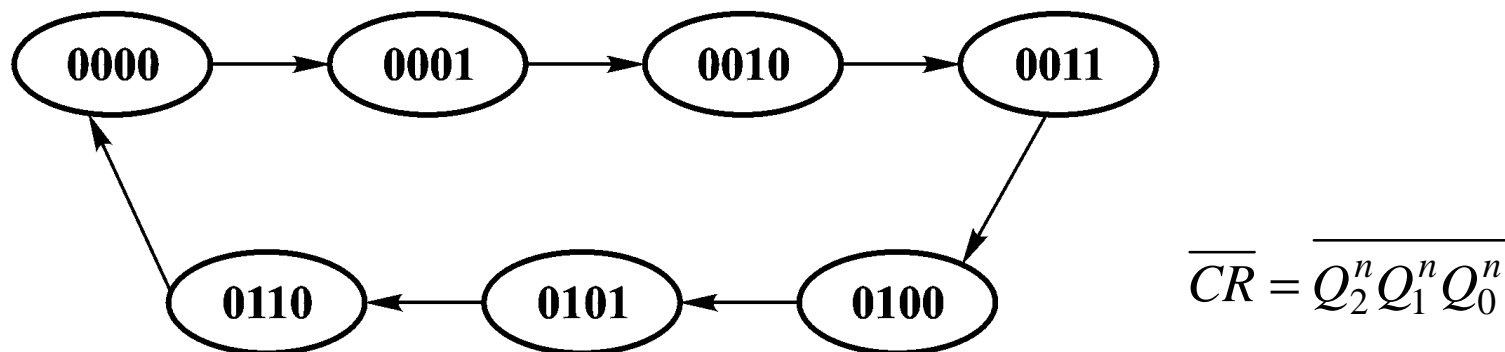
74HC163（同步、低电平清零，16 进制）



【例4.1-2】

用 **74HC161** 设计一个 8421BCD 编码的七进制加法计数器。

解：七进制加法计数器的状态转换图如下。



74HC161（异步、低电平清零，16进制）

异步清零：清零端的有效作用与 CP 脉冲无关；

低电平清零：正常计数时，清零端应为高电平；

所以：

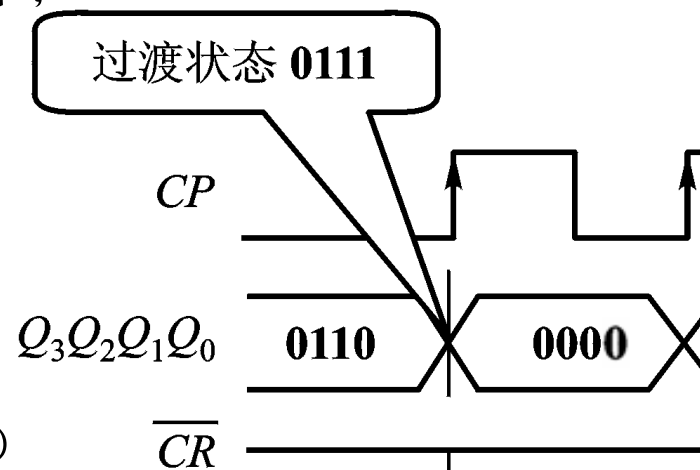
计数值为 0000 ~ **0110** 时，清零端为高电平；

计数值为 **0111** 时，清零端需为低电平；

清零；

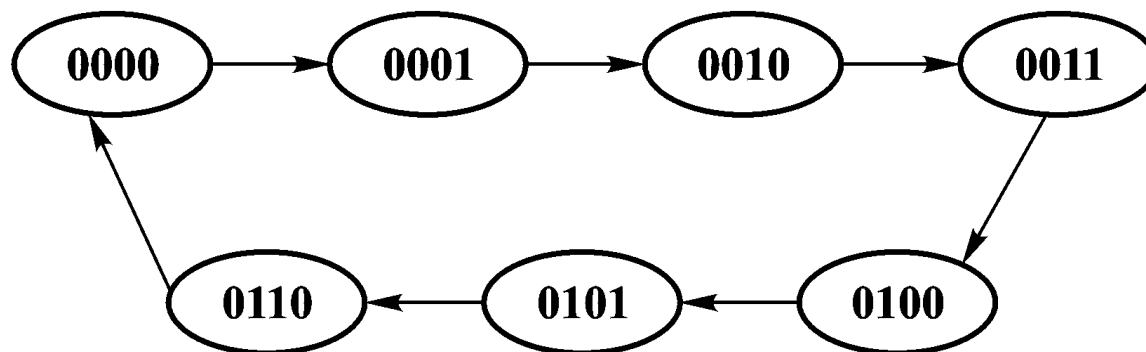
然后，清零端自动恢复为高电平，重新计数。

（会出现一个短暂的非有效循环内状态 0111）



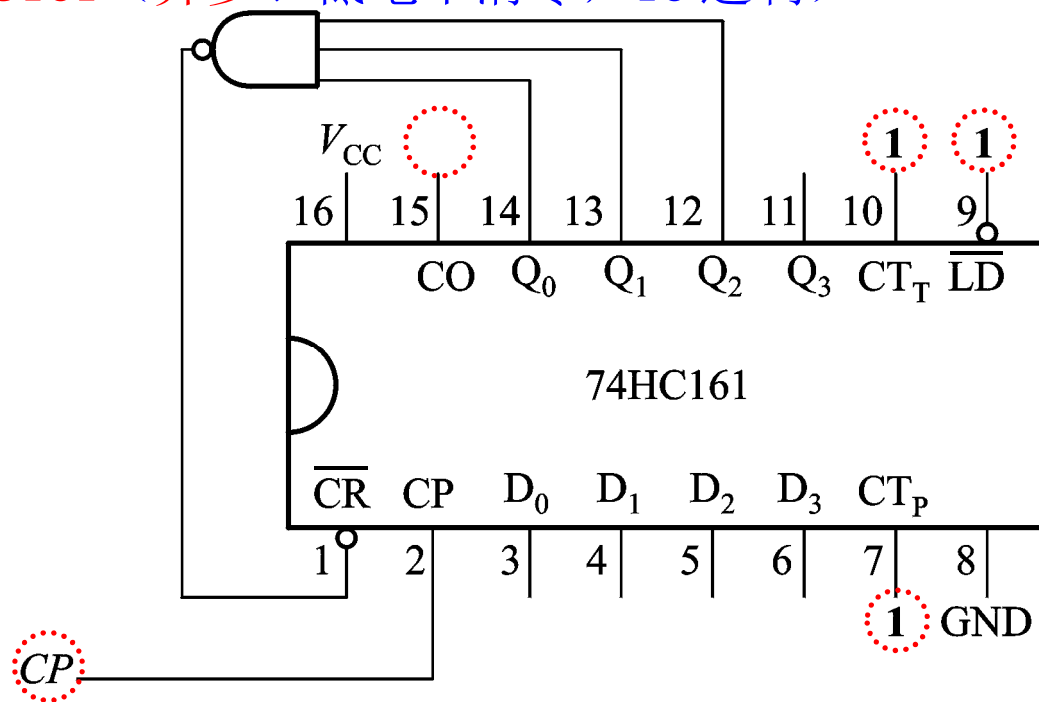
用 **74HC161** 设计一个 8421BCD 编码的七进制加法计数器。

解：七进制加法计数器的状态转换图如下。



$$\overline{CR} = \overline{Q_2^n Q_1^n Q_0^n}$$

74HC161（异步、低电平清零，16 进制）

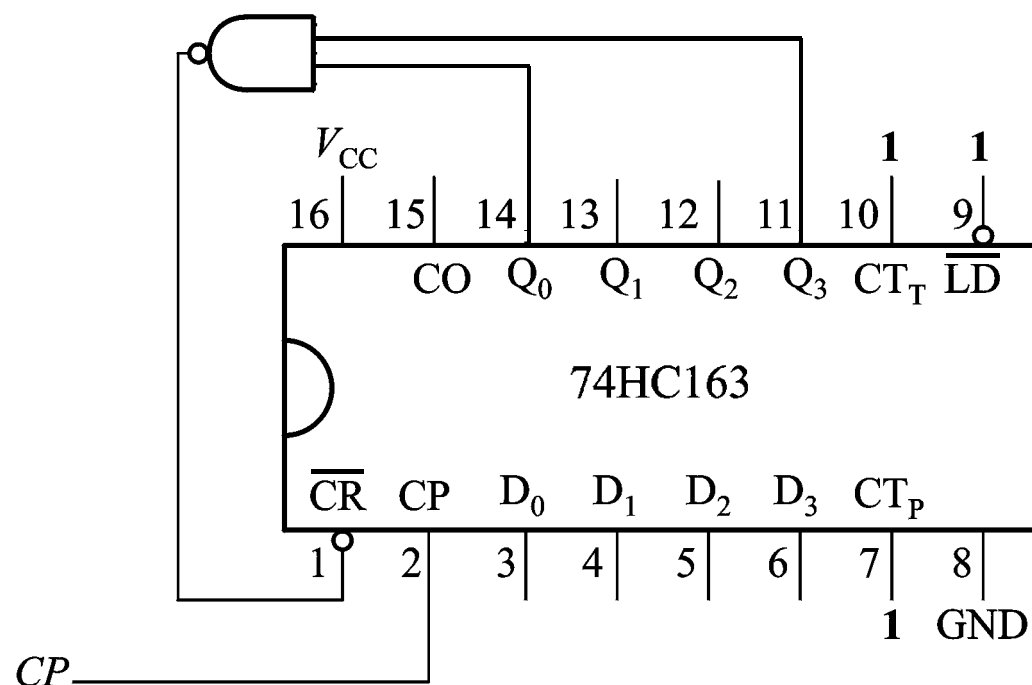


【例4.1-3】

用 74HC163 设计一个 8421BCD 编码的十进制加法计数器。

解：74HC163（同步、低电平清零，16 进制）

所以，清零端应在编码为 9 的时候有效，即： $\overline{CR} = \overline{Q_3^n Q_0^n}$

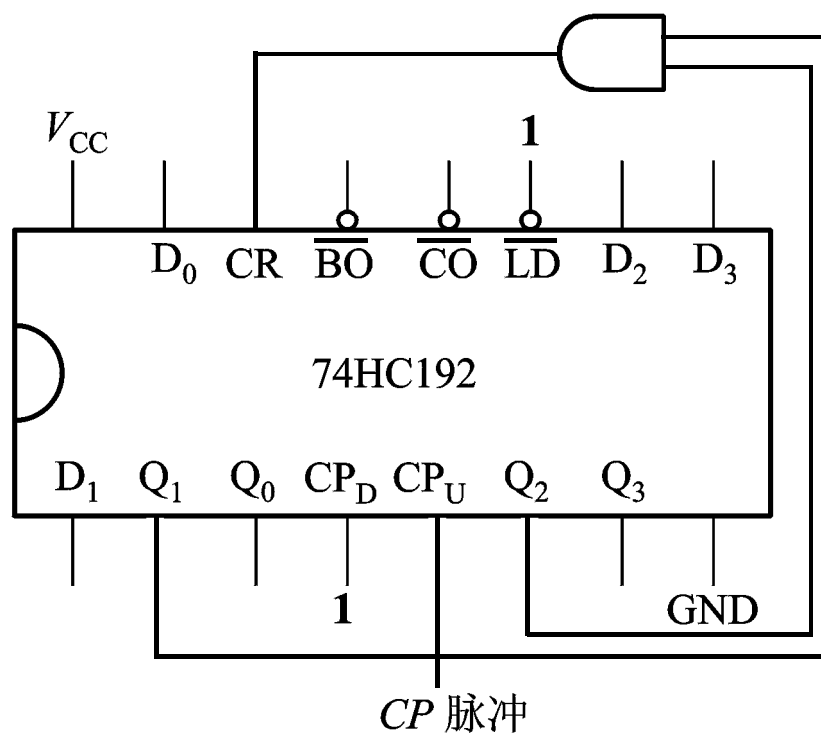


【例4.1-4】

用 74HC192 设计一个 8421BCD 编码的六进制加法计数器。

解：74HC192（异步、高电平清零，10 进制）

所以，清零端应在编码为 6 的时候有效，即： $CR = Q_2^n Q_1^n$



Ø 反馈清零法

ü 适用场合：

加法计数（一般不用于减法）；

必须有全零（0...0）状态；

要求状态连续变化。

ü 解题步骤：

画出状态转移图，判断是否满足反馈清零法条件；

根据清零方式（同步/异步、高电平/低电平），决定反馈状态；

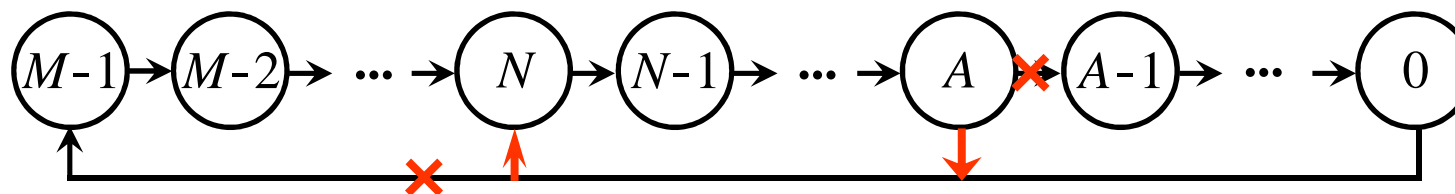
写出清零端控制函数，并画出逻辑电路图。

（图中未用到的输入端，尤其是控制端，不能轻易悬空）

Ø 置数法

ü 解决反馈清零法的两个缺陷：不适用于减法、必须有全零状态。

ü 模为 M 的单片集成计数器，若无任何限制，其状态转换图（减法）为：



若实现 $N \sim A$ 变换，则应调整状态转换图（上）。

ü 实现方案：

正常计数时，置数端无效；

计数至某个数据时，置数端有效，计数器还原为初始值；

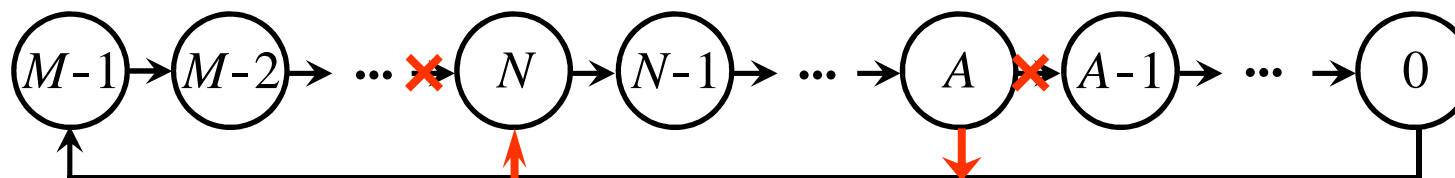
然后，置数端（自动）恢复为无效，计数器从初始值开始重新计数。

ü 初始值来源于数据输入端 D ，即：置数端有效时， $D \rightarrow N$ 。

Ø 置数法

ü 解决反馈清零法的两个缺陷：不适用于减法、必须有全零状态。

ü 模为 M 的单片集成计数器，若无任何限制，其状态转换图（减法）为：



若实现 $N \sim A$ 变换，则应调整状态转换图（上）。

ü 某个数据？

若同步置数方式，置数端需在 CP 脉冲有效前置为有效；

若异步置数方式，置数端的有效作用与 CP 脉冲无关。

（会出现一个短暂的非有效循环内状态）

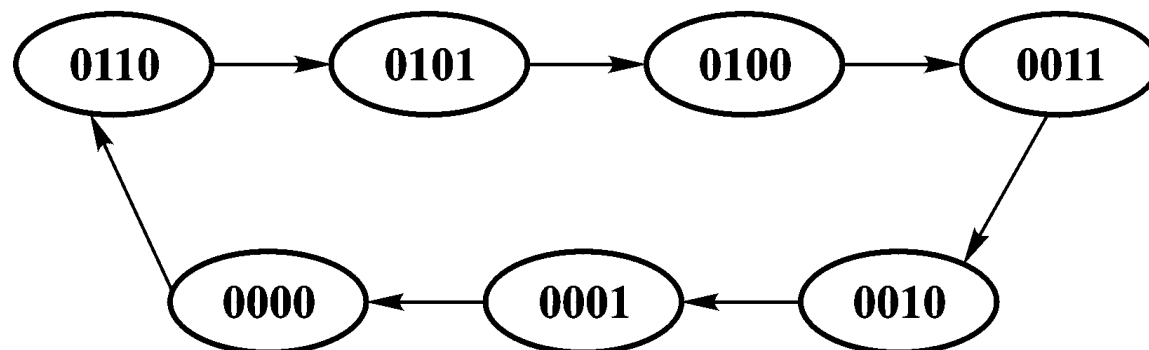
A

$A-1$

【例4.2-1】

用 74LS192 设计一个 8421BCD 编码的七进制减法计数器。

解：七进制减法计数器的状态转换图如下。



$$\overline{LD} = \overline{Q_3^n Q_0^n}$$
$$D = 0110$$

74LS192（异步、低电平置数，10 进制）

异步置数：置数端的有效作用与 CP 脉冲无关；

低电平置数：正常计数时，置数端应为高电平；

所以：

计数值为 0110 ~ 0000 时，置数端为高电平；

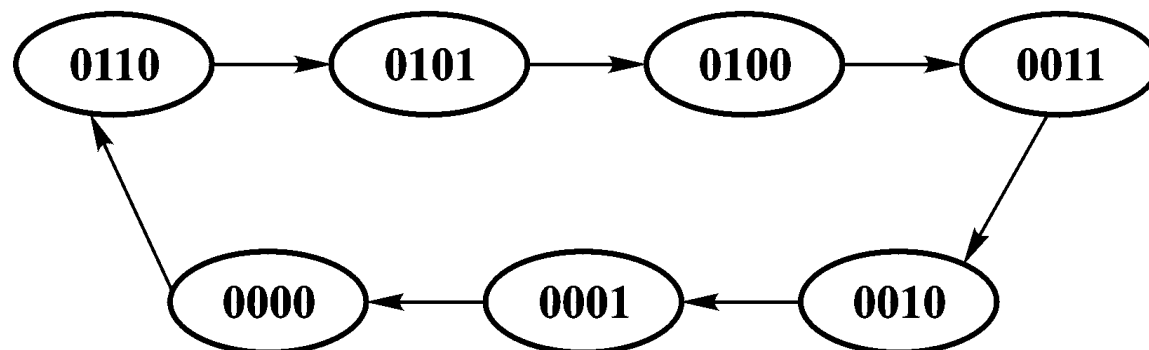
计数值为 1001 时，置数端需为低电平（初始值 $D = 0110$ ）；

置数（状态由 1001 转为 0110，1001 是瞬态）；

然后，置数端自动恢复为高电平，重新开始计数。

用 74LS192 设计一个 8421BCD 编码的七进制减法计数器。

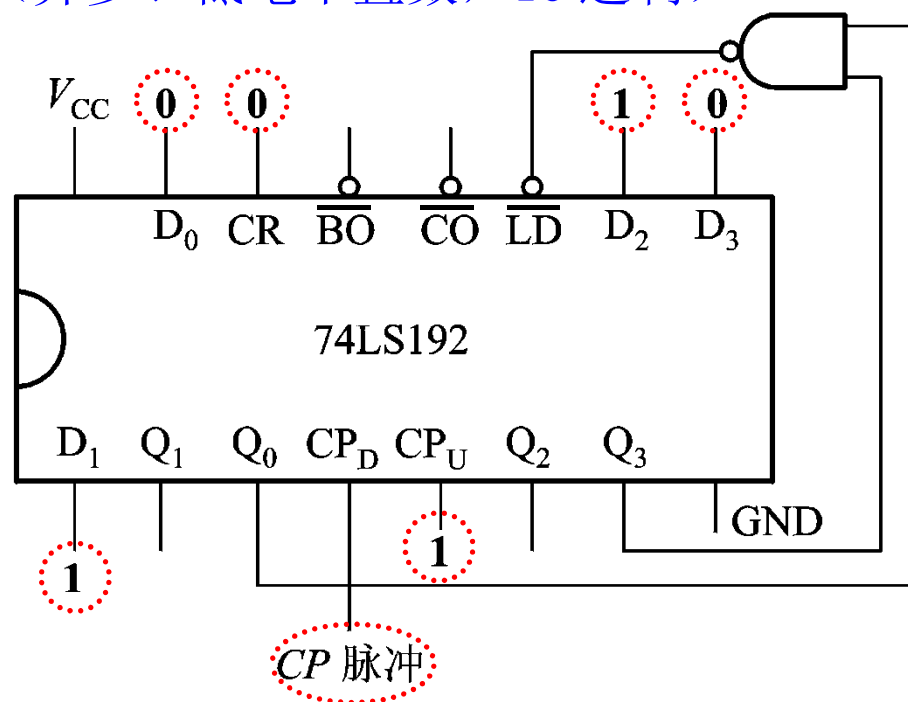
解：七进制减法计数器的状态转换图如下。



$$\overline{LD} = \overline{Q_3^n Q_0^n}$$

$$D = 0110$$

74LS192（异步、低电平置数，10 进制）



【例4.2-2】

用 74LS192 设计一个 8421BCD 编码的六进制减法计数器。

解：74LS192（异步、低电平置数，10 进制）

所以，出现编码 9 时，置数为 5，即： $\overline{LD} = \overline{Q_3^n Q_0^n}$ ， $D = 0101$

针对 74LS192，无论几进制减法，
置数端的表达式永远是： $\overline{LD} = \overline{Q_3^n Q_0^n}$ ，变化的只是 D 。

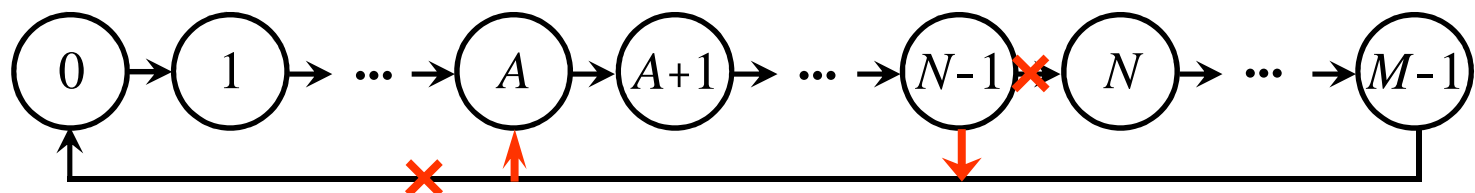
如果，
如果 74LS192 是同步低电平置数，那么减法时置数端的表达式是 ...？

Ø 置数法

ü 适用场合：

减法计数（无需有全零状态）；

也可以用于加法；



（若 $A = 0$ ，亦可称置零法）

要求状态连续变化。

ü 解题步骤：

画出状态转移图，判断是否满足置数法条件；

根据置数方式（同步/异步、高电平/低电平），决定反馈状态；

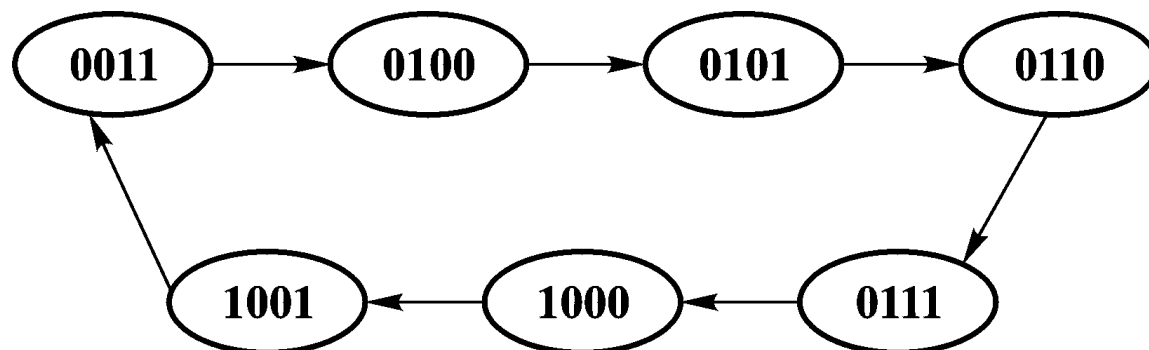
写出置数端控制函数，并画出逻辑电路图。

（图中未用到的输入端，尤其是控制端，不能轻易悬空）

【例4.2-3】

用 74HC163 设计一个余三码七进制加法计数器。

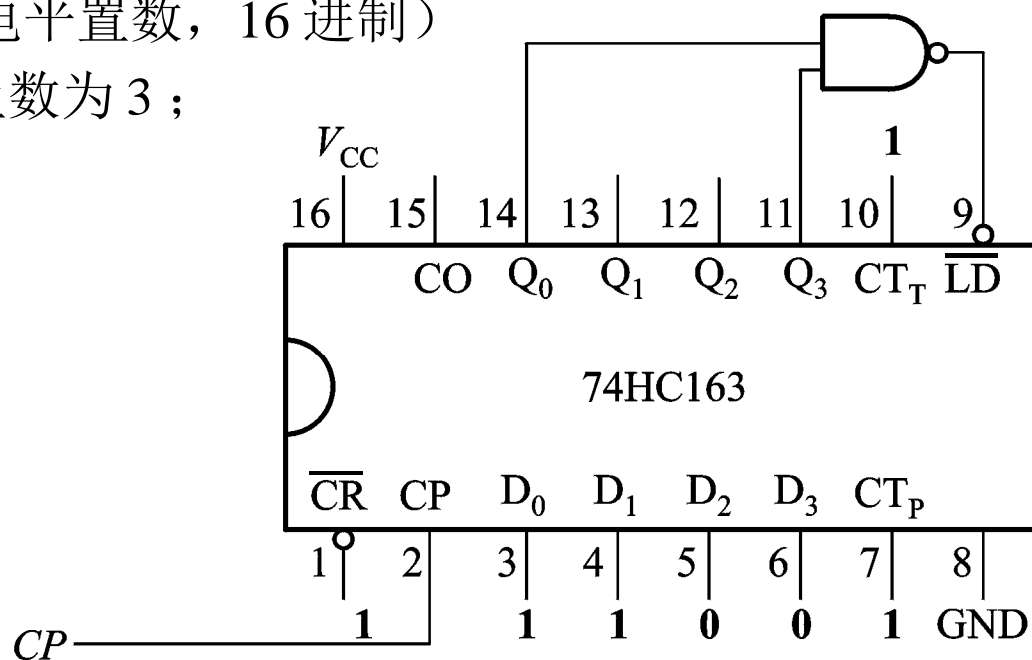
解：余三码七进制加法计数器的状态转换图如下。



74HC163（同步、低电平置数，16 进制）

所以，出现编码 9 时，置数为 3；

$$\text{即: } \begin{cases} \overline{LD} = \overline{Q_3^n Q_0^n} \\ D = 0011 \end{cases}$$



【例4.2-4】

用 74HC163 设计一个 8421BCD 编码的十进制加法计数器。

解：74HC163（同步、低电平置数，16 进制）_____

所以，出现编码 9 时，置数为 0，即： $\overline{LD} = \overline{Q_3^n Q_0^n}$ ， $D = 0000$

置零法应用，也可用清零法来完成此题

针对 74HC163，无论几进制加法，置数端的表达式还能永远是 ... ?

Ø 多次反馈置数法

ü 清零法、置数法均要求状态连续变化；

若原状态转换不是自然二进制，则前述两种方法都无法实现 N 进制。

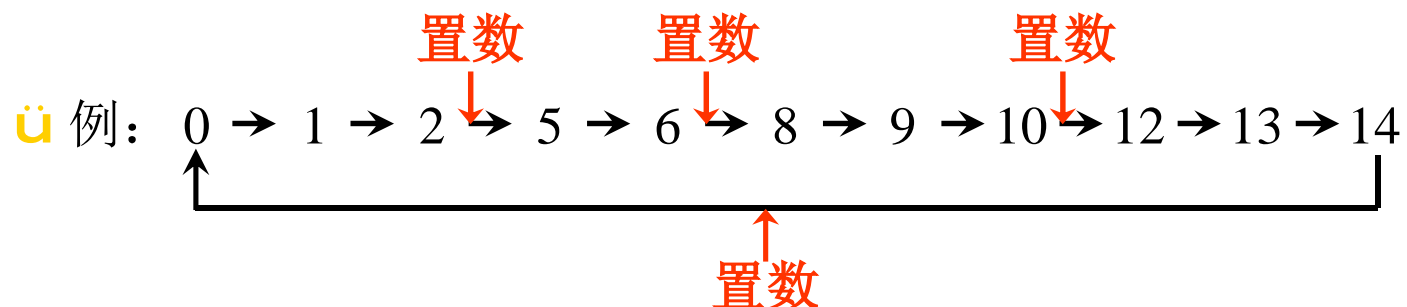
ü 解决思路：多次反馈置数法。

（计数和置数交替进行）

ü 实现方法：

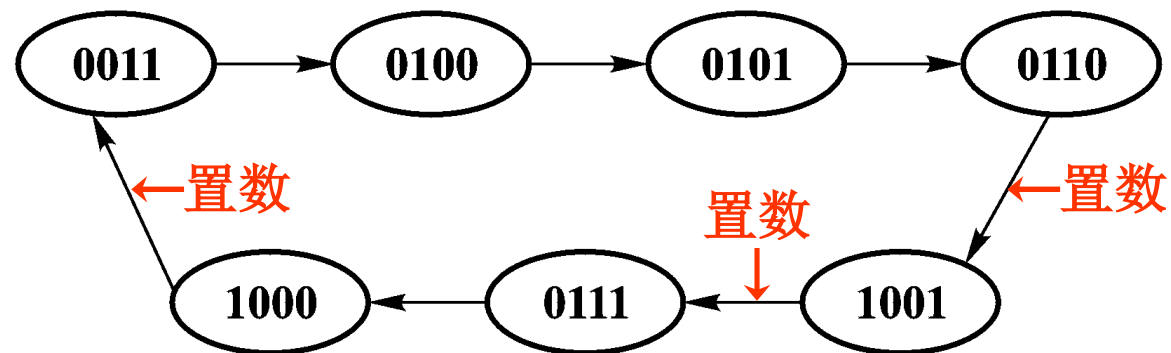
计数状态（初态到次态）为连续变化的，按原计数规律计数；

计数状态为非连续变化的，次态用置数法实现。



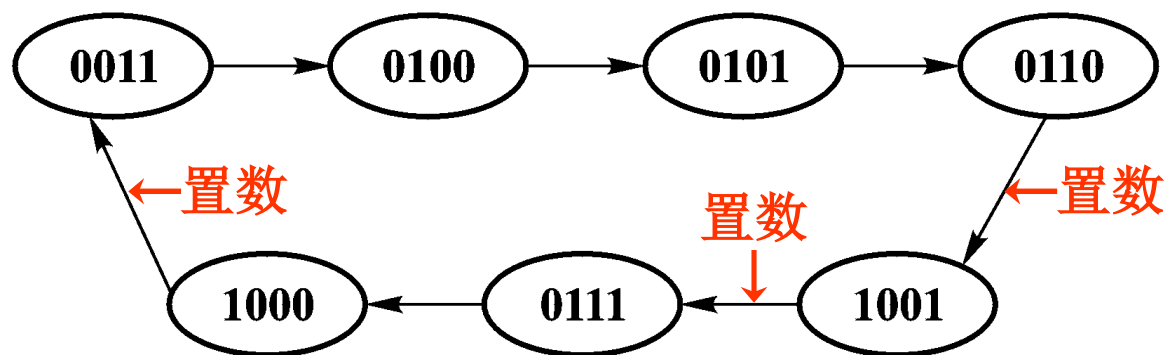
【例4.3】

用 74HC163 设计一个按图示状态进行转换的七进制计数器。



解：图示状态中，有三处必须用置数法（上图）。

计数时，芯片按计数正常的工作状态设置；
置数时，数据输入端 $D_3 \sim D_0$ 需设置为次态。
由此，可列出状态转换真值表。



状态转换真值表

CP	$Q_3^n Q_2^n Q_1^n Q_0^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	\overline{LD}	D_3	D_2	D_1	D_0
1	0011	0100	1	×	×	×	×
2	0100	0101	1	×	×	×	×
3	0101	0110	1	×	×	×	×
4	0110	1001	0	1	0	0	1
5	1001	0111	0	0	1	1	1
6	0111	1000	1	×	×	×	×
7	1000	0011	0	0	0	1	1

根据状态转换真值表，可分别求出下述函数关系式（卡诺图化简）：

$$\overline{LD} = \overline{Q_3^n} \overline{Q_1^n} + \overline{Q_3^n} Q_0^n \text{ 或 } Q_2^n \overline{Q_1^n} + Q_1^n Q_0^n$$

最后，可画出逻辑电路图（略）。 $D_3 = Q_2^n$

$$D_2 = Q_0^n$$

$$D_1 = Q_3^n$$

$$D_0 = 1$$

状态转换真值表

CP	$Q_3^n Q_2^n Q_1^n Q_0^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	\overline{LD}	D_3	D_2	D_1	D_0
1	0011	0100	1	×	×	×	×
2	0100	0101	1	×	×	×	×
3	0101	0110	1	×	×	×	×
4	0110	1001	0	1	0	0	1
5	1001	0111	0	0	1	1	1
6	0111	1000	1	×	×	×	×
7	1000	0011	0	0	0	1	1

✓ 大容量计数器的实现

ü 大容量：整体计数器的模大于单片集成计数器的模。

ü 连接原则：多个单片集成计数器级联。

整体计数器的模 $M = M_1 \times M_2 \times M_3 \times \dots$

ü 例：60 进制 = 6 进制 \times 10 进制

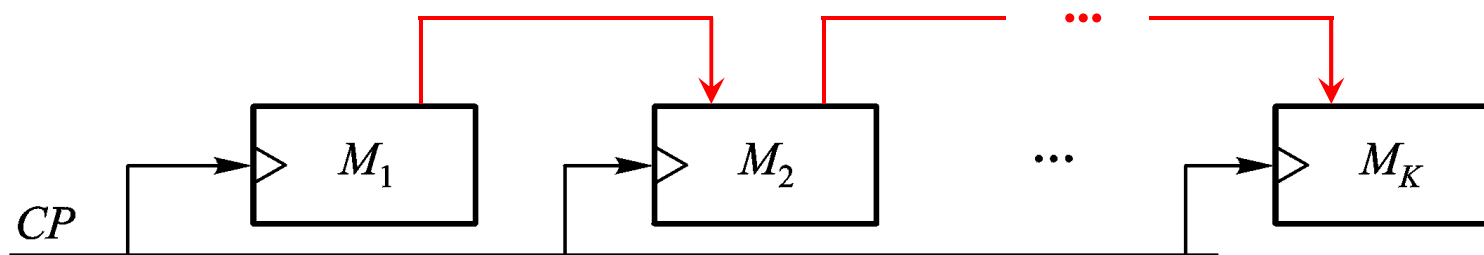
（6 进制计数器作十位计数，10 进制计数器作个位计数）

6 和 10 进制计数器可任意选用清零法、置数法实现；

关键：两个计数器之间的连接方式，即如何实现逢 10 进 1。

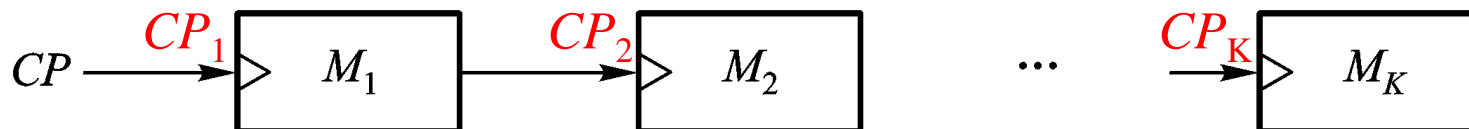
Ø 片间连接方式

ü 下图所示同步级联方式。



思路：低位正常计数时，高位保持状态；低位进位时，高位计数状态。
（一般通过控制高位的控制端实现）

ü 下图所示异步级联方式。



思路与同步级联方式一致。
（一般通过控制高位的 CP 脉冲端实现）

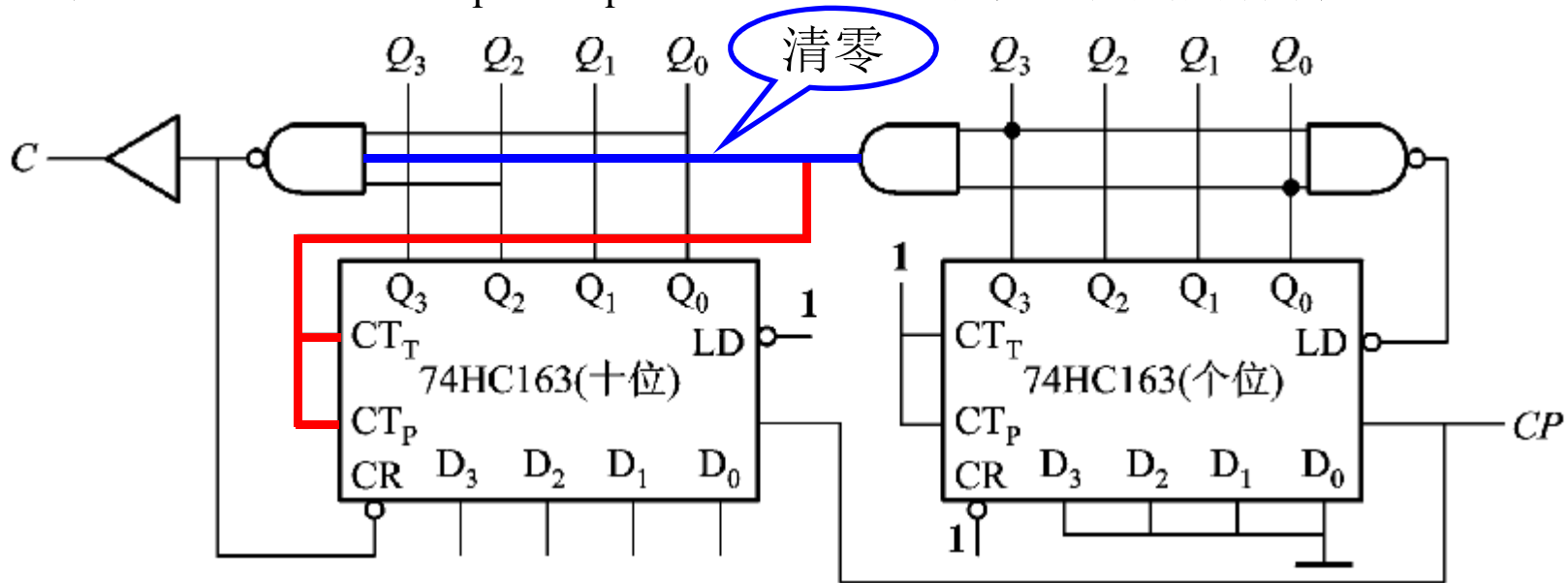
【例4.4】

用 74HC163 设计一个 8421BCD 编码的六十进制加法计数器。

解：按 6×10 进制设计，其中 6 进制采用清零法，10 进制采用置数法。

方案一：同步级联法

思路：74HC163 ($CT_T = CT_P = 1$ 时，可以计数；否则为保持)



低位 0000 ~ 1000 时, 高位 $CT_T = CT_P = 0$, 保持;

低位 1001 时, 高位 $CT_T = CT_P = 1$, 可以计数;

等下一个 CP 脉冲, 低位由 1001 转为 0000, 高位计数 + 1 (逢 10 进 1)。

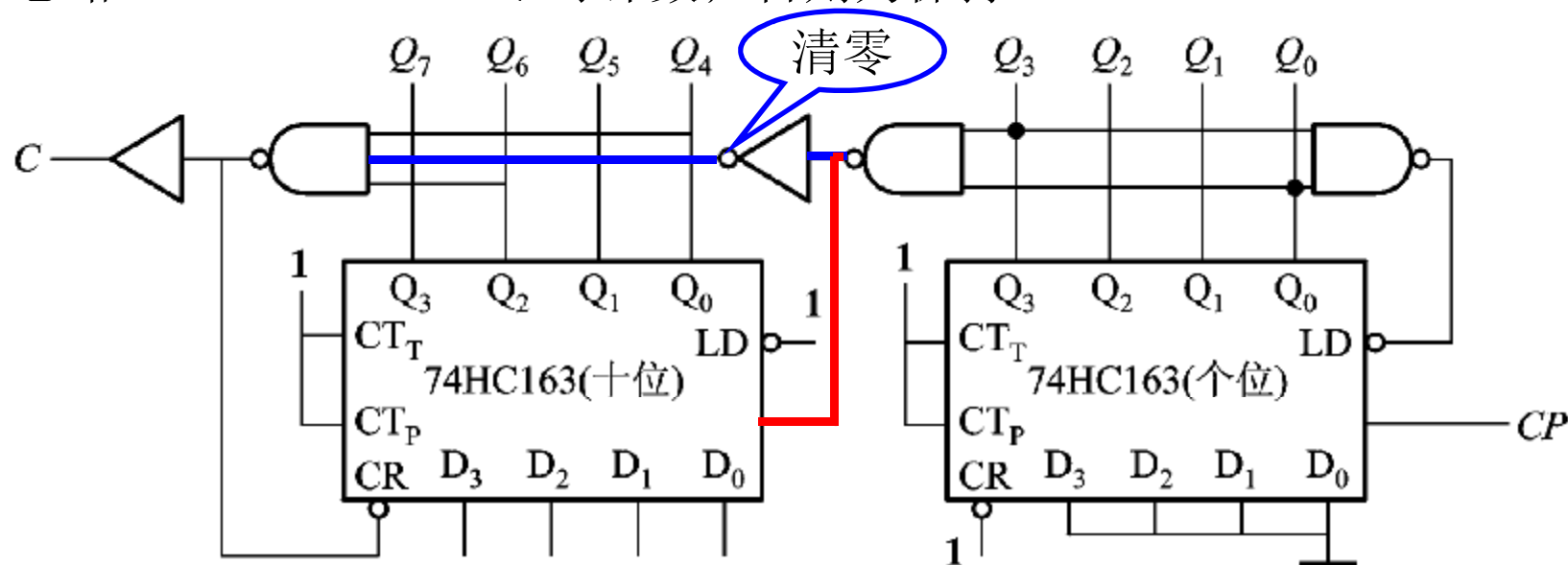
注意 CT_T 等 的有效时刻

用 74HC163 设计一个 8421BCD 编码的六十进制加法计数器。

解：按 6×10 进制设计，其中 6 进制采用清零法，10 进制采用置数法。

方案二：异步级联法

思路：74HC163 ($CP \uparrow$ 时计数；否则为保持)

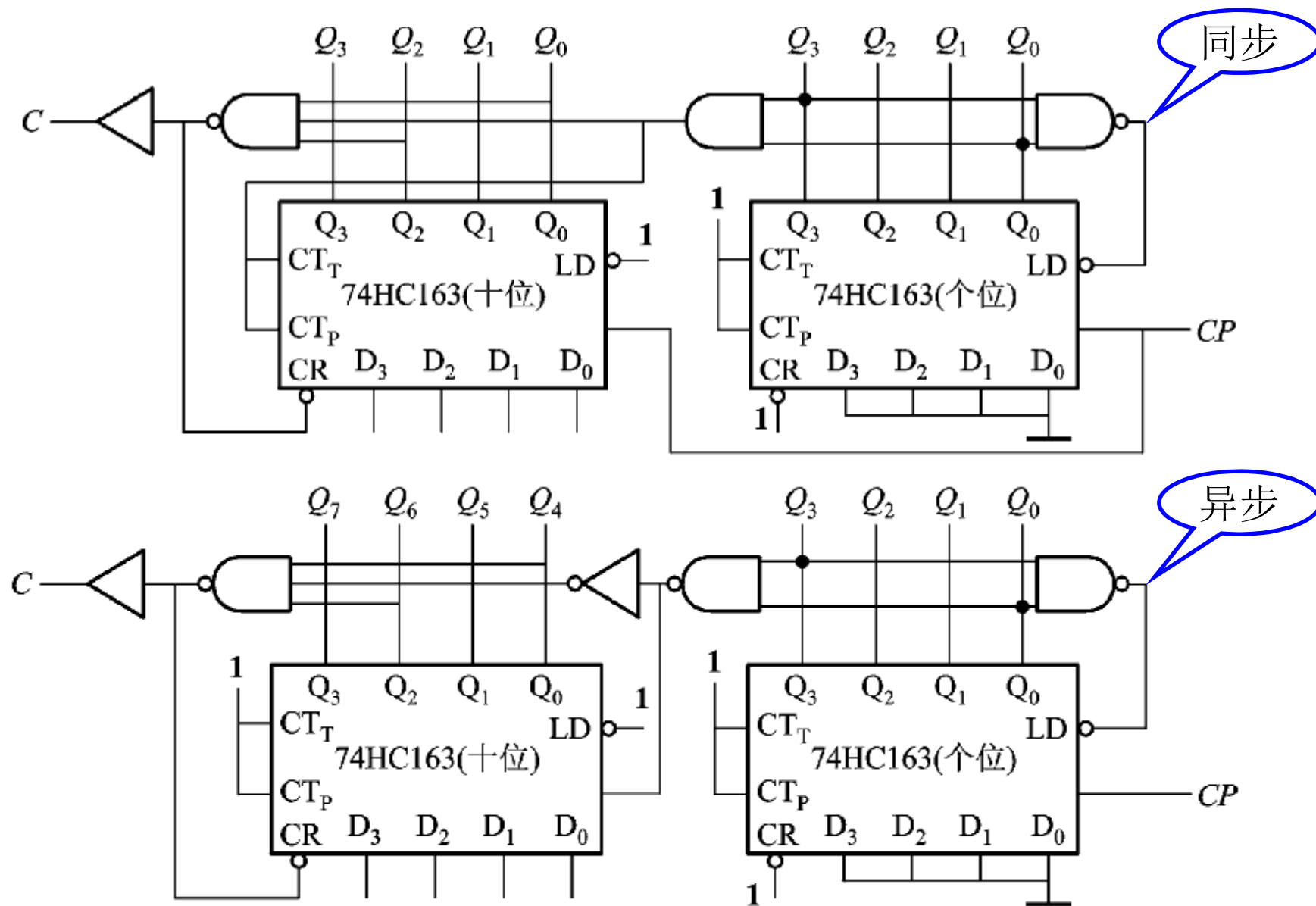


低位 0000 ~ 1000 时，高位 $CP = 1$ ，保持；

低位 1001 时，高位 $CP = 0$ ，准备计数；

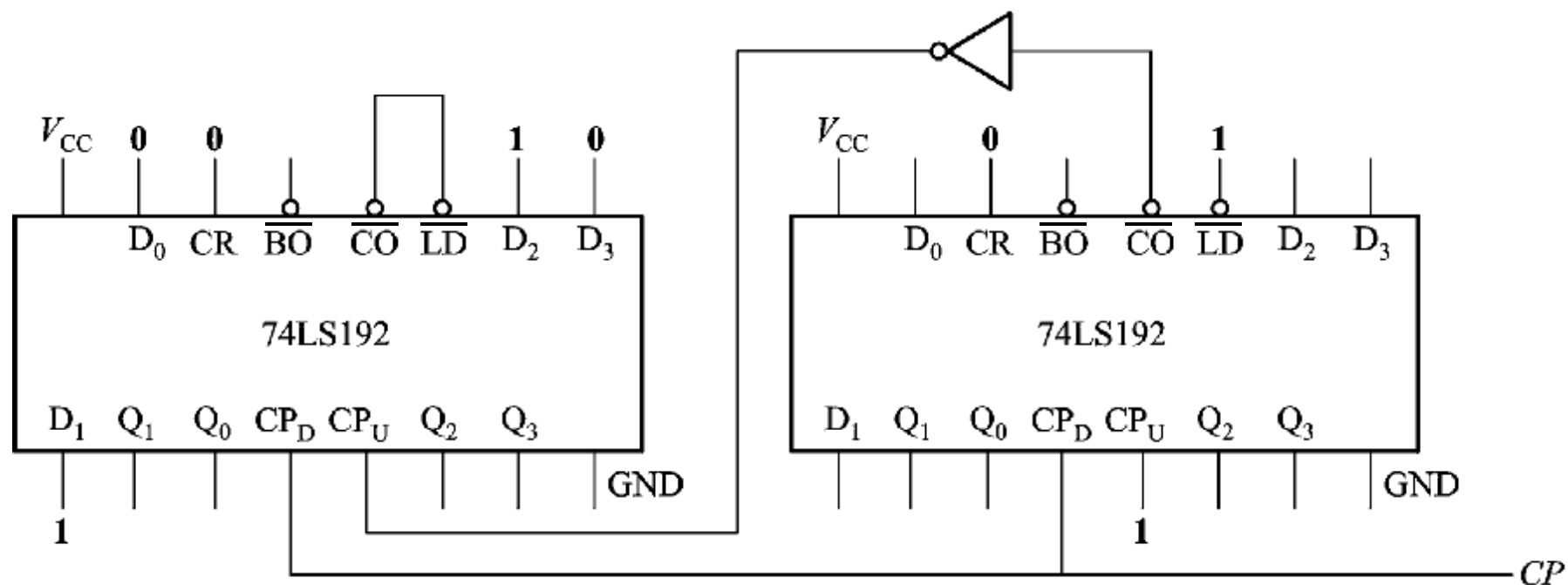
低位由 1001 转为 0000 瞬间，高位 $CP = 1$ ，高位计数 + 1（逢 10 进 1）。

用 74HC163 设计一个 8421BCD 编码的六十进制加法计数器。



【例4.5】

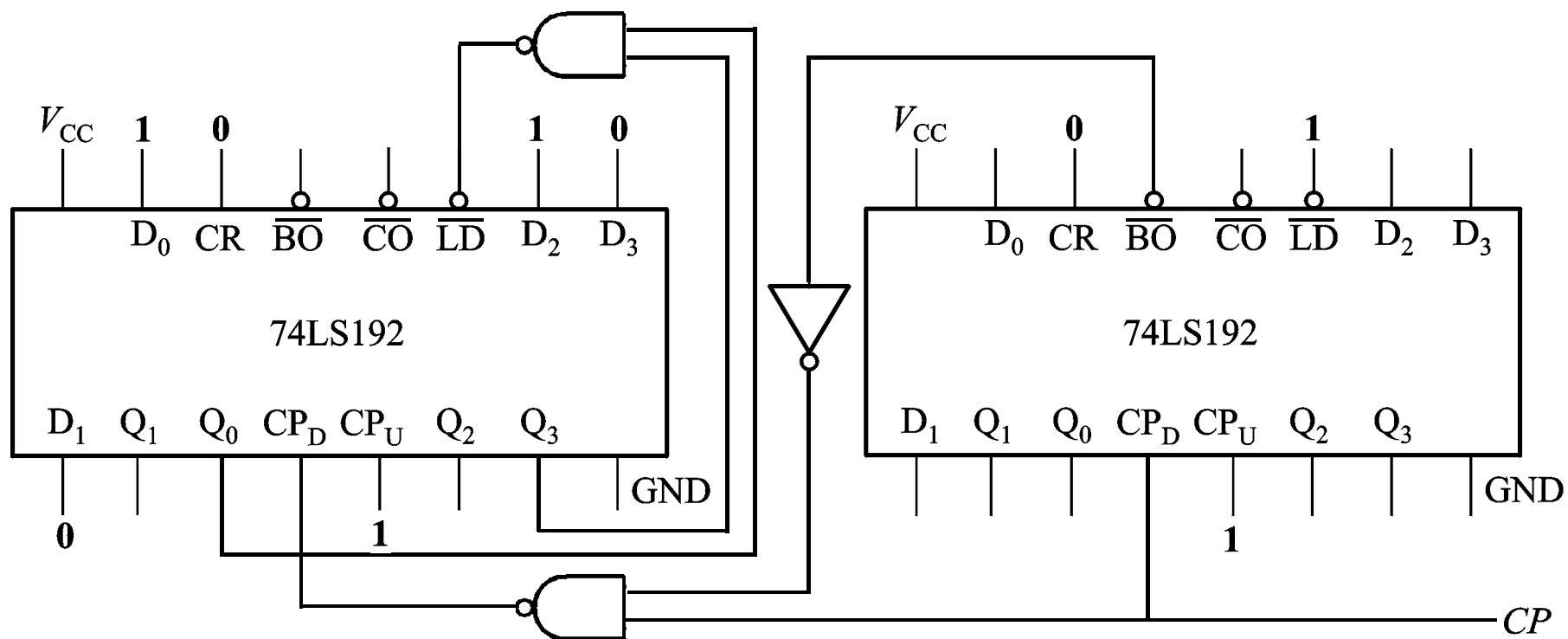
用 74HC192 设计一个 8421BCD 编码的六十进制减法计数器。



请自行分析工作原理...

(有错误)

用 74HC192 设计一个 8421BCD 编码的六十进制减法计数器。



✓ 中规模集成计数器的扩展应用

ü 介绍一些非典型应用，以了解为主，扩展思维。

【例4.6】

用 74HC163 实现序列脉冲输出。

（例：序列脉冲 1100110001）

解：之前用数据选择器实现过 ...

之前用移位寄存器实现过 ...

解题思路：

序列脉冲是周期性的数据信息；

周期性，用计数器完全可以实现；

（例中，一个周期包含有 10 个脉冲，所以只要实现 10 进制计数即可）

然后，使 10 进制的每一个状态依次对应每一个脉冲信息。

（如：0000、0001、0010、0011 ... 依次对应 1、1、0、0 ...）

（这个，可以通过组合逻辑电路实现）

用 74HC163 实现序列脉冲输出。

（例：序列脉冲 1100110001）

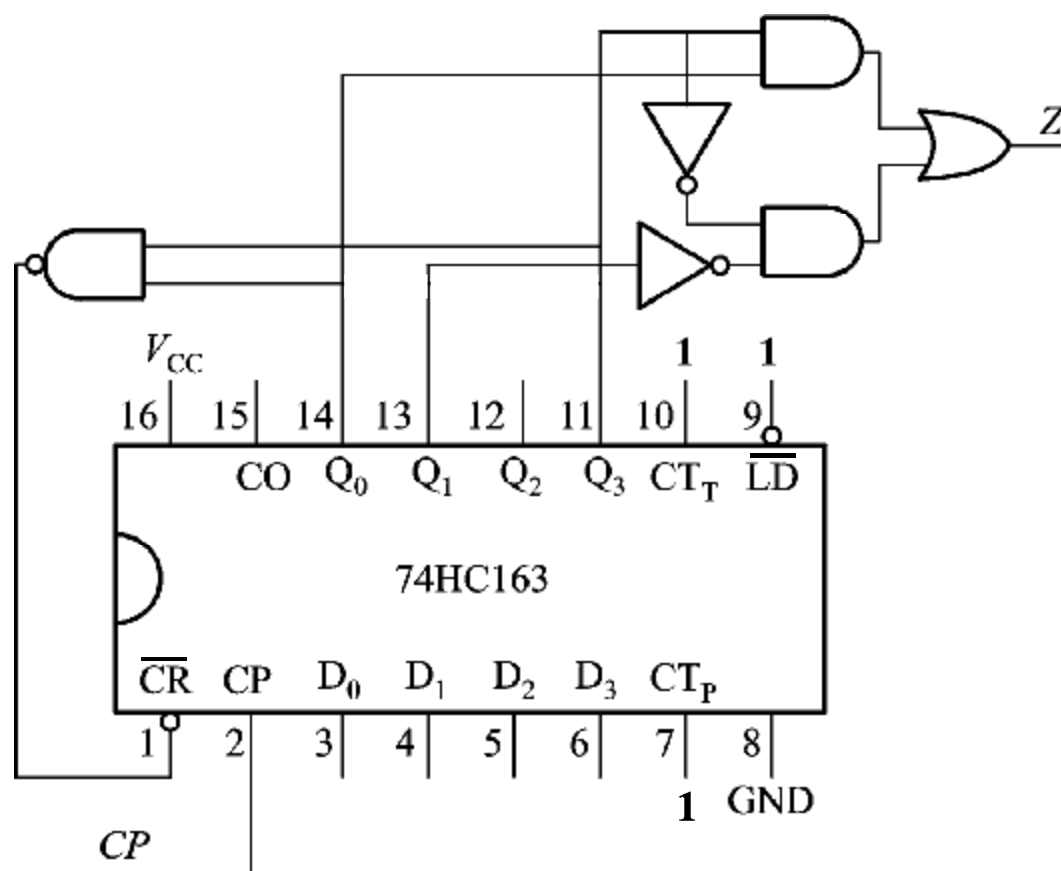
解：用 74HC163 实现 10 进制计数；

然后，使 10 进制的每一个状态依次对应每一个脉冲信息。

逻辑电路图（右下）

$$Z = \overline{Q_3} \overline{Q_1} + Q_3 Q_0$$

		$Q_1 Q_0$			
		00	01	11	10
$Q_3 Q_2$	00	1	1	0	0
	01	1	1	0	0
	11	×	×	×	×
	10	0	1	×	×



【例4.7】

用 74HC161 ， 设计一个能检测 110 序列的时序逻辑电路。

解：之前用触发器实现过 ...

解题思路：

触发器实现该功能时，运用了状态转换图；

状态转换图，用计数器可以实现；

（简单的，采用清零、置数法即可；状态不连续的，采用多次置数法）

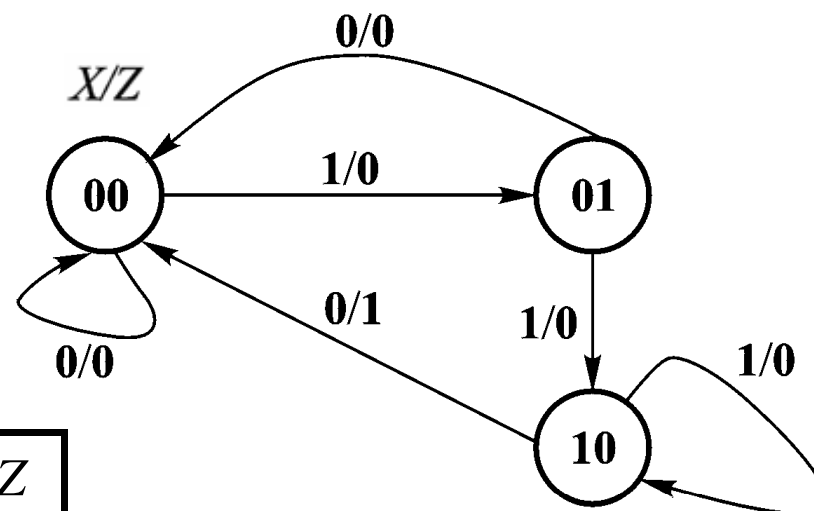
CP	$Q_3^n Q_2^n Q_1^n Q_0^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	\overline{LD}	$D_3 D_2 D_1 D_0$
1	0011	0100	1	× × × ×
2	0100	0101	1	× × × ×
3	0101	0110	1	× × × ×
4	0110	1001	0	1 0 0 1
5	1001	0111	0	0 1 1 1
6	0111	1000	1	× × × ×
7	1000	0011	0	0 0 1 1

用 74HC161 ， 设计一个能检测 110 序列的时序逻辑电路。

解： 状态转换图；

用计数器实现状态转换图；

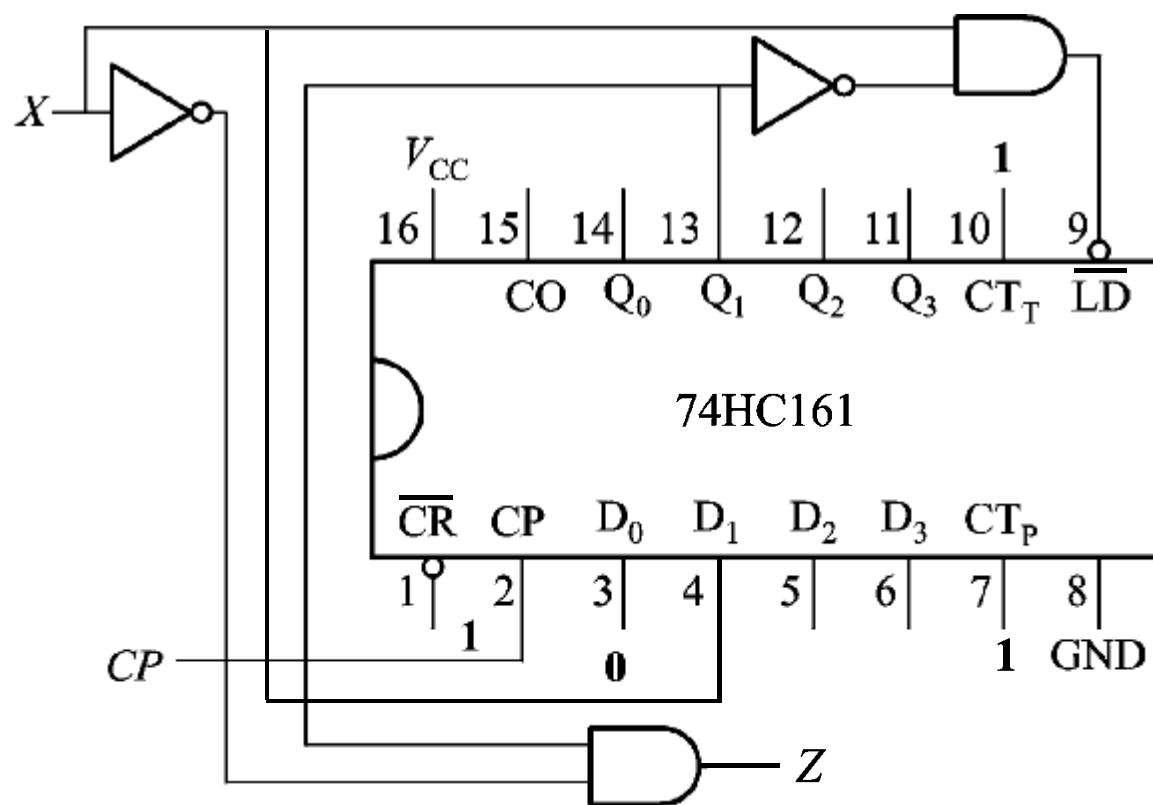
（两位二进制， 多次置数法）



X	$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1}$	\overline{LD}	$D_1 D_0$	Z
0	00	00	0	0 0	0
0	01	00	0	0 0	0
0	10	00	0	0 0	1
1	00	01	1	× ×	0
1	01	10	1	× ×	0
1	10	10	0	1 0	0

卡诺图法化简： $\overline{LD} = X \overline{Q_1}$, $D_1 = X$, $D_0 = 0$, $Z = \overline{X} Q_1$

用 74HC161 ，设计一个能检测 110 序列的时序逻辑电路。



$$\overline{LD} = X \overline{Q_1}, D_1 = X, D_0 = 0, Z = \overline{X} Q_1$$

✓ 本节作业

ü 习题 4 (P240)

37.1、38、补充题

ü 说明：

题 37：这不是简答题；

题 38 (1) (2)：七进制加~~法~~计数器。

ü 补充题：

用 74161 设计 0111 1001 序列脉冲发生器。

所有的题目，需要有解题过程（不是给一个答案即可）。