

Report

B05901084 電機三 劉容均

1. 8-bit Carry Ripple Adder

從 full adder(FA)看，critical path 是從 c_i 到 c_o ，歷時 2ns，整個 adder 共有八個 FA，因此總延遲為 16ns。實際跑測資發現結果與推論相同。

2. 8-bit Barrel-shifter

從最小單位 mux 來看，critical path 是從 sel_i 經過 sel 到 x，歷時 3ns，而從 input 到 output 共需經過三個 mux，因此總延遲為 9ns。實際跑測資發現結果與推論相同。

3. Adder-Shifter Unit

根據前兩項的 critical path 加上 2.5ns 可以得到總延遲為 18.5ns。這個 critical path 是從 adder 經過 mux 輸出。我用 carry select adder 進行優化，將 8-bit 分成兩個 4-bit 部分，0-4bit 是 CRA，5-8bit 則是分別以 $c_i = 0$ 、 $c_o = 1$ 輸入計算，等前 4 bit 的 c_o 出來後再決定輸出結果。總延遲為 CRA 的 2×4 ns 加上 mux 的 3ns 共 11ns，而 ASU 總延遲需再加上 mux 2.5ns 共 13.5ns，實際跑測資發現結果與推論相同。

利用 adder-shifter unit 可以實作 unsigned multiplication，實作的方式可以用 add and double method，將乘數換成二進位，例如 21 為 10101，從 LSB 開始，若為 1 則加上被乘數後向左 shift 一位，若為 0 則直接 shift 一位。

備註：我的 adder_gate_opt.v 有使用到 mux，這個模組在 shifter 也有使用到，1-CR_Adder/裡因為只有 adder_gate_opt.v，所以直接將 mux 寫在裡面，但 3-ASU/中 shifter_gate.v 也有 mux，可能會有 define 的錯誤。