Report

B05901084 電機三 劉容均

一、

1. ***Simulated*** timing (ns)

5.9 ns

1. **Area(um^2)**

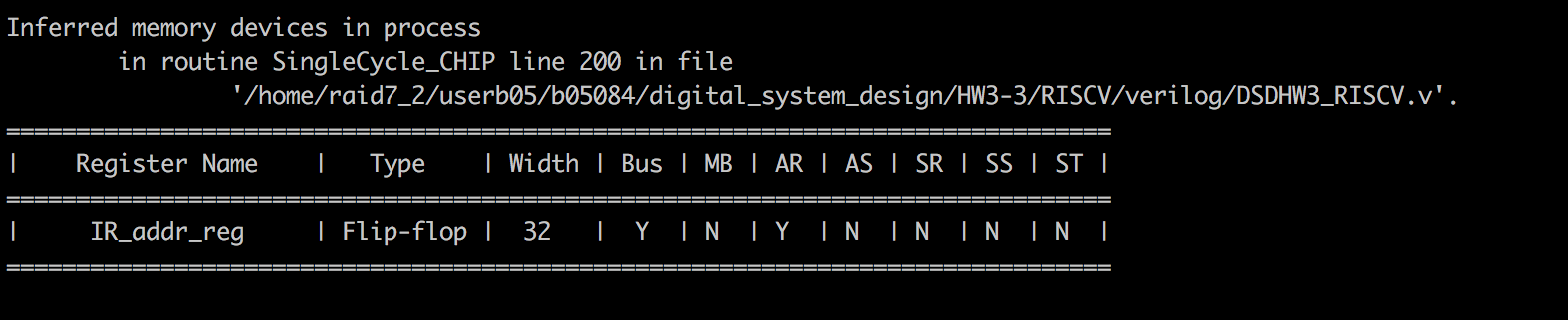
62861.511344

1. **Cost(A\*T)**

5.9 \* 62861.511344 = 370882.9169

1. **ScreenShot**

(※No latch should be inferred!)



1. disscution:

這次在合成上遇到不少問題，包括print出許多warning（後來發現並不影響），還有把input宣告成output，此時RTL的simulation並不會有問題但合成後就會出錯。在縮小AT值上，我做了很多嘗試，發現不少影響AT值的隱藏要素，包括不同的工作站似乎會影響合成結果（140.112.20.72跑得最慢，結果也很差），有時同樣的參數合成似乎也不會重現前一次的合成，而使用compile\_ultra不一定會合出更好的gate level。我最後是用

compile -exact\_map -area\_effort high -map\_effort high

然後用optimize\_netlist –area進一步縮小area，可以再縮小約300~800的area，用兩次就達到飽和了。

bonus: Complete Single Cycle MIPS

done

