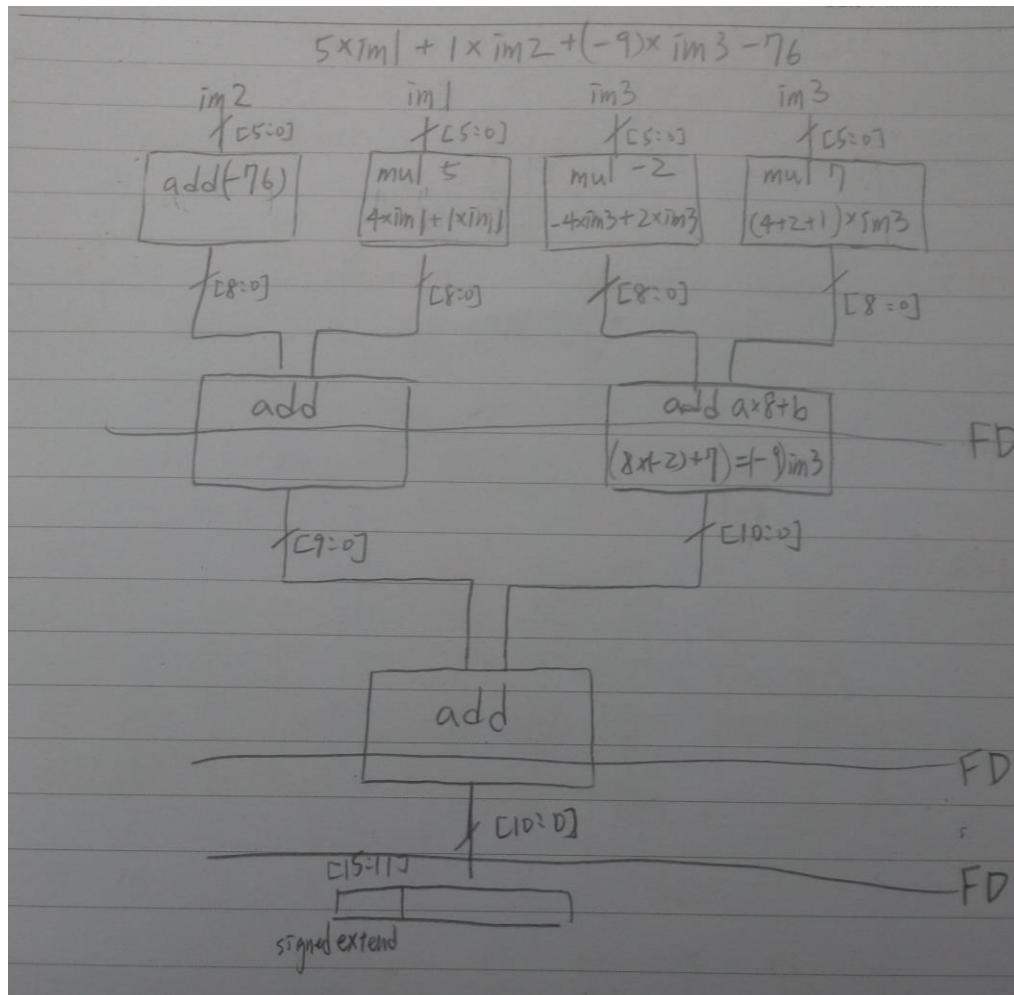


# HW4 Report

B05901084 電機三 劉容均

## Circuit Diagram

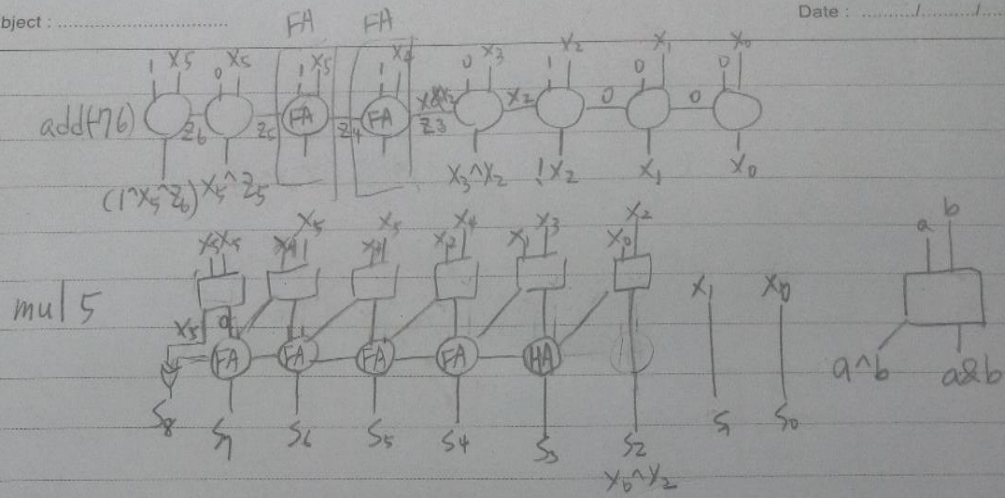


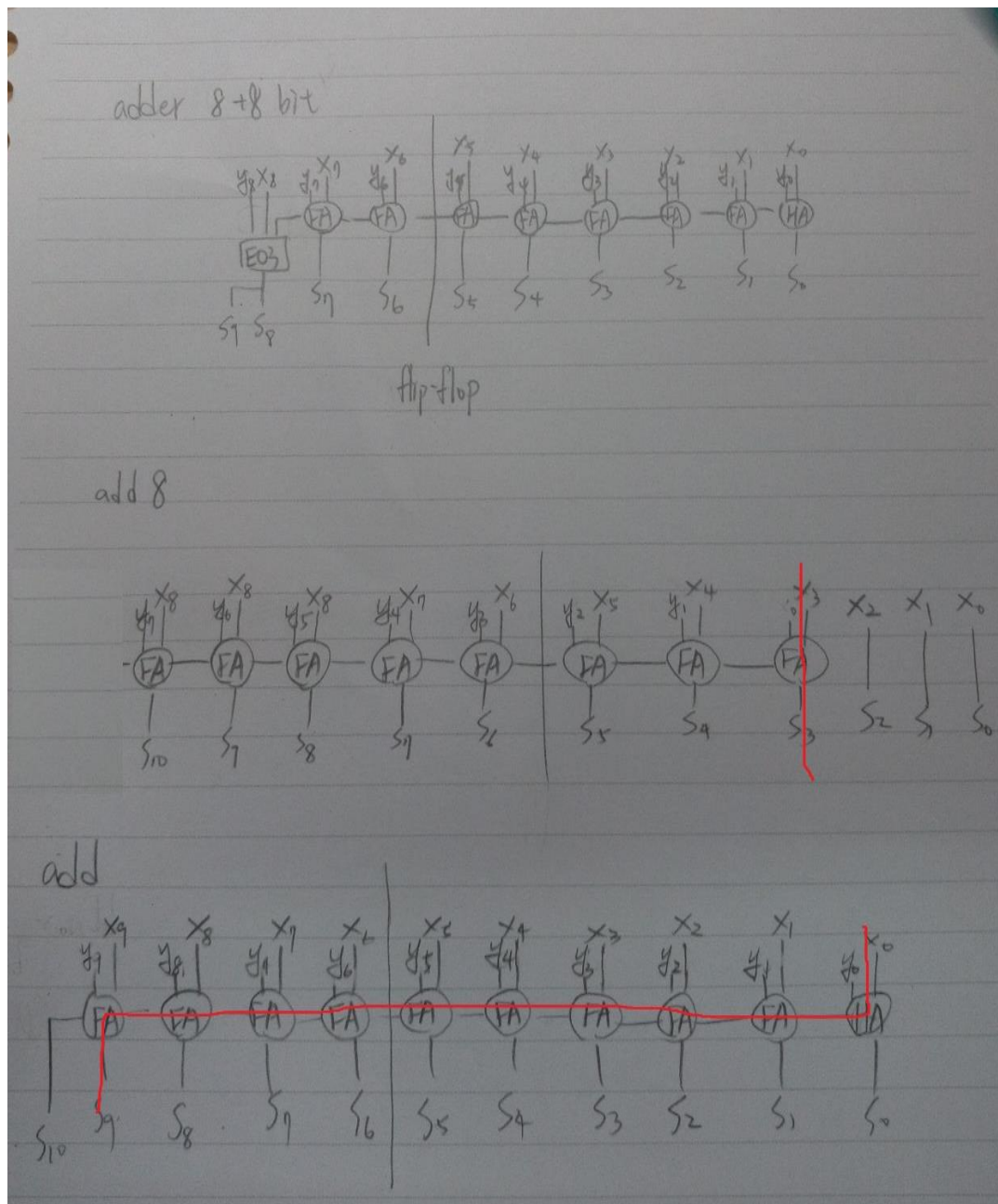
10110100

Subject : .....

No. :

Date : .....





Simulation

```
=====
Summary:
-----
Half Cycle:      1.700000
Area:            3077
Error Count:     0
=====
```

5230.9

Discussion

### 一、第一階段

公式裡的乘數分別是 1、5、-9，1 不需要做乘法在此階段可先與-76 相加，而 5 和 9 用二進位可以表示為 101、110111，9 可拆成-2(110)、7(111)，且因乘數固定，可以用移位和加法取代，因此在這階段做

$$\begin{aligned} &4*i\_im1+1*i\_im1、 \\ &i\_im2-76、 \\ &(-4)*i\_im3+2*i\_im3、 \\ &4*i\_im3+2*i\_im3+1*i\_im3。 \end{aligned}$$

### 二、第二階段

將  $4*i\_im1+1*i\_im1$ 、 $i\_im2-76$  相加， $(-4)*i\_im3+2*i\_im3$ 、 $4*i\_im3+2*i\_im3+1*i\_im3$  移位相加組合成  $(-9)*i\_im3$ 。

### 三、第三階段

將前面的結果相加，即可得到結果。

### 四、優化

一些已知的輸入可以被簡化，例如原本的 full adder 如果有一個輸入已知，可以簡化成 EO 和 AND。此外還有 FD 的設置，經過各種的測試，得到目前的設置為最佳的結果。每個 bit 有可能在某個 module 走比較長但在下一個 module 走比較短，所以單從最長的 critical path 切成三等份可能會造成其他 path 的 time violation。此外因為我的設計是呈樹狀分別計算後組合成結果，若在第一或第二階段設置 pipeline 會耗費大量 gate，為符合作業 cycle 規定，衡量後將第三個 pipeline 設置在最終輸出處。最後利用 nWave 和測資找出 violation 的特例，並加上 2 bits 的 carry skip(4bit 並沒有比較快)，加上後效果顯著（前面的圖沒有標記，carry skip 分別裝在 add\_2 的 FA2,3、FA4,5、FA8,9、mul7 的底層 FA5,6）。