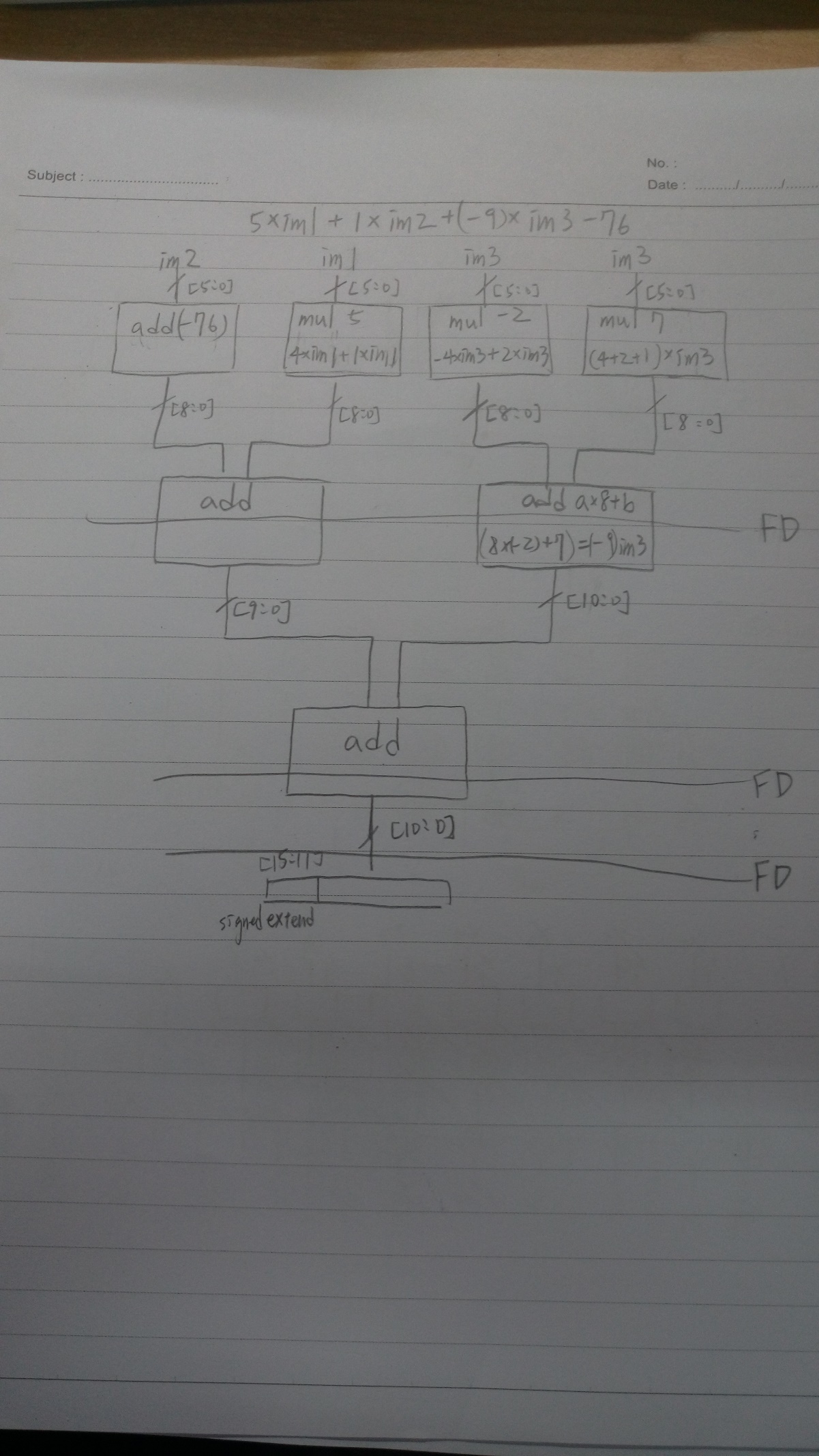
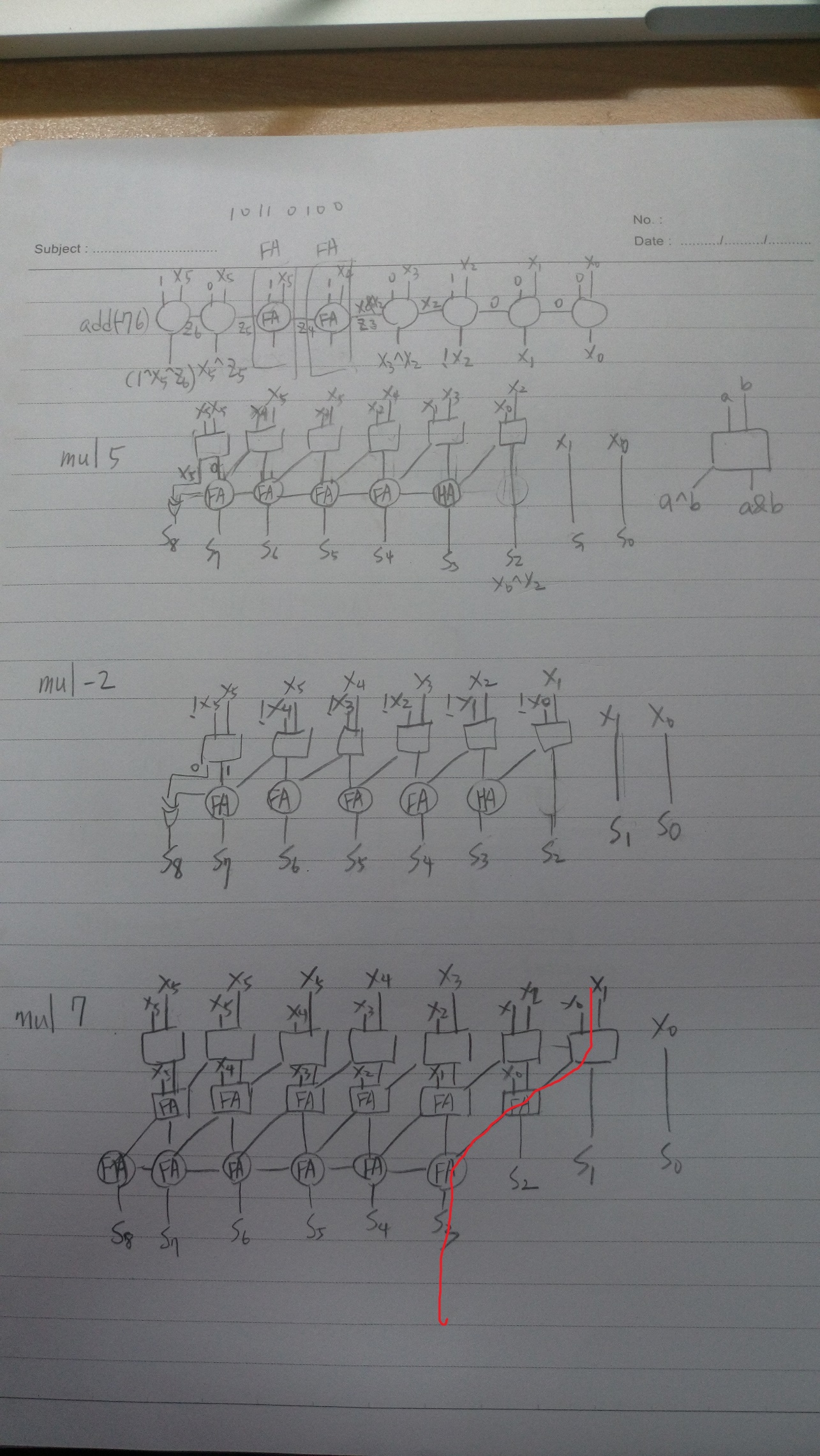
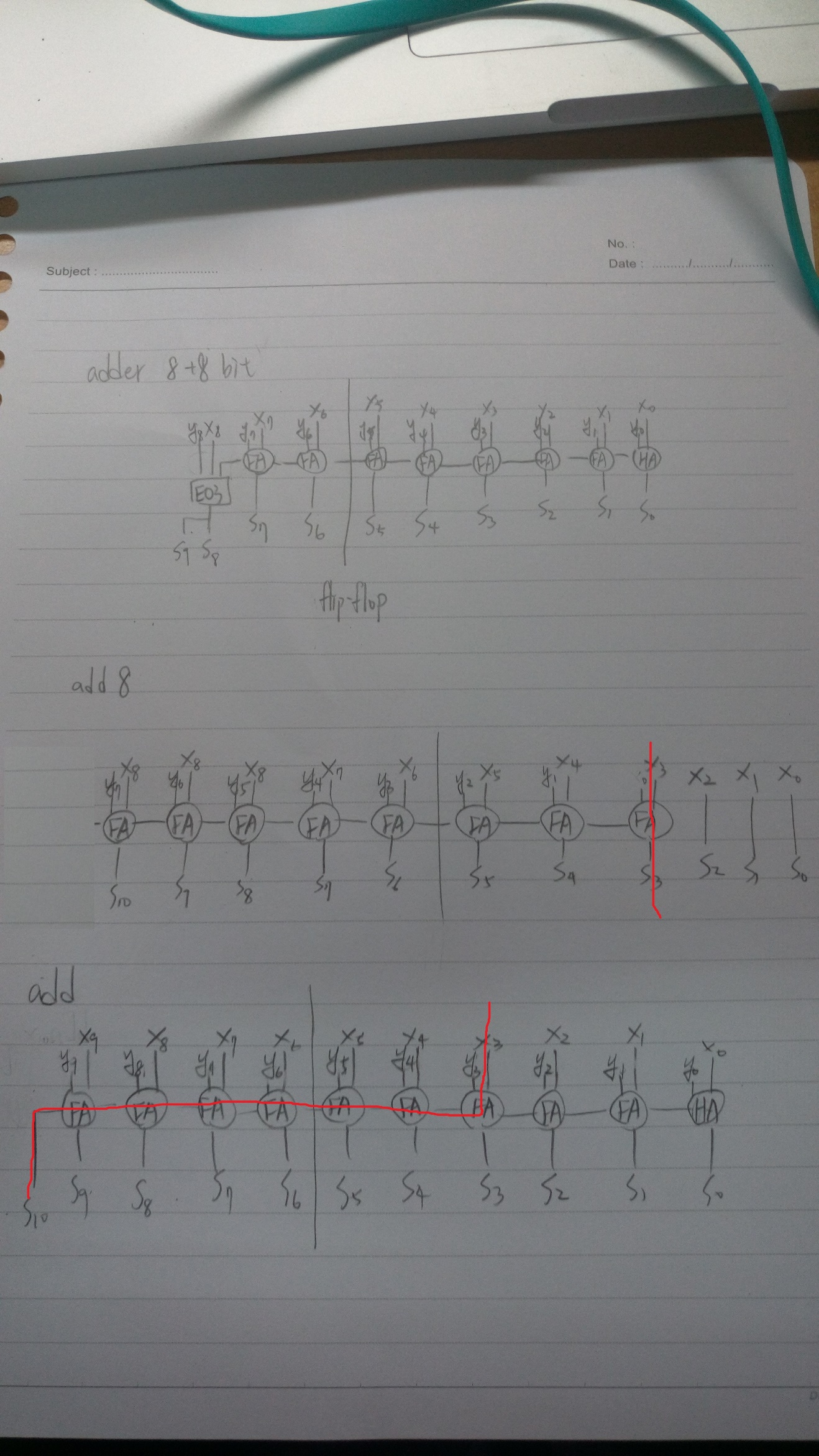
HW4 Report

B05901084電機三 劉容均

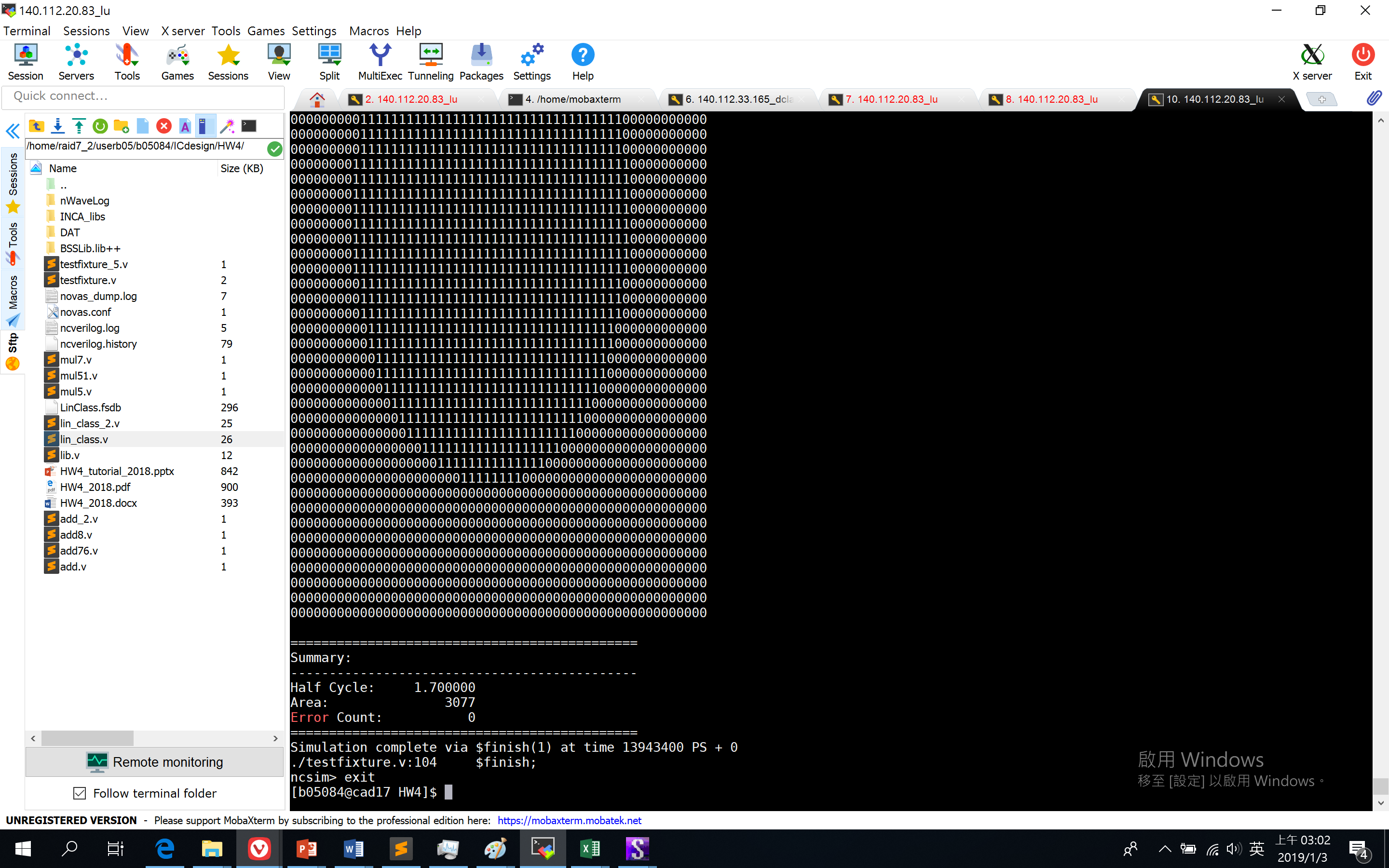
Circuit Diagram







Simulation



5230.9

Disscusion

1. 第一階段

公式裡的乘數分別是1、5、-9，1不需要做乘法在此階段可先與-76相加，而5和9用二進位可以表示為101、110111，9可拆成-2(110)、7(111)，且因乘數固定，可以用移位和加法取代，因此在這階段做

4\*i\_im1+1\*i\_im1、

i\_im2-76、

(-4)\*i\_im3+2\*i\_im3、

4\*i\_im3+2\*i\_im3+1\*i\_im3。

1. 第二階段

將4\*i\_im1+1\*i\_im1、i\_im2-76相加，(-4)\*i\_im3+2\*i\_im3、4\*i\_im3+2\*i\_im3+1\*i\_im3移位相加組合成(-9) \*i\_im3。

1. 第三階段

將前面的結果相加，即可得到結果。

1. 優化

一些已知的輸入可以被簡化，例如原本的full adder如果有一個輸入已知，可以簡化成EO和AND。此外還有FD的設置，經過各種的測試，得到目前的設置為最佳的結果。每個bit有可能在某個module走比較長但在下一個module走比較短，所以單從最長的critical path切成三等份可能會造成其他path 的time violation。此外因為我的設計是呈樹狀分別計算後組合成結果，若在第一或第二階段設置pipeline會耗費大量gate，為符合作業cycle規定，衡量後將第三個pipeline設置在最終輸出處。最後利用nWave和測資找出violation的特例，並加上2 bits的carry skip(4bit並沒有比較快)，加上去後效果顯著（前面的圖沒有標記，carry skip分別裝在add\_2的FA2,3、FA4,5、FA8,9、mul7的底層FA5,6）。