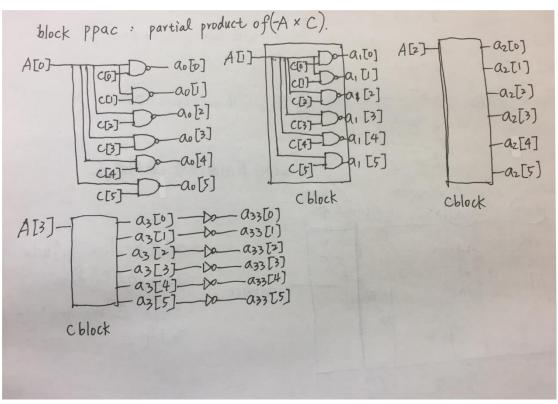
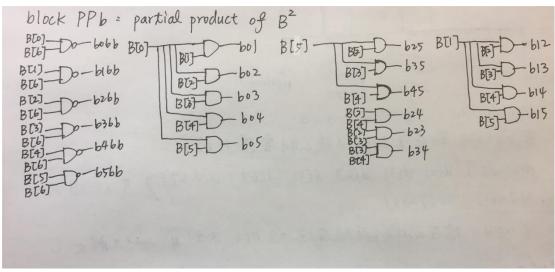
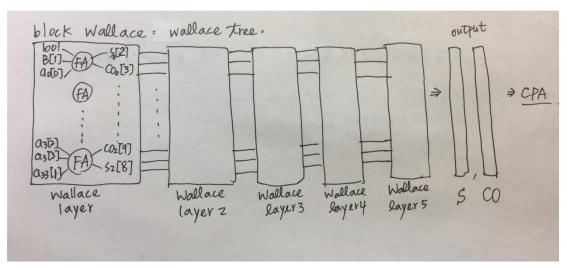
# IC Design HW4 Report

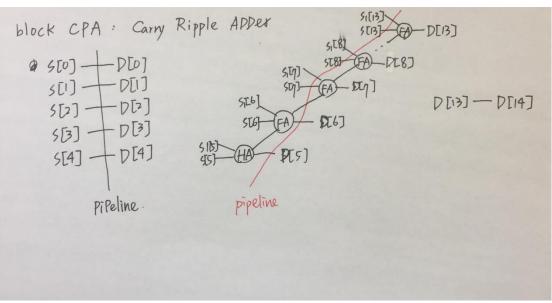
B02502108 陶昇永

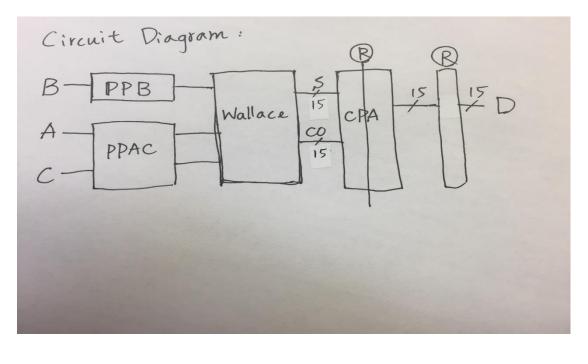
#### (a) Circuit diagram:











## Excel 試算表:

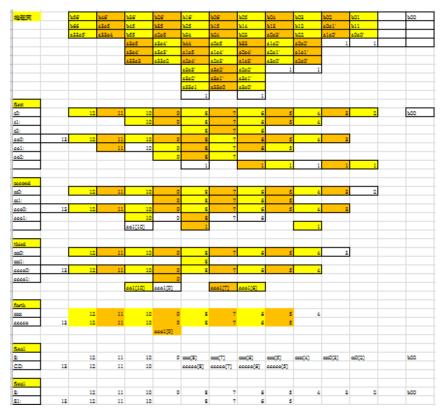
### B^2:

	<b>b</b> ^2													
	overflow													
	13	12	11	10	9	8	7	6	5	4	3	2	1	
								<b>1</b> 6	ы	ъ4	ъ3	ъ2	ъ1	ю
								b6	ъ	ъ4	ъ3	ъ2	ъ1	ъ0
								906,	1005	ъ04	1603	1602	ъ01	1000
							ы6'	ъ15	ъ14	Ъ13	ы2	ъ11	ъ10	
						ъ26	b25	ъ24	ъ23	Ъ22	ъ21	ъ20		
						<b>b</b> 35	b34	b33	ъ32	b31	130			
				b46'	<b>b4</b> 5	ъ44	<b>b4</b> 3	b42	b41	<b>Ъ4</b> 0				
			P26,	<b>b</b> 55	<b>1</b> 554	<b>1</b> 653	<b>1</b> 52	1d51	P20					
	1	1666	1665'	b64'	1663'	162	b61'	160						
		b66	0	0	0	0	0	0	0	0	0	0	0	600=B[0]
				<b>b</b> 55	0							Ы1=B[1]		
						Ъ44	0	0	0	ъ22=В[2]				
								ъ33						
2	1	1556	b46'	136'	b26'	ы6	106	PO2	1604	1603	1602	1601		ю
		1666		b45	<b>b</b> 35	b25	Ъ15	Ъ14	ъ13	ъ12		ъ11		
				<b>b</b> 55		ъ34	Ъ24	Ъ23		Ъ22				
						b44	1	ъ33						

#### -4AC:

4ac													
	11 1	0	9	8	,	7 6	5	4	. 3	2	1		0
С							o5	c4	c3	c2	c1	cO	$\neg$
A							ಟಿ	ಟಿ	3	e2	a1	aO	$\Box$
AC						1	aOc5'	a0c4	a.Oc3	s0c2	a0c1	a0c0	$\dashv$
						a.1c5'	alc4	a1c3	a1c2	alc1	a1c0		$\neg$
					e2c5'	e2c4	e2c3	e2c2	e2c1	e2c0			
			e3c5	'	e3c4	e3c3	e3c2	e3c1	e3c0				
		e3c5'	e3c4		e3c3	e3c2	e3c1	e3c0					
	1 =3=5	e3c4'	e3c3		e3c2	e3c1'	e3c0'						
(-AC)						0	aOc5	a0c4'	a.Oc3'	a0c2	a0c1'	aOcO*	$\dashv$
						a.1c5	a1c4'	a1c3'	a1c2	a1c1'	alc0		1
					e2c5	s2c4'	a2c3'	s2c2	s2c1'	s2c0"	1		1
			e3c5		e3c4'	e3c3'	e3c2	e3c1'	e3c0'	1	1		1
		e3c5	e3c4	'	e3c3'	e3c2	e3c1'	e3c0'	1	. 1	1		1
	0 a3c5'	e3c4	e3c3		e3c2	e3c1	e3c0	1	1	. 1	1		1
ADD	(+6=+110	0								1	1		0
(-4AC)	left shift :	2											

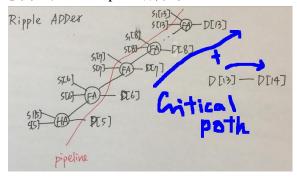
將 B^2 和-4AC 堆起來做 Wallace Tree:



#### (b) Simulation:

Minimum half-cycle time: 2.45ns

Critical path:在 carry ripple adder 處,我約略計算了一下,將 CRA 切成兩半,而後半為 critical path 所在位置。



#### Number of transistors:

AN2 29\*6 ND2 26\*4 FA1 53\*26 HA1 17\*14 FD2 37\*27 EO 4\*8 <u>IV</u> 10\*2 Total 2945 transistors

Minimum half-cycle time\* number of transistors = 7125.25(ns).

#### (c) Discussion:

- 1. 我剛開始用 Booth Encoding,後來發現不是很直觀,而且有點難寫。加上後來發現 B^2 可以化簡,但 Booth Encoding 會破壞 B^2 對稱的性質,故 捨棄,改用直式乘法來做 B^2-4AC。
- 2. B^2 的地方,由於 B10 和 B01 相等,故兩者可只算一次,再加上 2\*B01 即進位,因此變為左一位有 B01,而原本這一位是空的,因此會減少很多 運算量與 partial products 的層數。
- 3. 做-4AC 時,我直接將每一層的 AC partial products 做反向。而這可以用 NAND Gate 來實現,十分的有效率,最後記得在每一層的 LSB 處+1,因 為這是 2's complement,而這用最後多加一層 111111 來實現。
- 4. 我接著將 B^2 跟-4AC 的 partial products 疊在一起做 Wallace tree 的化簡,這樣會讓 Wallace tree 使用最少的 HA,能用 FA 盡量用,減少層數。
- 5. 如此一來衍生的問題是,最後要餵給 CPA 的 S 跟 CO,其 MSB 已經不再和原 B^2,-4AC 的 sign 相同,而會造成 sign extension 的錯誤。最後我用簡單的判斷式 toggle 其 sign,讓最後的結果是正確無誤的。