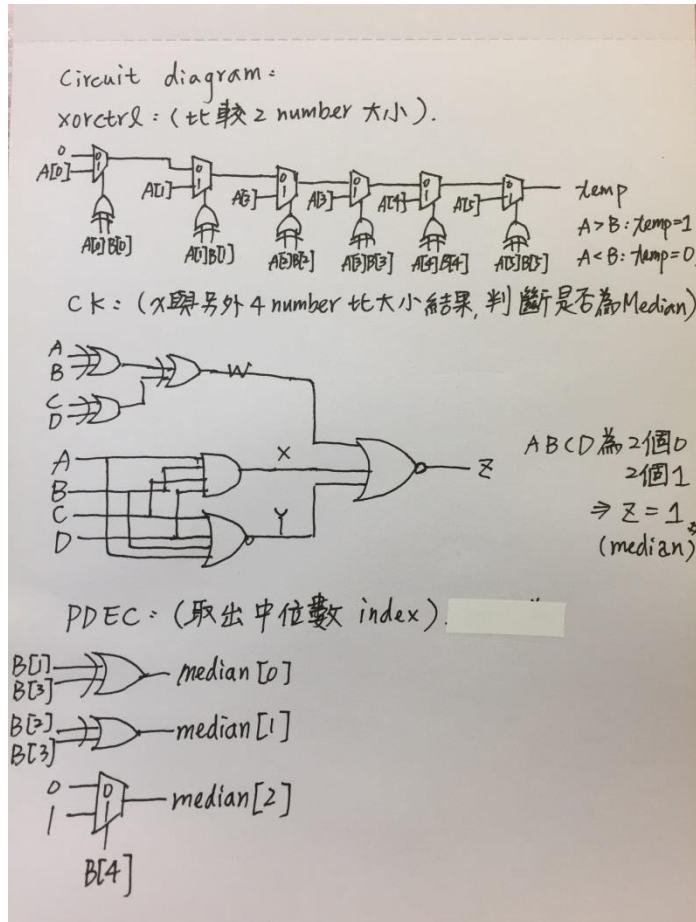
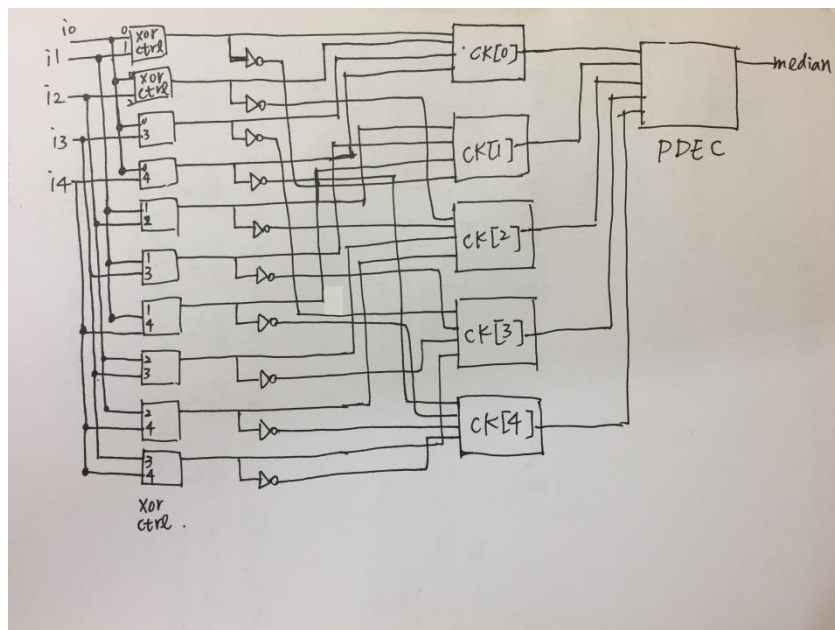


1. Circuit diagram:

Module diagram:



Circuit diagram:



2. Discussion:

Xorctrl: 比較 A 跟 B 的大小，先從 MSB 開始比，XOR=1 表示某一方比較大，拿進去 MUX 做判斷。若 XOR=0 表示這個 bit 相同，於是去參照後一個 bit，以此類推。

接著將 5 個數兩兩相比，得到 10 個結果(temp[9:0])，將每個數與另外 4 個數的比較結果丟入 CK 中，找中位數。

CK: 兩兩 XOR 再 XOR=0 才有可能是中位數，再剔除 1111 與 0000 的 case。

PDEC: 將 ct[4:0]轉換成 median[2:0]，使用 kmap 硬轉即可。

3. Score:

```
Building instance overlay tables: ..... Done
Loading native compiled code: ..... Done
Building instance specific data structures.
Design hierarchy summary:
      Instances  Unique
Modules:         198    29
Primitives:      180     8
Timing outputs:  180    19
Registers:       20    20
Scalar wires:    255     -
Expanded wires:   30     5
Vektored wires:   1     -
Always blocks:   10    10
Initial blocks:   2     2
Cont. assignments: 6     9
Pseudo assignments: 10    1
Simulation timescale: 1ps
Writing initial simulation snapshot: worklib.tb_51_COMPARATOR:v
Loading snapshot worklib.tb_51_COMPARATOR:v ..... Done
ncsim> source /usr/cad/cadence/INCISIV/cur/tools/inca/files/ncsimrc
ncsim> run
Congratulations! Your score is 65!
```