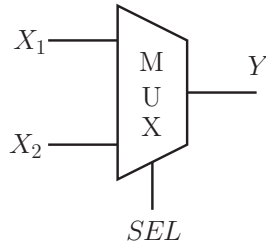


(a)



(b)

図 11: マルチプレクサとその記号

いない加算回路を半加算器と呼び，繰り上がりを考慮した加算器を全加算器と呼ぶ．以下では，全加算器の構成について考える．

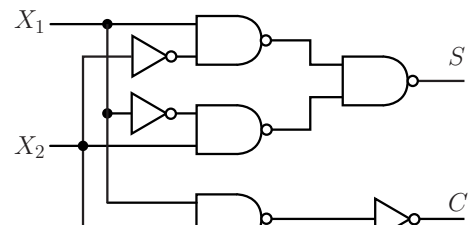
2 進数の i 桁目を A_i ， B_i とし，下位の桁からの繰り上がりを C_{i-1} ，加算結果を S_i ，上位の桁への繰り上がりを C_i とすると，この場合の真理値表は表 9 となる．

表 9: 全加算器の真理値表

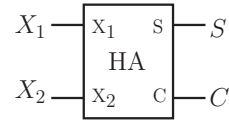
A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

表 9 を実現した回路が図 13 である．このように図 13 は 2 個の半加算器と OR 回路により実現できる．

さらに，全加算器を n 個組み合わせることにより， n ビットの加算器を実現することがで

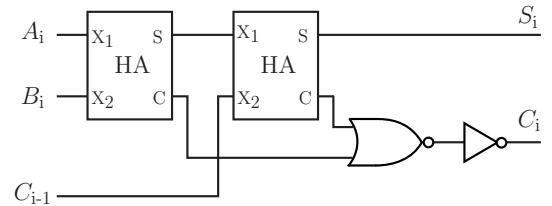


(a)

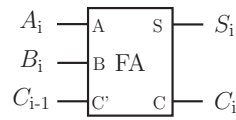


(b)

図 12: 半加算器とその記号



(a)



(b)

図 13: 全加算器とその記号

きる．3 ビット加算器の構成を図 14 に示す．

4 順序回路

論理回路内部の現在の状態と現在の論理変数の値によって演算結果が定まる回路を順序回路と呼ぶ．ここでは，簡単な順序回路の例について説明する．

4.1 2 安定回路

図 15 に示す回路は，図 15(a) と図 15(b) の 2 個の安定状態を有する回路である．これを 2

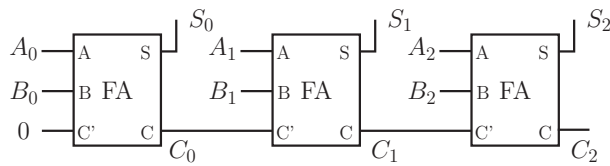


図 14: 3 ビット加算器の構成

安定回路と呼ぶ。

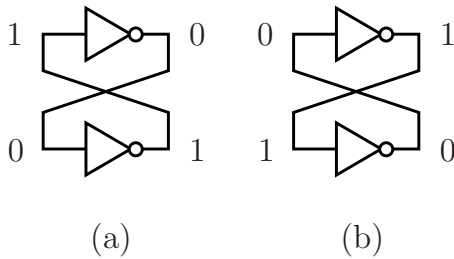


図 15: 2 安定回路

4.2 フリップフロップ

2 安定回路の 2 個の安定状態を外部から選択できるように改良した回路がフリップフロップである。

図 16 は、図 15 の 2 安定回路の NOT 回路を NOR 回路に置き換えて実現したフリップフロップである。図 16(a) と (b) に示すように、2 個の NOR 回路のそれぞれに “1” と “0” を加えると、それに応じて安定状態が定まる。また、2 個の NOR 回路の両方に “0” を加えた場合は、図 16(c) と (d) に示すように、安定状態は変化しない。なお、2 個の NOR 回路の両方に “1” を加えた場合、NOR 回路の出力はともに “0” となる。2 個の NOR 回路に “1” を加えた後に、2 個の NOR 回路に “0” を加えると、NOR 回路の出力が定まらない。このため、2 個の NOR 回路に “1” を加えることは禁止されている。

図 16, すなわち図 17(a) は SR フリップフロップと呼ばれている。図 17(a) は図 17(b) へと等価変換することができる。さらに、図 17

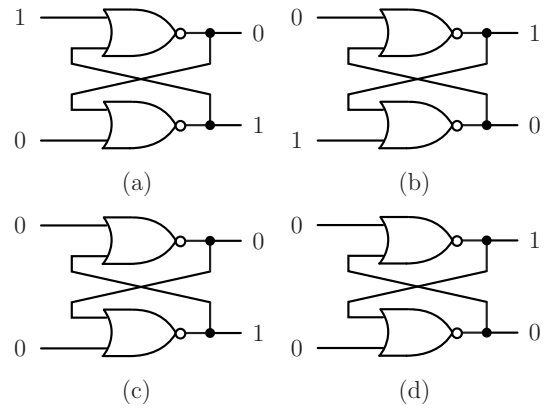


図 16: フリップフロップの状態

の NOT 回路を 3 入力 NAND 回路に置き換えると、図 17(c) に示す、クロック信号 CK とロード信号 LD が共に “1” のときだけ状態が変化するフリップフロップを構成することができる。

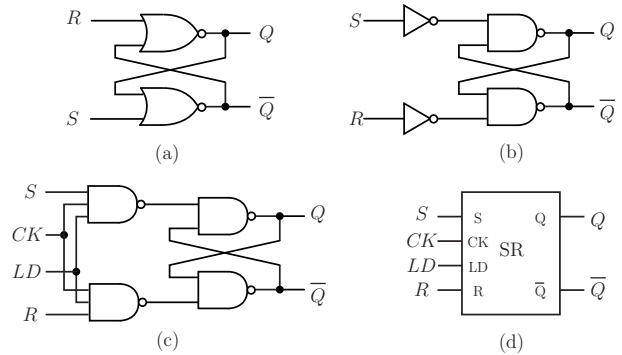


図 17: 実際のフリップフロップ

4.3 メモリ

フリップフロップは状態を保持する機能、すなわち記憶機能を有している。これを用いることによりメモリを構成することができる。図 18 にフリップフロップを用いたメモリの構成例を示す。 A_1 や A_2 , A_3 といった 1 ビットのデータは、クロック信号とロード信号が共に “1” となったときに、それぞれのフリップフロップに記憶される。データを記憶させることを書き込みと呼ぶ。

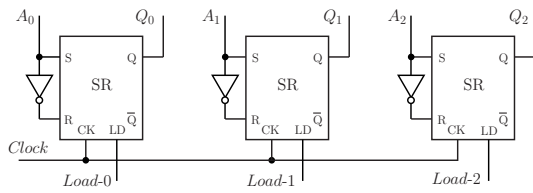


図 18: フリップフロップによるメモリの構成

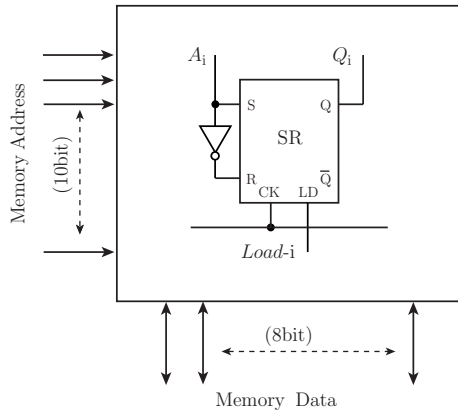


図 19: メモリアレイ

メモリを規則的にアレイ状に配列することにより、メモリアレイが構成される。メモリアレイでは、データを記憶する、あるいはデータが記憶されているメモリを特定するためのアドレスを指定することにより、データを書き込んだり、データを読み出したりする。

4.4 レジスタ

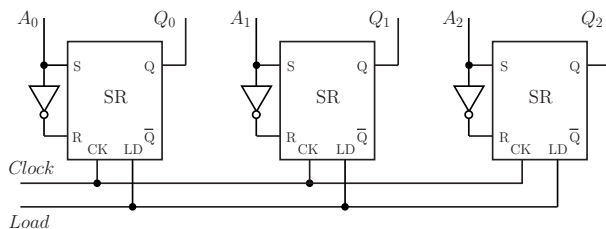


図 20: レジスタの構成

複数ビットのデータを記憶するための回路をメモリレジスタあるいは単にレジスタと呼

ぶ。図 20 に、3 ビットレジスタの構成例を示す。

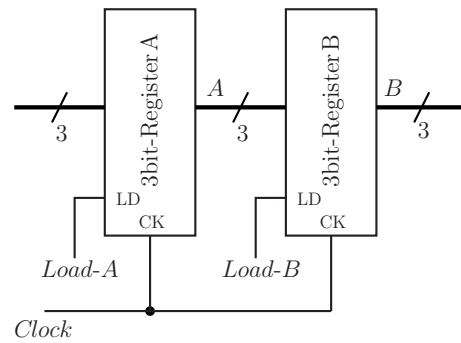


図 21: レジスタ間のデータ転送 (1)

クロック信号とロード信号を利用すると、レジスタ間のデータの受け渡しが可能となる。図 21 に Register A から Register B へのデータの転送を示す。ロード信号 Load-B が、クロック信号と同時に“1”となったとき、Register B のデータが前のデータから Register A の現在のデータに書き代わる。

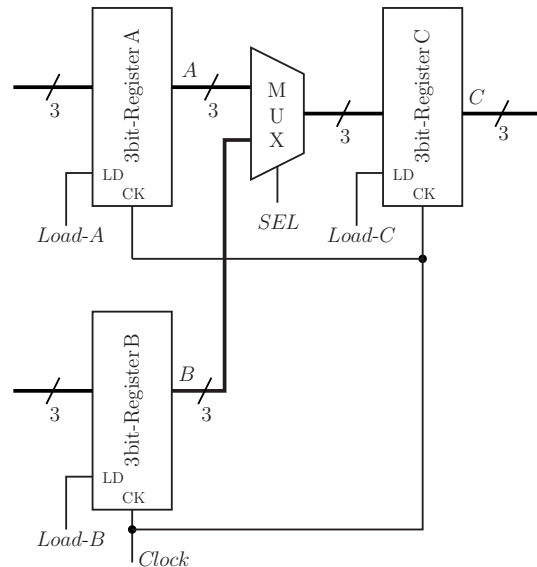


図 22: レジスタ間のデータ転送 (2)

複数のレジスタから 1 個のレジスタを選択して、他のレジスタにデータを転送するには、マルチプレクサを用いる。これを図 22 に示す。図 22 では、SEL によって Register A または Register B が選択され、選択された Register

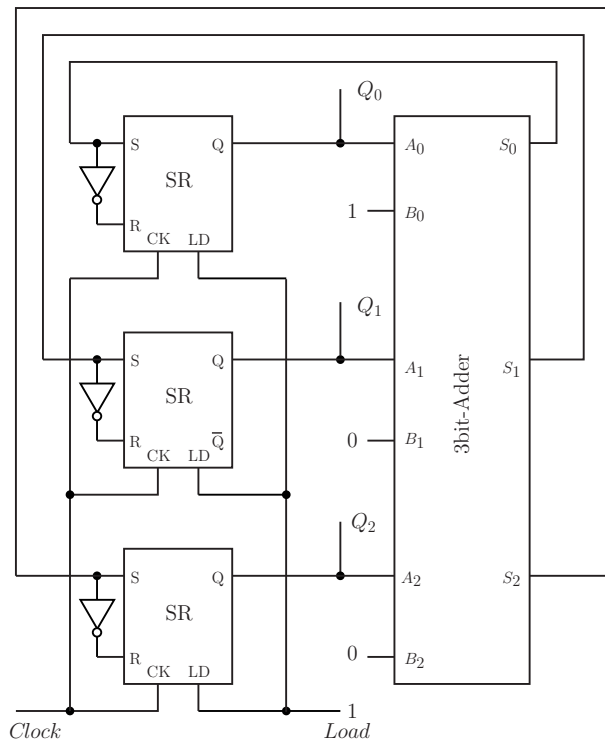


図 23: 3 ビットカウンタ

のデータが，ロード信号 Load-C とクロック信号が “1” になったときに，Register C に転送される．

4.5 カウンタ

カウンタはメモリアレイのアドレスの管理などに用いられる．図 23 に示す回路は，3 ビット加算器と SR フリップフロップを組み合わせで構成した 3 ビットカウンタである． B_2, B_1, B_0 のビット列は 2 進数の 1 を表し，クロック信号が “1” となる毎に，前の状態に 1 が加算される回路である．従って， Q_2, Q_1, Q_0 のビット列が表す 2 進数はクロック信号が “1” となる毎に，1 ずつ増加する．

5 マイクロプロセッサ

加算器やメモリ，カウンタ，マルチプレクサ等を組み合わせることにより，マイクロプロセッサを構成することができる．

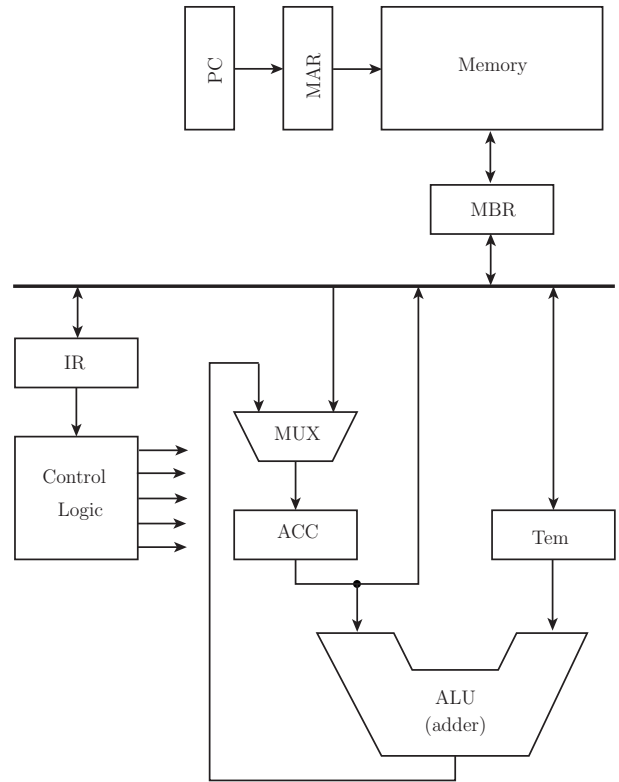


図 24: マイクロプロセッサ

図 24 にマイクロプロセッサの構成例を示す．図 24 において，省略語は表 10 に示す意味を有している．

表 10: 省略語の意味

ALU	Arithmetic & Logic Unit
MAR	Memory Address Register
MBR	Memory Buffer Register
PC	Program Counter Register
IR	Instruction Register
ACC	Accumulator Register
Tem	Temporary Register