****

**实验报告**

**课程名称： 片上系统设计基础**

**实验类别：综合性□ 设计性 □ 其他□**

**实验项目： ALU运算单元设计**

**专业班级： 电子科学与技术2103班**

**姓 名： 王 翔 学 号： 210403304**

**实验室号： 实验组号：**

**实验时间： 批阅时间：**

**指导教师： 宗 杨 成 绩：**

**沈阳工业大学本科生实验报告**（适用理、工专业）

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **一、实验目的：**   * **设计ALU，能根据指令码来进行不同类型的运算。**     **二、实验仪器：**  **二、实验仪器：**   |  |  |  | | --- | --- | --- | | 主要仪器名称 | 型 号 | 仪器编号 | | **计算机** |  |  | |  |  |  | |  |  |  | |  |  |  | |

本页内容为预习内容，须在上实验课前填完，课上交教师检查。

**沈阳工业大学本科生实验报告**（适用理、工专业）

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **三、实验原理（或设计方案）：**   * **ALU运算功能表：**  |  |  |  | | --- | --- | --- | | **No.** | **操作码** | **功能** | | **1** | **3’b000** | **a+b** | | **2** | **3’b001** | **a-b** | | **3** | **3’b010** | **a-b-1’b1** | | **4** | **3’b011** | **a+b+1** | | **5** | **3’b100** | **a&b** | | **6** | **3’b101** | **a|b** | | **7** | **3’b110** | **a^b** | | **8** | **3’b111** | **~b** |   **四、实验步骤：**  **代码：**  **Alu\_8bit:**    module alu\_8bit  (  input [7:0] a,  input [7:0] b, //alu数据输入  input cin, //进位输入  input [2:0] alu\_sel, //功能选择  output [7:0] alu\_out, //数据输出  output alu\_cout //进位输出  );  reg [7:0] result; //寄存运算结果  wire [8:0] carry\_temp; //最高位为进位  assign alu\_out = result;  assign carry\_temp = {1'b0,a} + {1'b0,b};  assign alu\_cout = carry\_temp[8];  always@(\*) begin  case(alu\_sel)  3'b000: result <= a + b;  3'b001: result <= a - b;  3'b010: result <= a - b - 1'b1;  3'b011: result <= a + b + 1;  3'b100: result <= a & b;  3'b101: result <= a | b;  3'b110: result <= a ^ b;  3'b111: result <= ~b;  default: result <= a + b;  endcase  end  endmodule  **tb\_alu\_8bit:**    `timescale 1ns / 1ps  module tb\_alu\_8bit;  //Inputs  reg [7:0] a,b;  reg [2:0] alu\_sel;  //Outputs  wire [7:0] alu\_out;  wire alu\_cout;  // Verilog code for ALU  integer i;  alu\_8bit alu\_8bit\_unit  (  a,  b, //alu数据输入  cin, //进位输入  alu\_sel, //功能选择  alu\_out, //数据输出  alu\_cout //进位输出  );  initial begin  // hold reset state for 100 ns.  a = 8'h0A;  b = 4'h02;  alu\_sel = 3'h0;  for (i=0;i<=15;i=i+1)  begin  alu\_sel = alu\_sel + 8'h01;  #10;  end  a = 8'hF6;  b = 8'h0A;  end  endmodule |

本页内容为预习内容，须在上实验课前填完，课上交教师检查。

**沈阳工业大学本科生实验报告**（适用理、工专业）

|  |
| --- |
| **五、实验记录：**  验证    网表    DC综合    版图 |

本页内容须在实验课内写完，下课时交教师检查签字。 指导教师：

|  |
| --- |
| **六、实验总结：**  在这个实验中，我们学习了如何使用 Verilog 代码编写一个 8 位算术逻辑单元（ALU）。ALU 是数字电路中的关键组件，用于执行各种算术和逻辑操作，例如加法、减法、与、或、异或等。  我们编写 Verilog 代码来实现一个简单的 8 位 ALU，并对其进行测试。 |

本页内容须在实验课后7天内完成，交教师评阅。