המרכז האקדמי לב

החוג להנדסת חשמל ואלקטרוניקה
סילבוס קורס אקדמי
נכון ל: תשפ"ה

שם הקורס: מעבדה בתכנון ספרתי מתקדם **מספר הקורס: 130326**

שם המרצה: אורי שטרו

היקף הקורס: שעור: 1 **תרגיל**: - **מעבדה**: 2 ש"ש **נ"ז**: 2

מטרת הקורס:

1. קורס זה הוא קורס המשך לקורס תכנון ספרתי מתקדם 130323.
2. לאחר סיום הקורס יוכל הסטודנט:

- לנתח בעיות תכנון טיפוסיות ולהציע פתרונות באמצעות טכניקות תכנון דטרמיניסטיות (כגון מונים משולבים, מכונות מצבים ותכנון היראכי).
- לממש את פתרון בעיות התכנון תוך שימוש בתהליך המקובל של - HDL Design Flow, תוך מעקב והתבססות על דוחות המופקים על ידי הכלים.
- לקבוע אילוצים של תדר, מיקום פיזי ותכונות חשמליות עבור כניסות ויציאות של רכיבים בטכנולוגיית FPGA של חברת Xilinx-AMD
- לממש תכנון בפועל באמצעות FPGA המשולב ב-Board.

תוכנית הקורס:

בקורס נלמדות ומתורגלות שיטות לתכנון דיגיטלי בתהליך HDL Design Flow המקובל בתעשייה, תוך ניתוח משמעות והשלכות ברמת המימוש בחומרה, באמצעות FPGA המשולב ב-Board. הנושאים נלמדים במגוון שיטות הוראה: מעבדות, תרגילים, הרצאות תאורטיות, דיון ולימוד עצמי. הקורס כולל לימוד והרצאות של נושאים תאורטיים מורכבים הנדרשים לצורך הבנה וביצוע של המשימות המעשיות.

<u>נושאים נלמדים</u>:

1. היכרות עם סביבת FPGA Board טיפוסית: מבנה, משאבים וארכיטקטורה. אילוצים הנדסיים מתחומים שונים (מכניים, חשמליים ועוד) המכתיבים אילוצי תכנון בכל שלבי HDL Design Flow.
2. אילוצי זמנים ומסלולי זמנים קריטיים. הגדרה, ניתוח והתמודדות עם אילוצי זמנים בתכנון HDL בכל שלבי הכנת התכנון, החל משלבי תכנון דיאגרמת בלוקים ו-RTL ועד רמת מימוש התכנון ב-FPGA המשולב ב-Board.
3. הגדרת אילוצים לתכנון דיגיטלי, מבנה ופורמט קובץ SDC/XDC להגדרת אילוצים כסטנדרט בתעשייה
4. הטענת קונפיגורציה של תכנון שעבר את כל שלבי HDL Design Flow לתוך רכיב FPGA המשולב בתוך Board.

<u>טכניקות תכנון נלמדות ומתורגלות כוללות</u>:

1. פתרון דטרמיניסטי של אתגרי תכנון באמצעות מונים משולבים
2. מכונת מצבים: שימוש בדיאגרמות Mealy ו- Moore כדרך תכנון; מימוש מכונות המצבים ב-VHDL.
3. תכנון היראכי ב-VHDL: בקרה ושליטה באמצעות כלי הסינטזה. היראכיה ודיאגרמת הבלוקים כדרך עבודה בתכנון.

4. עקרונות בדיקה – אימות (Verification) ותיקוף (Validation) ואופן הביצוע בתכנון דיגיטלי.
5. סימולציית Gate-Level והתנהגות התכנון הדיגיטלי ברמה הפיזיקלית (בניגוד לסימולציית Source/RTL) סימולציות Post Synthesis ו-Post Place & Route
6. נושאים נבחרים נוספים (ככל שנשאר זמן)

<u>תרגילים ומעבדות</u>:

המשימות בקורס יינתנו בסדר קושי ומורכבות העולים בהדרגה לפי נושאי הלימוד ובהתאם לטכניקות הנלמדות:

1. מנגנוני בקרה באמצעות מונה: Hard coded ו-Programmable.
2. מנגנון מבוסס מונים משולבים –עבודה עם משאבי כניסות ויציאות לשימוש כללי ב-Board
3. מנגנון מבוסס מונים משולבים – שימוש במשאבי תצוגה הקיימים ב-Board
4. מנגנון מבוסס מונים משולבים – שימוש במשאבי תצוגה הקיימים ב-Board ושליטה בפעולת המנגנון באמצעות כניסות ייעודיות ב-Board
5. עקרונות בדיקה – אימות (Verification) ותיקוף (Validation) ואופן הביצוע בתכנון דיגיטלי
6. סימולציית Gate-Level. צפייה מראש של התנהגות התכנון הדיגיטלי ברמה הפיזיקלית ברכיב וב-Board.
7. מכונות מצבים
8. מטלה מסכמת המשלבת תכנון הירארכי, מונים, לוגיקה, מכונות מצבים, טכניקות בדיקה ומימוש על Board.
9. משימות נבחרות נוספות (ככל שנשאר זמן)

מדדים להערכה:

תרגילים\מעבדות ("מטלות")	**70%**
מבחן מסכם	**30%** לפי התקנון, על הסטודנט להשיג ציון של לפחות 55 במבחן המסכם כתנאי לשקלול שאר מרכיבי הציון (מרכיב ציון התרגילים\מעבדות)

קורסי קדם:

- תכנון ספרתי מתקדם 130323

ביבליוגרפיה:

חומר רשות:

1. John F. Wakerly, Digital Design: Principles and Practices, Prentice Hall; 4th edition (July 2005)
2. Douglas Perry, VHDL, Programming by Example, McGraw-Hill Professional; 4th edition (May 2002)
3. Douglas Perry, VHDL, Third Edition, McGraw-Hill Professional; 3rd edition (May 1998)