****

**הערכה חלופית – מעבדה באלקטרוניקה וחשמל  
אלקטרוניקה ספרתית VLSI**

**תשפ"ה**

|  |  |
| --- | --- |
| **שם מלא** | יוסי ברים |
| **מספר סטודנט/ת"ז** | 315512848 |

## **כללי העבודה:**

* יש להגיש דו"ח עם תשובות הסעיפים ב-PDF או ב-docx בתיבת ההגשה המיועדת לכך. יש לכלול בדו"ח צילומי מסך הקשורים לתשובות. כל התשובות **חייבות** להכתב בצורה מנומקת, ברורה ומסודרת.
* יש להתכונן להגנה בעל פה בתאריך שייקבע בהמשך.

מעגל CMOS Latch D

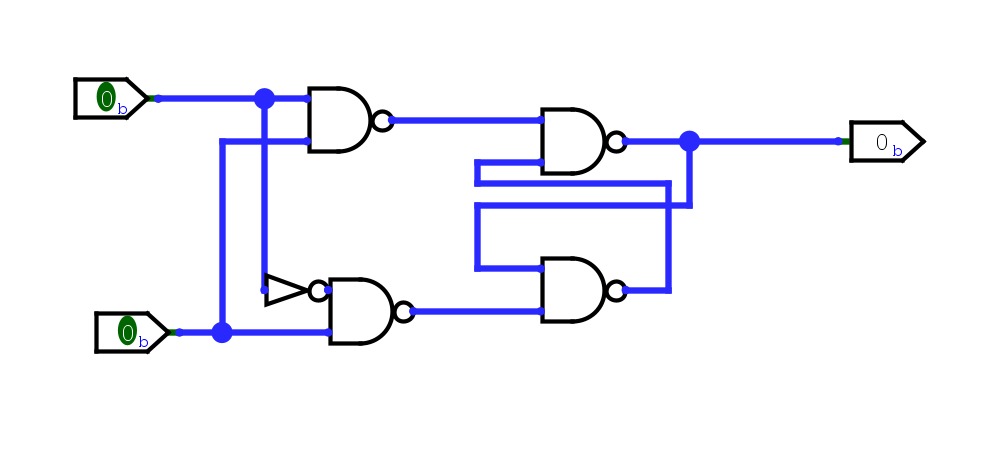
|  |  |  |
| --- | --- | --- |
| Q+ | D | Enable |
| Q | 0 | 0 |
| Q | 1 | 0 |
| 1 | 1 | 1 |
| 0 | 0 | 1 |
| טבלה 1 – טבלת אמת של Latch-D | | |

טבלת האמת של המערכת הסדרתית Latch-D נתונה בטבלה 1.

עבור מעגל לוגי CMOS, הפועל במתח סַפַּק 5V, המתח המהווה ערך לוגי 0, נע בין 0V לבין 1.5V. המתח המהווה ערך לוגי 1, נע בין 3.5V לבין 5V.

סעיף התחלה

* מצא את הפונקציה הלוגית של המערכת הסדרתית באמצעות שערים לוגים NAND ו-NOT בלבד.



Y = ((D\*ENEBLE)'\*(Y\*(D'\*ENEBLE)')'

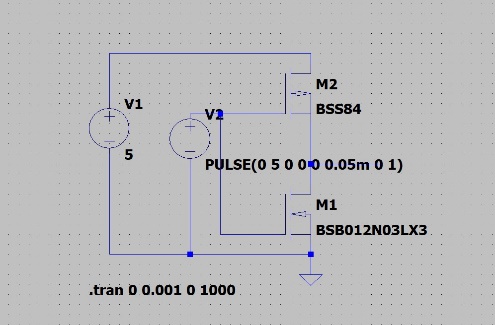
ניסוי א'

1. בנה שני שערים לוגים NOT CMOS עם הרכיבים:

NOT

A.

BSS84 ו-BSB012N03LX3



B.

BSS84 ו-BSP89



הערה,את הטרנזיסטורים העליונים בסעיף זה,צריך להפוך כיוון,ב AוB

היה לי בלבול בכיוונים שהבנתי רק החל מהסעיף הבא.

1. השווה בין המעגלים: הפעל כל שער לוגי ומדוד את זמני העלייה והירידה של המוצא, בדוק זרמים. אילו ערכים בדפי הנתונים אחראיים על ההבדלים?

הערה רוחבית על גרפי הסימולציות:

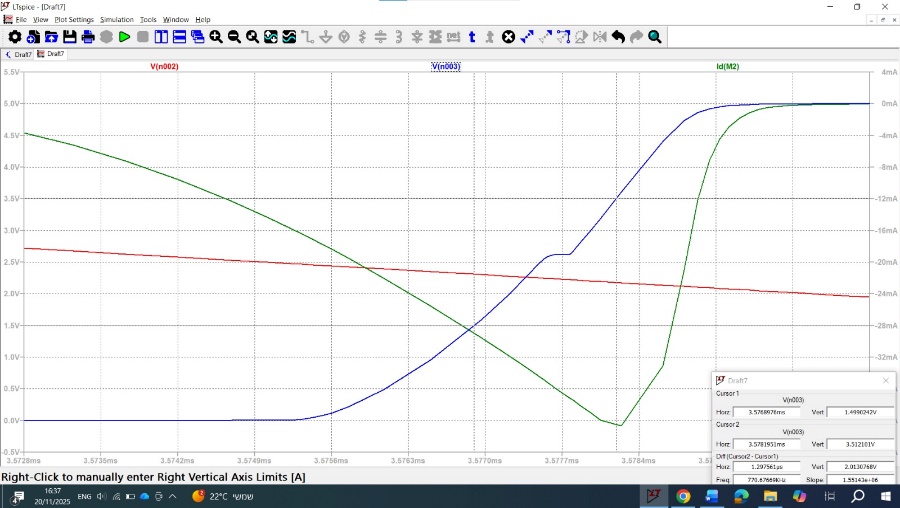
קו אדום זה מתח כניסה,

כחול זה מתח יציאה,

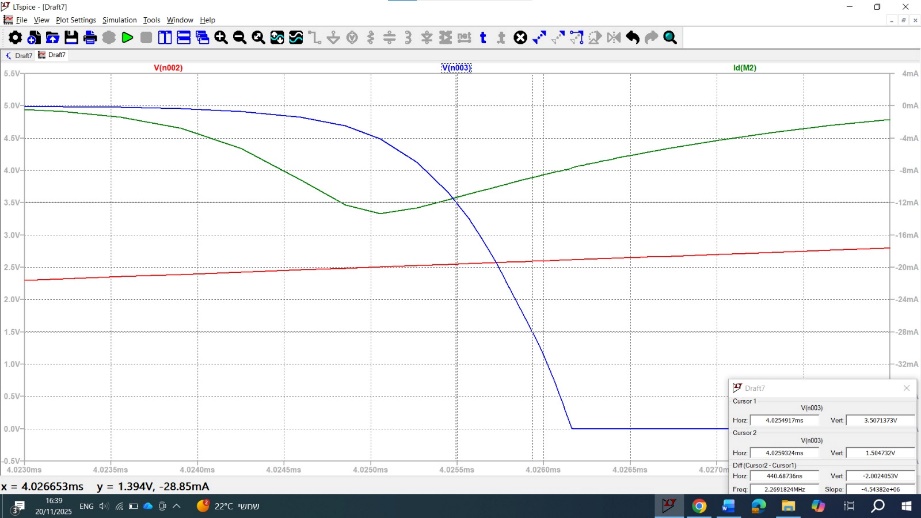
וירוק זה הזרם

עבור טרנזיסטור A:

זמני עלייה ירידה:



זמן ירידה:

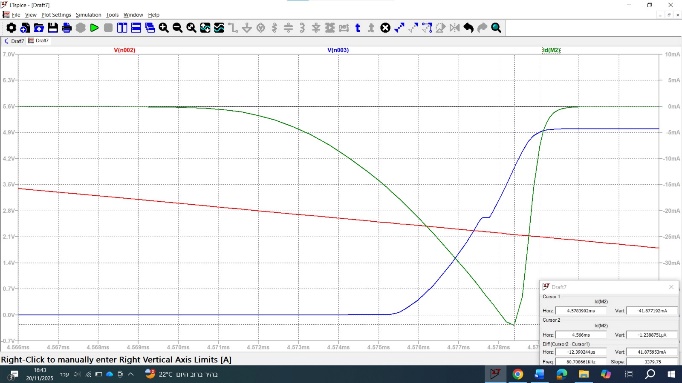


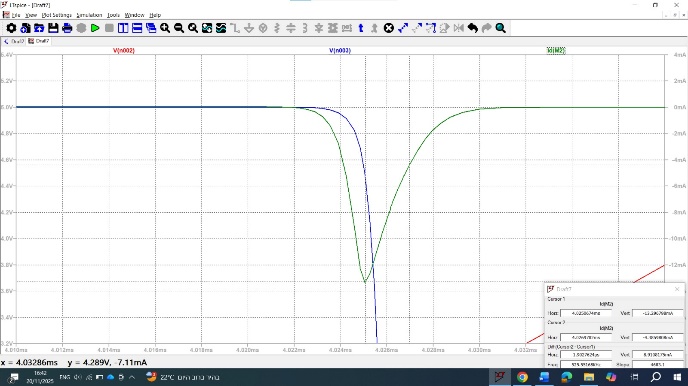
כ440 ננו שניות בערך

|  |  |
| --- | --- |
| זמן עליה | זמן ירידה |
| 1.97 מיקרו סקנט | 440 ננו שניות |

בדיקות זרמים:

הימני הוא זרם בירידה והשמאלי הוא זרם בעליה:

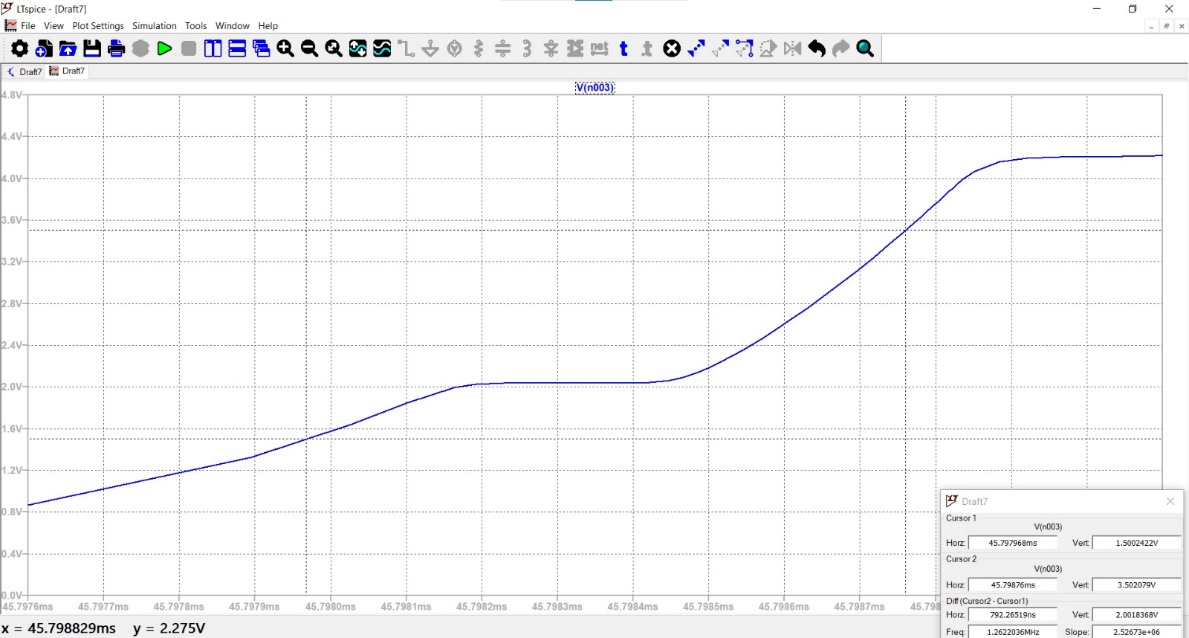




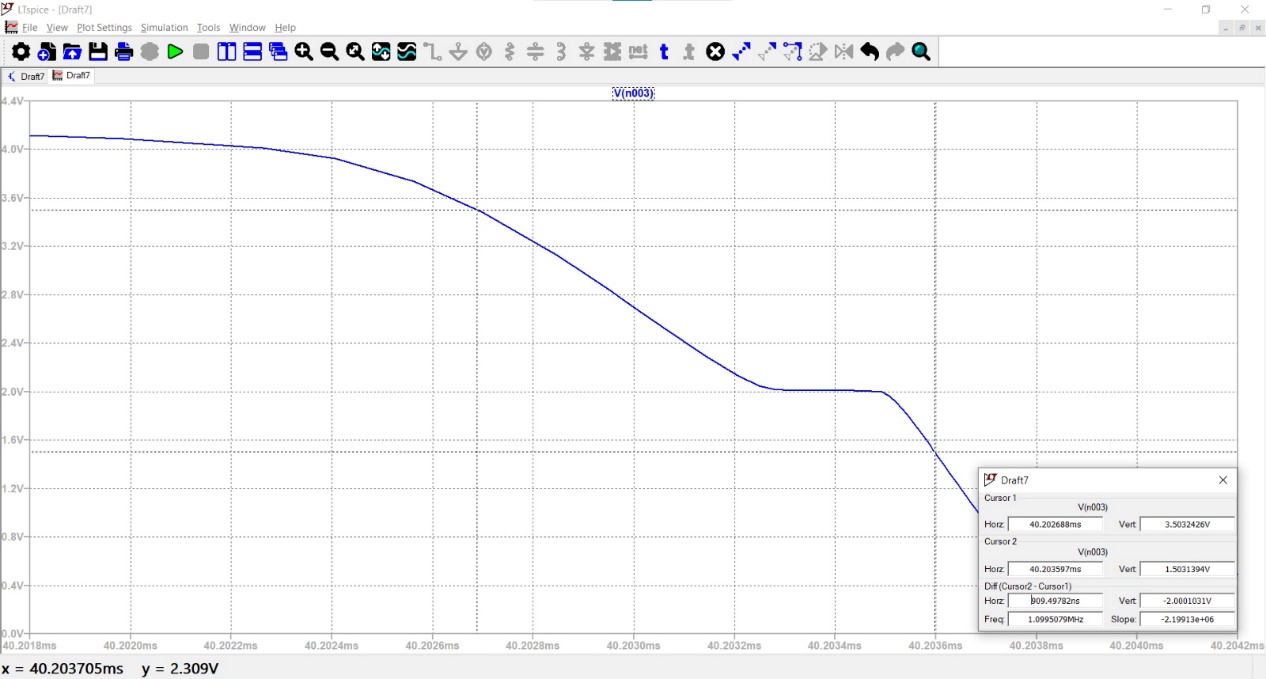
ניתן לראות שבזמן המעבר ממתח גבוה לנמוך יש זרם כלשהוא,וממתח נמוך לגבוה גם כן יש זרך אחר,בשאר הזמן,הזרם הוא אפס

עבור טרנזיסטור B:

עלייה:

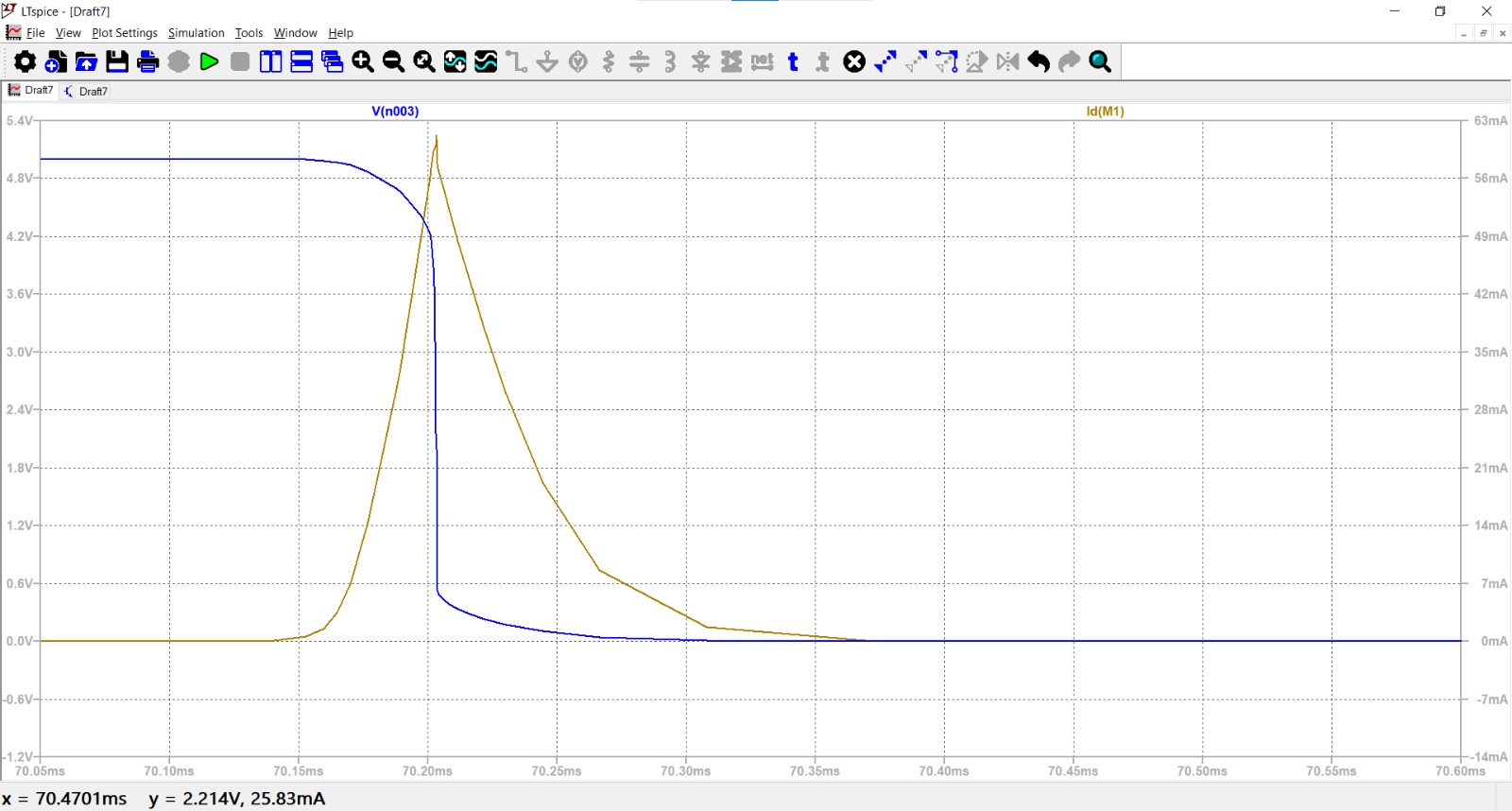


זמן ירידה:



|  |  |
| --- | --- |
| זמן עליה | זמן ירידה |
| 792 ננו שניות | 909 ננו שניות |

זרם בחילופי ערכים:



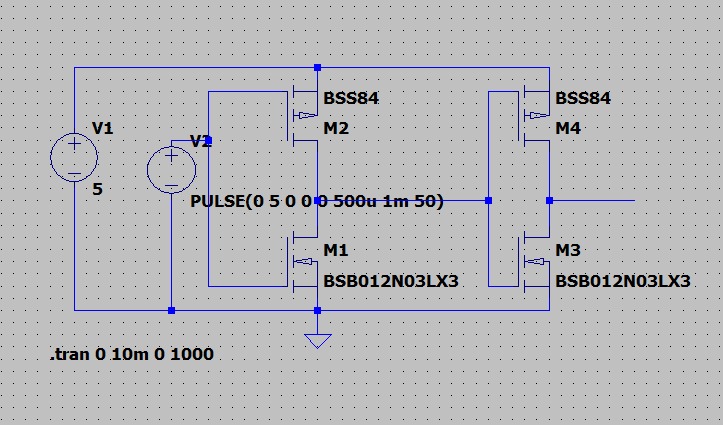
3.

חבר שני שערים לוגים NOT בטור. אמורים לקבל את האות הלוגי שבכניסה. מצא את תדר המיתוג המרבי המאפשר את פעילות הטור. (ראה מה ההגדרה של 0 לוגי ושל 1 לוגי בתחילת הדף.)

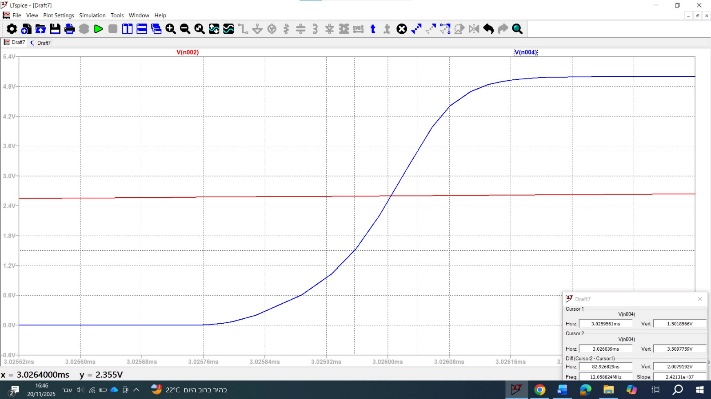
עבור טרנזיסטור A:

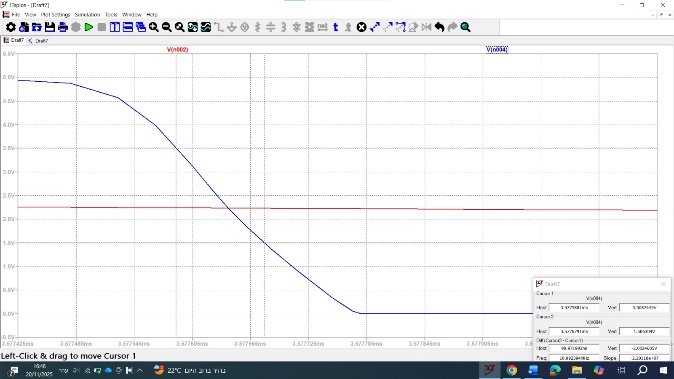
החוצץ שמתקבל משני שערי הnot:

BUFFER:



זמן עליה של החוצץ



זמן ירידה:

|  |  |
| --- | --- |
| זמן עליה | זמו ירידה |
| 82.93 ננו סקנט | 90.97 ננו סקנט |

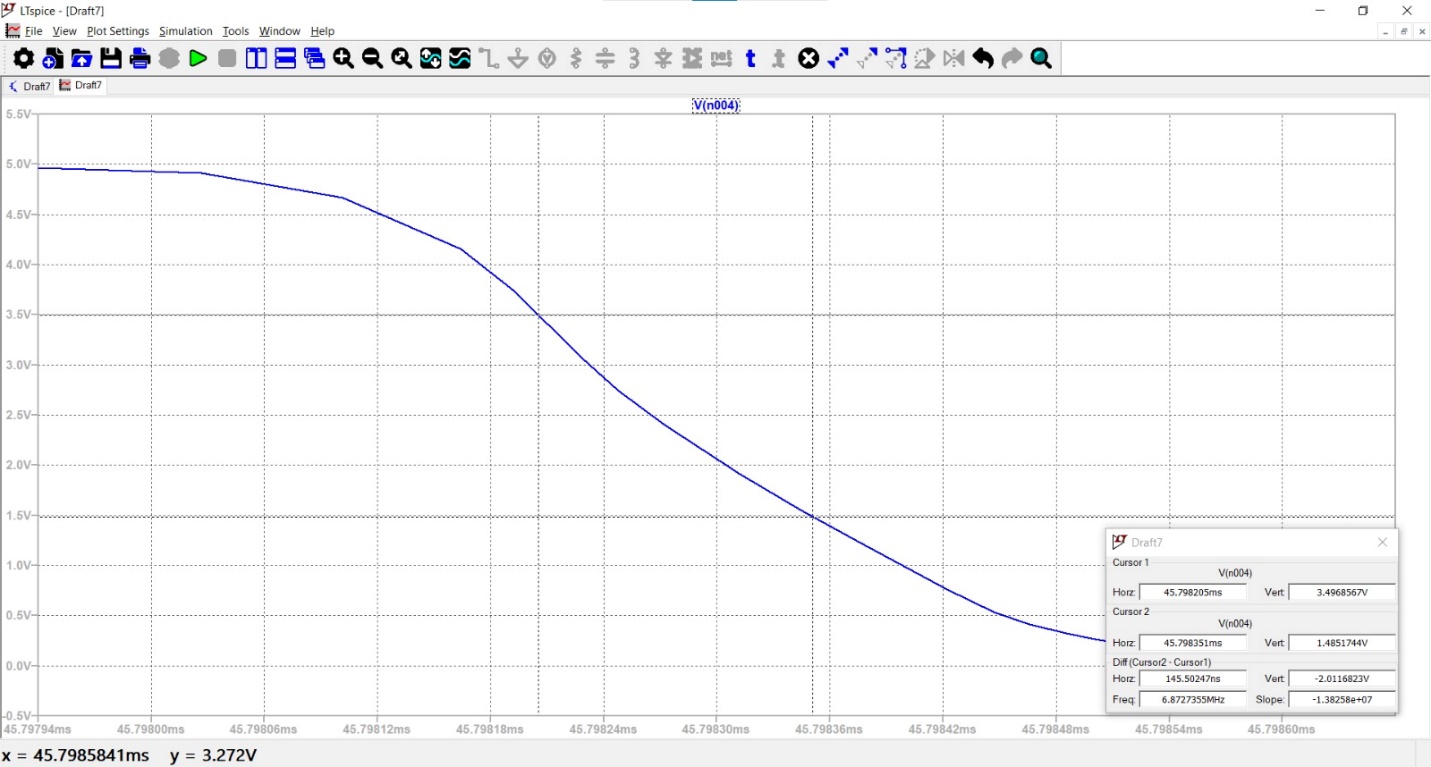
עבור תדר מיתוג מירבי:

ניקח את אחד חלקי פעמיים המקסימלי שמבין זמני העליה או הירידה ,במקרה שלנו זה יהיה של זמן העליה

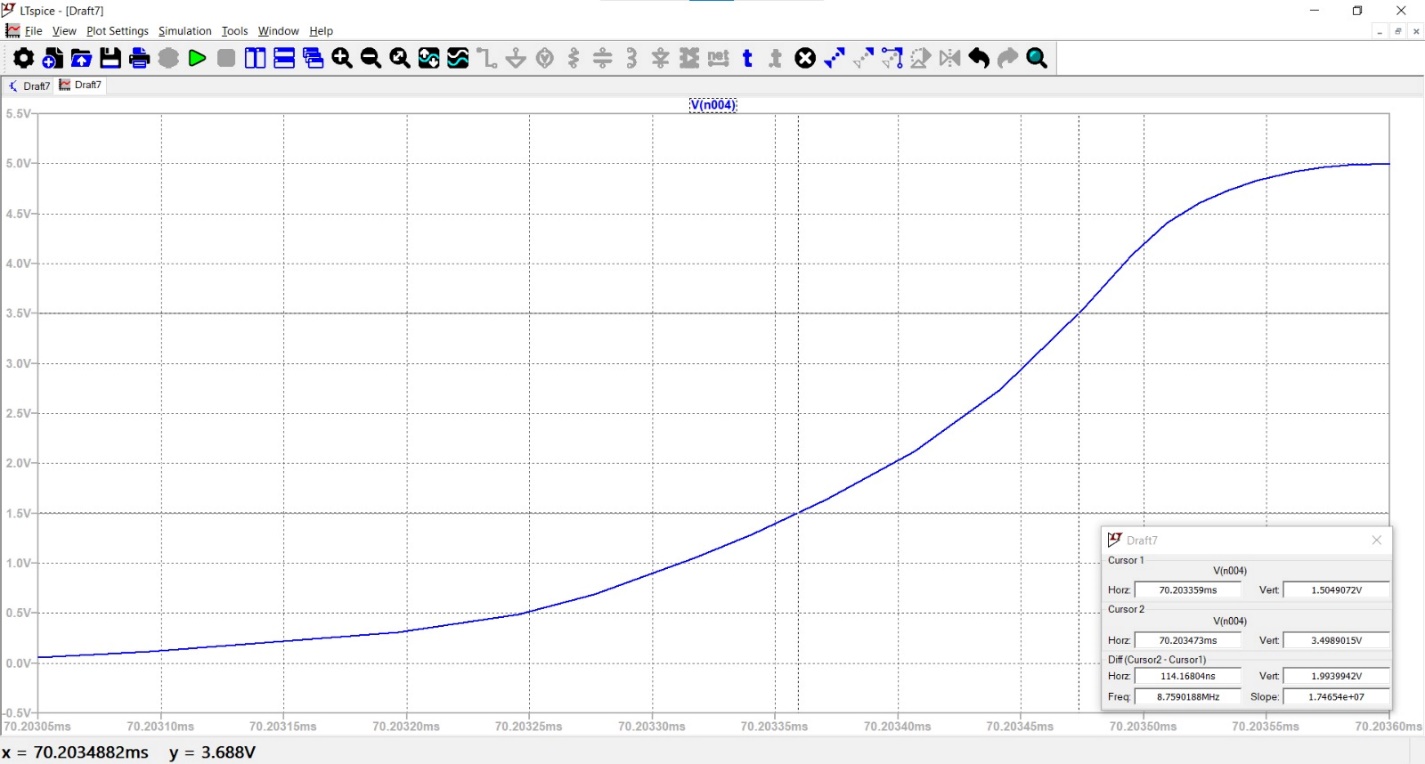
יוצא בערך 5.5 מגה הרץ

בבדיקה מעשית אבל ראינו שיש צורך בתדרים קטנים יותר,איפה שהוא בין 9 מגה(שבו משום מה הזמן עלייה הוא גדול מידיי,הוא ממש טוען עדיים מ0 וולט ל5 וולט,ולא מאחד וחצי עד שלוש וחצי),לבין 19 מגה,ששם התדר הוא כבר בסימולציה היה גדול מידי,וכבר לא ראינו טעינה כלל.

עבור טרנזיסטור B:

עליה:

ירידה:

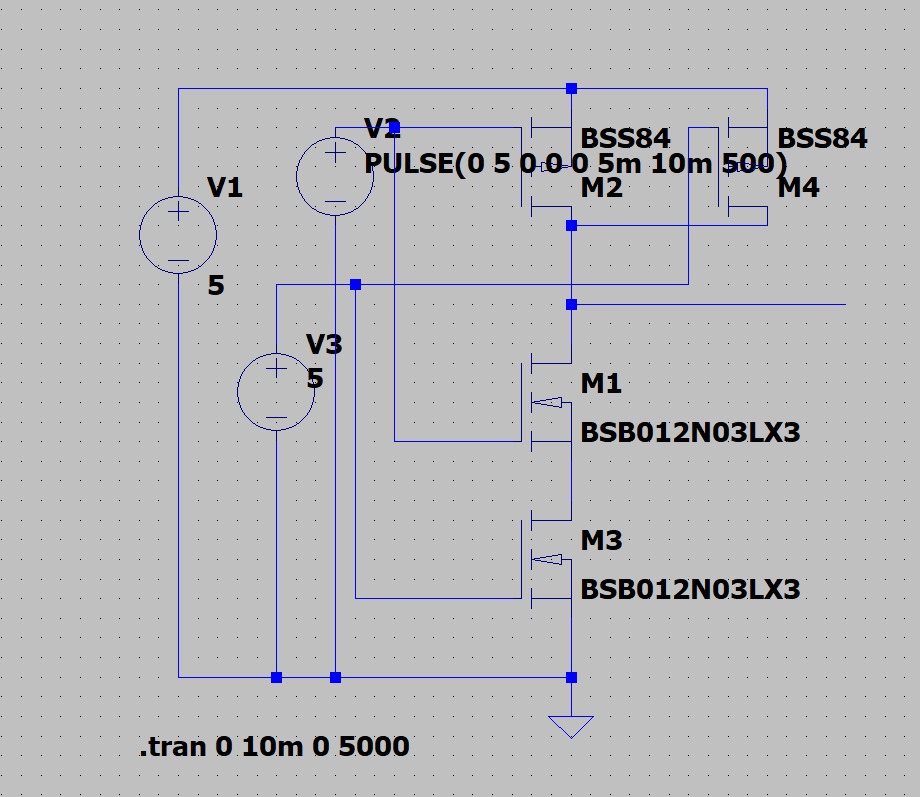


|  |  |
| --- | --- |
| זמן עליה | זמו ירידה |
| 114 ננו שניות | 145.5 ננו שניות |

תדר מיתוג מירבי:

3.44 מגה הרץ

1. בנה שערים לוגים CMOS NAND עם אותם הטרנזיסטורים של סעיף 1, וחזור על סעיף 2.

NAND:

תזכורת לסעיף 2:

השווה בין המעגלים: הפעל כל שער לוגי ומדוד את זמני העלייה והירידה של המוצא, בדוק זרמים. אילו ערכים בדפי הנתונים אחראיים על ההבדלים?

הערה רוחבית על גרפי הסימולציות:

קו אדום זה מתח כניסה,

כחול זה מתח יציאה,

וירוק זה הזרם

לשם הנוחות הגדרנו את מתח הכניסה של אחד משני השערים (V3) קבוע על 5 וולט

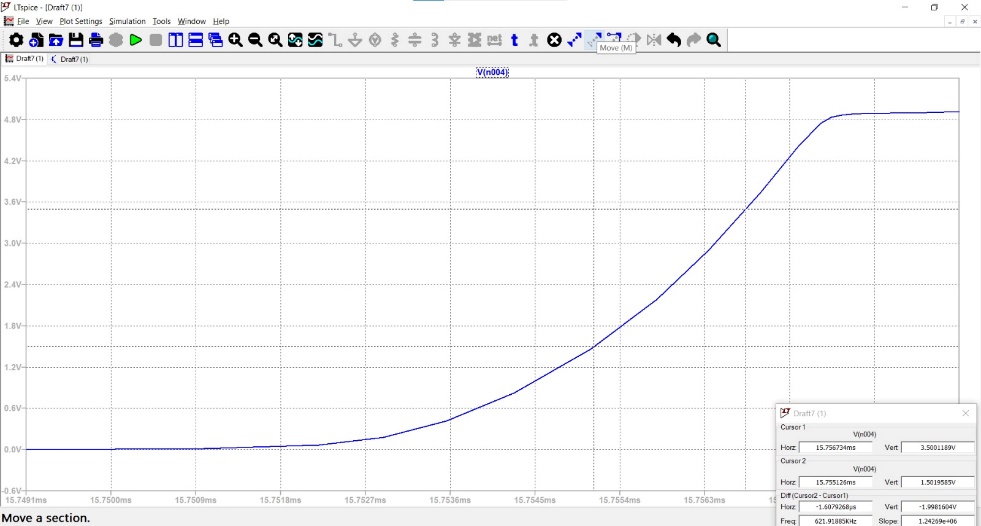
בעצם יש לנו את Vcc

ואדמה

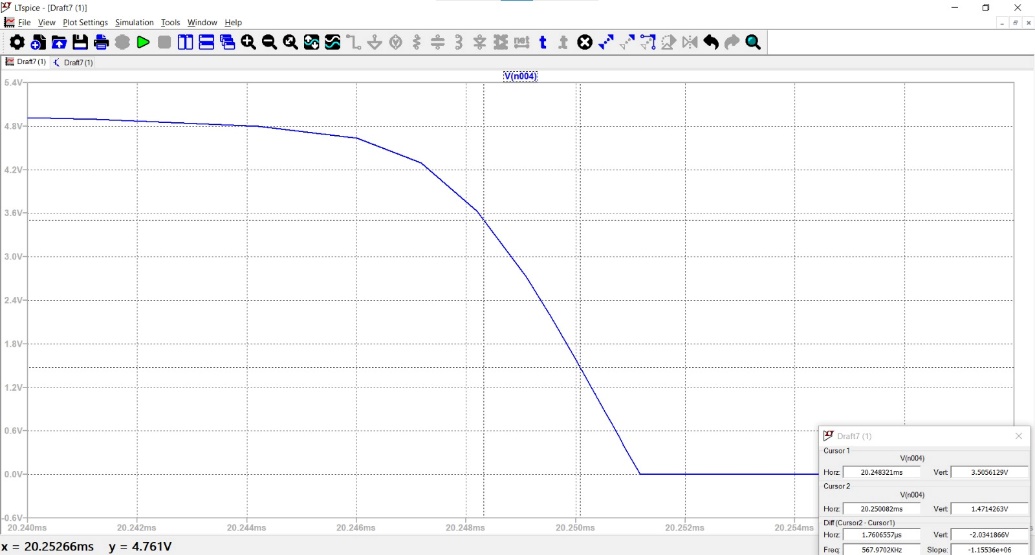
מהV1

וה2 יהיה הכניסה של הפולסים שאיתו נבדוק

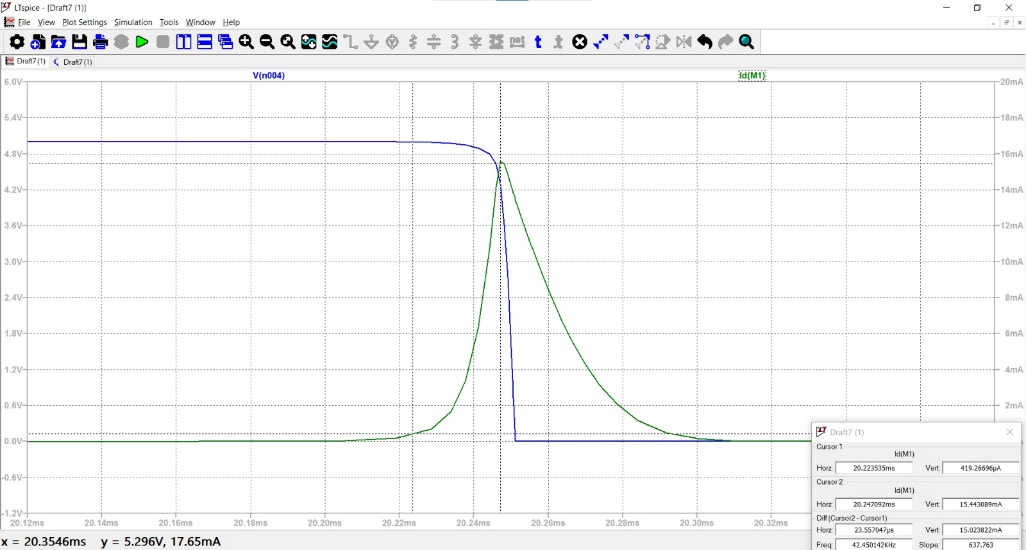
|  |  |
| --- | --- |
| זמן עליה | זמן ירידה |
| 1.64 מיקרו שניות | 1.71 מיקרו שניות |

עליה:

ירידה:



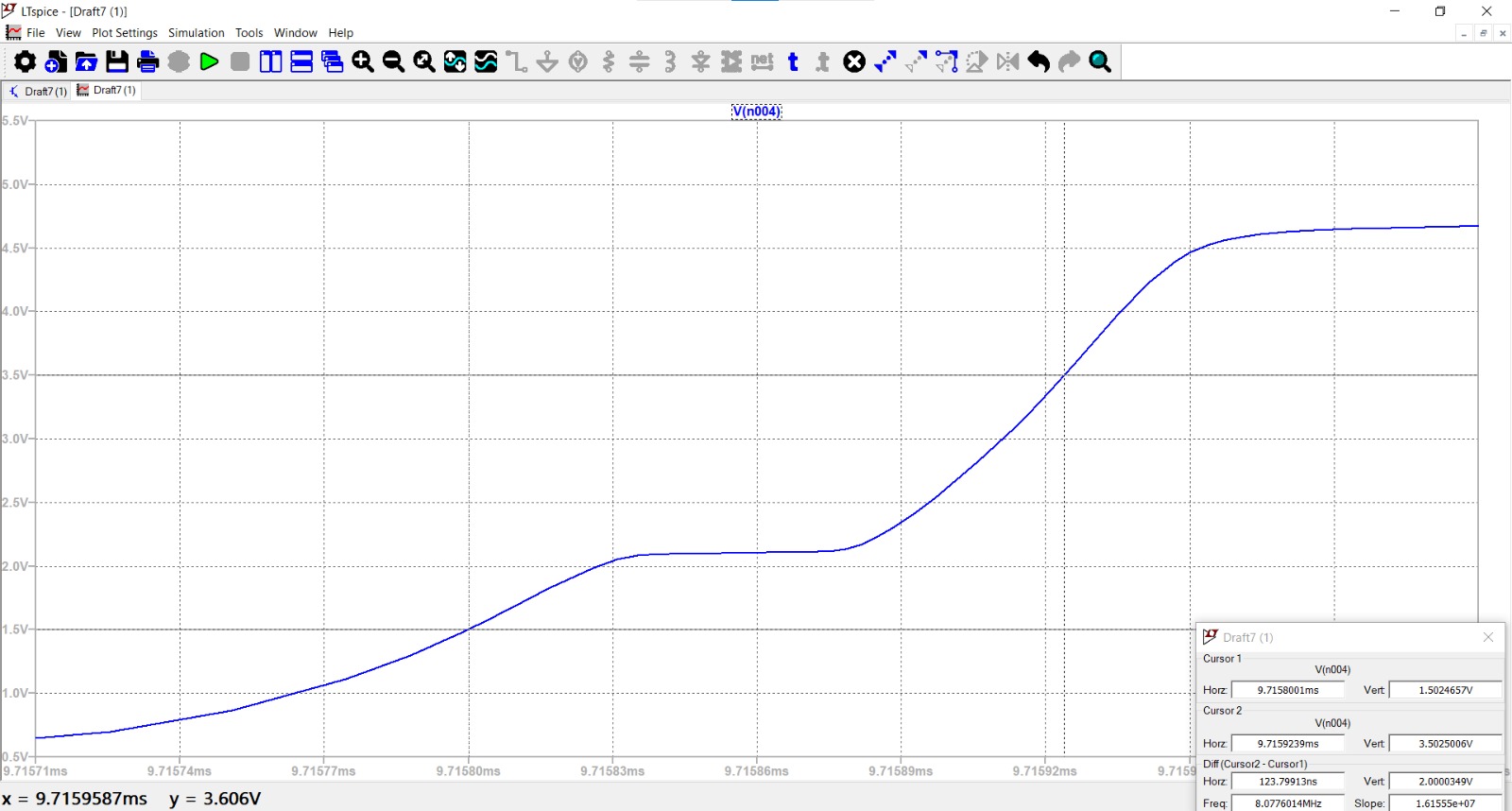
זרם:



עבור טרנזיסטור B:

|  |  |
| --- | --- |
| זמן עליה | זמן ירידה |
| 123.8 ננו שניות | 136.78 ננו שניות |

עלייה:

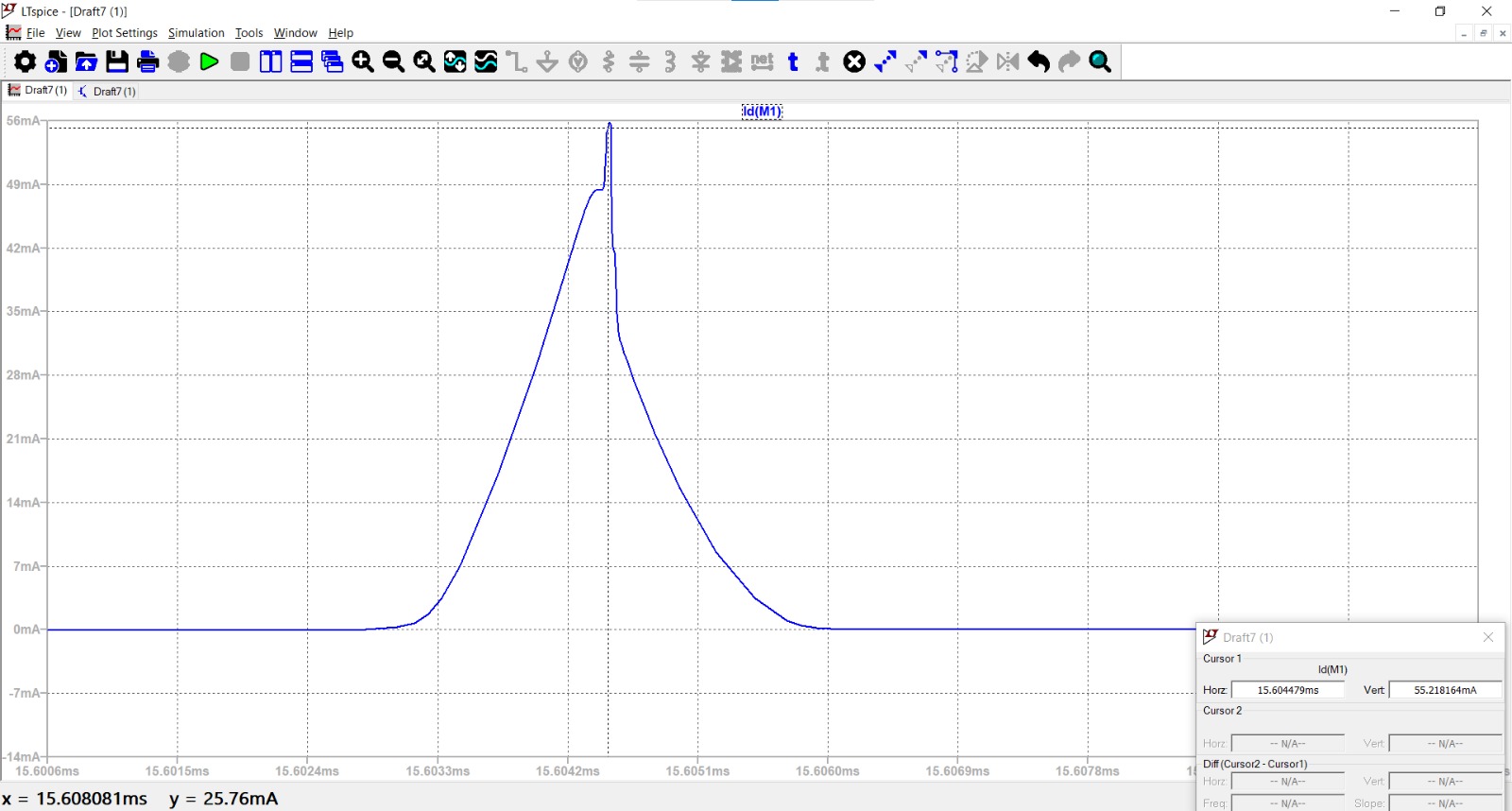


ירידה:



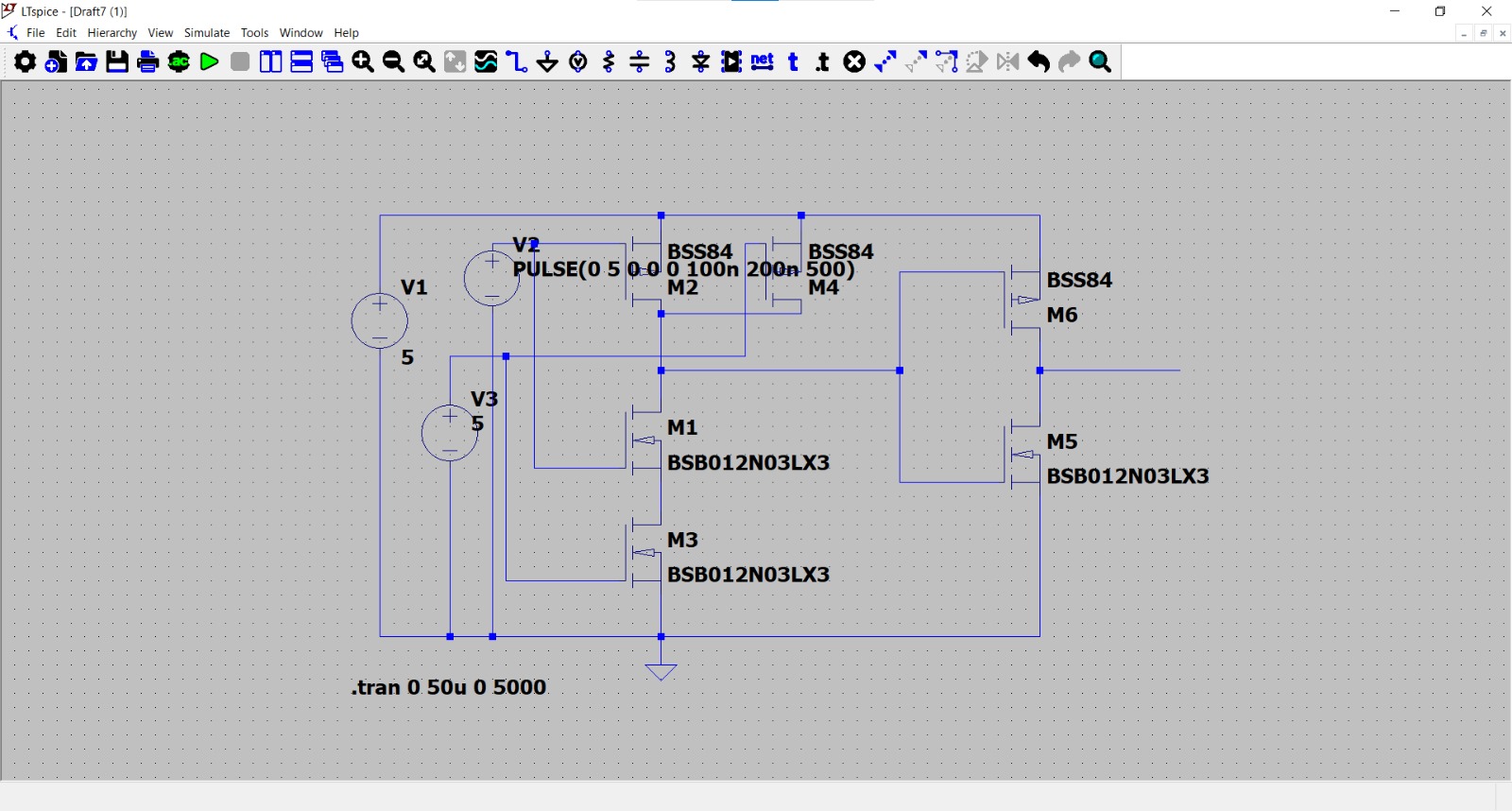
תדר מיתוג מירבי: 1 חלקי 2\* 136.78 ננו שניות =3.655 מגה הרץ

זרם במעברים:



1. חבר בין שער לוגי NAND ושער לוגי NOT בטור כדי לבנות מערכת AND. מהו תדר המיתוג המרבי המאשר את פעילות המערכת? הצג את המדידות בגרפים מתאימים.

AND:



|  |  |
| --- | --- |
| זמן עליה | זמן ירידה |
| .260 ננו שניות | 219 ננו שניות |

תדר המיתוג המרבי :

1 חלקי פעמיים המקסימלי מבין תדרי העלייה או הירידה

אמור להיות על פי מדידת הזמני עלייה וירידה כ1.92 מגה הרץ

בפועל התדר קרוב יותר לכיוון 2.94 מגה הרץ,אפילו יותר גבוה

עבור תדר 5 מגה כבר קיבלנו שהמערכת לא הספיקה להיטען

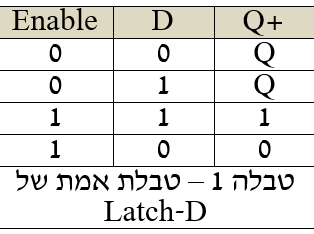
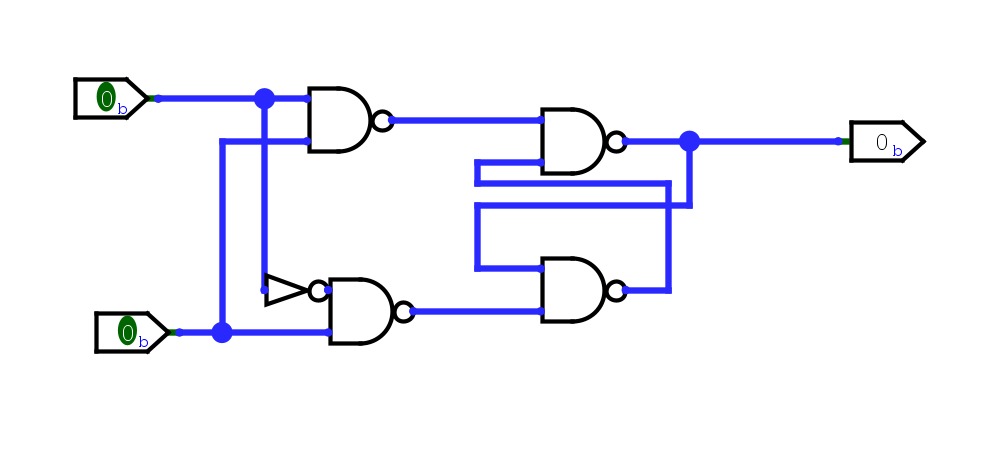
למסקנה,התדר מיתוג מרבי בטרנזיסטור A

הוא מעשית בין 2.94 מגה הרץ ל5 מגה הרץ

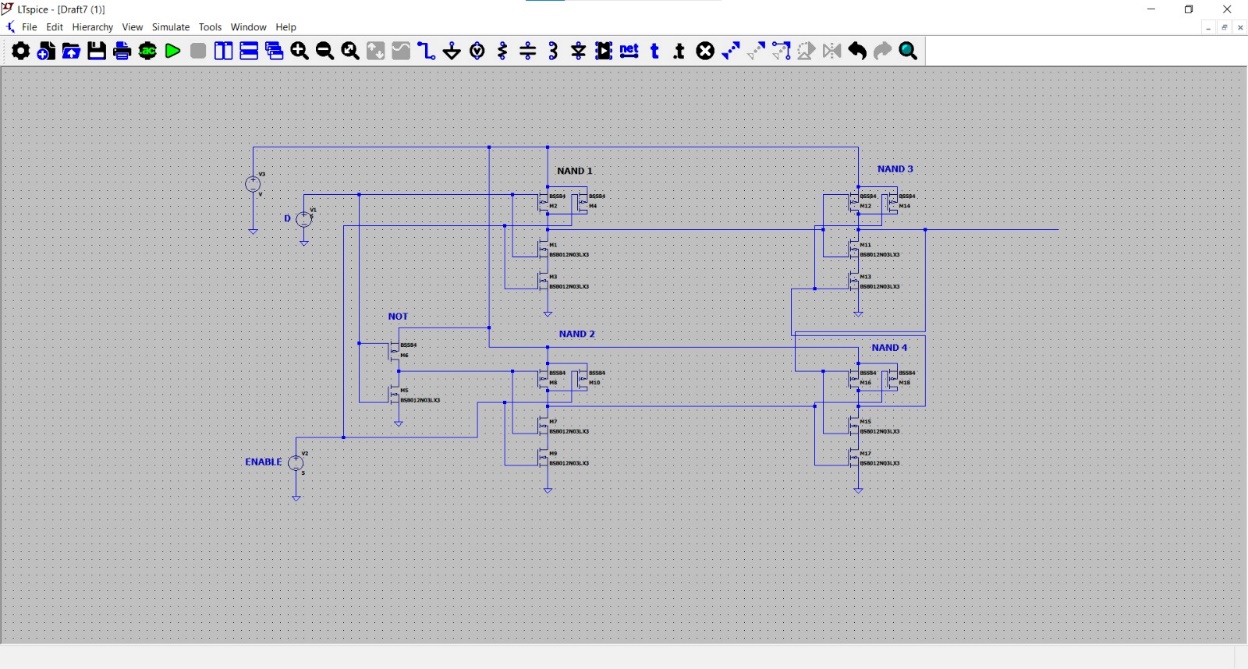
ניסוי ב'

1. בנה את המערכת Latch D על פי הפונקציה הלוגית של סעיף ההתחלה.

תזכורת למערכת ברמת השערים הלוגיים:

****

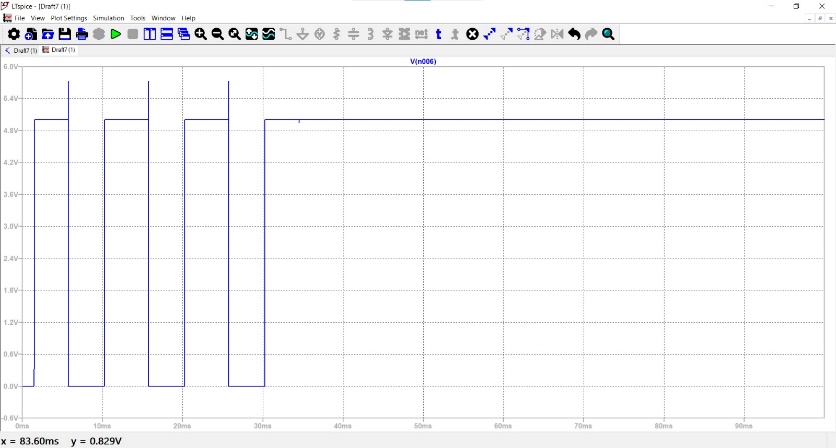
וברמת הטרנזיסטור:



1. עם אילו טרנזיסטורים עדיף לבנות את המערכת? דוּן, הסבר ונמק. המטרה היא שימוש במערכת בתדר גבוה.
2. הצג בגרף את כל אותות המוצא של כל שער ושער במערכת. מצא את תדר המיתוג המרבי. הסבר באמצעות גרפים איך תדר גבוה יותר לא מאפשר את פעילות המערכת.

עבור מוצא של הבלוק ברמת ה

D LACH

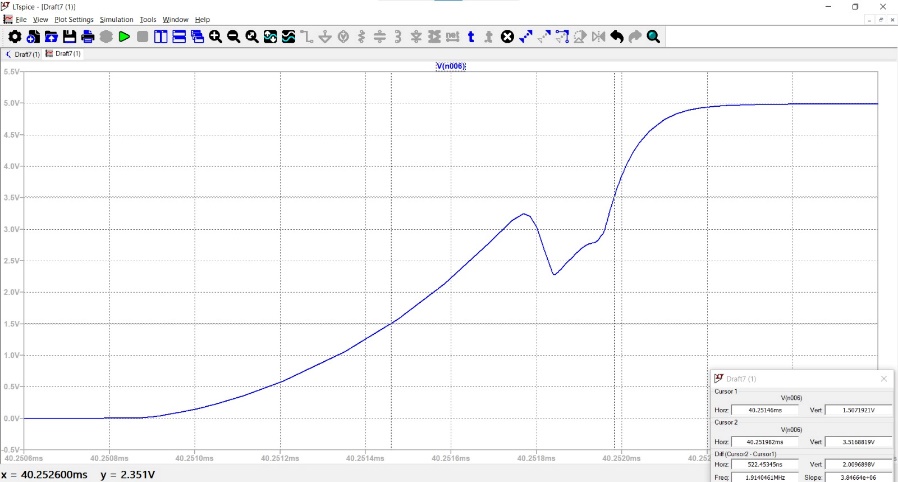


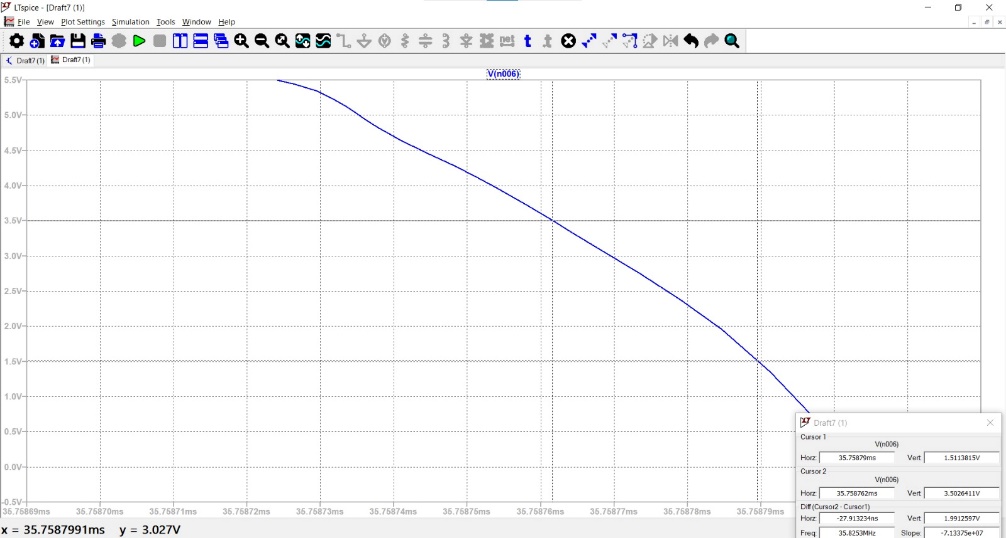
הכניסה D עולה ויורדת (זמן מחזור של 10 מילי־שניות). הכניסה ENABLE דלוקה למשך 30 מילי־שניות, ולאחר מכן נכבית.

תדר מיתוג מרבי:

(נבדוק ברמה של בלוק ה D LACH

,לפי חישובי זמנים אצל מר סטרואו,למדנו שמקסימלי מתוך הבלוק החיצוני,הוא גם המקסימלי מהבלוקים הפנימיים,ולכן נוכל לבדוק רק עליו)

עליה:

ירידה:

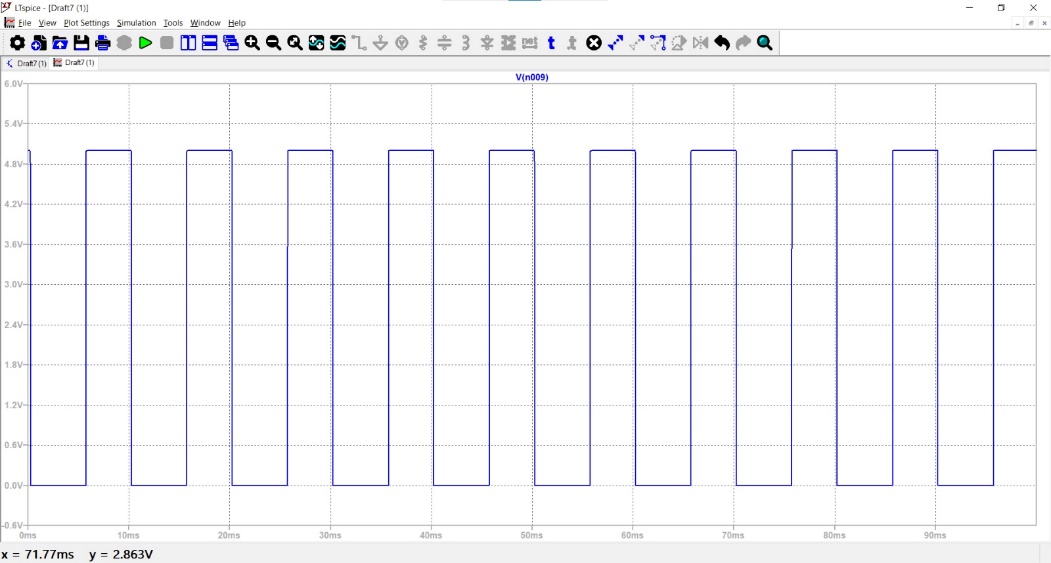
|  |  |
| --- | --- |
| זמן עליה | זמן ירידה: |
| 552.45 ננו שניות | 27.91 ננו שניות |

מתקבל שהתדר מיתוג המרבי הוא 957קילו הרץ(נמוך מתדרי המיתוג למעלה ,כאשר המערכת שלנו הייתה קטנה יותר,וזה הגיוני)

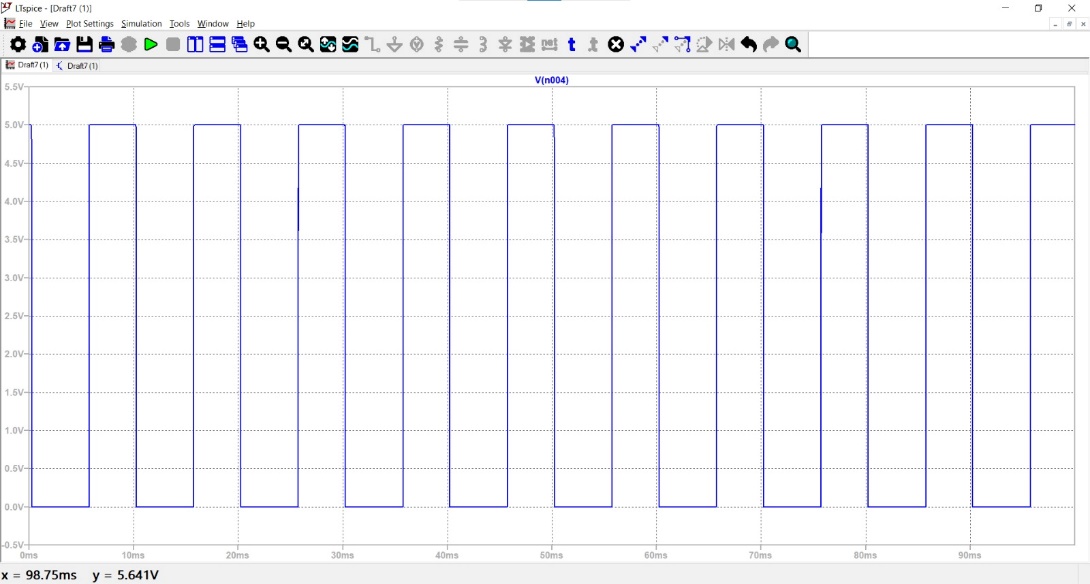
מכאן והלאה,עבור סימולציות פנימיות יותר,נעבוד כאשר ENABLE דלוק בלבד,מטעמי נוחות,אם הוא כבוי אז זה המקרה הטריוויאלי,ניתן לאות לפי טבלת האמת,מצב שבו המערכת פולטת את מה שהיא מקבלת

גרפים של אותות המוצא,ברמת השערים הלוגיים:

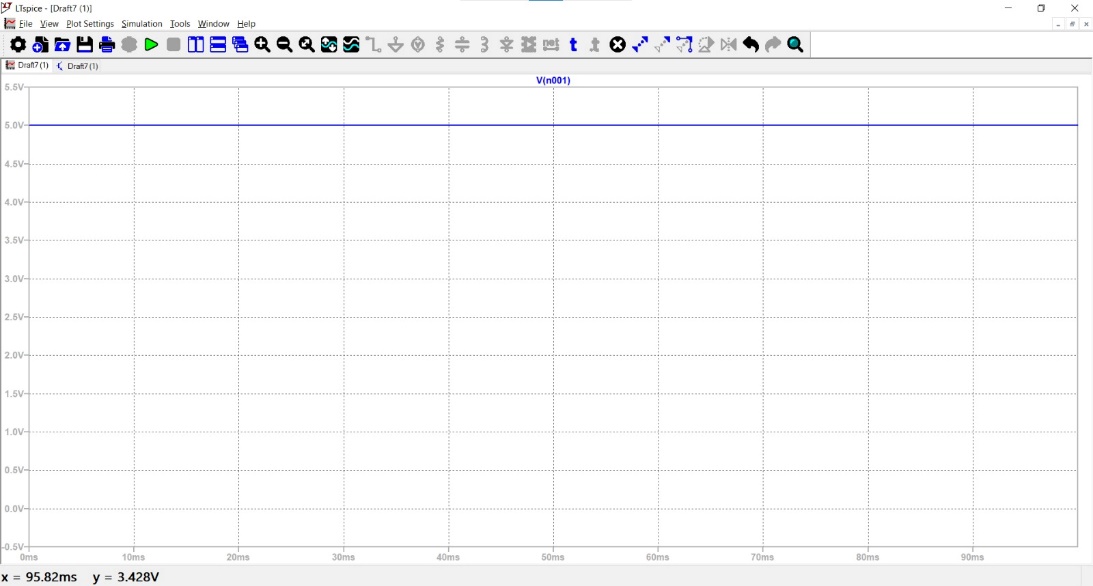
NOT:



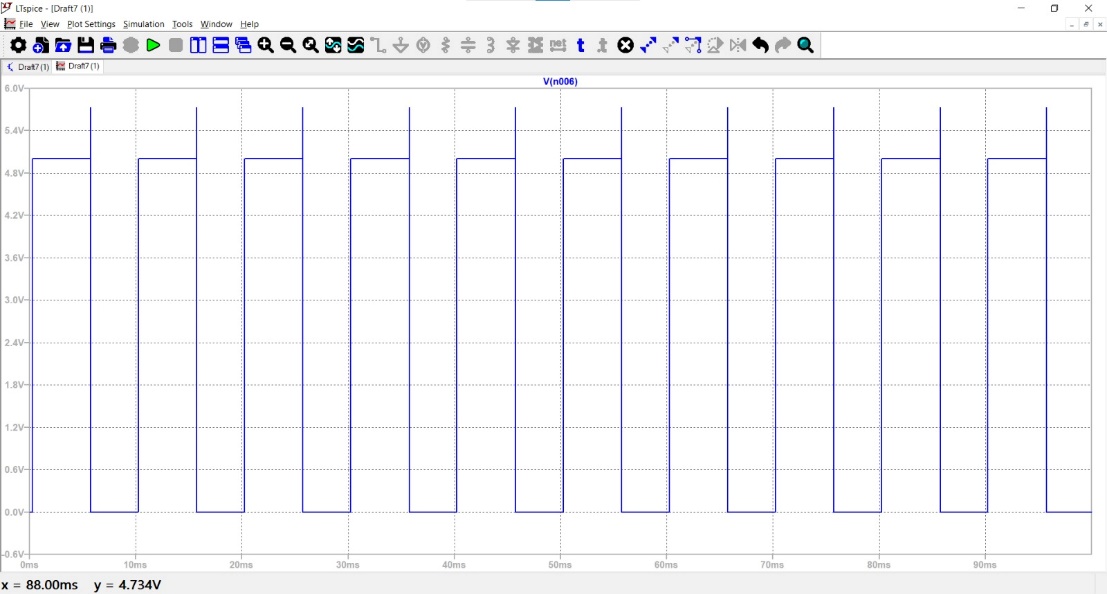
NAND 1:



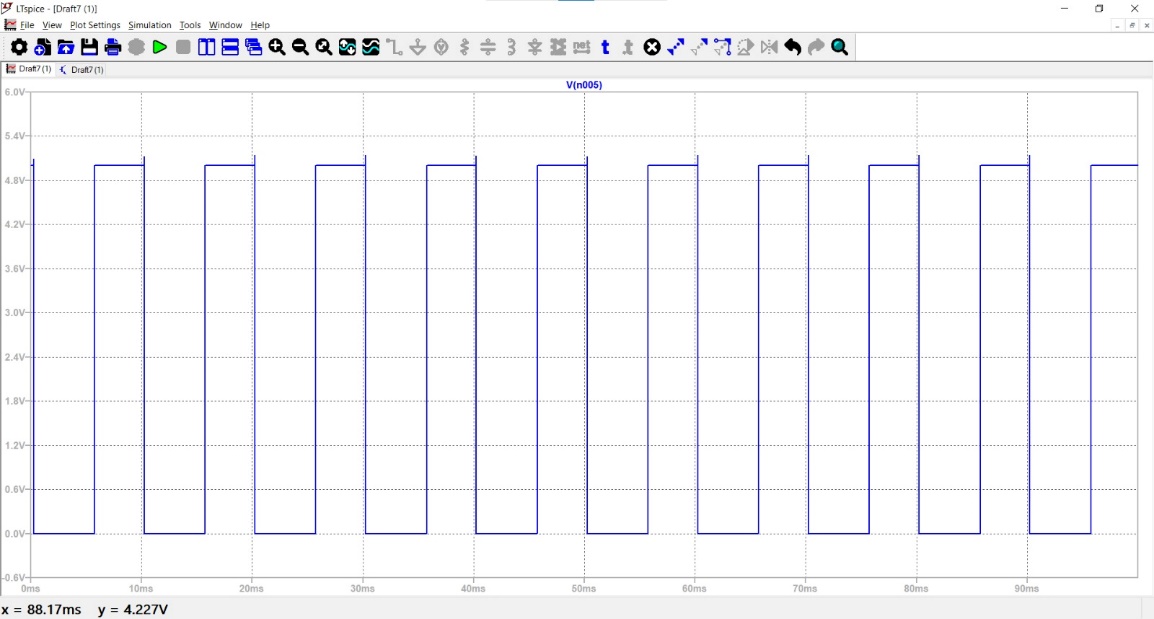
NAND2:



NAND 3:



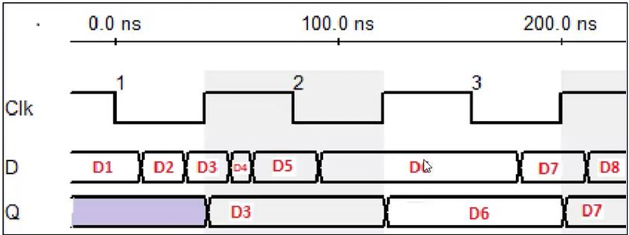
NAND4:



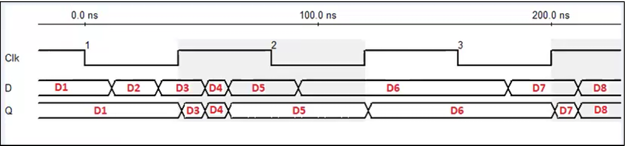
1. חפש באינטרנט טרנזיסטורים שעל פי דפי הנתונים היו יכולים לתת תוצאות טובות יותר בנוגע לתדר המיתוג המרבי. נמק היטב את בחירתך.
2. על בסיס ה-Latch D שבנית, בנה Flip-Flop D. דוּן בעניין תזמון המערכת ותדר מיתוג של השעון.

תזכורת:

Flip flop:



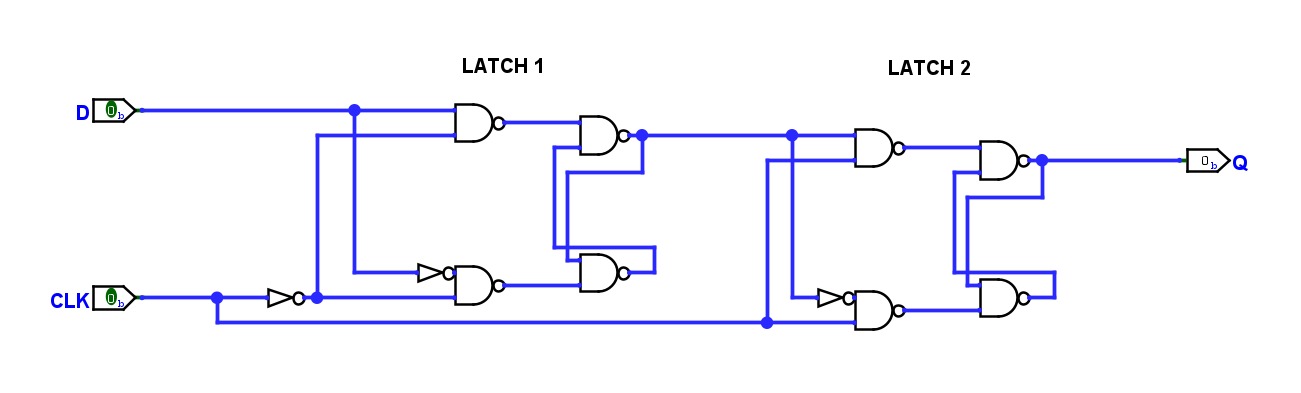
Latch:



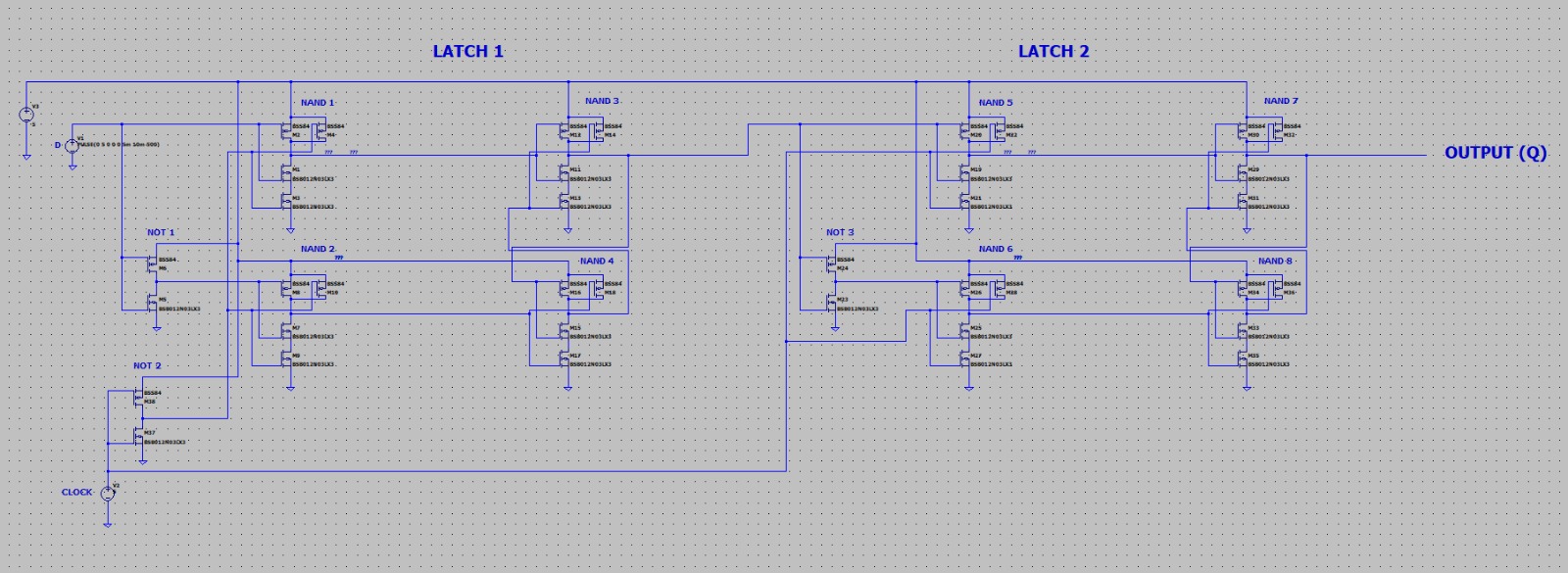
המערכת ברמת השערים הלוגיים:

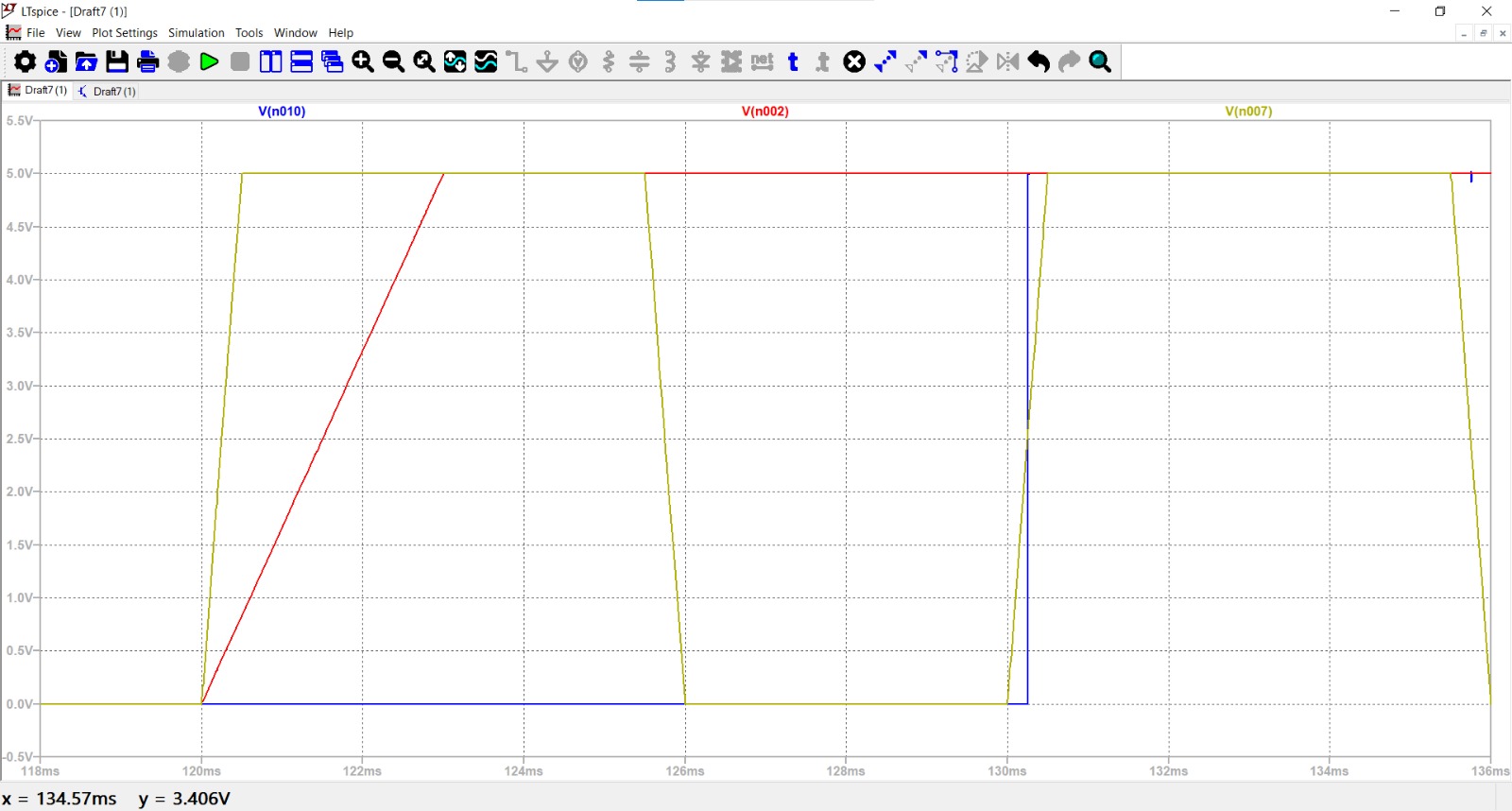
בעצם חיברנו שני LATCH D

בטור ,השעון מחובר לENEBLE של השני,ול NOT ENEBLE של הראשון



וברמת הטרנזיסטורים:



תזמון המערכת:

מקרא:

אדום = D

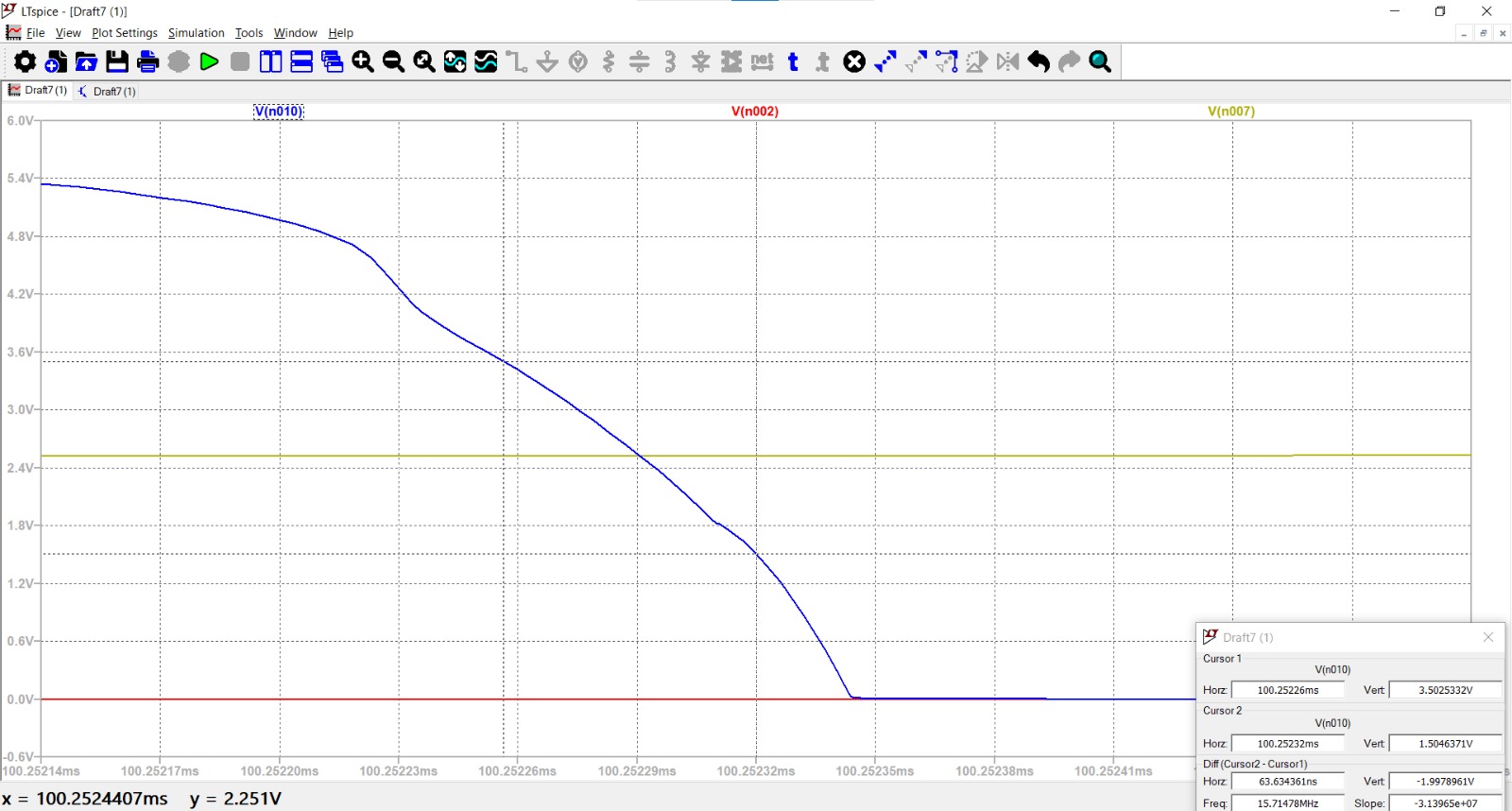
כחול= Q

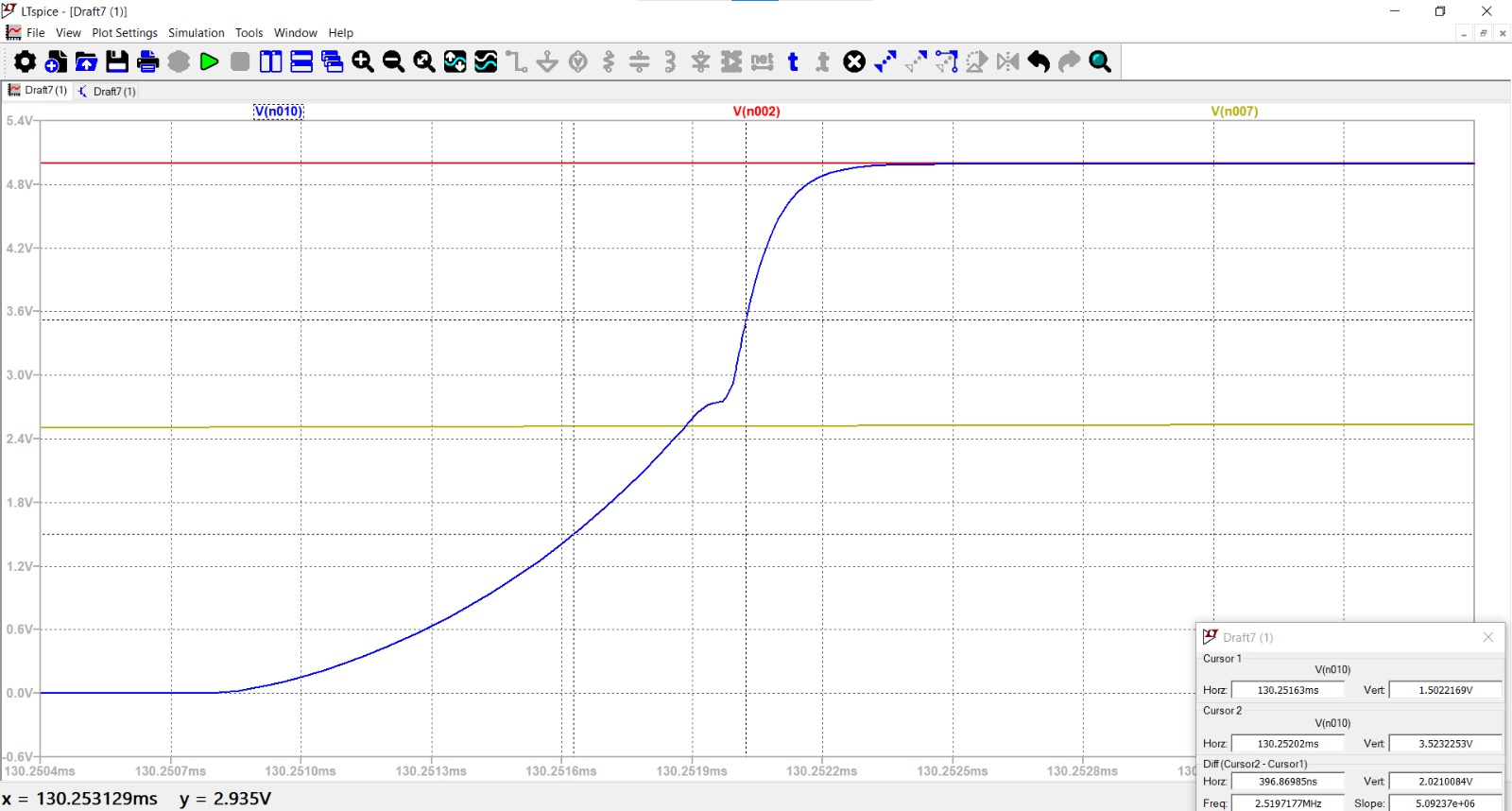
זהב = CLK

ניתן לראות,שכמו בציור למעלה,

השעון דלוק,והכחול מתעדכן רק בעליית השעון הבאה,ולא מיידית לפי השינוי בכניסה D

תדר מיתוג:





|  |  |
| --- | --- |
| זמן עליה | זמן ירידה |
| 396.87 ננו סקנט | 63.63 ננו סקנט |

למסקנה תדר המיתוג יוצא כ 1.26 מגה הרץ,שזה לכאורה מוזר כי זה תדר גבוה מתLACH

בעוד שהבלוק עצמו הוא גדול פי שניים..