

## Предисловие

Во второй том справочника включены описания микропроцессорных комплектов микросхем, широко применяемых в электронной и электронно-вычислительной аппаратуре, в порядке возрастания номеров серий, начиная с серии К1801. Во втором томе сохранена структура представления данных, принятая для первого тома.

Вначале даются общие сведения о микропроцессорном комплекте, его составе, условиях эксплуатации, особенностях применения, конструктивном исполнении. Затем приводится описание каждой микросхемы, входящей в комплект, которое включает в себя условное графическое обозначение микросхемы, назначение выводов корпуса, временные диаграммы работы, статические и динамические параметры, систему микрокоманд. Описание каждого комплекта микропроцессорных микросхем заканчивается конкретными рекомендациями по его применению в аппаратуре.

В приложениях приведены сведения о конструктивном исполнении корпусов микросхем, краткие сведения о новых микропроцессорных комплектах, освоенных промышленностью за время подготовки к изданию справочника, а также общая характеристика и перечни микросхем запоминающих устройств и цифровых микросхем, применяемых при проектировании микропроцессорных систем.

## Глава 11

### Микропроцессорный комплект серии К1801

Микропроцессорный комплект серии К1801, микросхемы которого изготавливаются по л-МДП-технологии, предназначен для построения широкого класса микроконтроллеров, микро-

про-ЭВМ, управляющих микропроцессорными системами. Высокая функциональная мощность, сравнительно высокое быстродействие при умеренной потребляемой мощности, совмести-

Таблица 11.1

Тип микросхемы	Функциональное назначение	Тип корпуса
К1801ВМ1	16-разрядный микропроцессор, 500 тыс. операций «Регистр — регистр» в секунду	429.42-5
КМ1801ВМ2	16-разрядный микропроцессор, 1 млн. операций «Регистр — регистр» в секунду	2123.40-6
КМ1801ВМ3	16-разрядный микропроцессор, 1,5 млн. операций «Регистр — регистр» в секунду	2136.64-1
К1801ВП1-30	Управление динамическим ОЗУ	429.42-5
К1801ВП1-33	Контроллер интерфейса параллельного ввода/вывода	429.42-5
К1801ВП1-34	Устройство передачи информации	429.42-5
К1801ВП1-35	Устройство последовательного ввода вывода	429.42-5
КР1801РЕ2	Постоянное запоминающее устройство	239.24-1
К573РФЗ	Репрограммируемое ПЗУ	210Б.24-5

Таблица 11.2

Параметр	Обозначение	Значения параметров макс. (мин.)
Выходное напряжение низкого уровня, В	$U_{OL}$	0,5
Выходное напряжение высокого уровня, В	$U_{OH}$	(2,4)
Ток утечки на входе, мкА	$I_{LI}$	1
Ток утечки на выходе, мкА	$I_{LO}$	10

Продолжение

Параметр	Обозначение	Значения параметров макс. (мин.)
Входное напряжение низкого уровня, В	$U_{IL}$	0,7
Входное напряжение высокого уровня, В	$U_{IH}$	(2,2)
Входная емкость, пФ	$C_I$	10
Выходная емкость, пФ	$C_O$	15

Таблица 11.3

Параметр	Обозначение	Значения параметров: макс. (мин.)
Напряжение питания, В	$U_{CC}$	5,25 (4,75)
Максимальное входное напряжение, В	$U_{I\ max}$	5,25
Минимальное входное напряжение, В	$U_{I\ min}$	(-0,5)
Выходной ток низкого уровня, мА	$I_{OL}$	3,2
Выходной ток высокого уровня, мА	$I_{OH}$	(-1,0)
Емкость нагрузки, пФ	$C_L$	100
Температура окружающей среды, °C	$T$	+70 (-10)

мость по системе команд с самыми массовыми в стране микроЭВМ семейства «Электроника» обеспечивают МПК серии К1801 практически неограниченные области применения.

В состав серии К1801 входят микросхемы однокристальных микропроцессоров, способные вести обработку 16-разрядных операндов, периферийных контроллеров, созданных на основе базового матричного кристалла серии К1801ВП1 и микросхемы ПЗУ (табл. 11.1).

Общие для всех микросхем комплекта электрические параметры приведены в табл. 11.2.

Общие для всех микросхем комплекта предельно допустимые значения электрических параметров приведены в табл. 11.3.

### 11.1. Микросхема К1801ВМ1

Микросхема К1801ВМ1 — однокристальный 16-разрядный микропроцессор (ОМП), предназначен для обработки цифровой информации в системах управления технологическими процессами, в контрольно-измерительной аппаратуре и системах связи, а также решения в составе ЭВМ инженерно-технических и экономических задач.

Условное графическое обозначение микросхемы приведено на рис. 11.1, назначение выводов — в табл. 11.4, структурная схема показана на рис. 11.2.

В состав микросхемы входят следующие основные функциональные блоки, объединенные информационно-управляющими связями:

16-разрядный операционный блок, выполняющий операции формирования адресов команд и операндов, логические и арифметические, хранения операндов и результатов;

блок микропрограммного управления, вырабатывающий последовательность микрокоманд на основе кода принятой команды. В нем за-

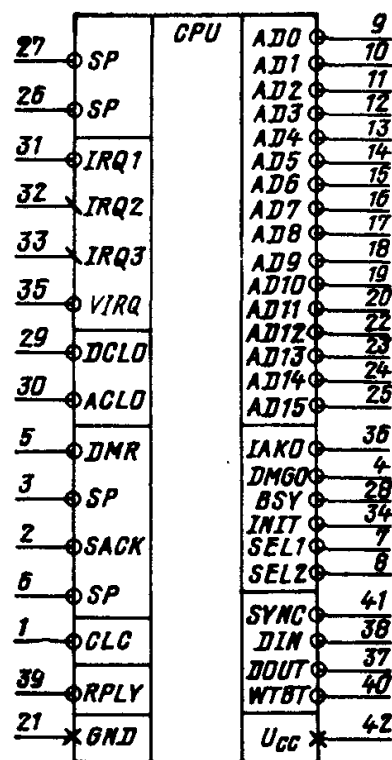


Рис. 11.1. Условное графическое обозначение К1801ВМ1

кодирован полный набор микрокоманд для всех типов команд;

блок прерываний, организующий приоритетную систему прерываний ОМП. Выполняет прием и предварительную обработку внешних и внутренних запросов на прерывание вычислительного процесса;

интерфейсный блок, выполняющий обмены информацией между ОМП и устройствами,

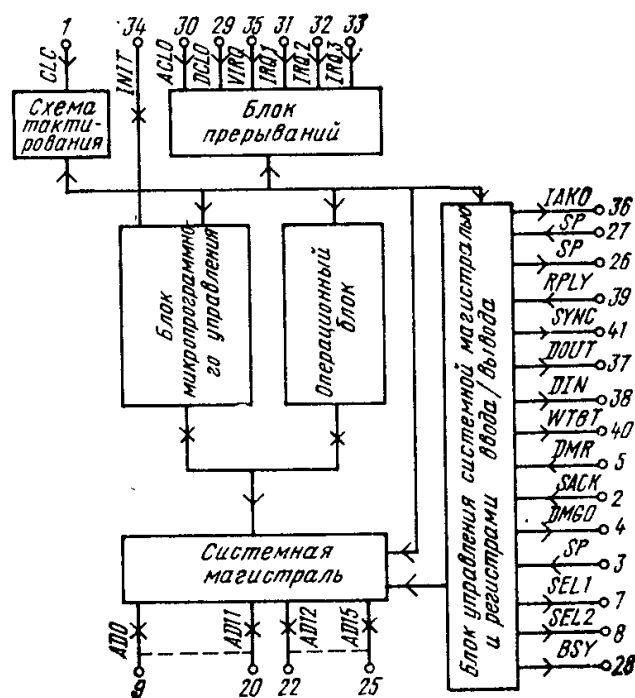


Рис. 11.2. Структурная схема К1801ВМ1

Таблица 11.4

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	CLC	Вход	Синхронизация
2	SACK	Вход	Подтверждение выборки
3, 6, 26, 27	SP	—	Резервные
4	DMGO	Выход	Предоставление прямого доступа
5	DMR	Вход	Требование прямого доступа
7	SEL1	Выход	Выборка первого регистра ввода/вывода
8	SEL2	Выход	Выборка второго регистра ввода/вывода
9—20, 22—25	AD0 — AD15	Вход/выход	Разряды адреса/данных
21	GND	—	Общий
28	BSY	Выход	Сигнал занятости канала
29	DCLO	Вход	Авария источника питания
30	ACLO	Вход	Авария сетевого питания
31	IRQ1	Вход	Первый запрос радиального прерывания
32	IRQ2	Вход	Второй запрос радиального прерывания
33	IRQ3	Вход	Третий запрос радиального прерывания
34	INIT	Вход выход	Установка исходного состояния
35	VIRQ	Вход	Требование прерывания
36	IAKO	Выход	Предоставление прерывания
37	DOUT	Выход	Вывод данных (запись данных)
38	DIN	Выход	Ввод данных (чтение данных)
39	RPLY	Вход	Синхронизация пассивного устройства (ответ)
40	WTBT	Выход	Вывод байта (запись/байт)
41	SYNC	Выход	Синхронизация активного устройства (обмен)
42	U <sub>cc</sub>	—	Напряжение питания

расположенными на системной магистрали. Осуществляет арбитраж при операциях прямого доступа к памяти. В интерфейсном блоке формируется последовательность управляющих сигналов системной магистрали;

блок системной магистрали, связывающий внутреннюю магистраль ОМП с внешней. В нем производится управление усилителями приема и выдачи информации на совмещенные выходы адресов и данных;

схема тактирования, обеспечивающая синхронизацию внутренних блоков.

#### Основные параметры K1801BM1:

Разрядность . . . . .	16 двоичных разрядов
Представление чисел . . . . .	Дополнительный код с фиксированной запятой
Система команд . . . . .	Безадресная, одноадресная, двухадресная

Виды адресации	Регистровая, косвенно-регистровая, автоинкрементная, косвенно автоинкрементная, косвенно автодекрементная, индексная, косвенно индексная
Число регистров общего назначения (РОН)	8
Число линий запросов на прерывания	4
Системная магистраль	Типа МПИ с совмещенными шинами для передачи адреса и данных 64К байт
Адресное пространство	От 100 кГц до 5 МГц
Тактовая частота	От 100 кГц до 5 МГц
Максимальное быстродействие выполнения команд сложения в составе ЭВМ при регистравом методе адресации	До 500 тыс операций/с
Потребляемая мощность	До 1,2 Вт

Сигналы *AD0—AD15* определяют адреса и данные, которые передаются по совмещенной системной магистрали

Группы сигналов *SYNC, DIN, DOUT, WTBT, RPLY* управляют передачей информации по системной магистрали. Сигнал *SYNC*, вырабатываемый процессором, означает, что адрес находится на выводах системной магистрали. Этот сигнал сохраняет активный уровень до окончания текущего обмена информацией.

Сигнал *RPLY* означает, что данные приняты или установлены на информационных выводах. Этот сигнал вырабатывается пассивным устройством в ответ на сигналы *DIN* и *DOUT*.

Сигнал *DIN* предназначен для организации двух процедур обмена информацией по магистрали.

Ввод данных — ОМП вырабатывает *DIN* во время действия сигнала *SYNC*, когда он готов принять данные от пассивного устройства.

Ввод адреса вектора прерывания — сигнал *DIN* вырабатывается совместно с сигналом *IAKO* при пассивном уровне сигнала *SYNC*.

Сигнал *DOUT* означает, что данные, выдаваемые ОМП, установлены на выводах системной магистрали.

Сигнал *WTBT* предназначен для организации двух процедур обмена информацией.

Вырабатывается в адресной части цикла для указания о том, что далее следует вывод данных (слова или байта).

Формируется при выводе данных из ОМП для указания о выводе байта.

Сигнал *VIRQ* вырабатывается внешним устройством для информирования ОМП о том, что оно готово передавать адрес вектора прерываний. В ответ на этот сигнал (если преры-

вание разрешено) ОМП вырабатывает сигналы *DIN* и *IAKO*.

Сигнал *IRQ1* определяет положение внешнего переключателя «Программа — пульт». Низкий уровень этого сигнала означает, что переключатель должен находиться в положении «Пульт». Этот сигнал переводит ОМП в состояние, аналогичное состоянию после выполнения команды *HALT*.

Сигналы *IRQ2* и *IRQ3* вызывают прерывание программы, выполняемой процессором, по фиксированным адресам 000100\* и 000270 соответственно. Прерывание происходит при переходе сигналов из высокого уровня в низкий.

Сигнал *IAKO* ОМП вырабатывается в ответ на внешний сигнал *VIRQ*. Этот сигнал является выходным для ОМП и входным для первого устройства, подключенного к системной магистрали (электрически ближе расположенного к ОМП и, следовательно, имеющего более высокий приоритет). Если это устройство не требовало прерываний (не устанавливало сигнал *VIRQ*), то оно транслирует сигнал *IAKO* к следующему устройству. Устройство, требующее прерывания ОМП, запрещает распространение этого сигнала. Сигнал *IAKO*, последовательно проходя через все устройства, обеспечивает их поочередный опрос и различный приоритет обслуживания.

Сигнал *DMR* вырабатывает внешнее активное устройство, требующее передачи ему системной магистрали.

Сигнал *DMGO* процессор устанавливает в ответ на внешний сигнал *DMR*. Этот сигнал последовательно проходит через внешние устройства и предоставляет системную магистраль устройству с наивысшим приоритетом, запросившему прямой доступ к памяти. Это устройство прекращает трансляцию сигнала *DMGO* и устанавливает устройством сигнала *SACK*, который вырабатывается устройством прямого доступа к памяти (ПДП) в ответ на сигнал ОМП *DMGO*. Сигнал *SACK* означает, что устройство ПДП может производить обмен данными, используя стандартные циклы обращения к системной магистрали.

Сигнал *BSY* предназначен для управления устройствами умощнения магистрали. Низкий уровень этого сигнала означает, что ОМП начинает обмен по магистрали. Переход сигнала из низкого уровня в высокий означает окончание обмена.

Сигнал аварии источника питания *DCLO* вызывает установку ОМП в исходное состояние и появление сигнала *INIT*. Сигнал аварии сетевого питания *ACLO* означает переход ОМП на обработку прерывания по сбоям питания. Высокий уровень этого сигнала означает, что сетевое напряжение питания в норме.

При появлении одного из сигналов обращения к внешним регистрам расширения ввода/вывода *SEL1, SEL2* адрес на выводах системной магистрали соответствует адресу од-

\* Значения адресов, векторов прерываний, кодов команд приводятся в восьмеричной системе счисления.

ного из внешних регистров расширения ввода/вывода. Сигнал *SEL1* устанавливается при обращении по фиксированному адресу 177716, сигнал *SEL2* — по адресу 177714.

Совместно с сигналами *DIN* или *DOUT* происходит соответственно ввод данных в ОМП из регистров или вывод из ОМП на регистры. Установка сигнала *RPLY* от регистров расширения ввода/вывода не требуется. По длительности сигналы *SEL1* и *SEL2* совпадают с сигналом *BSY*.

Для режима пуска ОМП при включении питания необходимо обеспечить временную последовательность сигналов *DCLO* и *ACLO*, представленную на рис. 11.3.

После включения напряжения питания ОМП устанавливает сигнал *INIT* и ожидает снятия сигнала *DCLO*. После снятия сигнала *DCLO* происходит ввод информации из регистра расширения ввода/вывода по адресу 177716 и формирование значений счетчика команд (СК). В разряды 0—7 СК загружается нулевая информация, в разряды 8—15 — информация из соответствующих разрядов регистра ввода/вывода, обращение к которому происходит по сигналу *SEL1*.

Регистр состояния процессора загружается константой 340. Микросхема анализирует состояние запросов на прерывания. Если незамаскированных запросов нет, то происходит ввод первой команды и ее выполнение.

Сигнал *INIT* является ответом ОМП на сигнал *DCLO*. Его используют для установки периферийной части системы в исходное состояние. При вводе этого сигнала в ОМП происходит сброс триггеров запроса радиальных прерываний и блокирования сигнала *DMR*.

Системная магистраль позволяет адресовать 64К байта. Верхние 8К байт адресного пространства резервируются для управления периферийными устройствами и регистрами

данных. Системная магистраль ОМП позволяет организовать канал обмена информацией, аналогичный каналу ЭВМ «Электроника-60», в котором связь между двумя устройствами осуществляется по принципу «активный — пассивный».

Активное устройство управляет прохождением информации по системной магистрали, разрешает прерывания, обеспечивает предоставление прямого доступа к памяти. Пассивное устройство передает информацию только под управлением активного устройства.

При обращении ОМП к памяти или внешним устройствам возможны следующие виды обменов (циклов) информацией по системной магистрали: «Ввод» (чтение), «Вывод» (запись), «Ввод — пауза — вывод» (Чтение — модификация — запись).

Цикл «Ввод — пауза — вывод» включает ввод данных, выполнение арифметико-логических операций и вывод результата без повторения передачи адреса, т. е. результат записывается по адресу последнего выбранного операнда.

Ниже иллюстрируются некоторые виды обмена информацией по системной магистрали.

При выполнении цикла «Ввод» данные передаются от пассивного устройства к активному. Временная диаграмма этого цикла приведена на рис. 11.4. Черта над обозначением сигнала указывает, что активным уровнем является низкий уровень сигнала.

Порядок выполнения операций следующий: процессор на выходах системной магистрали устанавливает адрес и выдает сигнал *BSY*; синхронно с выдачей и снятием адреса ОМП устанавливает и снимает сигнал синхронизации *SYNC*, по которому происходит запоминание адреса пассивным устройством;

после установки сигнала *SYNC* ОМП снимает адрес, устанавливает сигнал *DIN* и ожидает поступления сигнала *RPLY* от пассивного устройства. Если в течение 64 тактов частоты синхронизации сигнал не появился, то ОМП переходит к обслуживанию внутреннего прерывания по ошибке обращения к системной магистрали;

после приема сигнала *RPLY* ОМП принимает данные от пассивного устройства и снимает сигнал *DIN*;

после снятия сигнала *DIN* пассивное устройство снимает сигнал *RPLY*, завершая операцию передачи данных;

после снятия сигнала *RPLY* пассивным устройством ОМП снимает сигналы *SYNC* и *BSY*. Если системная магистраль не предоставляется устройству ПДП, то ОМП сразу после снятия сигнала *SYNC* может начать новый цикл обращения к магистрали. В этом случае сигнал *BSY* не снимается.

Во время цикла «Ввод» сигнал *WTBT* не вырабатывается.

Кроме ОМП активным устройством на системной магистрали может быть устройство ПДП. В режиме ПДП обмен информацией происходит без вмешательства ОМП под управлением устройства ПДП. Последнее выпол-

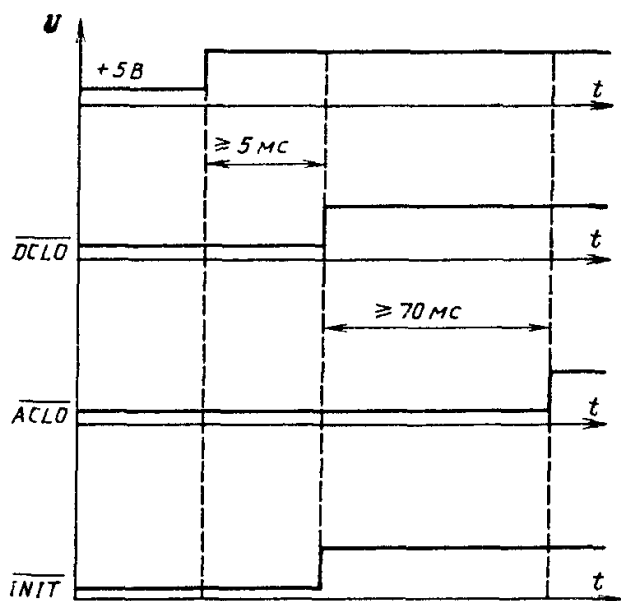


Рис. 11.3. Временная диаграмма режима начального пуска K1801BM1 при включении питания

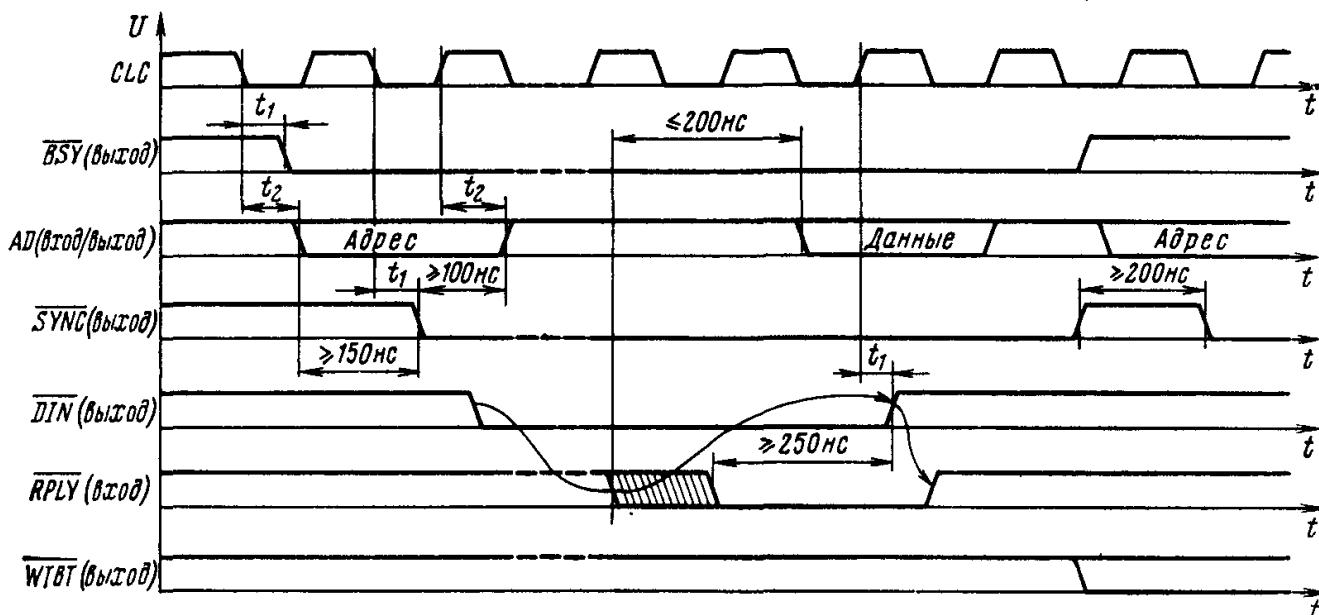


Рис. 11.4. Временная диаграмма цикла «Ввод». Заштрихована область прихода сигнала *RPLY*, для которой соблюдается данная диаграмма:  $t_1 = 40 \div 70$  нс;  $t_2 = 50 \div 80$  нс

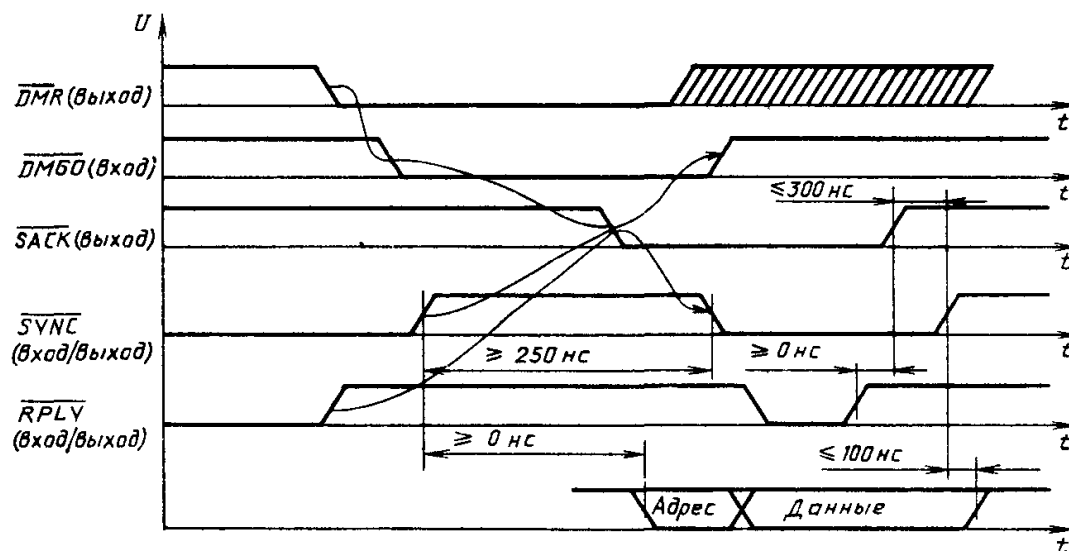


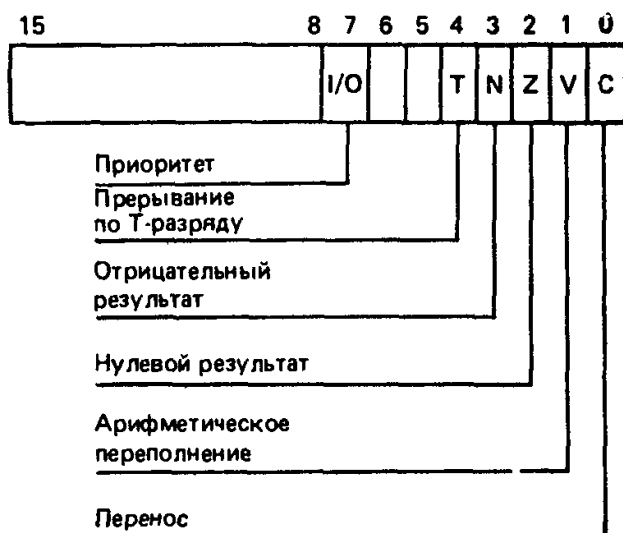
Рис. 11.5. Временная диаграмма цикла прямого доступа к памяти

няет адресацию, синхронизацию, вырабатывает управляющие сигналы для организации стандартных циклов обращения к системной магистрали.

Временная диаграмма ПДП приведена на рис. 11.5. Устройство ПДП устанавливает сигнал *DMR*, в ответ на который ОМП формирует сигнал *DMGO*, затем, получив сигнал *DMGO*, вырабатывает сигнал *SACK* и снимает сигнал *DMR*. Микросхема снимает сигнал *DMGO* и ожидает завершения операции ПДП. Устройство ПДП начинает выполнять циклы передачи данных, аналогичные циклам «Ввод», «Вывод» или «Ввод — пауза — вывод». После окончания обмена данными устройство ПДП снимает сигнал *SACK*, возвращая управление магистралью процессору.

**Регистры общего назначения (РОН)** используются в качестве индексных и накопительных регистров автоинкрементной и автодекрементной адресаций. Среди восьми РОН два регистра (*R6* и *R7*) имеют специальное значение. Регистр *R6* используется в качестве указателя стека (*УС*) и содержит адрес последней ячейки стека, *R7* является счетчиком команд (*СК*) и содержит адрес очередной выполняемой команды.

Кроме РОН программно доступным регистром является регистр состояния процессора (*РСП*), содержащий информацию о текущем приоритете ОМП, значения кодов условий ветвлений программы, состояние Т-бита, используемого при отладке программы и вызывающего прерывание программы:



Если 7-й разряд РСП находится в состоянии 1, то внешние устройства не могут вызывать прерывание текущей программы, в противном случае внешние устройства вызывают прерывание.

Установка отдельных разрядов кодов ветвления выполняется в следующих случаях:

$Z=1$ , если результат равен 0;

$N=1$ , если результат отрицателен;

$C=1$ , если в результате выполнения операции произошел перенос из самого старшего разряда или если при операциях сдвига вправо или влево из самого младшего или самого старшего разряда была выдвинута 1;

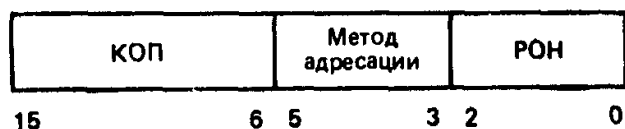
$V=1$ , если в результате выполнения операции произошло арифметическое переполнение.

При загрузке информации в РСП может быть установлен или очищен Т-разряд. Если он установлен, то после завершения выполнения текущей команды будет вызвано прерывание программы с адресом вектора прерывания 14. Используют Т-разряд в отладочных программах для организации такого режима выполнения отлаживаемой программы, при котором исполнение интересующих пользователя команд вызывает прерывание программы и переход на программу связи с оператором. Для работы совместно с системным ПЗУ в РСП введены два дополнительных разряда (10 и 11), обеспечивающих изменение режима реакции на прерывания.

Система команд ОМП К1801ВМ1 (табл. 11.5) соответствует ЭВМ типа «Электроника-60».

Безадресные команды содержат только код операции.

Формат одноадресных команд имеет вид



Разряды 15—6 содержат код операции, определяющий исполняемую команду. Разряды 5—0 образуют 6-разрядное поле адресации операнда приемника, которое, в свою очередь,

Таблица 11.5

Обозначение команды	Код команды	Команда
<i>HALT</i>	000000	Останов
<i>WAIT</i>	000001	Ожидание
<i>RTI</i>	000002	Возврат из прерывания
<i>BPT</i>	000003	Командное прерывание для отладки
<i>IOT</i>	000004	Командное прерывание для ввода/вывода
<i>RESET</i>	000005	Сброс внешних устройств
<i>RTT</i>	000006	Возврат из прерывания
<i>JMP</i>	0001DD	Безусловный переход
<i>RTS</i>	00020R	Возврат из подпрограммы
<i>JSR</i>	004RDD	Обращение к подпрограмме
<i>EMT</i>	104000—104377	Командное прерывание для системных программ
<i>TRAP</i>	104400—104777	Командное прерывание
<i>NOP</i>	000240	Нет операции
<i>CLC</i>	000241	Очистка C
<i>CLV</i>	000242	Очистка V
<i>CLZ</i>	000244	Очистка Z
<i>CLN</i>	000250	Очистка N
<i>SEC</i>	000261	Установка C
<i>SEV</i>	000262	Установка V
<i>SEZ</i>	000264	Установка Z
<i>SEN</i>	000270	Установка N
<i>SCC</i>	000277	Установка всех разрядов (N, Z, V, C)
<i>CCC</i>	000257	Очистка всех разрядов (N, Z, V, C)
<i>SWAB</i>	0003DD	Перестановка байтов
<i>CLR (B)</i>	*050DD	Очистка
<i>COM (B)</i>	*051DD	Инвертирование
<i>INS (B)</i>	*052DD	Прибавление 1
<i>DEC (B)</i>	*053DD	Вычитание 1
<i>NEG (B)</i>	*054DD	Изменение знака
<i>ADC (B)</i>	*055DD	Прибавление переноса
<i>SBC (B)</i>	*056DD	Вычитание переноса
<i>TST (B)</i>	*057DD	Проверка
<i>ROR (B)</i>	*060DD	Циклический сдвиг вправо
<i>ROL (B)</i>	*061DD	Циклический сдвиг влево
<i>ASR (B)</i>	*062DD	Арифметический сдвиг вправо
<i>ASL (B)</i>	*063DD	Арифметический сдвиг влево
<i>MARK</i>	0061NN	Восстановление указателя стека (УС)
<i>SXT</i>	0067DD	Расширение знака
<i>MTPS</i>	1064SS	Запись слова состояния процессора (ССП)
<i>MFPS</i>	1067DD	Чтение ССП
<i>MOV (B)</i>	*1SSDD	Пересылка
<i>CMP (B)</i>	*2SSDD	Сравнение
<i>BIT (B)</i>	*3SSDD	Проверка разрядов
<i>BIC (B)</i>	*4SSDD	Очистка разрядов
<i>BIS</i>	*5SSDD	Логическое сложение
<i>XOR</i>	074RDD	Исключающее ИЛИ
<i>ADD</i>	06SSDD	Сложение
<i>SUB</i>	16SSDD	Вычитание
<i>BR</i>	0004XXX	Ветвление безусловное
<i>BNE</i>	0010XXX	Ветвление, если не равно 0
<i>BEQ</i>	0014XXX	Ветвление, если равно 0

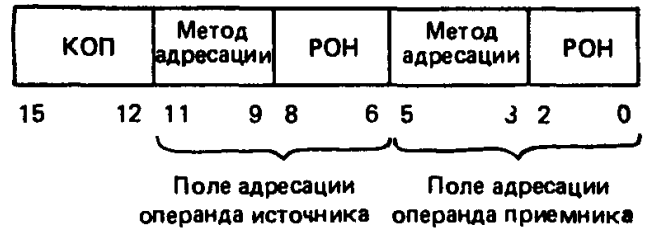
Обозначение ко-манды	Код команды	Команда
<i>BGE</i>	0020XXX	Ветвление, если больше или равно 0
<i>BLT</i>	0024XXX	Ветвление, если меньше 0
<i>BGT</i>	0030XXX	Ветвление, если больше 0
<i>BLE</i>	0034XXX	Ветвление, если меньше или равно 0
<i>SOB</i>	077PRNN	Вычитание 1 и ветвление
<i>BPL</i>	1000XXX	Ветвление, если плюс
<i>BMI</i>	1004XXX	Ветвление, если минус
<i>BHI</i>	1010XXX	Ветвление, если больше
<i>BLOS</i>	1014XXX	Ветвление, если меньше или равно
<i>BVC</i>	1020XXX	Ветвление, если нет арифметического переполнения
<i>BVS</i>	1024XXX	Ветвление, если арифметическое переполнение
<i>BHIS, BCC</i>	1030XXX	Ветвление, если больше или равно
<i>BLO, BCS</i>	1034XXX	Ветвление, если меньше

Примечание. *B* — байтовые команды; *SS* — поле адресации операнда источника; *DD* — поле адресации операнда приемника; *NN* — смещение (6 разрядов); *XXX* — смещение (8 разрядов); *R* — регистр общего назначения.

\* Разряд, принимающий значения: 0 — для команд с операцией над словами; 1 — для команд с операцией над байтами

ют метод адресации. Разряд 3 определяет прямую или косвенную адресацию.

Формат двухадресных команд имеет вид



Поле адресации операнда источника используется для выборки операнда источника, поле адресации операнда приемника — для выборки операнда источника и занесения результата.

Источниками прерываний, расположенными в соответствии с приоритетностью обработки (при одновременном появлении нескольких запросов), являются:

ошибка обращения к магистрали;  
резервный или запрещенный код в регистре команд;

T-бит в РСР;

сигнал аварии сетевого питания *ACLO*;

сигналы радиальных прерываний *IRQ1, IRQ2, IRQ3*;

сигнал векторного прерывания *VIRQ*.

Установка 7-го разряда РСР в 1 позволяет игнорировать сигналы прерывания *VIRQ, IRQ2, IRQ3*.

Прерывание текущего процесса и последующая его обработка производится после выполнения очередной команды. Прерывание по ошибке обращения к системной магистрали (обращение по адресу несуществующей ячейки

состоит из двух полей: разряды 2—0 определяют один из восьми РОН, который использует данные команды; разряды 5—3 определя-

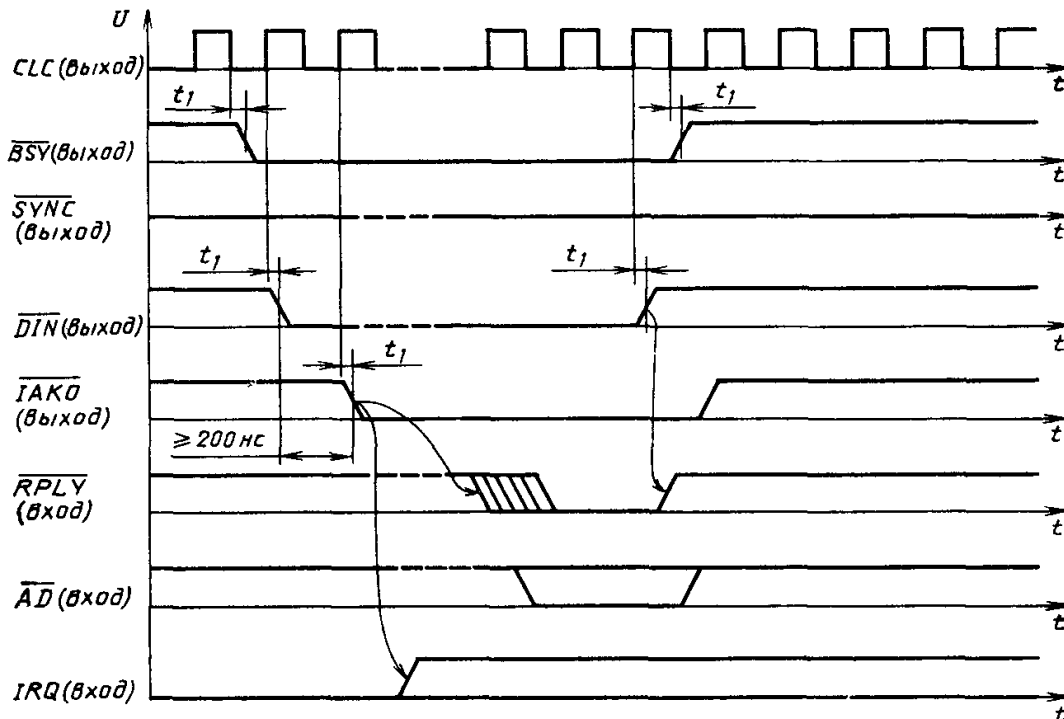


Рис. 11.6. Временная диаграмма приема адреса вектора прерывания. Заштрихована область прихода сигнала *RPLY*, для которой соблюдается данная диаграмма:  $t_1 = 40 \div 70$  нс



памяти или регистра внешнего устройства) может прервать выполнение программы на любой фазе исполнения команды.

Временная диаграмма приема вектора прерывания показана на рис. 11.6. Последовательность операций при этом следующая. Устройство, которому необходимо обслуживание, выставляет сигнал требования прерывания *VIRQ*. Если прерывание разрешено, то ОМП помещает в стек содержимое СК и РСР и последовательно устанавливает сигналы *DIN* и *IAKO*. Устройство принимает сигнал *IAKO* и запрещает его распространение к другим устройствам, помещает адрес вектора прерывания на выходы системной магистрали, вырабатывает сигнал *RPLY* и снимает сигнал *VIRQ*.

Процессор принимает адрес вектора прерывания и последовательно снимает сигналы *DIN* и *IAKO*. Устройство завершает передачу вектора и снимает сигнал *RPLY*.

Микросхема ОМП загружает новое содержимое СК и РСР из двух последовательных ячеек, первая из которых определяется адресом вектора прерывания, после чего переходит к выполнению программы обслуживания данного устройства.

Основные параметры микросхемы КМ1801ВМ1 приведены в табл. 11.2 и 11.3.

## 11.2. Микросхема КМ1801ВМ2

Микросхема КМ1801ВМ2 — однокристалльный микропроцессор, является дальнейшим развитием ОП КМ1801ВМ1. Она обладает бо-

лее высоким быстродействием, расширенной системой команд и рядом новых функциональных возможностей.

### Основные параметры КМ1801ВМ2

Быстродействие выполнения регистровых команд типа «Сложение» . . . . .	До 1000 тыс. операций/с
Быстродействие выполнения команд типа «Умножение» . . . . .	До 100 тыс. операций/с
Максимальная тактовая частота . . . . .	10 МГц
Мощность потребления . . . . .	До 1,7 Вт

Условное графическое обозначение микросхемы приведено на рис. 11.7, структурная схема показана на рис. 11.8. Назначение выводов соответствует микросхеме КМ1801ВМ1 и имеет следующие особенности.

Сигнал выходной тактовой синхронизации *CLCO* имеет частоту, равную половине частоты входной синхронизации *CLCI*. Он предназначен для организации систем, обладающих повышенной надежностью, в которых несколько процессоров должны работать синхронно.

Микросхема КМ1801ВМ2 наряду с синхронной адресной частью обмена по системной магистрали имеет возможность асинхронной работы при передаче адреса. Это обеспечивается с помощью входного сигнала *AR* «Адрес принят». После выдачи адреса на системную магистраль ОМП ожидает появления сигнала *AR*. Низкий уровень входного сигнала *AR* свидетельствует о том, что пассивное устройство приняло адрес и ОМП может продолжать цикл обмена по системной магистрали.

Микросхема ОМП обладает встроенной логической схемой обращения в область адресного пространства от 160000 до 163777 включительно. Для обращения в эту область используются сигналы *WRQ* и *WAKI*, которые могут применяться для организации обмена в многопроцессорных вычислительных системах.

Сигнал *SEL*, устанавливаемый процессором в фазе чтения одновременно с сигналом *DIN*, определяет процедуру чтения внешнего регистра ввода/вывода. Обычно таким регистром является регистр начальных условий пуска ОМП в составе ЭВМ. Если ОМП устанавливает сигнал *SEL* в фазе выдачи адреса, то это означает, что обмен идет с системной памятью, в качестве которой используется микросхема КР1801РЕ2. Системная память помимо специальных программ (начального пуска, резидентного тестового обеспечения, пультового терминала) позволяет расширять систему команд с помощью программной реализации в ней дополнительных команд.

Системная память при работе с ОМП является «скрытой», т. е. ее адреса в программном режиме не занимают адресного пространства ОЗУ. Тем самым она дополняет оперативную память. Системная память программно

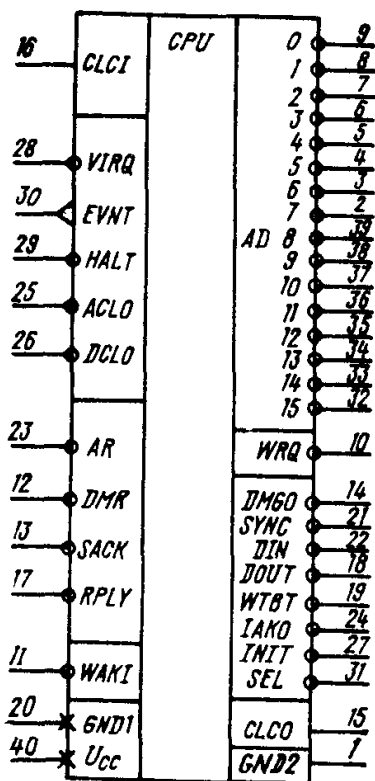


Рис. 11.7. Условное графическое обозначение КМ1801ВМ2

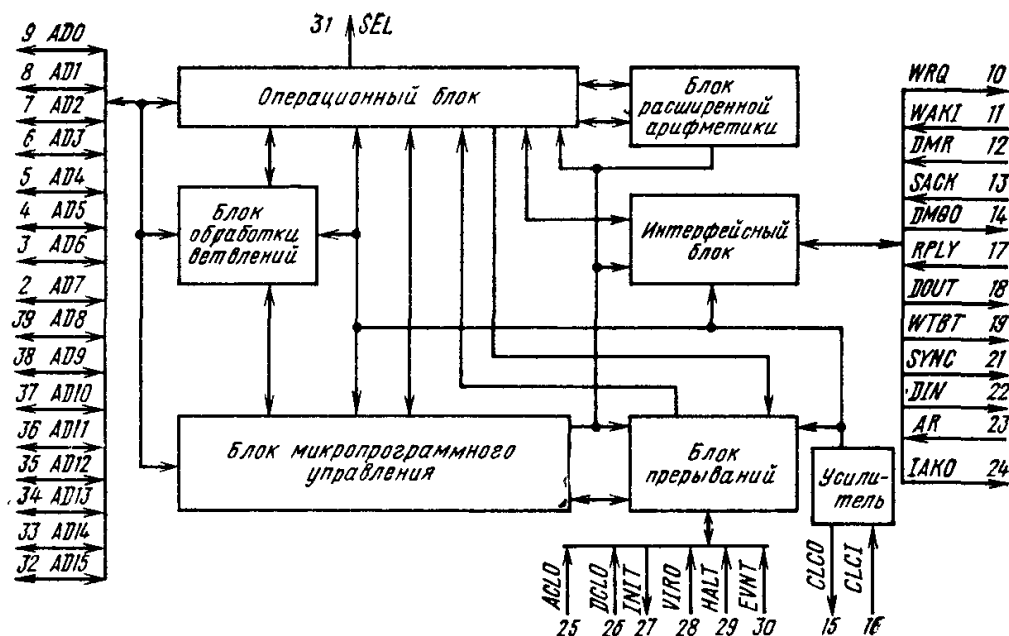


Рис. 11.8. Структурная схема КМ1801ВМ2

доступна с помощью специальных команд ОМП.

Сигнал *HALT* аналогичен сигналу *IRQ1*, сигнал *EVNT* «Прерывание от таймера» аналогичен сигналу *IRQ2* в ОМП К1801ВМ1.

По сравнению с К1801ВМ1 ОМП КМ1801ВМ2 может выполнять дополнительные команды расширенной арифметики (табл. 11.6). Команды плавающей запятой (*MUL*, *DIV*, *ASH*, *FDIV*) выполняются на программном уровне с помощью системного ПЗУ КР1801РЕ2.

Таблица 11.6

Обозначение команд	Код	Команда
<i>MUL</i>	070RSS	Умножение
<i>DIV</i>	071RSS	Деление
<i>ASH</i>	072RSS	Сдвиг на <i>N</i> разрядов одного слова
<i>ASHC</i>	073RSS	Сдвиг на <i>N</i> разрядов двойного слова
<i>FADD</i>	07500R	Сложение с плавающей запятой
<i>FSUB</i>	07501R	Вычитание с плавающей запятой
<i>FMUL</i>	07502R	Умножение с плавающей запятой
<i>FDIV</i>	07503R	Деление с плавающей запятой

### 11.3. Микросхема КМ1801ВМ3

Микросхема КМ1801ВМ3 — 16-разрядный однокристалльный микропроцессор, включающий операционный блок, блок микропрограм-

ного управления, блок прерываний, диспетчер памяти и блок управления системой магистралей.

Отличительной особенностью КМ1801ВМ3 являются большой объем адресуемой памяти, высокое быстродействие и возможность подключения сопроцессора арифметики чисел с плавающей запятой (СППЗ).

#### Основные параметры КМ1801ВМ3

Разрядность чисел и команд . . . . .	16 разрядов с возможностью представления и обработки 32-разрядных слов
Объем адресуемой памяти . . . . .	4М байт
Принцип управления . . . . .	Микропрограммный
Число команд . . . . .	72 с фиксированной запятой, 46 с плавающей запятой (при подключении СППЗ)
Число регистров общего назначения . . . . .	8
Производительность операций «Регистр — регистр» . . . . .	Сложение в потоке 1,5 млн. операций/с; умножение 100 тыс. операций/с; деление 50 тыс. операций/с
Число линий запросов на прерывание . . . . .	4
Мощность потребления . . . . .	1,5 Вт

Условное графическое обозначение микросхемы приведено на рис. 11.9, назначение выводов — в табл. 11.7, структурная схема показана на рис. 11.10.

Микросхема содержит шесть регистров общего назначения (*R0—R5*), три регистра —

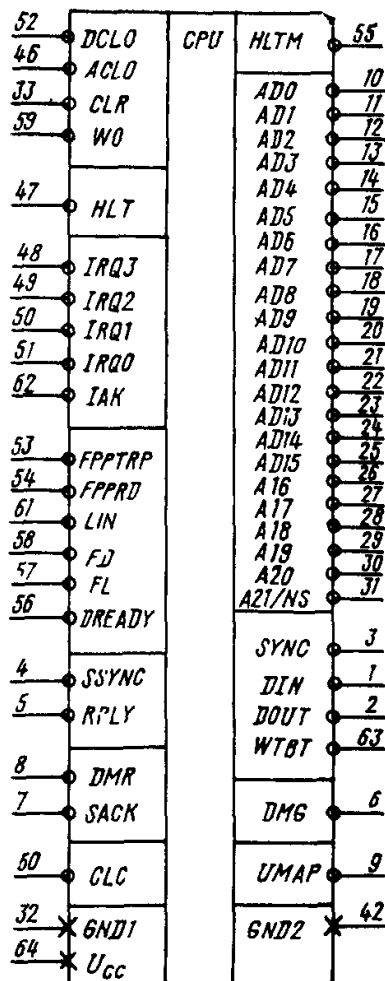


Рис. 11.9 Условное графическое обозначение KM1801BM3

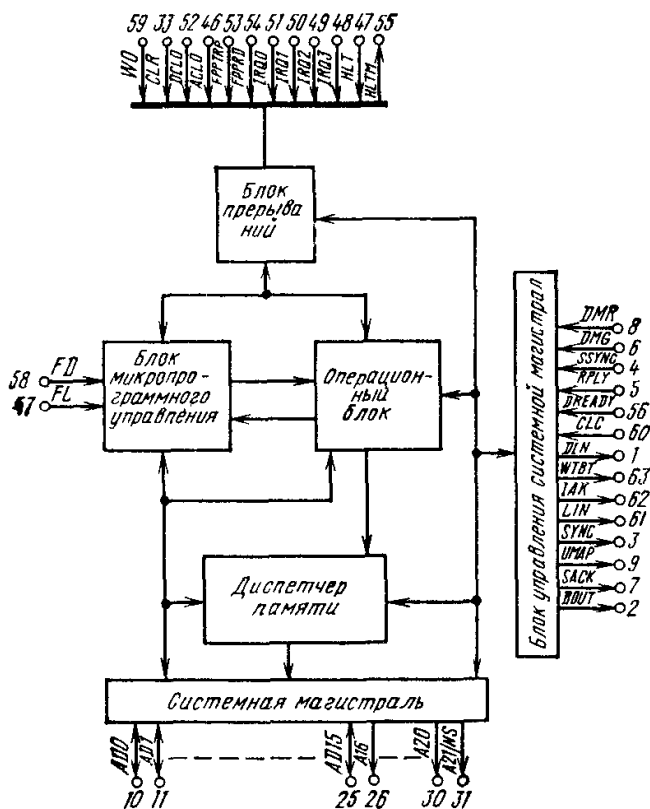


Рис. 11.10. Структурная схема KM1801BM3

указателя стека  $R6$  ( $SP$ ), используемых в режимах операционной системы ( $KSP$ ), пользователя ( $USP$ ) и в пультовом режиме ( $HSP$ ), и регистр  $R7$ , который служит также счетчиком команд ( $PC$ ). Регистр  $SP$  содержит адрес последней заполненной ячейки стека, а  $PC$  — адрес команды, следующей за выполняемой.

Программно доступным регистром является также регистр состояния процессора  $PSW$ . Информация, содержащаяся в  $PSW$ , влияет на режимы выполнения команд и прерываний, определяет режим работы диспетчера памяти:



Регистр  $PSW$  доступен также из процессора по физическому адресу 17777776.

Назначение разрядов регистра  $PSW$ :

разряды 0—3 ( $N$ ,  $Z$ ,  $V$ ,  $C$ ) — признаки знака, нуля, переполнения и переноса, описывающие результат последней выполненной команды;

разряд 4 ( $T$ ) — признак режима отладки;

разряды 5, 6, 7 — код приоритета внешних прерываний  $IRQ$  (3—0);

разряды 13, 12 — предыдущий режим работы МП;

разряды 15, 14 — текущий режим работы МП (11 — режим пользователя, 00 — режим операционной системы).

В микросхеме используются три типа команд: безадресные, одноадресные и двухадресные. В безадресных командах код команды содержит только код операции. В кодах одноадресных и двухадресных команд содержится информация, определяющая: выполняемую функцию (код операции); регистры общего назначения, используемые при выборке операндов, метод адресации.

Система команд KM1801BM3 включает команды МП KM1801BM2 и дополнительные команды, которые приведены в табл. 11.8.

Диспетчер памяти обеспечивает:

расширение емкости адресуемой памяти с 64К до 256К или до 4М байт;

преобразование виртуальных адресов в физические и защиту памяти в системах с разделением времени;

использование различных областей адресов для режима пользователя и режима операционной системы (ОС).

Расширение емкости адресуемой памяти осуществляется преобразованием 16-разрядного виртуального адреса в 18- или 22-разрядный физический адрес. Преобразование выполняется с помощью набора 16 регистров — адресов страниц  $PAR$  и 16 регистров — описателей страниц  $PDR$ .

Таблица 11.7

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
10—25	AD0—AD15	Вход/выход	Мультиплексирование во времени информации адресов и данных
26—30	A16—A20	Выход	Адресная информация
31	A21/NS	Выход	Мультиплексирование во времени информации адреса A21 и информации о том, что считывается из памяти: команда или данные
3	SYNC	Выход	Фронт сигнала. Указывает на то, что выдан адрес. Обмен по магистрали продолжается до тех пор, пока присутствует сигнал
1	DIN	Выход	Сигнал управления вводом данных
2	DOUT	Выход	Сигнал управления выводом данных
5	RPLY	Вход	Сигнал ответа. Указывает на то, что данные представлены на магистрали во время чтения или приняты во время записи
63	WTBT	Выход	Во время фронта сигнала SYNC указывает на тип обмена: запись либо чтение. Во время записи информации указывает на формат данных: байт или слово
4	SSYNC	Вход	Сигнал ответа при опознании адреса, вызывает снятие адреса с магистрали
6	DMG	Выход	Сигнал разрешения на захват магистрали по прямому доступу к памяти
7	SACK	Вход	Сигнал подтверждения запроса прямого доступа к памяти
8	DMR	Вход	Сигнал запроса прямого доступа к памяти
9	GND	—	Общий
33	INIT	Вход/выход	Сигнал установки периферийной части системы в начальное состояние
46	ACLO	Вход	Сигнал включения источника питания переменного напряжения
47	HLT	Вход	Сигнал останова
48—51	IRQ3—IRQ0	Вход	Сигналы запроса на прерывание МП
43	U <sub>cc</sub>	—	Напряжение питания
62	IAK	Выход	Сигнал разрешения прерывания
52	DCLO	Вход	Сигнал включения источника питания постоянного напряжения
53	FPPTRP	Вход/выход	Сигнал прерывания от СППЗ
54	FPPRD	Вход	Во время включения МП высокий уровень указывает, что СППЗ подключен, далее низкий уровень указывает, что СППЗ готов начать выполнение следующей команды
55	HLTM	Выход	Сигнал указывает, что МП в пультовом режиме
56	DREADY	Вход	Сигнал указывает, что СППЗ выставил на магистраль данные во время процедуры записи
57	FL	Вход	Сигналы длинного целого
58	FD	Вход	Сигналы двойной точности
59	WO	Вход	Сигнал режима включения МП
60	CLC	Вход	Тактовый сигнал
61	LIN	Выход	Сигнал стробирует в СППЗ загрузку команды
32	GND1	—	Общий
64	U <sub>cc</sub>	—	Напряжение питания

Примечание. Выводы 38—41 не задействованы.

Таблица 11.8

Обозначение ко-манды	Код	Команда
<i>MFPD</i>	1065SS	Засылка данных в стек текущей моды по адресу предварительной моды
<i>MFPI</i>	0065SS	Засылка команды в стек текущей моды по адресу предварительной моды
<i>MTPD</i>	1066SS	Засылка данных из стека текущей моды по адресу предварительной моды
<i>MTPI</i>	0066SS	Засылка команды из стека текущей моды по адресу предварительной моды

Примечание. SS — поле адресации операнда источника.

Диспетчер памяти преобразует все адреса автоматически, поэтому пользователь работает в области виртуальных адресов. Область виртуального адреса делится на восемь отдельных страниц. Каждая виртуальная страница имеет свой код защиты. Есть три вида защиты памяти: разрешены запись и чтение, разрешено только чтение, запрещен любой доступ. Все попытки запрещенного доступа вызывают прерывание МП.

Диспетчер памяти обеспечивает три режима работы: ОС, пользователя и пультный. Для каждого режима работы существует свой набор регистров *PAR/PDR*.

Регистры *PAR/PDR* включают два набора по восемь 27-разрядных регистров *PAR/PDR* для режимов ОС и пользователя и четыре 16-разрядных регистра адреса страницы *PARH* для обеспечения пультного режима. Физические адреса регистров *PAR/PDR* приведены в табл. 11.9.

При 18-разрядном физическом адресе базовый адрес страницы в регистре *PAR* содержится в разрядах 0—11, а при 22-разрядном — в разрядах 0—15.

Таблица 11.9

Номер регистра	Режимы ОС		Режимы пользователя	
	<i>PAR</i>	<i>PDR</i>	<i>PAR</i>	<i>PDR</i>
0	17772340	17772300	17777640	17777600
1	17772342	17772302	17777642	17777602
2	17772344	17772304	17777644	17777604
3	17772346	17772306	17777646	17777606
4	17772350	17772310	17777650	17777610
5	17772352	17772312	17777652	17777612
6	17772354	17772314	17777654	17777614
7	17772356	17772316	17777656	17777616

Формат регистра *PDR* имеет вид



Поле *PLF* определяет длину страницы в блоках (один блок — 32 слова) и позволяет установить ее от 0 до 177.

Разряд 3 (*ED*) — направление расширения страницы: при *ED*=0 — расширение вверх, при *ED*=1 — расширение вниз. При расширении вверх *PLF* устанавливается на 1 больше необходимой длины. При расширении вниз в *PLF* заносится дополнительный код длины страницы.

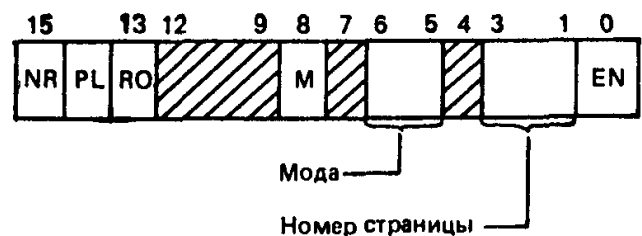
Поле *ACF* определяет тип доступа к странице памяти: 00 — недоступна, прерывание при любом обращении; 01 — доступна только по чтению, прерывание при попытке записи; 10 — не используется, прерывание при любом обращении; 11 — разрешены чтение и запись.

Разряд 6 (*W*) — признак записи, указывает, что в страницу произведена запись. Разряд *W* очищается автоматически при записи в *PAR* и *PDR* данной страницы. Установлен этот признак может быть только аппаратно логической схемой управления диспетчера памяти (ДП).

Регистры состояния диспетчера памяти. Диспетчер памяти содержит три регистра состояния: *SR0*, *SR2*, *SR3*. Четвертый регистр состояния *SR1* аппаратно не реализован, и при обращении по адресу этого регистра (17777574) всегда считываются нули. В случае нарушения условия защиты памяти процессор немедленно прерывается и переходит к программе обработки прерывания по вектору 250 в области памяти ОС. Регистры состояния *SR0* и *SR2* служат для анализа возникшего прерывания.

Регистр *SR0* (адрес 17777572) содержит флаги ошибок, бит разрешения преобразования адреса в ДП и другую информацию, необходимую ОС для обработки ошибки и возврата к прерванной программе.

Формат регистра *SR0* имеет вид



Назначение разрядов регистра *SR0*:  
 разряд 15 (*NR*) — ошибка по запрету доступа. Возникает при попытке обращения к недоступной или неиспользуемой странице;  
 разряд 14 (*PL*) — ошибка по нарушению длины страницы;

разряд 13 (*RO*) — ошибка по записи. Возникает при попытке записи в страницу, доступную только по чтению;

разряд 8 (*M*) — бит, устанавливающий диагностический режим работы ДП; при установленном *M* выполняется преобразование адреса только последнего обращения в память приемника;

разряды 5, 6 — режим МП (пользователя или ОС), при обращении к которому произошла ошибка ДП;

разряды 1, 2, 3 — номер страницы, при обращении к которой произошла ошибка ДП;

разряд 0 (*EN*) — бит включения ДП. При *EN*=1 выполняются преобразование адресов и защита памяти в ДП.

Регистр *SR2* (адрес 17777576) содержит виртуальный адрес первого слова выполняемой команды. Он не изменяется, если в данной команде произошло прерывание по ошибке ДП. Доступен только по чтению.

Регистр *SR3* (адрес 1777757) содержит два разряда. Разряд 4 содержит бит *AS*. При *AS*=1 адрес физический, 22-разрядный, при *AS*=0 — 18-разрядный. Разряд 5 содержит бит *UM*. При *UM*=1 устанавливается для внешней аппаратуры режим включения схем преобразования адресов.

Формирование физического адреса в ДП изображено на рис. 11.11.

В сумматоре выполняется сложение виртуального адреса *VA* (разряды 6—12) с выбранным *PAR* (разряды 0—11) при 18-разрядном адресе и *PAR* (разряды 0—15) при 22-разрядном адресе. В результате полный физический адрес содержит разряды 0—5 виртуального адреса и разряды 6—17 (21) — результат суммы.

**Система прерываний процессора.** Прерывания делятся на аппаратные и командные. Часть аппаратных прерываний вызывает немедленный переход к их обработке. Это так называемые фатальные ошибки. Они возникают при ошибках системной магистрали, ДП, СППЗ. Анализ таких аппаратных прерываний, как авария источника питания, внешний сигнал *HALT*, прерываний *IRQ* (разряды 0—3), переполнения стека в режиме операционной системы производится после завершения очередной команды в соответствии с приоритетом, указанным в табл. 11.10. К командам прерывания относятся *EMT*, *TRAP*, *BPT*, *IOT*, а также (если учитывать алгоритм выполнения) и резервные коды. Вектора прерываний приведены в табл. 11.11.

При прерывании МП помещает в стек *PC* и *PSW* и считывает новые значения *PC* и *PSW* из ячеек, определяемых вектором прерывания, причем загрузка *PC* и *PSW* ведется из области памяти операционной системы. Особый случай представляет собой возникновение фатальной ошибки в ходе выполнения микропрограммы обработки прерывания, так называемой «двойной ошибки». В этом случае процессор переходит в пультовый режим.

В пультовом режиме процессор переходит при выполнении команды *HALT* в режим ОС;

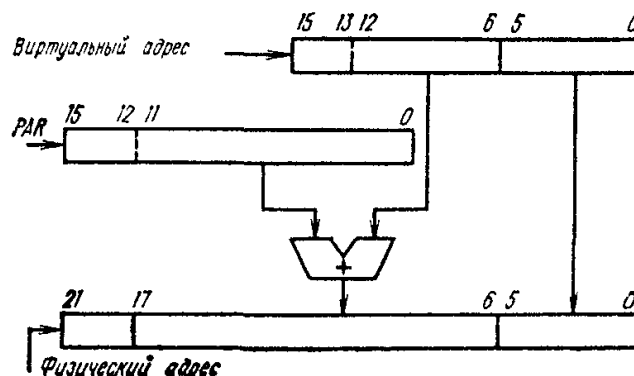


Рис. 11.11. Формирование физического адреса

возникновении «двойной ошибки»; возникновении внешнего сигнала *HALT*=0 и отсутствии в этот момент других, более приоритетных прерываний.

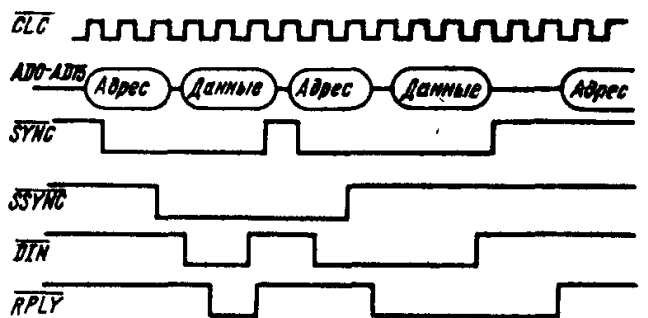
При входе в пультовый режим процессор загружает в стек *HSP* константу 100000<sub>8</sub>; загружает в стек регистры *PSW* и *PC*; заносит в

Таблица 11.10

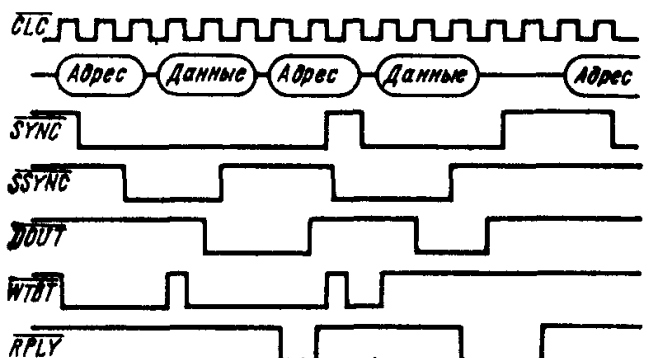
Приоритет	Прерывание
Высший	Команда <i>HALT</i> Нечетный адрес Ошибка ДП Зависание Команды прерывания Прерывание по Т-биту Переполнение стека Сбой питания
Самый низкий	Внешний сигнал <i>HALT</i> <i>IRQ3</i> : : <i>IRQ0</i>

Таблица 11.11

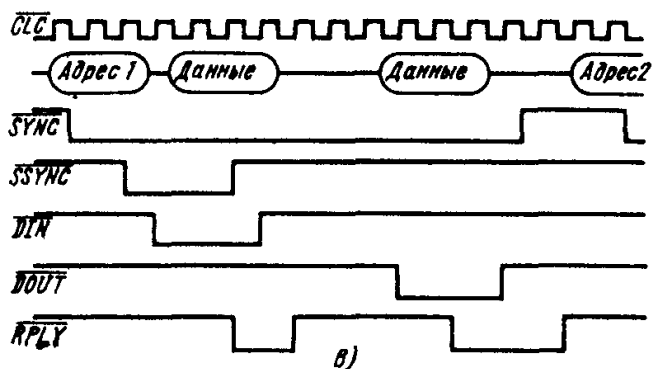
Вектор	Прерывание
004	Зависание, нечетный адрес, переполнение стека
010	Резервные и запрещенные команды
014	Прерывание по Т-биту
020	Прерывание по команде
024	Сбой питания
030	Прерывание по команде <i>MTPI</i>
034	Команды прерывания
250	Ошибка диспетчера памяти
244	Прерывание СППЗ
Из систем- ной магист- ральной	<i>IRQ3—IPQ0</i>



а)



б)



в)

Рис. 11.12. Временные диаграммы циклов «Чтение» (а), «Запись» (б) и «Чтение/модификация запись» (в)

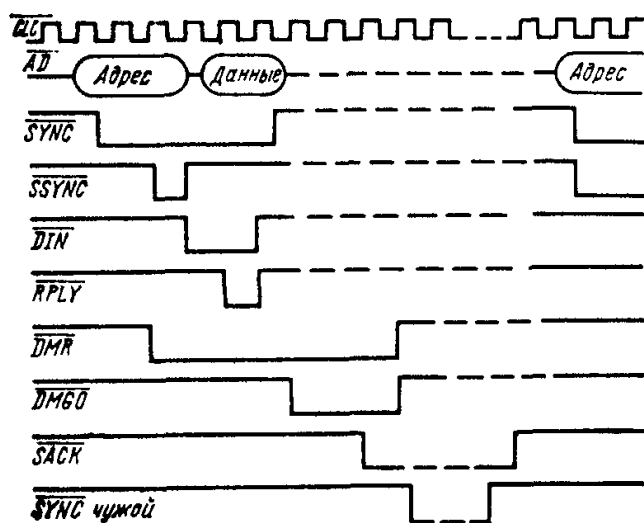


Рис. 11.13. Временная диаграмма цикла «Запрос/предоставление прямого доступа»

Таблица 11.12

Номер регистра $PARH$	Виртуальный адрес		Значение адрес	Назначение регистра $PARH$
	$VA15$	$VA14$		
0	0	0	170000	Формирование начального адреса программы пультавого режима (ПЗУ)
1	0	1	167600	Формирование начального адреса ОЗУ программы пультавого режима
2	1	0	—	Адресация ко всей области памяти
3	1	1	177600	Формирование начального адреса страницы старшего банка

регистр  $PSW$  значение 340<sub>8</sub>, а в  $PC$  — 0; включает ДП на преобразование виртуальных адресов в 22-разрядные физические и переходит к выполнению программы, расположенной по виртуальному адресу 0.

В ДП с целью реализации пультавого режима введены четыре регистра адреса страницы  $PARH$  (табл. 11.12), адресация к которым производится двумя старшими разрядами виртуального адреса. Регистр  $PARH2$  позволяет осуществлять обращение ко всему адресному пространству путем записи в него соответствующего кода. Адрес регистра  $PARH2$  — 177512.

В пультавом режиме существуют некоторые отличия в выполнении команд и прерываний. Например, команды  $RTI$  и  $RTT$  выполняются без учета значения Т-бита.

При включении питания извне устанавливается сигнал  $DCLO$  и МП переходит в режим ожидания сигнала  $ACLO$ . При поступлении сигнала  $ACLO$  МП начинает выполнение одной из процедур начального пуска в зависимости от сигнала  $WO$ :

$WO=0$ . МП загружает  $PSW$  содержимым 26-й ячейки памяти,  $PC$  — содержимым 24-й ячейки и начинает выполнение программы с этого адреса;

$WO=1$ . МП загружает в  $PSW$  константу 340, а  $PC$  — 173000 и начинает выполнение программы с этого адреса.

При выполнении любой команды МП осуществляет хотя бы одно обращение к каналу, называемое циклом обращения к каналу. Перед каждым циклом МП осуществляет процедуру захвата канала.

Цикл «Чтение». Цикл разделен на фазы передачи адреса и приема данных. Адрес из МП сопровождается сигналом  $SYNC$ , снимается после приема сигнала  $SSYNC$ , и затем выставляется сигнал  $DIN$ . Микросхема переключает элементы входа/выхода на выводах  $AD0$ —

*AD15* на прием и ожидает сигнал *RPLY*. Фаза приема данных. После приема сигнала *RPLY* МП принимает данные и снимает сигналы *DIN* и *SYNC*.

Цикл «Запись». Передача адреса сопровождается сигналом *WTBT*, который снимается одновременно со снятием адреса и указывает, что происходит цикл «Запись». После окончания фазы передачи адреса МП выставляет на выходы *AD0—AD15* данные и сигнал *DOUT* и ожидает сигнал *RPLY*. После приема сигнала *RPLY* МП снимает сигнал *DOUT*, данные и сигнал *SYNC*. По снятию сигнала *DOUT* пассивное устройство снимает сигнал *RPLY*.

Цикл «Чтение — модификация — запись». Цикл разделен на фазы передачи адреса, приема и записи данных. Фаза записи начинается после того, как пассивное устройство сняло сигнал *RPLY* в ответ на снятие сигнала *DIN*.

Временные диаграммы циклов «Чтение», «Запись» и «Чтение — модификация — запись» изображены на рис. 11.12, циклов «Запрос — предоставление прямого доступа» — на рис. 11.13.

Основные параметры микросхемы КМ1801ВМ3 приведены в табл. 11.2 и 11.3.

## 11.4. Микросхема К1801ВП1-30

Микросхема К1801ВП1-30 построена на основе базового матричного кристалла микросхемы К1801ВП1. Она предназначена для управления ОЗУ (УОЗУ) динамического типа, выполненного на основе микросхем серии К565РУ3 и КР565РУ6, и выполняет:

прием, хранение и преобразование адреса для накопителя ОЗУ;

регенерацию памяти;

связь накопителя ОЗУ и буферного регистра данных с каналом передачи информации ЭВМ типа «Электроника-60»;

специальные функции управления системными областями памяти при работе с ОМП К1801ВМ1.

Условное графическое обозначение микросхемы приведено на рис. 11.14, назначение выводов — в табл. 11.13, структурная схема показана на рис. 11.15, временные диаграммы работы — на рис. 11.16.

В состав структурной схемы входят: счетчик адресов регенерации (СЧАР), буферный регистр адреса (БРА), мультиплексор адресов (МПА), регистр режима (РР), компаратор ад-

Таблица 11.13

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 2	<i>AD5, AD4</i>	Входы	Разряды адреса данных
3, 4	<i>AD3, AD2</i>	Входы/выходы	Разряды адреса данных
5—7	<i>AD1, AD14, AD0</i>	Входы	Разряды адреса данных
8	<i>DIN</i>	Вход	Чтение данных
9	<i>DOUT</i>	Вход	Запись данных
10	<i>CLC</i>	Вход	Синхронизация
11	<i>RASO</i>	Выход	Сопровождение адреса строки накопителя (полублок I)
12	<i>LOCK</i>	Выход	Блокировка
13	<i>RPLY</i>	Выход	Ответ
14	<i>C</i>	Выход	Сигнал стробирования записи в буферный регистр данных
15	<i>DME</i>	Выход	Выборка данных памяти
16	<i>RAS1</i>	Выход	Сигнал сопровождения адреса строки накопителя
17	<i>RSEL</i>	Вход	Выборка регистра режима
18	<i>WE</i>	Выход	Сигнал сопровождения записи в накопитель
19	<i>CASO</i>	Выход	Сигнал сопровождения адреса столбца накопителя (полублок I)
20	<i>CAS1</i>	Выход	Сигнал сопровождения адреса столбца накопителя (полублок II)
21	<i>GND</i>	—	Общий
22—28	<i>A0—A6</i>	Выход	Разряды адреса накопителя
29	<i>WTBT</i>	Вход	Запись байт
30	<i>DCLO</i>	Вход	Авария источника питания
31	<i>AD15</i>	Вход	Разряд адреса/данных
32	<i>SYNC</i>	Вход	Обмен
33	<i>MSEL</i>	Вход	Выборка памяти
34—41	<i>AD13—AD6</i>	Вход	Разряды адреса данных
42	<i>Ucc</i>	—	Напряжение питания

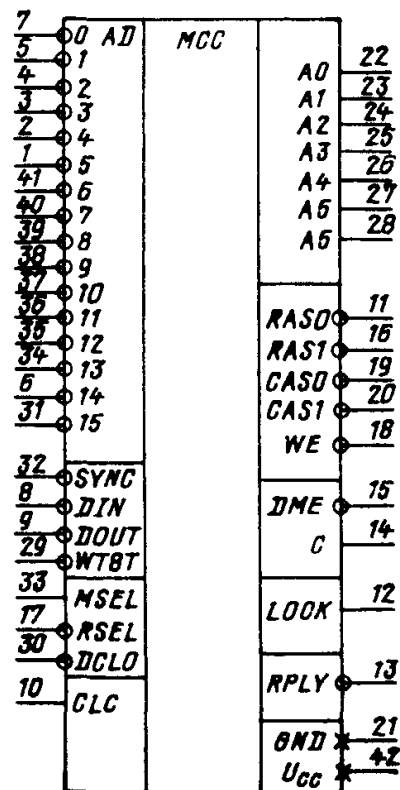


Рис. 11.14. Условное графическое обозначение К1801ВП1-30



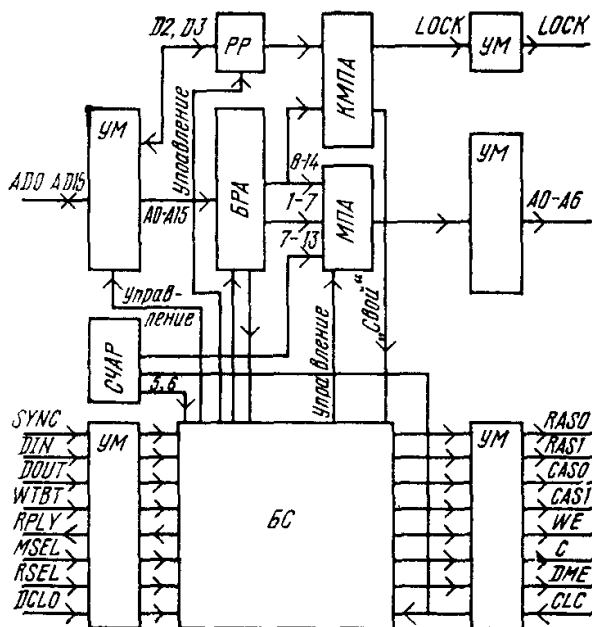


Рис. 11.15. Структурная схема К1801ВР1-30

ресов (КМПА), блок синхронизации (БС), буферные усилители мощности (УМ).

Счетчик адресов регенерации включает делитель тактовой частоты (разряды 0—5) и счетчик адресов (разряды 6—13). В режиме регенерации содержимое разрядов 7—13 через МПА поступает на выходы А0—А6 и является адресом регенерации (АР).

Буферный регистр адреса содержит 16 разрядов и предназначен для хранения адреса, поступающего по системной магистрали. Содержимое разрядов 1—7 при выдаче адреса строки (АС) поступает через МПА на выходы А0—А6, при выдаче адреса колонки (АК) на выходы А0—А6 поступает содержимое разрядов 8—14. Кроме того, содержимое разрядов 8—14 поступает на КМПА для выработки сигналов LOCK. Содержимое разряда 0 исполь-

зуется в БС для определения номера байта при выполнении процедуры записи байта. Сигнал SYNC фиксирует запись информации в БРА.

Мультиплексор адресов предназначен для раздельной во времени выдачи адреса ОЗУ в виде 7-разрядных АС и АК при циклах обмена с накопителем ОЗУ, а также 7-разрядного АР.

Регистр режима предназначен для хранения служебных признаков режима работы ОМП К1801ВМ1. Содержит два разряда (PP2 и PP3), доступных по чтению и записи из системной магистрали (разряды AD2 и AD3). Информация, хранящаяся в PP, влияет на установку сигнала LOCK.

Компаратор адресов вырабатывает сигнал блокировки LOCK, служащий для выборки областей системного ПЗУ и блокировки этих областей в адресном пространстве внешних устройств. Установка сигнала на выводе LOCK происходит в следующих случаях:

адрес находится в диапазоне 160000—163777 при наличии 1 в PP2;

адрес находится в диапазоне 160000—173777 при наличии 1 в PP3;

адрес обращения находится в диапазоне 173000—173777 независимо от состояния PP2 и PP3.

Компаратор адресов вырабатывает признак «Свой» для БС при обращении по адресу в диапазоне 177600—177677, который осуществляет запуск БС при отсутствии сигнала MSEL. Выделение данной области системного ОЗУ происходит при низком уровне сигнала DCLO.

Блок синхронизации вырабатывает сигнал управления внутренними узлами УОЗУ, накопителем ОЗУ, внешним буферным регистром данных, а также обрабатывает сигналы управления по каналу ЭВМ.

**Регенерация информации** в накопителе ОЗУ динамического типа производится по принципу: один цикл регенерации по одному адресу строки в течение периода, равного

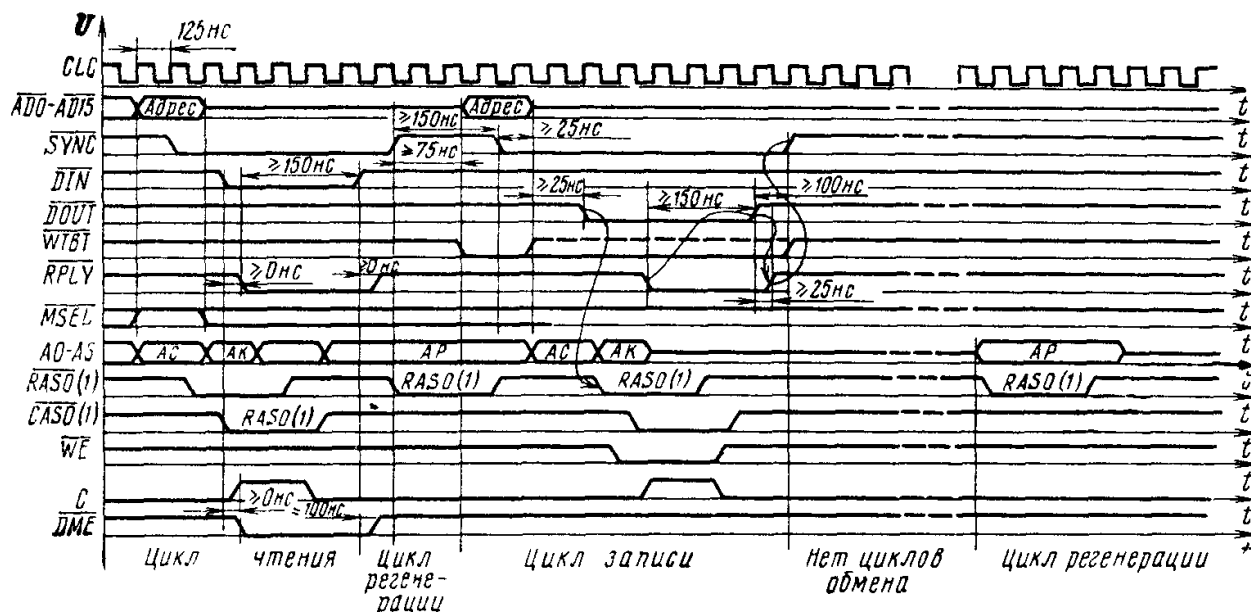


Рис. 11.16. Временные диаграммы работы К1801ВР1-30

64 периодам тактового сигнала *CLC*. Полная регенерация информации в памяти по всем адресам происходит за 2 мс при тактовой частоте 4,2 МГц. В БС введена схема запуска текущего цикла регенерации к окончанию цикла обмена информацией. При отсутствии циклов обмена с памятью в течение времени, равного 32 периодам тактовой частоты после получения БС запроса на регенерацию, очередной цикл регенерации производится принудительно.

Запрос на очередной цикл регенерации происходит через 16 периодов тактовой частоты после изменения адреса СЧАР.

Сигналы *RAS0* и *RAS1* вырабатываются одновременно.

Диапазон изменения частоты тактового сигнала *CLC* от 4,2 до 8 МГц.

Цикл чтения из памяти возможен при: сигнале *SYNC*, фиксирующем адрес обращения *AD0—AD15* в БРА; сигнале *MSEL*; отсутствии сигнала *WTBT* в адресной части; отсутствии очередного цикла регенерации памяти.

Выходные сигналы *DME* и *RPLY УОЗУ* вырабатывает при наличии входного сигнала *DIN*.

Сигнал *RAS0* устанавливается в том случае, если при выдаче адреса *AD15=1*, а сигнал *RAS1* — если *AD15=0*.

Сигналы *CAS0* и *CAS1* вырабатываются одновременно.

Цикл записи в память возможен при: сигнале *SYNC*, фиксирующем адрес обращения *AD0—AD15* в БРА; сигнале *MSEL*; сигнале *WTBT*, который в адресной части является признаком записи; сигнале *DOUT*; отсутствии очередного цикла регенерации памяти.

При записи байта УОЗУ вырабатывает сигнал *CAS0*, если *AD0=1* в адресной части. При записи слова УОЗУ вырабатывают сигналы *CAS0* и *CAS1* одновременно.

Сигнал блокировки *LOCK* УОЗУ вырабатывает в фазе выдачи адреса. Задержка появления сигнала *LOCK* относительно установки адреса на выводе *AD0—AD15* не более 100 нс.

Микросхема УОЗУ приходит в состояние готовности за время, соответствующее прохождению семи синхронизирующих импульсов *CLC*.

Сигнал *DCLO* производит установку СЧАР в нулевое состояние и РР в режим «останов».

Основные параметры К1801ВП1-30 приведены в табл. 11.2 и 11.3.

## 11.5. Микросхема К1801ВП1-33

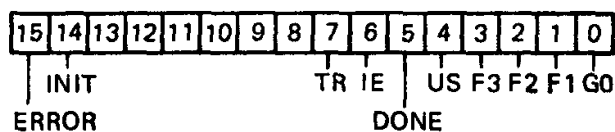
Микросхема К1801ВП1-33 применяется для организации интерфейса накопителя на гибких магнитных дисках (НГМД) типа «Электроника ГМД-7012». Совместно с микросхемой К1801ВП1-34 выполняет функции контроллера интерфейса 16-разрядного программируемого параллельного ввода/вывода и контроллера байтового параллельного интерфейса.

Условные графические обозначения и структурные схемы интерфейса НГМД, контроллера интерфейса параллельного ввода/вывода и контроллера байтового параллельного интерфейса приведены на рис. 11.17 и 11.18, назначение выводов дано в табл. 11.14.

**Интерфейс накопителя на гибких магнитных дисках.** Установка микросхемы в режим интерфейса НГМД производится подачей на выходы *RC0—RC3* напряжения высокого уровня.

Микросхема осуществляет передачу информации между процессором и контроллером НГМД с помощью регистра команд и состояния (РКС), регистра данных (РД). Регистры считываются и загружаются программно.

Регистр команд и состояния имеет следующий формат:



Назначение разрядов регистра:

*G0* (Пуск) — инициирует прием контроллером НГМД команды (только для записи);

*F1—F3* — разряды команды (только для записи);

*US* (Выбор привода) — указывает на выбор одного из двух дисководов для выполнения требуемой команды (только для записи);

*DONE* (Завершено) — указывает на то, что выполнение команд завершено (только для чтения);

*IE* (Предоставление прерывания) — устанавливается программно для осуществления прерывания по завершении выполнения команды, сбрасывается канальным сигналом *INIT* (для чтения и записи);

*TR* (Требование передачи) — требование записи (считывания) данных через регистр данных (только для чтения);

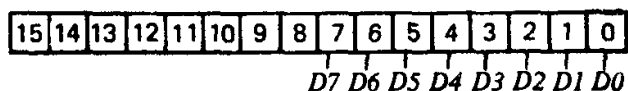
*INIT* (Установка) — устанавливается программно для приведения НГМД в исходное состояние;

*ERROR* (Ошибка) — устанавливается, если в процессе выполнения команды произошла ошибка (только для чтения).

Разряды 8—13 не используются.

Список команд приведен в табл. 11.15.

Регистр данных имеет следующий формат:



Разряды 0—7 предназначены для хранения данных (*D0—D7*).

Разряды 8—15 не используются.

Интерфейсные сигналы контроллера НГМД включают:

**SET** (Начальная установка — вырабатывается микросхемой для приведения механизма и электронной части НГМД в исходное состояние;

**DONE** (Завершено) — устанавливается контроллером НГМД для индикации того, что текущая команда выполнена (либо в случае ошибки);

**RUN** (Пуск) — устанавливается микросхемой для инициирования передачи команды или байта данных;

**OUT** (Вывод) — вырабатывается контроллером НГМД для указания направления передачи байта информации (при низком уровне сигнала информации передается от НГМД к микросхеме);

**TR** (Запрос передачи) — устанавливается контроллером НГМД для индикации того, что он готов принять (передать) байт информации;

**DI** (Вход данных) — линия для приема последовательной информации;

**DO** (Выход данных) — линия для передачи последовательной информации;

**SHFT** (Сдвиг) — линия синхронизации при-

ема (передачи) последовательной информации; длительность отрицательного импульса не менее 200 нс, период 1 мкс;

**ERR** (Ошибка) — устанавливается контроллером НГМД при обнаружении ошибки; при этом прекращается выполнение текущей команды и устанавливается сигнал **DONE**.

С помощью выводов **RC4** и **RC5** можно переадресовать регистры микросхемы. Соответственно изменяются адреса векторов прерываний. Адреса регистров и векторов прерываний, соответствующие комбинациям уровней напряжений на выводах **RC4**, **RC5**, приведены в табл. 11.16.

При низком уровне сигнала **DONE** запись команды, содержащей лог. 1 в нулевом разряде, в регистр команд вызывает установку сигнала **RUN**, который иницирует прием команды контроллером НГМД. Контроллер НГМД снимает сигнал **DONE** и выставляет на линию **SHFT** серию из восьми импульсов. После снятия сигнала **DONE** происходит сброс сигнала **RUN**, а серия импульсов синхронизирует выдачу команды в последовательном коде

Таблица 11.14

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
-------	-------------	------------	-----------------------------------

#### Интерфейс накопителя на гибких магнитных дисках

1—6	RC3, RC0—RC5	Входы	Выбор режима
7	SHFT	Вход	Сдвиг данных
8	OUT	Вход	Вывод данных
9—16	AD0—AD7	Входы/выходы	Разряды адреса/данных
17—20	AD8—AD11	Входы	Разряды адреса/данных
22, 24	AD12, AD14	Входы	Разряды адреса/данных
25	AD15	Выход	Разряд адреса/данных
21	GND	—	Общий
23	BS	Вход	Внешнее устройство
26	DI	Вход	Вход данных
27	DO	Выход	Выход данных
28	RUN	Выход	Пуск
29	SET	Выход	Начальная установка
30	ERR	Вход	Ошибка
31	DONE	Вход	Завершено
32	TR	Вход	Требование передачи
33	IAKI	Вход	Разрешение прерывания
34	INIT	Вход	Установка исходного состояния
35	VIRQ	Выход	Требование прерывания
36	IAKO	Выход	Предоставление прерывания
37	DOUT	Вход	Чтение данных
38	DIN	Вход	Запись данных
	RPLY	Выход	Ответ
	WTBT	Вход	Запись/байт
	SYNC	Вход	Обмен
	U <sub>cc</sub>	—	Напряжение питания

#### Контроллер интерфейса параллельного ввода/вывода

1—4	RC3, RC0, RC1, RC2	Входы	Выбор режима
5	RD0	Выход	Задержка ответа
6	RD1	Вход	Задержка ответа
7	CSR0	Выход	Регистр состояния PC0

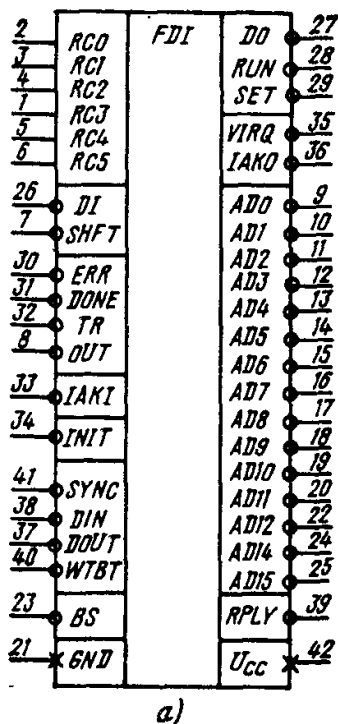
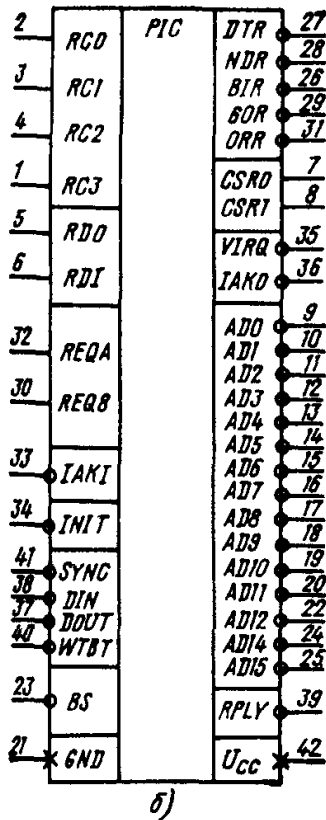
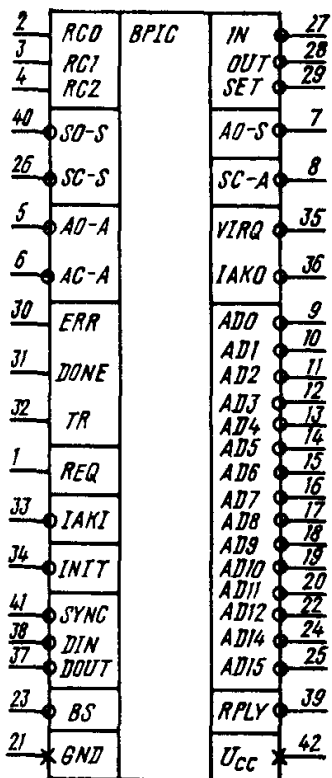


Рис. 11.17. Условное графическое обозначение K1801BP1-33 в режиме интерфейса НГМ (а)



б)



в)

Рис 11.17. Условное графическое обозначение K1801BPI-33 в режимах контроллера интерфейса параллельного ввода/вывода (б) и контроллера байтового параллельного интерфейса (в)

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
8	CSRI	Выход	Регистр состояния <i>PC1</i>
9—16	AD0—AD7	Входы, выходы	Разряды адреса/данных
7—20, 22, 24	AD8—AD11, AD12, AD14	Входы	Разряды адреса/данных
21	GND	—	Общий
25	AD15	Выход	Разряд адреса данных
23	BS	Вход	Внешнее устройство
26	BIR	Выход	Вывод старшего байта
27	DTR	Выход	Ввод данных
28	NDR	Выход	Вывод данных
29	BOR	Выход	Вывод младшего байта
30	REQB	Вход	Требование <i>B</i>
31	ORR	Выход	Чтение выходного регистра
32	REQA	Вход	Требование <i>A</i>
33	IAKI	Вход	Предоставление прерывания
34	INIT	Вход	Установка
35	VIRQ	Выход	Требование прерывания
36	IAKO	Выход	Предоставление прерывания
37	DOUT	Вход	Запись данных (по каналу)
38	DIN	Вход	Чтение данных (по каналу)
39	RPLY	Выход	Ответ
40	WTBT	Вход	Запись/байт
41	SYNC	Вход	Обмен
42	Ucc	—	Напряжение питания

#### Контроллер байтового параллельного интерфейса

1	REQ	Вход	Требование
2—4	RC0—RC2	Входы	Выбор режима
5	AO-A	Вход	Готовность приемника
6	AC-A	Вход	Запрос приемника
7	AC-S	Выход	Запрос источника
8	SC-A	Выход	Стrobe-сигнал приемника
9—16	AD0—AD7	Входы, выходы	Разряды адреса/данных
17—20, 22, 24	AD8—AD11, AD12, AD14	Входы	Разряды адреса/данных
25	AD15	Выход	Разряд адреса/данных
21	GND	—	Общий
23	BS	Вход	Внешнее устройство
26	SC-S	Вход	Стrobe-сигнал источника
27	IN	Выход	Ввод данных
28	OUT	Выход	Вывод данных
29	SET	Выход	Начальная установка
30	ERR	Вход	Ошибка
31	DONE	Вход	Завершено
32	TR	Вход	Требование передачи
33	IAKI	Вход	Предоставление прерывания
34	INIT	Вход	Установка
35	VIRQ	Вход	Требование прерывания
36	IAKO	Выход	Предоставление прерывания
37	DOUT	Вход	Запись данных (по каналу)
38	DIN	Вход	Чтение данных (по каналу)
39	RPLY	Выход	Ответ
40	SO-S	Вход	Готовность источника
41	SYNC	Вход	Обмен
42	Ucc	—	Напряжение питания

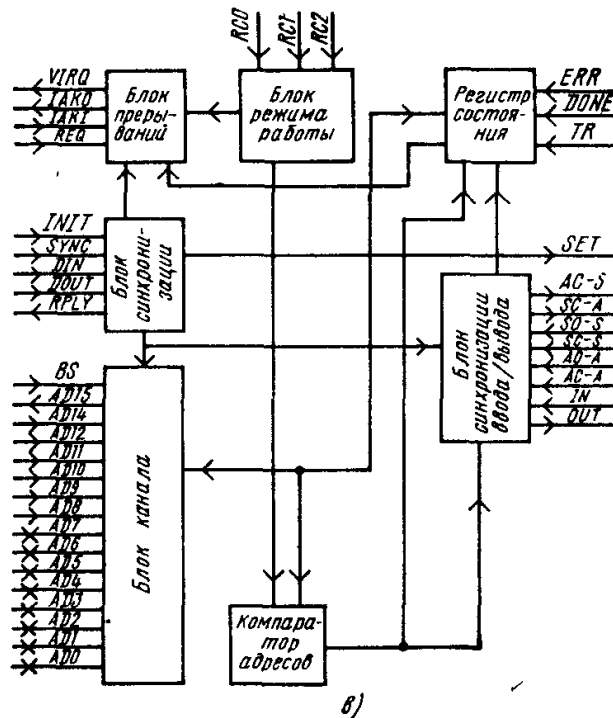
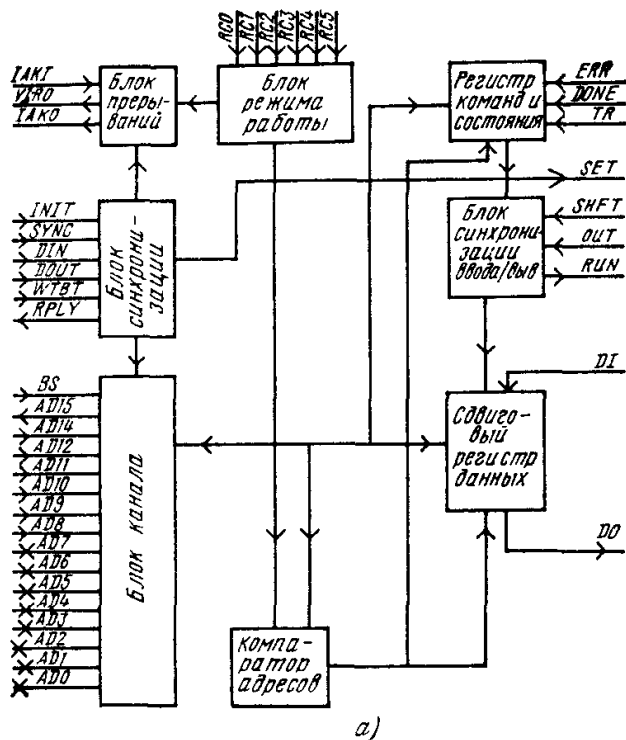
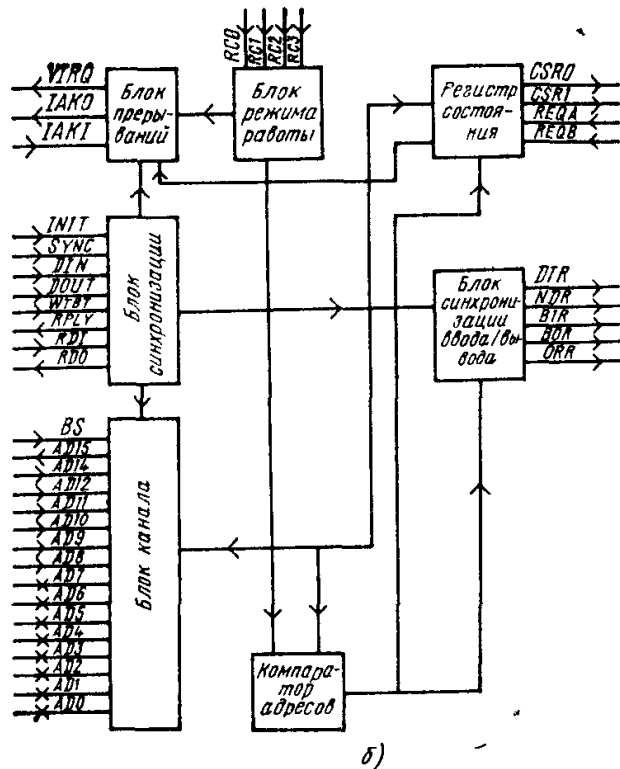


Рис. 11.18. Структурная схема К1801ВР1-33 в режимах интерфейса НГМД (а), контроллера интерфейса параллельного ввода/вывода (б) и контроллера байтового параллельного интерфейса (в)



на вывод DO. В зависимости от принятого кода команды контроллер НГМД устанавливает сигналы OUT и TR. При установлении сигнала TR в зависимости от состояния сигнала OUT обращение к регистру данных вызывает установку сигнала RUN, который сбрасывается после снятия сигнала TR, и серию импульсов на выводе SHFT (восемь для синхронизации адреса вектора и дорожки, семь для синхронизации данных). По окончании выполнения команды устанавливается сигнал DONE,

который используется для работы по прерыванию. Требование прерывания VIRQ возникает с появлением сигнала DONE при наличии в регистре команд разрешения прерывания IE.

Временные диаграммы процедур «Запись в буферный регистр» и «Чтение буферного регистра» приведены на рис. 11.19.

**Контроллер интерфейса параллельного ввода/вывода.** Установку микросхемы в режим контроллера интерфейса параллельного ввода/вывода производят подачей определенных уровней напряжения на выходы RCO—RC3. Помимо выбора режима работы микросхемы

Таблица 11.15

Код микроконструкции			Функция
F3	F2	F1	
0	0	0	Запись в буферный регистр
0	0	1	Чтение буферного регистра
0	1	0	Запись сектора
0	1	1	Чтение сектора
1	0	0	Не используется
1	0	1	Чтение регистра
1	1	0	Запись сектора с меткой
1	1	1	Чтение регистра ошибки

Таблица 11.16

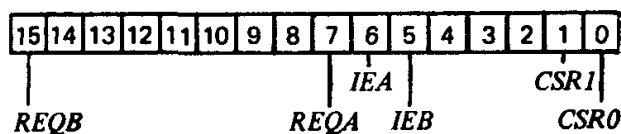
Вывод	Обозначение	Уровень сигнала	Адрес РКС	Адрес РД	Адрес вектора прерывания
5	RC4	Низкий	177170	177172	264
6	RC5	Низкий			
5	RC4	Высокий	177174	177176	270
6	RC5	Низкий			
5	RC4	Низкий	177200	177202	274
6	RC5	Высокий			
5	RC4	Высокий	XXXXX0	XXXXX2	XXX
6	RC5	Высокий			

Примечание. X — состояние разрядов адреса безразлично.

комбинации напряжений на этих выводах осуществляют переадресацию регистров и векторов прерываний. Адреса регистров и вектора прерываний, соответствующие определенным комбинациям напряжений на выводах RC0—RC3 в режиме контроллера параллельного ввода/вывода, приведены в табл. 11.17.

Микросхема осуществляет прием и передачу информации с помощью регистра состояния (РС), регистра приемника (РП) и регистра источника (РИ). Регистры источника и приемника выполнены на двух микросхемах K1801ВП1-34. Структурная схема контроллера приведена на рис. 11.20.

Микросхема содержит регистр состояния, компаратор адресов, блок прерываний и блок управления регистрами РП и РИ. Регистр состояния имеет следующий формат:



Назначение разрядов регистра РС следующее:

CSRI, CSRO (PCOI, PCOO) — разряды, которые могут использоваться для имитации запросов прерывания в режиме автономной проверки (для чтения и записи);

REQA (Требование А) — требование прерывания А (только для чтения);

REQB (Требование В) — требование прерывания В (только для чтения);

IEA (Разрешение А) — разрешение прерывания А, сбрасывается сигналом  $\overline{INIT}$  (для чтения и записи);

IEB (Разрешение В) — разрешение прерывания В, сбрасывается сигналом  $\overline{INIT}$  (для чтения и записи).

Сигналы управления регистрами приемника и источника:

$\overline{DTR}$  (Ввод данных) — вырабатывается микросхемой при чтении регистра приемника;

$\overline{NDR}$  (Вывод данных) — вырабатывается микросхемой при записи в регистр-источник;

$\overline{BIR}$  (Вывод старшего байта) — вырабатывается микросхемой при записи старшего байта в регистр-источник;

$\overline{BOR}$  (Вывод младшего байта) — вырабатывается микросхемой при записи младшего байта в регистр-источник;

$\overline{ORR}$  (Чтение выходного регистра) — вырабатывается микросхемой при чтении регистра-источника;

$\overline{RD0}$  (Задержка ответа, выход) — выход разрыва цепочки формирования сигнала  $\overline{RPLY}$ ;

$\overline{RD1}$  (Задержка ответа, вход) — вход разрыва цепочки формирования сигнала  $\overline{RPLY}$ .

С помощью RC-цепочки, включенной между выводами  $\overline{RD1}$  и  $\overline{RD0}$ , можно увеличивать длительность импульсов  $\overline{DTP}$  и  $\overline{NDR}$ .

Требование прерывания  $\overline{VIRQ}$  возникает при появлении хотя бы одного из сигналов

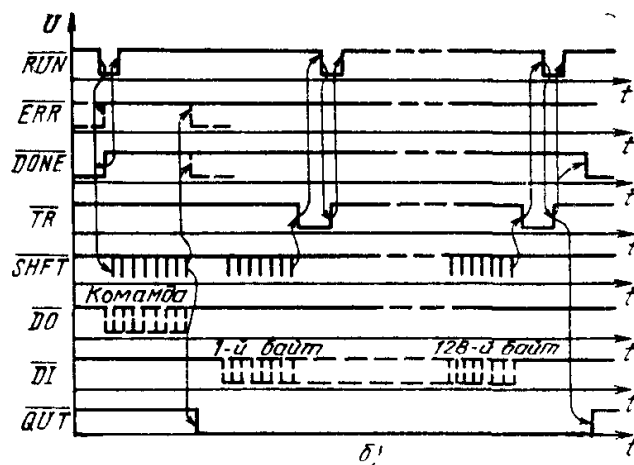
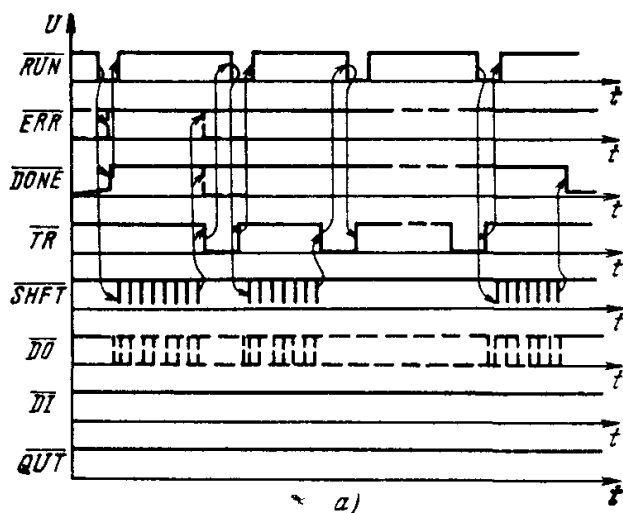


Рис. 11.19. Временные диаграммы процедур «Запись в буферный регистр» (а) и «Чтение буферного регистра» (б)

Таблица 11.17

Вывод	Обозначение	Уровень сигнала	Адрес РС	Адрес РИ	Адрес РП	Адрес вектора прерывания А (В)
1 2 3 4	RC3 RC0 RC1 RC2	Низкий Высокий Низкий Высокий	167770	167772	167774	300 (304)
1 2 3 4	RC3 RC0 RC1 RC2	Высокий Высокий Низкий Высокий	167760	1677762	167764	310 (314)
1 2 3 4	RC3 RC0 RC1 RC2	Низкий Низкий Высокий Высокий	167750	167752	167754	320 (324)
1 2 3 4	RC3 RC0 RC1 RC2	Высокий Низкий Высокий Высокий	167740	167442	167744	330 (334)
1 2 3 4	RC3 RC0 RC1 RC2	Низкий Высокий Высокий Высокий	XXXXX0	XXXXX2	XXXXX4	XX0 (XX4)

*REQA*, *REQB* при наличии в регистре состояния соответствующего разрешения прерываний *IEA*, *IEB*. При одновременном появлении сигналов *REQA* и *REQB* более высокий приоритет имеет требование *B*. Выполнение процедуры прерывания стандартное.

Контроллер байтового параллельного интерфейса. Установку микросхемы в режим кон-

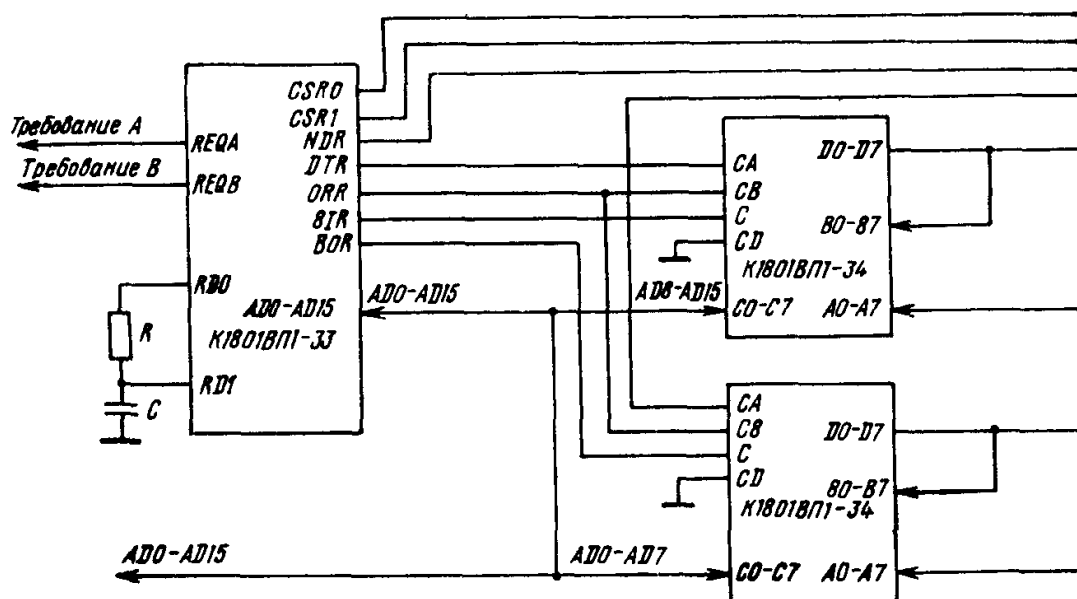


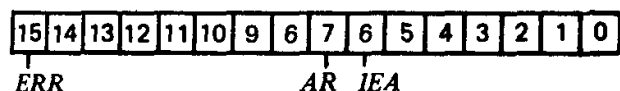
Рис. 11.20. Структурная схема контроллера интерфейса параллельного ввода/вывода

троллера байтового параллельного интерфейса производят подачей определенных уровней напряжения на выходы  $RC0$ — $RC2$ . Помимо выбора режима работы микросхемы комбинации напряжений на этих выходах осуществляют переадресацию регистров и векторов прерываний. Адреса регистров и векторов прерываний, соответствующие определенным комбинациям напряжений на выходах  $RC0$ — $RC2$ , приведены в табл. 11.18.

Микросхема осуществляет прием и передачу информации с помощью регистров состояния источника (РСИ) и приемника (РСП), регистров источника (РИ) и приемника (РП).

Регистры источника и приемника выполнены на одной микросхеме К1801ВП1-34. Структурная схема контроллера приведена на рис. 11.21. Микросхема содержит регистры состояния РСИ и РСП, компаратор адресов, блок прерываний и блок управления регистрами РИ, РП.

Регистр состояния источника имеет следующий формат:



Назначение разрядов регистра:

$IEA$  — разрешение прерывания по приему, сбрасывается начальным сигналом  $INIT$  (для чтения и записи);

$AR$  — требование приема (только для чтения);

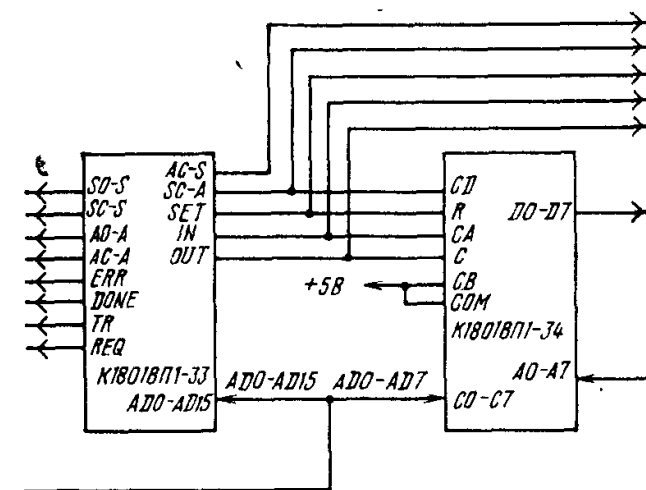
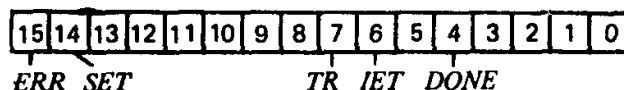


Рис. 11.21. Структурная схема контроллера интерфейса байтового параллельного ввода вывода

$ERR$  — ошибка (только для чтения).

Регистр состояния приемника имеет следующий формат:



Назначение разрядов регистра:

$DONE$  — завершено (только для чтения);

$IET$  — разрешение прерывания по передаче, сбрасывается каналным сигналом  $INIT$  (для чтения и записи);

Таблица 11.18

Выход	Обозначение	Уровень сигнала	Адрес РСИ	Адрес РП	Адрес РСП	Адрес РИ	Адрес вектора прерывания источника (приемника)
2 3 4	$RC0$ $RC1$ $RC2$	Низкий Низкий Низкий	—	—	177514	177516	200
2 3 4	$RC0$ $RC1$ $RC2$	Высокий Низкий Низкий	177560	177562	177564	177566	60 (64)
2 3 4	$RC0$ $RC1$ $RC2$	Низкий Высокий Низкий	177550	177552	177554	177556	70 (74)
2 3 4	$RC0$ $RC1$ $RC2$	Высокий Высокий Низкий	177570	177572	177574	177576	170 (174)
2 3 4	$RC0$ $RC1$ $RC2$	Низкий Низкий Высокий	XXXXX0	XXXXX2	XXXXX4	XXXXX6	XX0 (XX4)



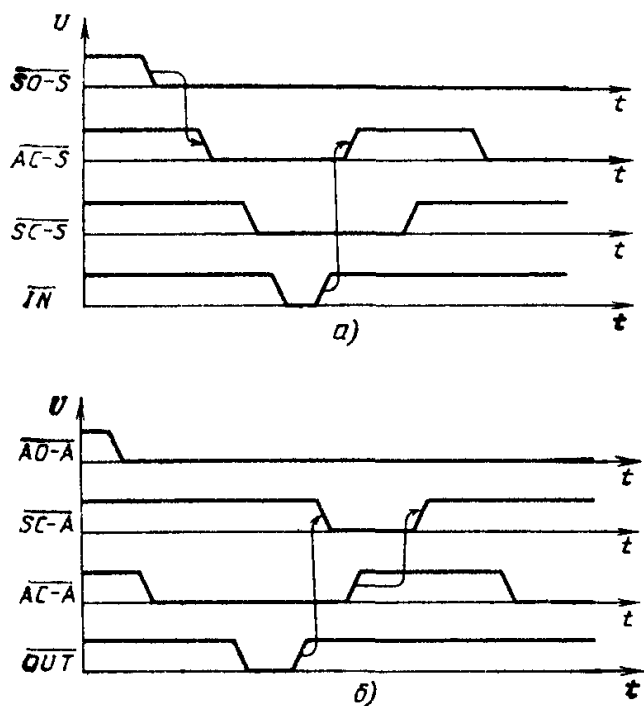


Рис. 11.22. Временные диаграммы работы К1801ВР1-33 в режимах приема (а) и передачи (б) информации

$TR$  — требование передачи (только для чтения);

$SET$  — начальная установка (только для записи);

$ERR$  — ошибка (только для чтения).

### Работа микросхемы на прием информации.

При отсутствии сигнала  $\overline{SO-S}$  «Готовность источника» в регистре состояния источника установлен бит  $ERR$  «Ошибка», микросхема к работе не готова.

При появлении сигнала  $\overline{SO-S}$  микросхема устанавливает сигнал  $\overline{AC-S}$  «Запрос источника», ответом на который является  $\overline{SC-S}$  «Стробирующий сигнал источника». При поступлении сигнала  $\overline{SC-S}$  в регистре состояния источника устанавливается бит  $AR$  «Требование приема», который при наличии бита  $IEA$  «Разрешение прерывания по приему» вызывает запрос прерывания. При чтении регистра приемника вырабатывается сигнал  $\overline{IN}$  «Ввод данных» и снимается сигнал  $\overline{AC-S}$ .

Сигнал  $\overline{AC-S}$  может установиться вновь только после снятия сигнала  $\overline{SC-S}$ . Временные диаграммы работы микросхемы при приеме и передаче информации приведены на рис. 11.22.

### Работа микросхемы на передачу информации.

При отсутствии сигнала  $\overline{AO-A}$  «Готовность приемника» микросхема к работе не готова. При наличии сигналов  $\overline{AO-A}$  и  $\overline{AC-A}$  «Запрос приемника» микросхема после записи информации в регистр-источник вырабатывает  $\overline{SC-A}$  «Стробирующий сигнал приемника», который сбрасывается после снятия сигнала  $\overline{AC-A}$ . Во время записи в регистр-источник вырабатывается сигнал  $\overline{OUT}$  «Вывод данных».

Состояния сигналов регистра состояния приемника  $ERR$ ,  $TR$  соответствуют состояниям

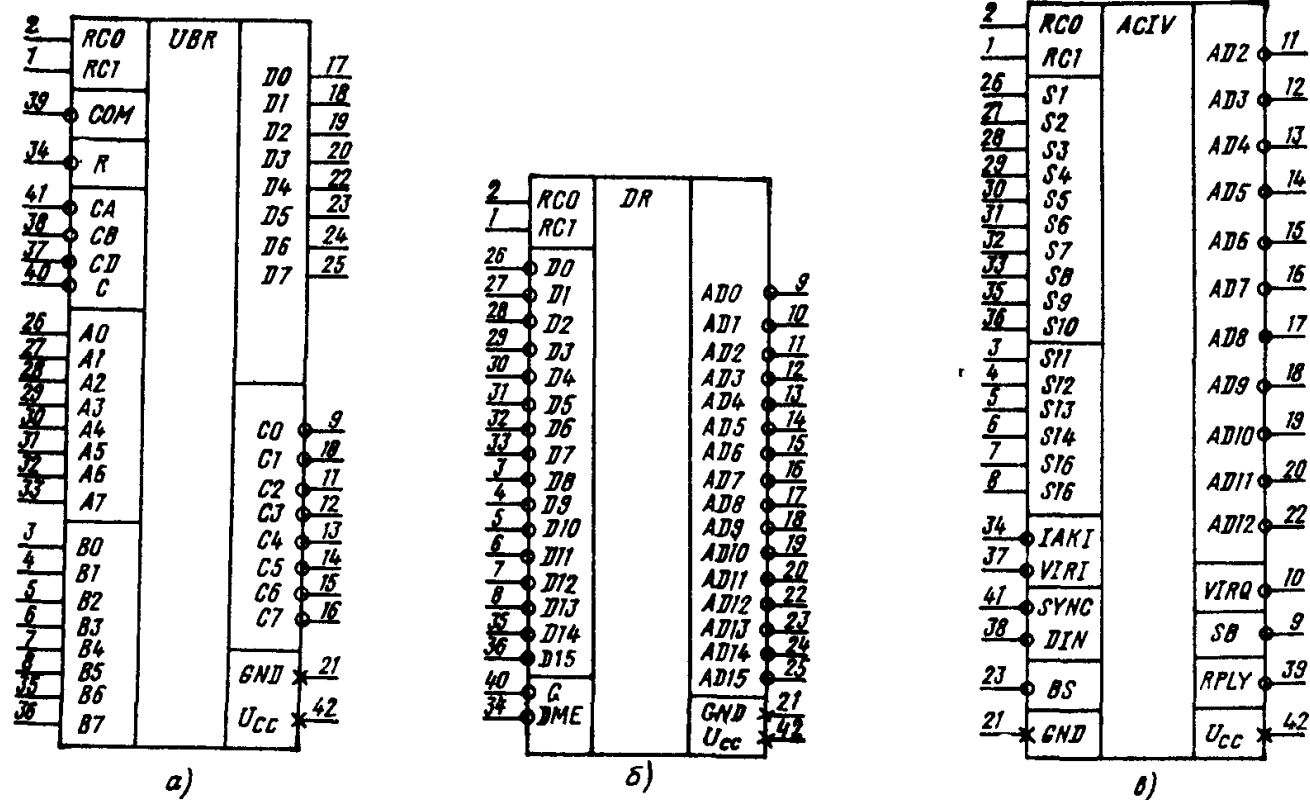
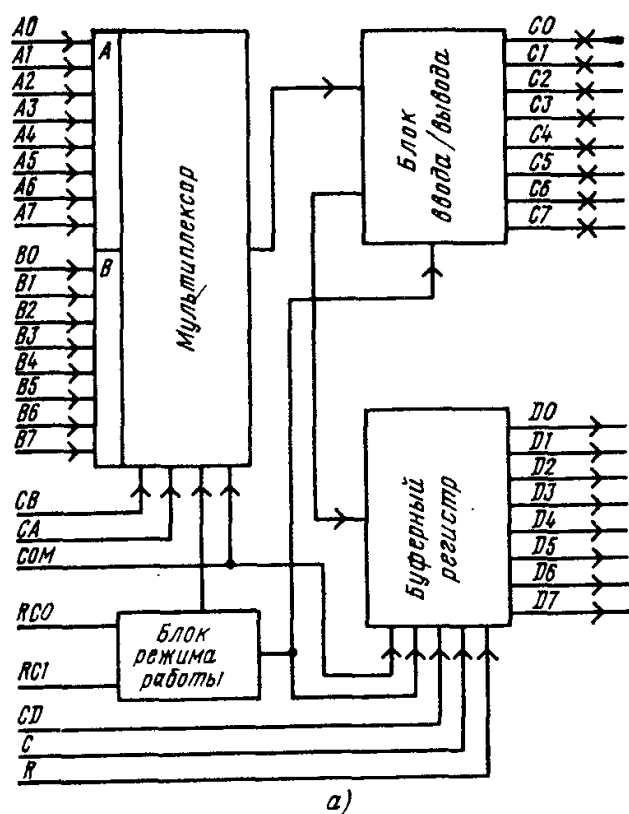


Рис. 11.23. Условное графическое обозначение К1801ВР1-34 в режимах передачи информации (а), буферного регистра данных (б), выдачи вектора прерывания и компаратора адреса (в)



одноименных сигналов приемника.

Запрос на прерывание по передаче информации возникает при наличии сигнала *REQ* «Требование» и установленном бите *IET* «Разрешение прерывания по передаче» в регистре состояния. Путем внешнего соединения вывода *REQ* с каким-либо выводом состояния приемника можно вызывать запрос прерывания по любому из состояний приемника. При записи 1 в 14-й разряд регистра состояния, приемника, а также при канальном сигнале *INIT* возникает сигнал *SET* и происходит начальная установка.

Основные параметры микросхемы К1801BP1-33 приведены в табл. 11.2 и 11.3.

## 11.6. Микросхема К1801BP1-34

Микросхема К1801BP1-34 предназначена для использования совместно с микросхемой К1801BP1-33 для организации интерфейса 16-разрядного программируемого параллельного ввода/вывода, байтового параллельного интерфейса. Она работает в режимах устройства передачи информации, буферного регистра данных, устройства выдачи вектора прерывания и компаратора адреса.

Условные графические обозначения микросхемы для трех режимов работы приведены на рис. 11.23, структурные схемы — на рис. 11.24, назначение выводов показано в табл. 11.19, временные диаграммы работы — на рис. 11.25.

**Устройство передачи информации (УПИ).** Установку микросхемы в режим устройства передачи информации производят подачей на вывод *RCO* напряжения высокого уровня, а на вывод *RCI* — напряжения низкого уровня.

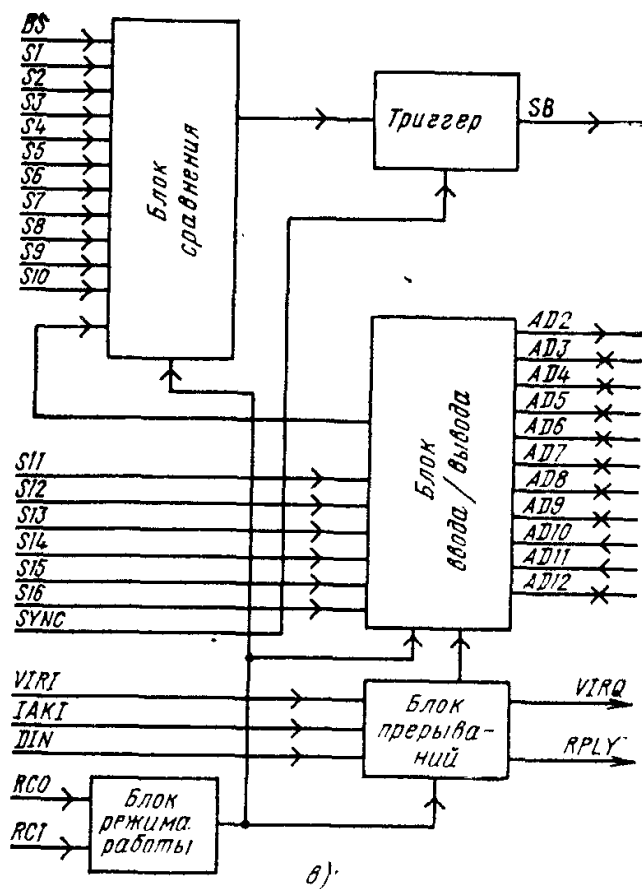
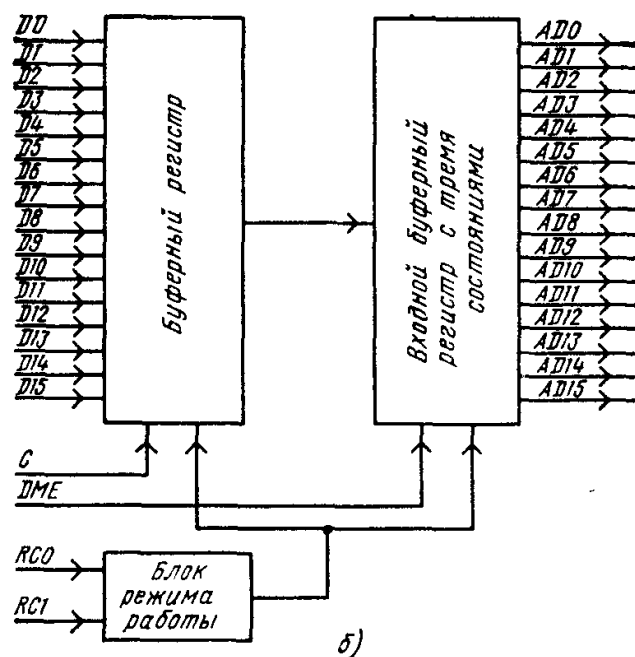


Рис. 11.24. Структурные схемы К1801BP1-34 в режимах передачи информации (а), буферного регистра данных (б), выдачи вектора прерывания и компаратора адреса (в)

Таблица 1119

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
-------	-------------	------------	-----------------------------------

Устройство передачи информации при  $RC0=1$  и  $RC1=0$ 

1, 2	$RC1, RC0$	Входы	Выбор режима
3—8,	$B0—B5$	Входы	Данные $B$
35, 36	$B6, B7$		
9—16	$C0—C7$	Входы выходы	Данные канала
17—20,	$D0—D3,$	Выходы	Данные $D$
22—25	$D4—D7$		
21	$GND$	—	Общий
26—33	$A0—A7$	Входы	Данные $A$
34	$R$	Вход	Сброс данных
37, 38	$CD, CB$	Входы	Разрешение выдачи данных
39	$COM$	Вход	Инвертирование данных
40	$C$	Вход	Запись данных
41	$CA$	Вход	Разрешения выдачи данных $A$
42	$U_{cc}$	—	Напряжения питания

Буферный регистр данных при  $RC0=0$  и  $RC1=1$ 

1, 2	$RC1, RC0$	Входы	Выбор режима
3—8,	$D8—D13,$	Входы	Данные
26—33,	$D0—D7,$		
35, 36	$D14, D15$		
9—20,	$AD0—AD11,$	Выходы	Данные канала
22—25	$AD12—AD15$		
21	$GND$	—	Общий
34	$DME$	Вход	Разрешение выдачи данных
37—39,	—	—	Не используются
41			
40	$C$	Вход	Запись данных
42	$U_{cc}$	—	Напряжение питания

Устройство выдачи вектора прерывания и компаратора адреса при  $RC0=1$  и  $RC1=0$ 

1, 2	$RC1, RC0$	Входы	Выбор режима
3—8	$S11—S16$	Входы	Установка разрядов вектора прерывания
9	$SB$	Выход	Устройство выбрано
10	$VIRQ$	Выход	Запрос на прерывание
11—20,	$AD2—AD11,$	Входы'выходы	Разряды адреса данных
22	$AD12$		
21	$GND$	—	Общий
23	$BS$	Вход	Внешнее устройство
24, 25,	—	—	Не используются
40			
26—33,	$S1—S8,$	Входы	Установка разрядов адреса
35, 36	$S9, S10$		
34	$IAKI$	Вход	Разрешение прерывания
37	$VIRI$	Вход	Запрос прерывания
38	$DIN$	Вход	Чтение данных
39	$RPLY$	Выход	Ответ
41	$SYNC$	Вход	Обмен
42	$U_{cc}$	—	Напряжение питания

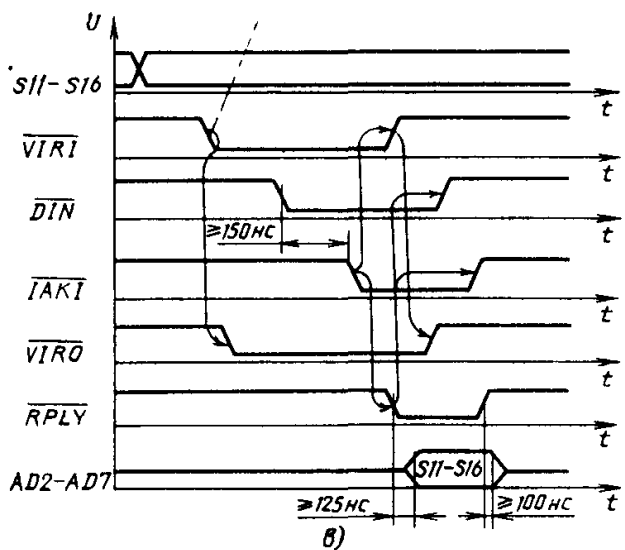
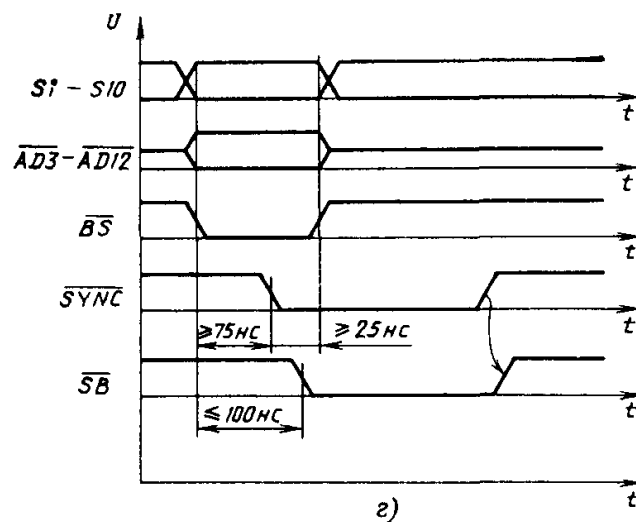
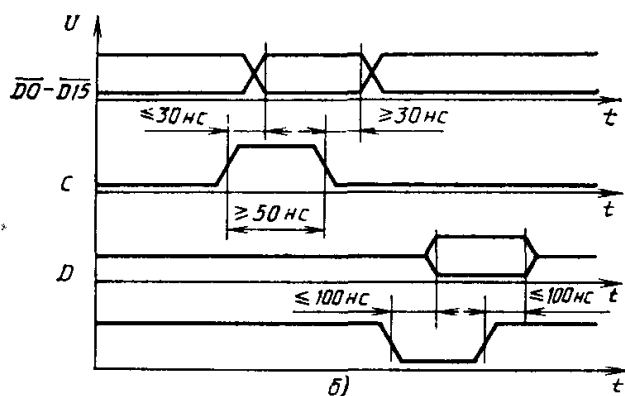
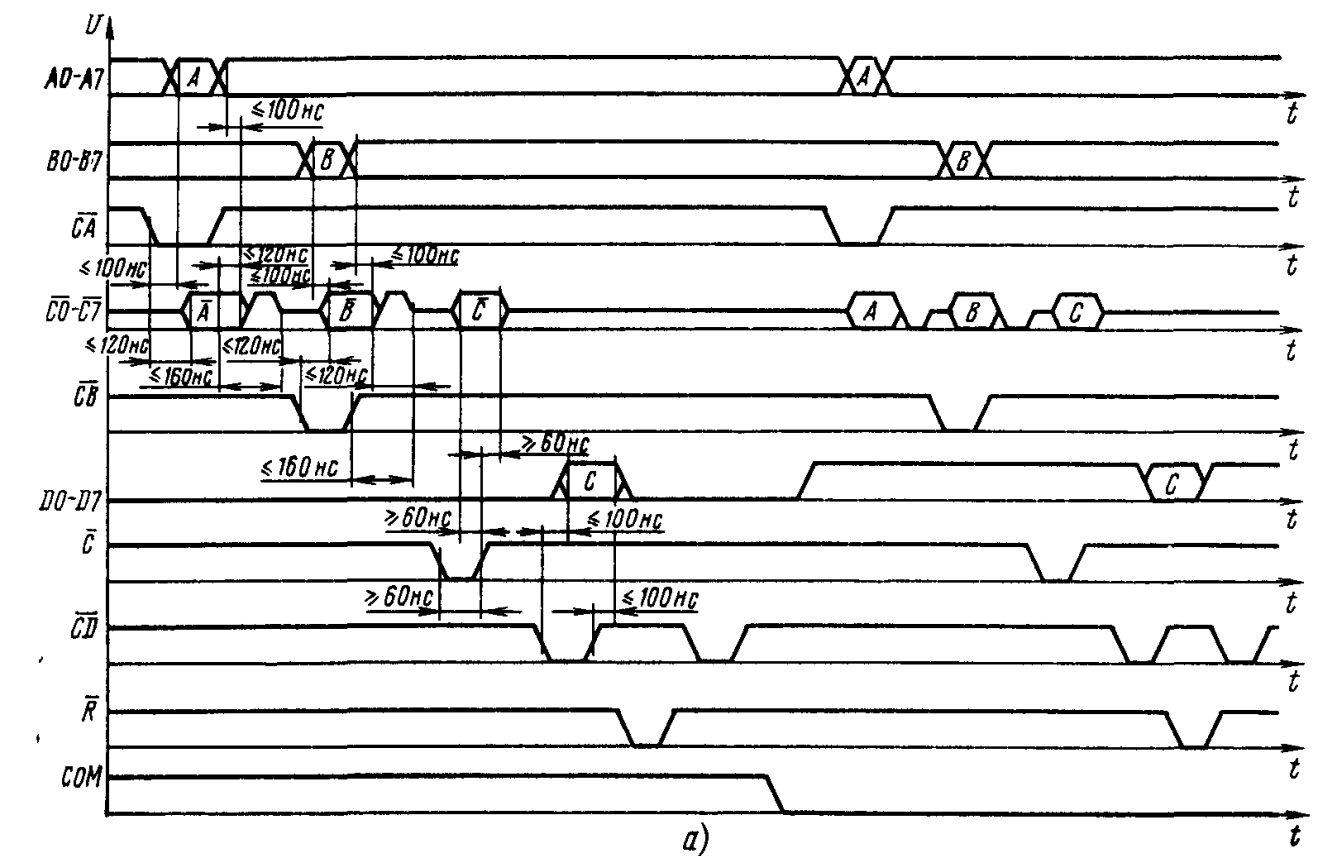


Рис. 11.25. Временные диаграммы работы К1801ВПИ-34 в режимах УПИ (а), буферного регистра данных (б), выдачи вектора прерывания (в) и компаратора адреса (г)

С помощью управляющих сигналов  $CA$  и  $CB$  входная информация  $A0-A7$  и  $B0-B7$  соответственно передается на двунаправленные выходы  $C0-C7$ . В зависимости от сигнала  $COM$  информация передается в прямом или инверсном виде. Сигналом  $C$  производится запись информации с выходов  $C0-C7$  в буферный регистр. С буферного регистра информация с помощью сигнала  $CD$  выдается на выходы  $D0-D7$  в зависимости от сигнала  $COM$  в прямом или инверсном виде. Сигнал  $R$  обнуляет буферный регистр.

**Буферный регистр данных.** Установку микросхем в режим буферного регистра данных производят подачей на вывод *RCO* напряжения низкого уровня, а на вывод *RCI* — напряжения высокого уровня.

Входная информация с выводов *D0—D15* сигналом *S* записывается в 16-разрядный буферный регистр. Сигнал *DME* разрешает выдачу информации с буферного регистра на выходы *A0—A15*, которые при высоком уровне сигнала *DME* находятся в отключенном состоянии.

**Устройство выдачи вектора прерывания и компаратор адреса.** Установку микросхемы в режим устройства выдачи вектора прерывания и компаратора адреса производят подачей на выходы *RCO* и *RCI* напряжения высокого уровня.

Старшие шесть разрядов требуемого адреса вектора прерывания устанавливаются на выводах *S11—S16*.

Адрес, необходимый для сравнения, должен устанавливаться на выводах *S1—S10*. Состояния *S1—S10* и *AD3—AD12* сравниваются при наличии сигнала *BS*. При сравнении вырабатывается сигнал *SB*, который запоминается в

триггере на все время присутствия сигнала *SYNC*.

Основные параметры микросхемы *K1801BP1-34* приведены в табл. 11.2 и 11.3.

## 11.7. Микросхема *K1801BP1-35*

Микросхема *K1801BP1-35* — асинхронный приемопередатчик для внешних устройств, работающих на линию связи с последовательной передачей информации, предназначен для преобразования параллельной информации в последовательную и наоборот.

Условное графическое обозначение микросхемы приведено на рис. 11.26, назначение выводов — в табл. 11.20, структурная схема показана на рис. 11.27.

В состав микросхемы входят:

блок системной магистрали, обеспечивающий связь параллельного канала с регистрами микросхемы;

блок синхронизации, обеспечивающий запись и чтение информации, а также синхронизацию работы микросхемы по системной магистрали;

Таблица 11.20

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
34	INIT	Вход	Синхронизация
41	SYNC	Выход	Прерывания по таймеру 50 Гц
38	DIN	Вход	Выбор скорости обмена
37	DOUТ	Вход	Выбор формата
33	IAKI	Входы	Разряды адреса данных
1	CLC	Входы	Разряды адреса данных
23	ACLO	—	Общий
24	ACL1	Входы	Выбор адреса
7	NB0	Выход	Разряд адреса/данных
8	NB1	Вход	Выбор внешнего устройства
30	NP	Выход	Сигнал передатчика
32	PEV	Вход	Сигнал приемника
40	DCLO	Вход	Сигнал занятости последовательного канала
1	FR0	Вход	Установка паритета
4	FR1	Выход	Останов
5	FR2	Вход	Установка четности или нечетности
6	FR3	Вход	Сигнал предоставления прерывания по каналу
26	BS	Вход	Установка
2	BSYD	Выход	Требование векторного прерывания
28	IP	Вход	Предоставление прерывания
21	GND	Вход	Запись данных
42	Ucc	Вход	Чтение данных
9	AD0	Выход	Ответ
10	AD1	Вход	Авария источника питания
11	AD2	Вход	Обмен
12	AD3	Вход	Напряжение питания
13	AD4	Вход	
14	AD5	Вход	
15	AD6	Вход	
16	AD7	Вход	
17	AD8	Вход	
18	AD9	Вход	
19	AD10	Вход	
20	AD11	Вход	
21	GND	Вход	
22	ACL0	Вход	
23	ACL1	Вход	
24	AD12	Вход	
25	AD15	Вход	
26	BS	Вход	
27	TF	Вход	
28	IP	Вход	
29	BSYD	Вход	
30	NP	Вход	
31	HALT	Вход	
32	PEV	Вход	
33	IAKI	Вход	
34	INIT	Вход	
35	VIRQ	Вход	
36	IAKO	Вход	
37	DOUТ	Вход	
38	DIN	Вход	
39	RPLY	Вход	
40	DCLO	Вход	
41	SYNC	Вход	
42	Ucc	Вход	

Рис. 11.26. Условное графическое обозначение *K1801BP1-35*

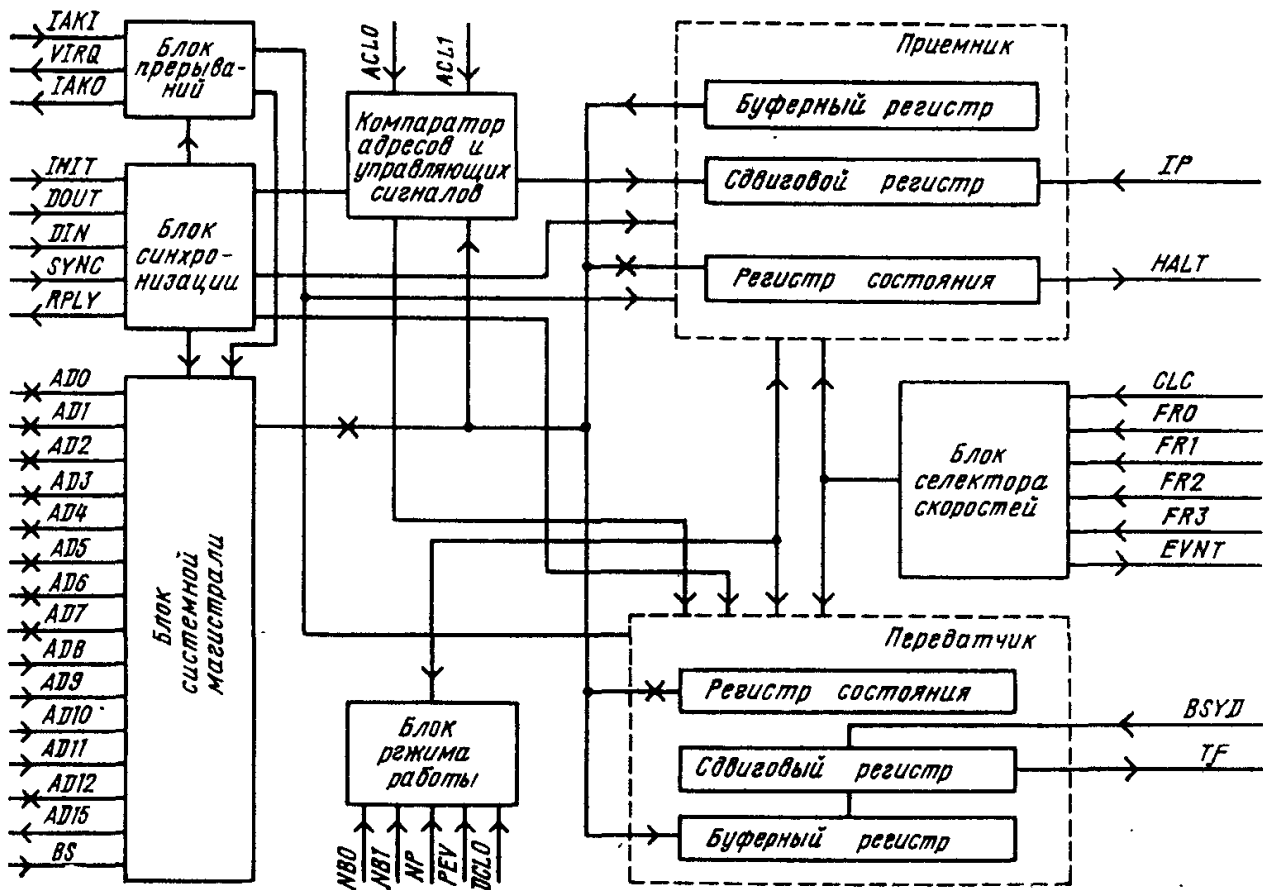


Рис. 11.27. Структурная схема К1801ВР1-35

компаратор адресов и управляющих сигналов, производящий выбор по адресу регистров микросхемы и выработку сигналов на запись или чтение информации;

блок режима работы, устанавливающий работу микросхемы в различных форматах данных, а также с паритетом или без паритета;

блоки приемника и передатчика, состоящие из регистра состояния, сдвигового регистра и буферного параллельного регистра;

блок селектора скоростей, обеспечивающий работу микросхемы на разных скоростях обмена информацией по последовательному каналу, а также выработку сигнала *EVNT* с частотой 50 Гц.

Временные диаграммы приема и выдачи посылки приведены на рис. 11.28 и 11.29.

Микросхема обеспечивает по последовательному каналу:

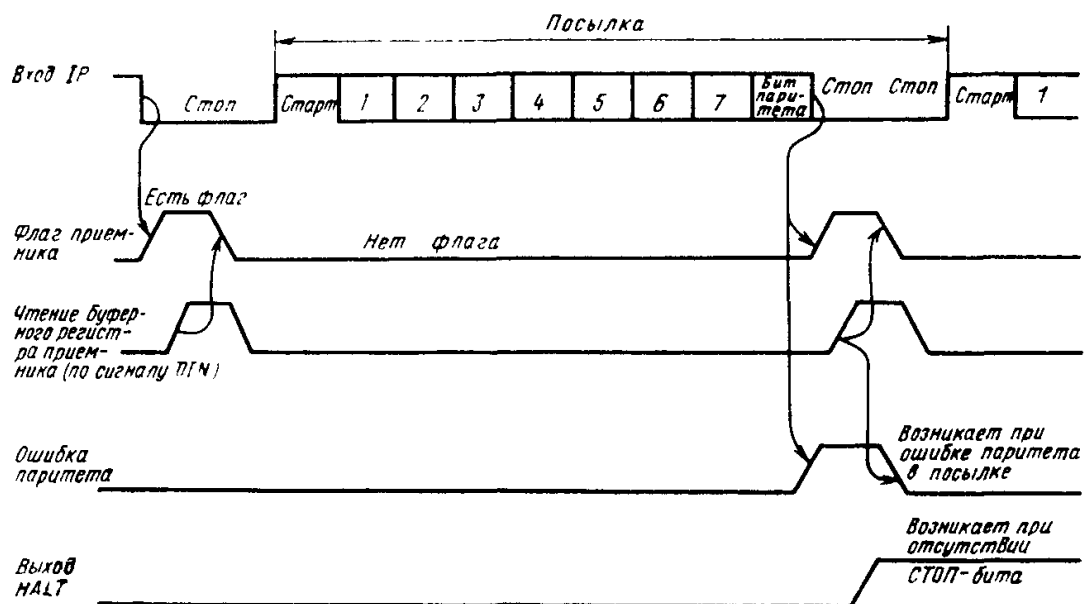


Рис. 11.28. Временная диаграмма приема посылки

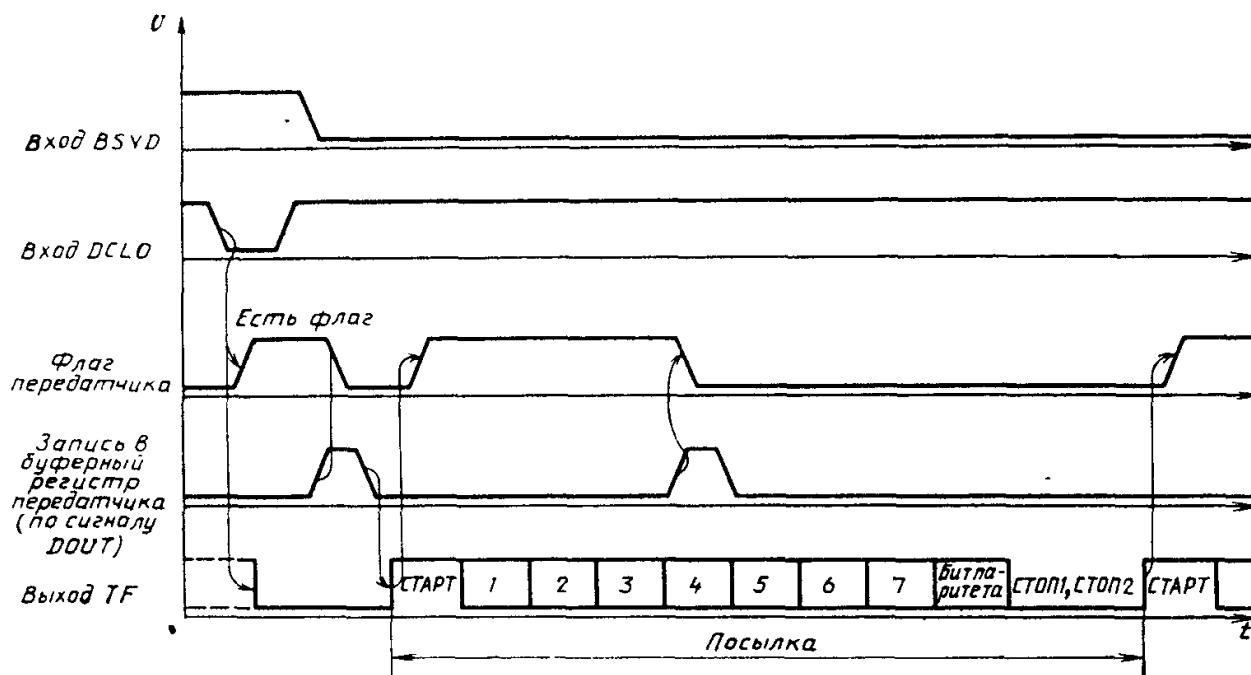


Рис. 11.29. Временная диаграмма выдачи посылки

скорости обмена при тактовой частоте 4608 кГц 50, 75, 100, 150, 200, 300, 600, 1200, 2400, 4800, 9600, 19 200 бод;

прием и выдачу посылки в форматах 5, 7 или 8 информационных бит;

формирование двух стоповых бит, причем в формате 5 бит — 1,5 стоповых бита;

формирование и контроль бита паритета (четности или нечетности), а также работу без бита паритета.

Адреса регистров и векторов прерывания — сменные по группам (табл. 11.21).

Регистр состояния приемника имеет формат



Назначение разрядов регистра:

разряды 0—5, 8—11, 13, 14 не используются, читаются как лог. 0;

разряд 6 — разрешение работы приемника по прерыванию. Если разряд установлен в 1, то прерывание разрешено, если в 0 — запрещено. Доступен по записи и чтению, сбрасывается в 0 по сигналу *INIT*;

разряд 7 — флаг состояния приемника. Устанавливается в 1 при поступлении посылки в буферный регистр приемника. Сбрасывается в 0 по окончании чтения посылки буферного регистра приемника или по сигналу *INIT*, доступен по чтению.

Флаг состояния приемника устанавливается в 1 от предыдущей посылки или от исходного состояния «Стоп» на линии при включении источника питания после приема первой посылки;

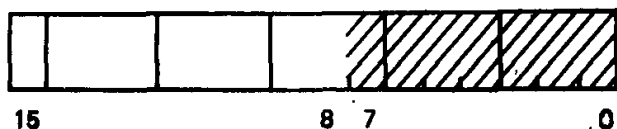
разряд 12 — ошибка переполнения. Устанавливается в 1, если в сдвиговый регистр приемника поступило более одной посылки без чтения из буферного регистра приемника первой поступившей посылки. При этом независимо от числа поступивших в канал приемника посылок в буферном регистре сохраняется первая посылка. Находится в 0, если поступившая в буферный регистр посылка читается до окончания поступления в сдвиговый регистр последнего информационного бита следующей посылки. Сбрасывается в 0 по окончании чтения буферного регистра приемника или по сигналу *INIT*, доступен по чтению;

разряд 15 — ошибка в принятой посылке. Устанавливается в 1, если есть ошибка паритета в принятой посылке и установлено условие контроля паритета. В противном случае находится в 0. Признак ошибки сбрасывается в 0 с момента чтения содержимого буферного регистра приемника или по сигналу *INIT*. Доступен по чтению.

Таблица 11.21

Регистр	Группа 1	Группа 2	Группа 3	Группа 4
Регистр состояния приемника	177560	176560	176570	XXXXX0
Буферный регистр приемника	177562	176562	176572	XXXXX2
Регистр состояния передатчика	177564	176564	176574	XXXXX4
Буферный регистр передатчика	177566	176566	176576	XXXXX6
Адрес вектора прерывания приемника	060	360	370	XX0
Адрес вектора прерывания передатчика	061	364	374	XX1

Буферный регистр приемника, доступный по чтению, имеет формат

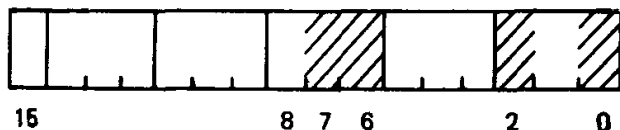


разряды 0—7 содержат посылку, принятую с линии. В разряде 0 находится первый бит посылки, в разряде 7 — восьмой. При установленном контроле бита паритета он следует за последним битом посылки. При формате 8 бит он анализируется микросхемой, но в буферный регистр не поступает.

Низкий уровень бита в посылке на входе *IP* соответствует лог. 1, высокий уровень — лог. 0 в буферном регистре приемника;

разряды 8—15 не используются, читаются как лог. 0.

Регистр состояния передатчика имеет формат



Назначение разрядов регистра:

разряд 0 — разрыв линии. Если разряд 0 установлен в 1, то на выходе *TF* устанавливается высокий уровень (состояние «Старт») при условии, что на входе *BSYQ* — низкий. Если на входе *BSYD* высокий уровень, то на выходе *TF* устанавливается низкий (состояние «Стоп»). При этом посылка не выходит и установка 0 разряда в 1 этот уровень не изменяет. Доступен по записи и чтению. Сбрасывается в 0 по сигналу *INIT*;

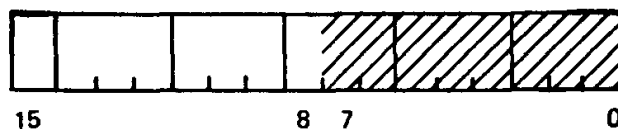
разряд 2 — проверка работы. Если разряд 2 установлен в 1, то посылка с выхода *TF* поступает также и на канал приемника. Сбрасывается в 0 по сигналу *INIT*. При этом вход *IP* для приема посылок с линии закрыт. Доступен по записи и чтению;

разряд 6 — разрешение работы передатчика по прерыванию. Если разряд 6 установлен в 1, то прерывание разрешено, если в 0 — запрещено. Доступен по записи и чтению. Сбрасывается в 0 по сигналу *INIT*;

разряд 7 — флаг состояния передатчика. Устанавливается в 1 в момент выдачи посылки на линию или по сигналу *DCLO*. Сбрасывается в 0 по записи информации в буферный регистр передатчика. Состояние лог. 1 свидетельствует о том, что буферный регистр передатчика пустой. Если запись информации в буферный регистр передатчика произошла во время выдачи посылки, то следующая посылка начинается сразу же по окончании предыдущей. Доступен по чтению;

разряды 3—5, 8—15 не используются, читаются как лог. 0.

Буферный регистр передатчика, доступный по записи, имеет формат



Назначение разрядов регистра:

разряды 0—7 — разряды данных для передачи посылки на линию. В разряд 0 записывается первый бит посылки, в разряд 7 — восьмой. По окончании записи данных в буферный регистр передатчика происходит запись данных в сдвиговый регистр передатчика. С выхода *TF* посылка поступает на линию при условии, что на входе *BSYD* низкий уровень.

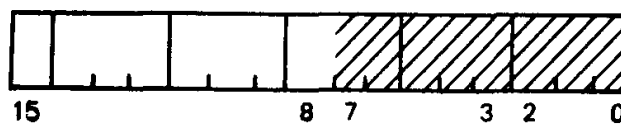
При соблюдении условия формирования бита паритета он автоматически следует за последним битом посылки. При записи лог. 1 в буферный регистр передатчика данный бит на выходе *TF* имеет низкий уровень, при записи лог. 0 — высокий.

При чтении по адресу буферного регистра передатчика читается адрес источника вектора прерывания. При этом разряды 8—15 читаются как лог. 0.

Запрос на прерывание от приемника возникает, если разряды 6 и 7 его регистра состояния установлены в 1. При обработке запроса на прерывание читается адрес вектора прерывания приемника.

Запрос на прерывание от передатчика возникает, если разряды 6 и 7 его регистра состояния установлены в 1. При обработке запроса на прерывание читается адрес вектора прерывания передатчика.

Источники адресов векторов прерываний имеют формат



Назначение разрядов регистра:

разряд 2 — указатель адреса вектора прерывания. Наличие 0 в разряде 2 указывает на адрес вектора прерывания приемника, наличие 1 — передатчика.

разряды 3—7 — сменная часть адреса вектора прерывания. Если выбрана четвертая группа адресов регистров и источников адресов векторов прерываний, то разряды 3—7 читаются как лог. 0;

разряды 0, 1, 8—15 не используются, читаются как лог. 0.

Приоритет запроса от приемника выше приоритета запроса от передатчика.

По окончании приема посылки при отсутствии сигнала «Стоп» (разрыв линии) микросхема устанавливает на выходе *HALT* сигнал низкого уровня. Сигнал высокого уровня на



Таблица 11.22

Вывод	Обозначение	Группа 1	Группа 2	Группа 3	Группа 4
23	ACLO	0	1	0	1
24	ACLI	0	0	1	1

Примечание При заданной комбинации  $ACLO=1$ ,  $ACLI=1$  регистры микросхемы выбираются по адресу, состоящему из разрядов 1 и 2, и по сигналу  $BS$ . На разряды адреса 3—12 микросхема не реагирует. Группа 4 адресов может быть использована для внешнего произвольного набора адресов регистров и внешнего источника адресов векторов прерываний микросхемы.

Таблица 11.23

Вывод	Обозначение	Бит 5	Бит 7	Бит 8
7	NB0	X	0	1
8	NB1	0	1	1

Примечание X — состояние входа безразлично

Таблица 11.24

Скорость обмена, бод	FP3, вы- вод 6	FP2, вы- вод 5	FP1, вы- вод 4	FP0, вы- вод 3
50	0	0	0	0
75	0	0	0	1
100	0	0	1	0
150	0	0	1	1
200	0	1	0	0
300	0	1	0	1
600	0	1	1	0
1200	0	1	1	1
2400	1	0	0	0
4800	1	0	0	1
9600	1	0	1	0
19 200	1	0	1	1

Таблица 11.25

Режим работы с паритетом	Вывод 30	Вывод 12
Нег формирования бита паритета и контроля паритета	1	X
Формирование бита четности и контроль четности	0	1
Формирование бита нечетности и контроль нечетности	0	0

Примечание X — состояние входа безразлично.

выходе  $HALT$  устанавливается по сигналу  $INIT$ .

При тактовой частоте 4608 кГц на выходе  $EVNT$  микросхема обеспечивает частоту импульсных сигналов 50 Гц со скважностью 2.

Выбор групп адресов регистров и источников адресов векторов прерываний производится заданием комбинаций уровней на входах  $ACLO$  и  $ACLI$  (табл. 11.22).

Выбор форматов посылок по последовательному каналу производится заданием комбинаций уровней на входах  $NB0$  и  $NB1$  (табл. 11.23).

Выбор скорости обмена по последовательному каналу производится заданием комбинаций уровней на входах  $FP0$ — $FP3$  (табл. 11.24).

Выбор режима работы с паритетом или без него, а также режима работы с паритетом по четности или нечетности задается комбинациями уровней на входах  $NP$  и  $PEV$  (табл. 11.25).

Основные параметры микросхемы К1801ВП1-35 приведены в табл. 11.2, 11.3.

## 11.8. Микросхема КР1801РЕ2

Микросхема КР1801РЕ2 — постоянное запоминающее устройство емкостью 65536 бит с организацией  $4096 \times 16$  разрядов, предназначено для построения блоков памяти микроЭВМ различного назначения.

Условное графическое обозначение микросхемы приведено на рис. 11.30, назначение выводов — в табл. 11.26, структурная схема показана на рис. 11.31, временная диаграмма работы — на рис. 11.32.

Входы и выходы в микросхеме совмещены,

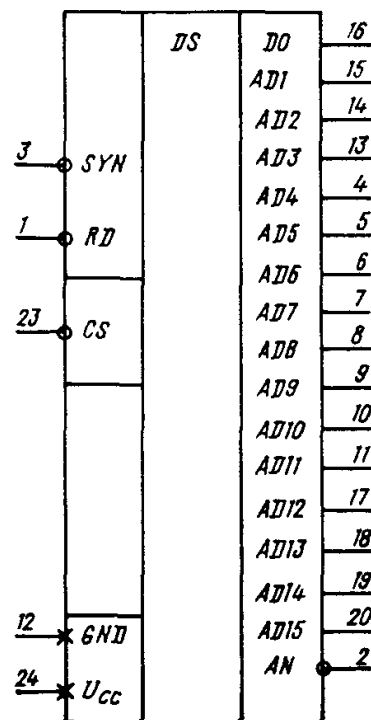


Рис. 11.30 Условное графическое обозначение КР1801РЕ2

Таблица 11.26

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	<i>RD</i>	Вход	Сигнал «Чтение»
2	<i>AN</i>	Вход	Сигнал «Ответ»
3	<i>SYN</i>	Вход	Сигнал «Синхронизация»
4—11	<i>AD4—AD11</i>	Входы/выходы	Разряды адреса/данных
12	<i>GND</i>	—	Общий
13—16	<i>AD3—AD0</i>	Входы/выходы	Разряды адреса/данных
17—20	<i>AD12—AD15</i>	Входы/выходы	Разряды адреса/данных
23	<i>CS</i>	Вход	Сигнал выбора микросхемы
24	<i>U<sub>cc</sub></i>	—	Напряжение питания

Примечание: Выводы 21 и 22 не задействованы.

поэтому передача данных осуществляется в мультиплексном режиме.

Микросхема использует четыре управляющих сигнала:

*SYN* — «Синхронизация», обеспечивает запись адреса во входной регистр микросхемы;

*RD* — «Разрешение чтения», обеспечивает выдачу считанной информации на общую магистраль при наличии сигнала «Синхронизация»;

*AN* — «Ответ», сопровождает информацию, которая поступает из ПЗУ на общую магистраль;

*CS* — «Выбор кристалла», позволяет осуществлять дополнительную выборку.

Наличие трехразрядного программируемого интерфейса (адресные входы *A13—A15*) позволяет включать параллельно до восьми микросхем ПЗУ. Для выборки слова из ПЗУ необходимо подать код адреса слова на входы *A1—A12*, а код данной микросхемы — на входы *A13—A15*. В этом случае можно включать параллельно до восьми микросхем. При этом вход *D0* не участвует в выборке адресов ПЗУ, а информация снимается с выходов *D0—D15*.

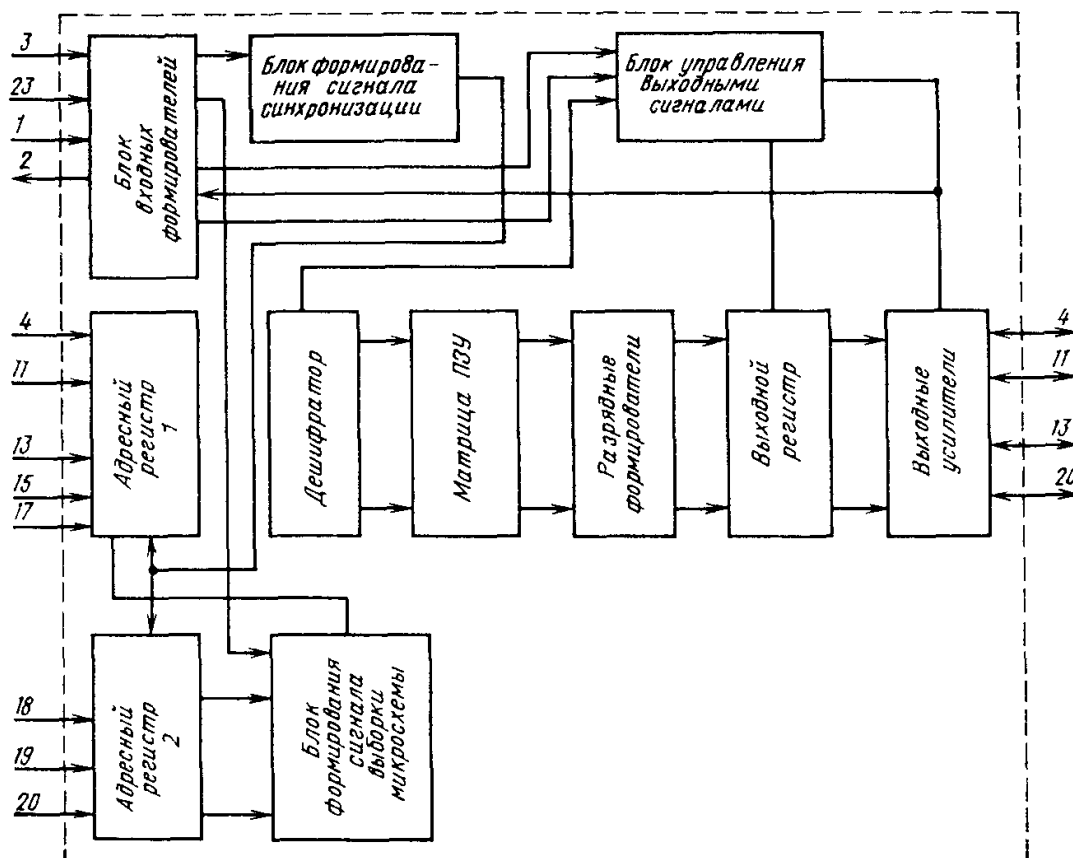


Рис. 11.31. Структурная схема КР1801РЕ2

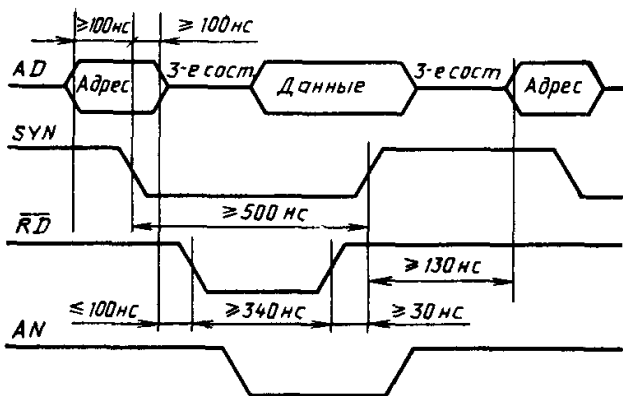


Рис. 11.32. Временная диаграмма работы КР1801РЕ2

Основные электрические характеристики микросхемы КР1801РЕ2 приведены в табл. 11.27.

Таблица 11.27

Параметр	Обозначение	Значения параметров [макс. (мин.)]	
		КР1801РЕ2А	КР1801РЕ2Б
Выходное напряжение низкого уровня*, В	$U_{OL}$	0,5	0,5
Выходное напряжение высокого уровня**, В	$U_{OH}$	(2,4)	(2,4)

Продолжение табл. 11.27

Параметр	Обозначение	Значения параметров [макс. (мин.)]	
		КР1801РЕ2А	КР1801РЕ2Б
Мощность потребления в режиме хранения, мВт	$P_{CCS}$	220	220
Мощность потребления в режиме обмена, мВт	$P_{CCD}$	330	330
Входной ток высокого уровня, мкА	$I_{IH}$	15	15
Входной ток низкого уровня, мкА	$I_{IL}$	15	15
Время выборки разрешения, нс	$t_{CO}$	300	500

\* При  $I_o = 3,2$  мА.

\*\* При  $I_o = 400$  мкА.

## 11.9. Микросхема К573РФ3

Микросхема К573РФ3 — перепрограммируемое постоянное запоминающее устройство с ультрафиолетовым стиранием и электрической записью информации емкостью 65 536 бит, с организацией 4096×16 разрядов.

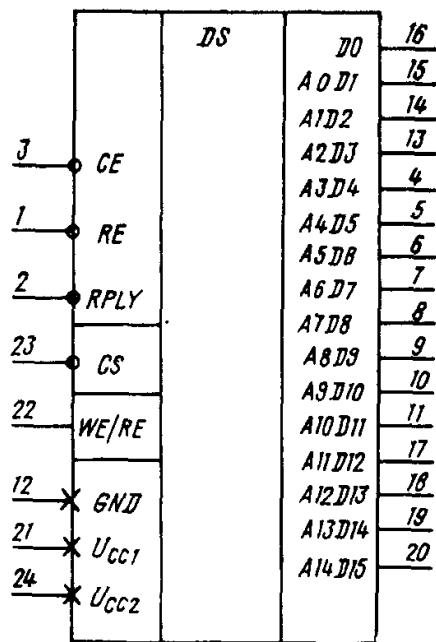
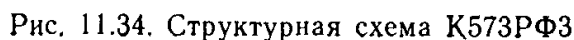


Рис. 11.33. Условное графическое обозначение К573РФ3

Таблица 11.28

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	RE	Вход	Сигнал «Чтение»
2	RPLY	Вход	Сигнал «Ответ»
3	CE	Вход	Сигнал «Синхронизация»
4—11	AD4—AD11	Входы/выходы	Разряды адреса/данных
12	GND	—	Общий
13—16	AD3—AD0	Входы/выходы	Разряды адреса/данных
17—20	AD12—AD15	Входы/выходы	Разряды адреса/данных
21	$U_{CC1}$	—	Напряжение питания +5 В, в режиме программирования +18 В
22	WE/RE	Вход	Сигнал «Запись/считывание»
23	CS	Вход	Сигнал выбора микросхемы
24	$U_{CC2}$	—	Напряжение питания +5 В



Микросхема К573РФЗ использует четыре управляющих сигнала:

Рис. 11.35. Временная диаграмма работы К573РФ3

Таблица 11.29

Параметр	Обозначение	Значение параметров [макс (мин.)]
Выходное напряжение низкого уровня, В	$U_{OL}$	0,5
Выходное напряжение высокого уровня, В	$U_{OH}$	(2,4)
Ток потребления, мА	$I_{CC}$	40
Динамический ток потребления, мА	$I_{CCD}$	80
Входной ток низкого уровня, мкА	$I_{IL}$	1,0
Входной ток высокого уровня, мкА	$I_{IH}$	1,0
Время выборки разрешения, нс	$t_{CO}$	550
Время сохранения выходной информации после сигнала чтения, нс	$t_{ROH}$	100
Время записи информации, мс *	$t_w$	50

\* Допускается производить записи информации до трех раз

Таблица 11.30

Параметр	Обозначение	Значение параметров [макс. (мин.)]
Напряжение питания в режиме считывания, В	$U_{CC1}$	7
Напряжение в режиме программирования, В	$U_{CC2}$	21
Напряжение сигнала входной информации, В	$U_{IL}$	(-0,3)
	$U_{IH}$	7

$CE$  — «Обмен», обеспечивает запись адреса во входной регистр адреса микросхемы;

$WE/RE$  — «Чтение / программирование», определяет режим работы микросхемы;

$RE$  — «Разрешение чтения», обеспечивает выдачу считанной информации на общую магистраль при наличии сигнала «Обмен»;

$RPLY$  — «Ответ», сопровождает информацию, которая поступает из ППЗУ на общую магистраль.

Кроме этих сигналов имеется сигнал  $CS$ , который позволяет осуществлять дополнительную выборку.

Основные электрические параметры микросхемы К573РФЗ приведены в табл. 11.29, предельные значения электрических режимов — в табл. 11.30.

## 11.10. Рекомендации по применению

Высокая степень интеграции микропроцессорного комплекта БИС серии К1801, реализующего принципы магистрально-модульной организации, наличие в составе комплекта однокристальных микропроцессоров и периферийных микросхем позволяют применять его для создания высокоэффективных микропроцессорных средств.

Одним из примеров применения комплекта являются выпускаемые промышленностью одноплатные микро-ЭВМ ряда «Электроника-МС1201», предназначенные для использования в различных вычислительных и управляющих системах.

Микро-ЭВМ состоит из функционально законченных модулей, объединенных между собой по магистральному принципу (рис. 11.36). Системная магистраль (канал), выполненная в соответствии с интерфейсом МПИ, позволяет адресовать 32К 16-разрядных слов или 64К байт (только по записи).

В адресном пространстве принято использовать нижнюю область с адресами 0—376 в качестве адресов векторов прерываний. Верхняя область слов адресного пространства от 160000 до 177776 используется для адресов регистров внешних устройств. Активным устройством в канале обычно является процессор. Кроме него активными в канале могут быть устройства, способные работать в режиме прямого доступа к памяти.

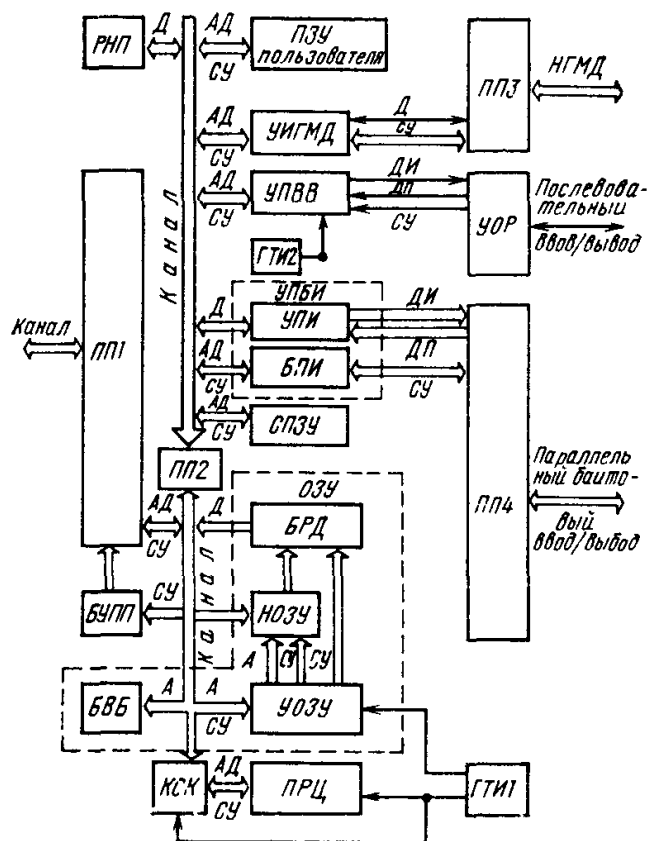


Рис. 11.36. Структура одноплатной микро-ЭВМ на микросхемах серии К1801

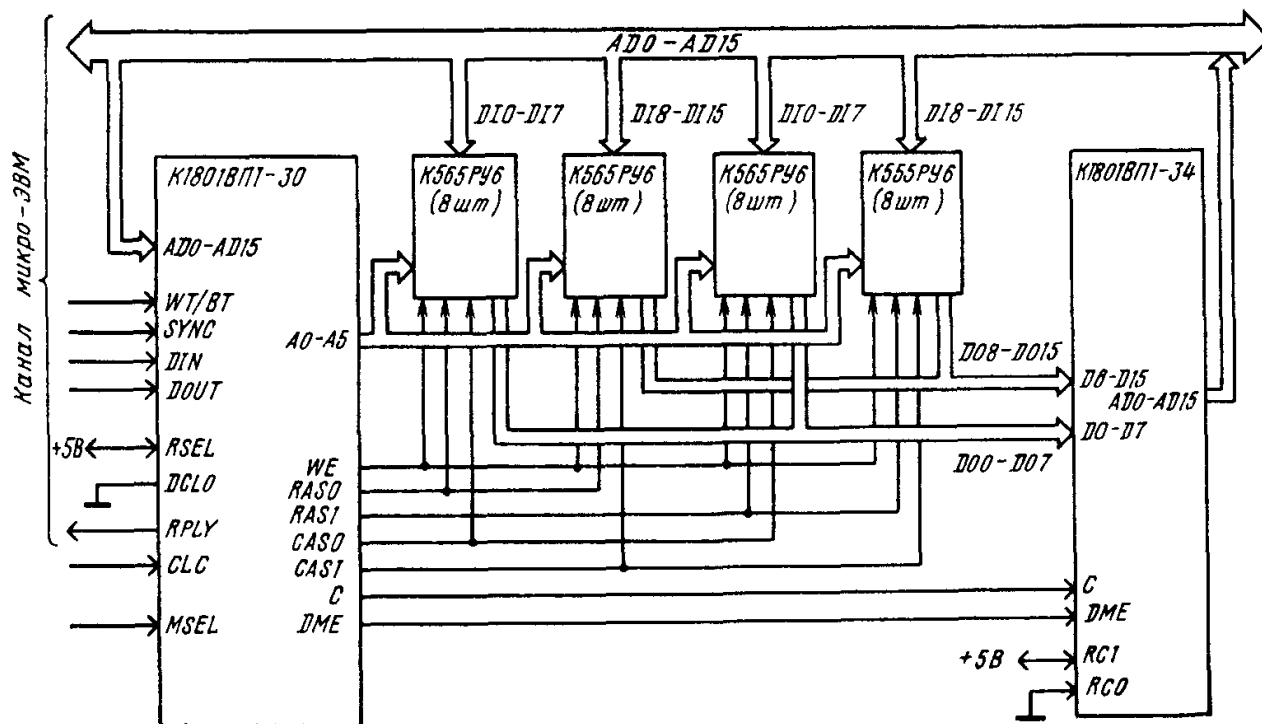


Рис. 11.37. Структурная схема блока ОЗУ

Процессор микро-ЭВМ выполнен на основе ОМП К1801ВМ1 или КМ1801ВМ2.

Оперативное запоминающее устройство состоит из накопителя информации (НОЗУ), устройства управления ОЗУ (УОЗУ), буферного регистра данных (БРД), блока управления выборкой банков памяти. НОЗУ собран на 32 микросхемах К565РУ3 (КР565РУ6). Полная емкость накопителя составляет 32К 16-разрядных слов (восемь банков памяти по 4К слов каждый).

Устройство управления ОЗУ выполняется на микросхеме К1801ВП1-30. Для построения производительных вычислительных систем, работающих на максимальной тактовой частоте до 10 МГц, рекомендуется совместно с ОМП КМ1801ВМ2 применять в качестве УОЗУ микросхему К1801ВП1-13, выполняющую функции, аналогичные К1801ВП1-30, но на более высокой частоте.

Буферный регистр данных выполняется на микросхеме К1801ВП1-34 и служит для временного хранения данных после завершения их выборки из НОЗУ до окончания передачи по каналу в активное устройство. Таким образом, динамическое ОЗУ для активного устройства функционирует аналогично ОЗУ статического типа.

Блок выборки байтов (БВБ) предназначен для отключения с помощью набора переключателей отдельных банков ОЗУ из адресного пространства. Вместо них могут быть подключены ПЗУ пользователей, выполненные на микросхемах КР1801РЕ2 и К573РФ3.

Системное ПЗУ (СПЗУ) выполняется на микросхеме КР1801РЕ2 и содержит программы режимов начального пуска, пультового режима, начальных загрузчиков с накопителя

на гибких магнитных дисках, резидентного проверяющего теста.

Устройство байтового параллельного интерфейса (УБПИ) предназначено для связи микро-ЭВМ с внешними устройствами по асинхронным параллельным каналам ввода/вывода. Состоит из устройства управления байтовым параллельным интерфейсом (БПИ) на микросхеме К1801ВП1-33 и ряда переключателей, а также из устройства передачи информации (УПИ) на микросхеме К1801ВП1-34. Осуществляет обмен с системным каналом с помощью четырех внутренних регистров, организует прерывания от приемника и передатчика. Адресация регистров УБПИ задается переключателями, установленными на плате. Эти переключатели изменяют также адреса векторов прерывания, выдаваемых УБПИ при процедуре векторного прерывания программы.

Устройство последовательного ввода/вывода (УПВВ) предназначено для связи микро-ЭВМ с внешними устройствами по асинхронному последовательному каналу, выполнено на микросхеме К1801ВП1-35. Связь УПВВ с внешним устройством осуществляется с помощью узла оптронной развязки (УОР) по линии типа «20 мА токовая петля».

Устройство интерфейса накопителя на гибких магнитных дисках (УИГМД) выполняется на микросхеме К1801ВП1-33. Осуществляет обмен информацией с НГМД с помощью двух внутренних регистров; может производить прерывание программы с выдачей адреса вектора прерываний.

Регистр начального пуска (РНП) предназначен для указания адреса и кода программы режима начального пуска.

Приемопередатчики ПП1—ПП4 служат для усиления и электрической развязки сигналов.

Блок управления приемопередатчиками (БУПП) предназначен для переключения направления ПП1 при передаче сигналов системного канала.

Генераторы тактовых импульсов (ГТИ1 и ГТИ2) предназначены для выработки тактирующих импульсов для ПРЦ, ОЗУ, УПВВ. Генератор ГТИ1 выполняется по схеме с использованием времязадающих элементов,

ГТИ2 — на основе кварцевого резонатора частотой 4,608 МГц.

Корректор сигналов канала (КСК) выполняет функции временных привязок сигналов канала к работе ПРЦ при использовании микросхемы К1801ВМ1.

Структурная схема блока ОЗУ с применением микросхем К1801ВП1-30 и К1801ВП1-34 приведена на рис. 11.37.

## Глава 12

### Микропроцессорный комплект серии КР1802

Микропроцессорный комплект серии КР1802 представляет собой 8/16-разрядные секционные микросхемы для построения высокопроизводительных ЭВМ и устройств радиоэлектронной аппаратуры, включая РЭА цифровой обработки сигналов. Отличительной особенностью комплекта является широкий набор функциональных расширителей (умножителей, делителей, сдвигателей), многоадресных регистров общего и специального назначения и коммутационных устройств.

Основные свойства комплекта:  
неограниченное наращивание разрядности;  
микропрограммируемость;  
возможность эмуляции произвольной системы команд;

гибкая архитектура и большой выбор микросхем;

высокое быстродействие.

Микросхемы МПК, требующие максимального быстродействия, выполнены по ЭСЛ-схемотехнике с обрамлением ТТЛШ (КР1802ИМ1, КР1802ИП1, КМ1802ВР4, КМ1802ВР5, КР1802КП1). Остальные микросхемы выполнены по ТТЛШ-схемотехнике.

Состав микросхем комплекта и их назначение приведены в табл. 12.1. Серия КР1802 мо-

жет быть дополнена микросхемами серий К589 и КМ1804.

Микросхемы КР1802 и КМ1802 работают при напряжении питания  $+5 \text{ В} \pm 5\%$ . Обеспечивается полная совместимость с микросхемами других серий, имеющих ТТЛ- и ТТЛШ-уровни логических сигналов ( $U_{0\text{Л}} \leq 0,5 \text{ В}$ ,  $U_{0\text{Н}} \geq 2,4 \text{ В}$ ). Для тактирования микросхем применяется однофазная синхронизация с частотой 10—20 МГц для различных применений.

#### 12.1. Микросхема КР1802ВС1

Микросхема КР1802ВС1 микропроцессорной секции (МС) — 8-разрядная наращиваемая секция устройства обработки данных, предназначена для выполнения следующих операций:

арифметическое сложение и вычитание в дополнительном коде;

логические операции конъюнкции, дизъюнкции, инверсии и сложение по модулю 2;

арифметические, логические и циклические сдвиги вправо и влево на один разряд.

Таблица 12.1

Тип микросхемы	Функциональное назначение	Тип корпуса
КР1802ВС1	8-разрядная микропроцессорная секция	2206.42-1
КР1802ИР1	Двухадресные регистры общего назначения на $16 \times 4$ бита	239.24-2
КР1802ВР1	16-разрядный арифметический расширитель	2206.42-1
КР1802ВР2	8-разрядная секция последовательного умножителя/делителя	2206.42-1
КР1802ВР3	8-разрядный параллельный умножитель	2206.42-1
КМ1802ВР4	12-разрядный параллельный умножитель	2136.64-1
КМ1802ВР5	16-разрядный параллельный умножитель	2136.64-1
КР1802ИМ1	4-разрядная 4-входовая секция сумматора/вычитателя	2207.48-4
КР1802ИП1	Многоадресные ассоциативные регистры на 40 бит	2207.48-4
КР1802ВВ1	Схема обмена информацией	2206.42-1
КР1802ВВ2	Схема интерфейса	2206.42-1
КР1802ВВ3	Программируемый адаптер последовательного интерфейса	2121.28-1
КР1802КП1	4-разрядная секция многофункционального коммутатора магистралей на четыре направления	2207.48-4