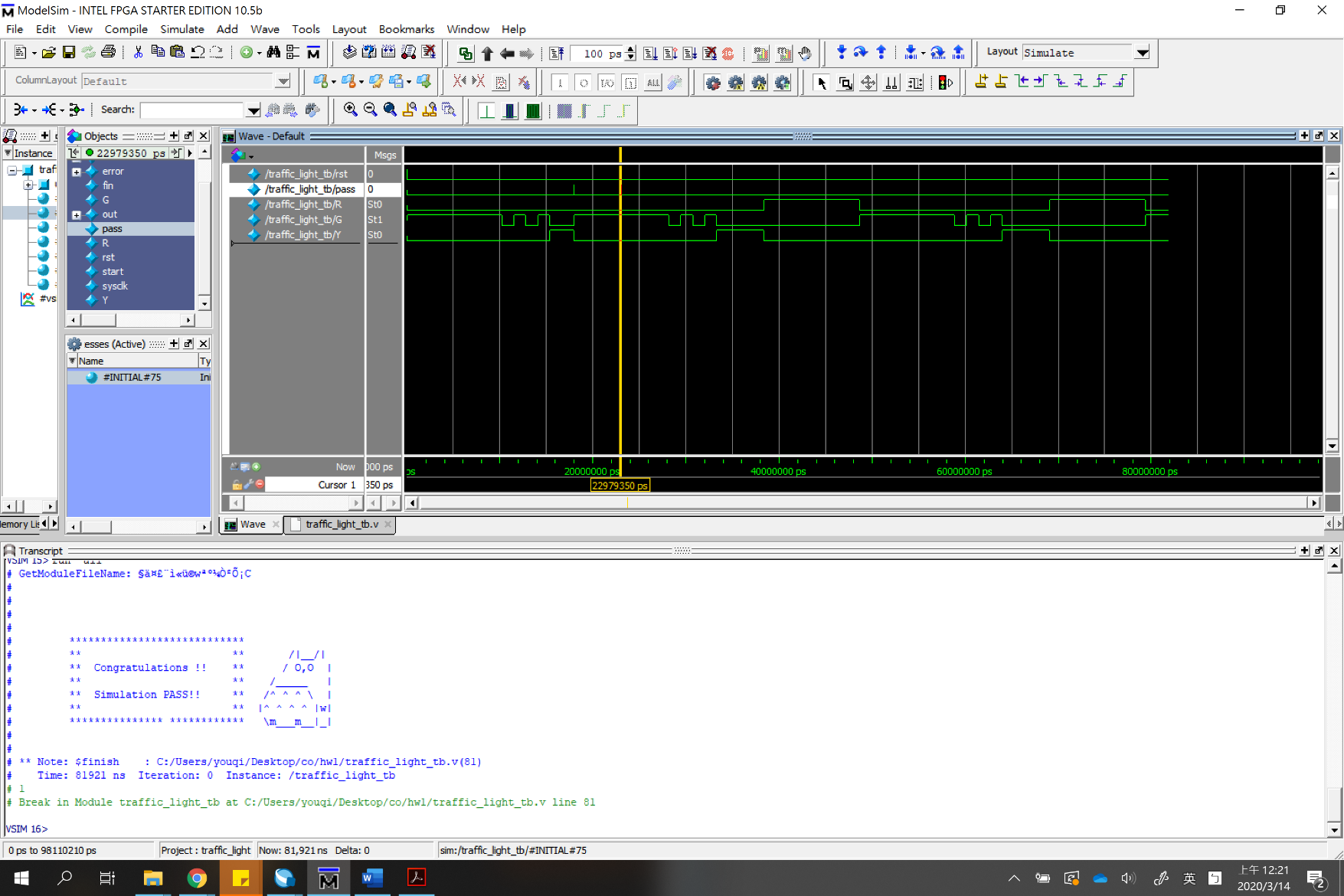
**Computer Organization 2019**

**HOMEWORK 1**

系級: 資訊111 學號: F74071027 姓名: 學貝萁

**實驗結果圖:**

**程式運作流程:**

在reset過後重新回到第一個cycle，當還沒回到第一個狀態時使pass訊號改為1，即又使程式回到第一個cycle。第二次觸發pass時（黃色選取線）還在第一個狀態，故不會重回第一個cycle而是繼續。在第七個狀態結束後即回到第一個狀態，並且持續下去。

**心得**

因為太久沒碰Verilog所以花了一點重新適應，重新熟悉了一下各式語法，並試著從錯誤訊息知道錯在哪裡並修正，也花了一些時間上網搜尋為什麼有些寫法不被接受等等。助教的教學ppt也寫得很詳盡，很好上手，省去了很多不必要的時間。