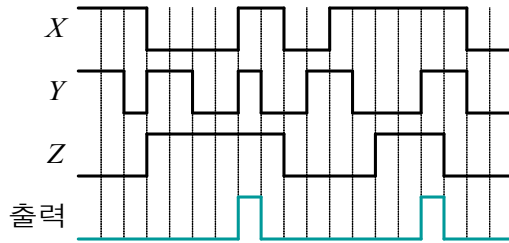


디지털논리회로

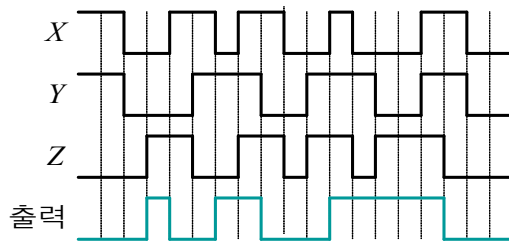
이론, 실습, 시뮬레이션

(Problem Solutions of Chapter 4)

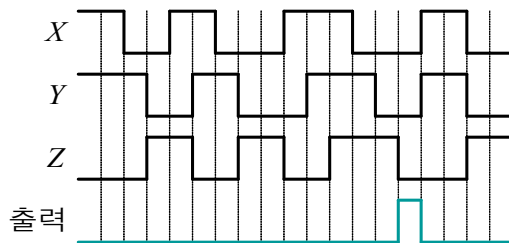
1. 3입력 AND 게이트 출력파형



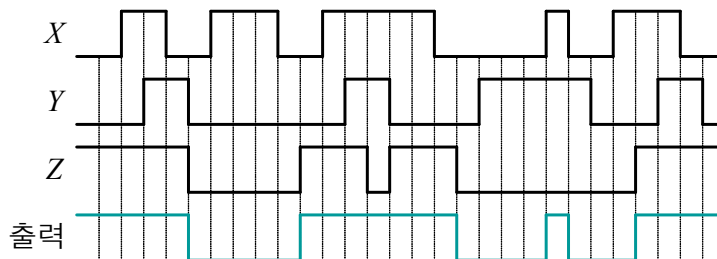
2. 3입력 XOR 게이트 출력파형



3. 3입력 NOR 게이트 출력파형



4. 3입력 AND-OR 게이트 출력파형



5. 잡음여유도 계산

High Level의 잡음여유도 : $V_{NH} = V_{OH}(\min) - V_{IH}(\min) = 2.7V - 2.0V = 0.7V$

Low level의 잡음여유도 : $V_{NL} = V_{IL}(\max) - V_{OL}(\max) = 0.8V - 0.4V = 0.4V$

6. 전파지연 시간 계산

게이트 X의 전파지연 : $5ns + 4.5ns = 9.5ns$

게이트 Y의 전파지연 : $8ns + 7.5ns = 15.5ns$

∴ 게이트 X가 더 높은 주파수에서 동작한다.

7. 잡음여유도 계산

$$V_{NL} = V_{IL}(\max) - V_{OL}(\max) = 0.8V - 0.6V = 0.2V$$

8. 계열별 IC의 잡음여유도 및 전파지연 시간 계산

	전파지연시간	잡음 여유도	
7400	22+15=37ns	$V_{NH}=2.4-2=0.4V$	$V_{NL}=0.8-0.4=0.4V$
74S00	4.5+5=9.5ns	$V_{NH}=2.7-2=0.7V$	$V_{NL}=0.8-0.5=0.3V$
74LS00	15+15=30ns	$V_{NH}=2.7-2=0.7V$	$V_{NL}=0.8-0.4=0.4V$
74ALS00	11+8=19ns	$V_{NH}=3-2=1V$	$V_{NL}=0.8-0.4=0.4V$
74F00	5+4.3=9.3ns	$V_{NH}=2.5-2=0.5V$	$V_{NL}=0.8-0.5=0.3V$
74HC00	23+23=46ns	$V_{NH}=3.84-3.15=0.69V$	$V_{NL}=0.9-0.33=0.57V$
74AC00	8+6.5=14.5ns	$V_{NH}=4.4-3.15=1.25V$	$V_{NL}=1.35-0.1=1.25V$
74ACT00	9+7=16ns	$V_{NH}=4.4-2=2.4V$	$V_{NL}=0.8-0.1=0.7V$

o 전파지연시간이 짧을수록 동작속도가 빠르므로

$$74F00 > 74S00 > 74AC00 > 74ACT00 > 74ALS00 > 74LS00 > 7400 > 74HC00$$

o 잡음 여유도는 클수록 좋으므로

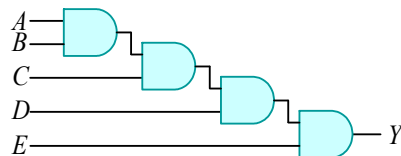
$$74ACT00 > 74AC00 > 74ALS00 > 74HC00 > 74LS00 > 75S00 > 74F00 = 7400$$

9. AND 게이트 및 OR 게이트 확장

① AND 게이트 확장

A B C	AB	(AB)C
0 0 0	0	0
0 0 1	0	0
0 1 0	0	0
0 1 1	0	0
1 0 0	0	0
1 0 1	0	0
1 1 0	1	0
1 1 1	1	1

3-입력 AND 게이트의 결과와 일치하므로 $Y = ABC$ 이다. 따라서 AND 게이트의 입력 수를 증가하려면 AND 게이트들을 통과시킨 후 다시 AND를 하면 된다. 예를 들어 5-입력인 경우는 아래 그림과 같다 ($Y = ABCDE$).

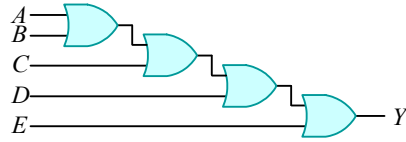


② OR 게이트 확장

A B C	A+B	(A+B)+C
0 0 0	0	0
0 0 1	0	1
0 1 0	1	1
0 1 1	1	1
1 0 0	1	1
1 0 1	1	1
1 1 0	1	1
1 1 1	1	1

3-입력 OR 게이트의 결과와 일치하므로 $Y = A + B + C$ 이다. 따라서 OR 게이트의 입력 수를 증가하러

면 OR 게이트들을 통과시킨 후 다시 OR를 하면 된다. 예를 들어 5-입력인 경우는 아래 그림과 같다 ($Y = A + B + C + D + E$).

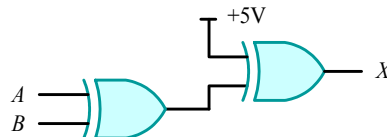


10. AND, OR, NAND, NOR 게이트에서의 미사용 입력 처리문제

$XABC$	①	②	③	④
0 0 0 0	0	0	1	1
0 0 0 1	0	1	1	0
0 0 1 0	0	1	1	0
0 0 1 1	0	1	1	0
0 1 0 0	0	1	1	0
0 1 0 1	0	1	1	0
0 1 1 0	0	1	1	0
0 1 1 1	0	1	1	0
1 0 0 0	0	1	1	0
1 0 0 1	0	1	1	0
1 0 1 0	0	1	1	0
1 0 1 1	0	1	1	0
1 1 0 0	0	1	1	0
1 1 0 1	0	1	1	0
1 1 1 0	0	1	1	0
1 1 1 1	1	1	0	0

- ① X 가 High(=5V)일 때, 출력 F 는 3-입력 AND 게이트로 동작.
- ② X 가 Low(=0V)일 때, 출력 F 는 3-입력 OR 게이트로 동작.
- ③ X 가 High(=5V)일 때, 출력 F 는 3-입력 NAND 게이트로 동작.
- ④ X 가 Low(=0V)일 때, 출력 F 는 3-입력 NOR 게이트로 동작.

11. 2입력 XNOR 게이트를 2입력 XOR 게이트 2개를 사용하여 구현



12. 정논리와 부논리 이해

- ① 정논리인 경우, -5는 논리 0, +5는 논리1이므로 Exclusive-NOR 게이트이다.

X	Y	F
-5	-5	+5
-5	+5	-5
+5	-5	-5
+5	+5	+5

 \Rightarrow

X	Y	F
0	0	1
0	1	0
1	0	0
1	1	1

- ② 부논리인 경우, -5는 논리 1, +5는 논리0이므로 Exclusive-OR 게이트이다.

X	Y	F
-5	-5	+5
-5	+5	-5
+5	-5	-5
+5	+5	+5

 \Rightarrow

X	Y	F
1	1	0
1	0	1
0	1	1
0	0	0

13. 정논리와 부논리 증명

정논리(Positive Logic) : Low Level \leftrightarrow 0, High Level \leftrightarrow 1

부논리(Negative Logic) : Low Level \leftrightarrow 1, High Level \leftrightarrow 0

AND 게이트의 진리표를 이용하여 이를 정논리와 부논리로 표현하면, 정논리 AND게이트와 부논리 OR 게이트의 논리동작이 서로 동일함을 알 수 있다.

A	B	F
L	L	L
L	H	L
H	L	L
H	K	H

진리표

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

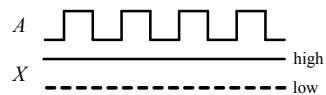
정논리

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

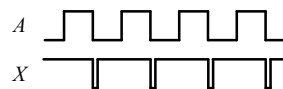
부논리

14. OR 게이트에서의 출력 파형

(a) NOT 게이트에서의 전파지연을 무시한 경우

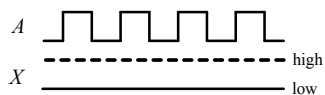


(b) NOT 게이트에서의 전파지연을 고려한 경우

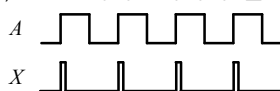


15. AND 게이트에서의 출력 파형

(a) NOT 게이트에서의 전파지연을 무시한 경우

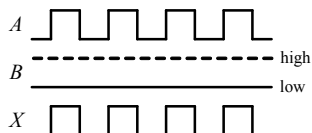


(b) NOT 게이트에서의 전파지연을 고려한 경우

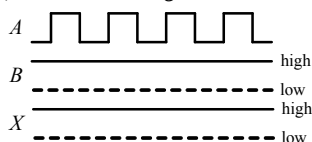


16. OR 게이트에서의 출력 파형

(a) B 입력을 Low로 한 경우

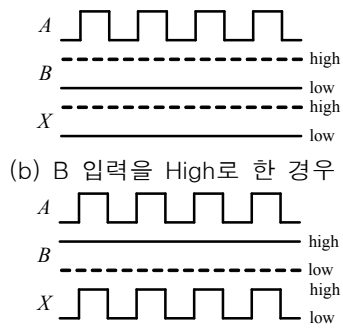


(b) B 입력을 High로 한 경우

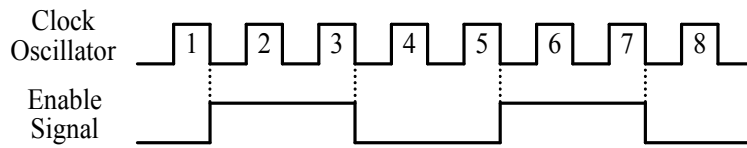


17. AND 게이트에서의 출력 파형

(a) B 입력을 Low로 한 경우



18. AND 게이트 이해



19. 평균 전력소모

- 논리 1일 때, 전력 : $P_1 = 5 \times 1.5 \times 10^{-3} = 7.5 \text{ mW}$
 - 논리 0일 때, 전력 : $P_0 = 5 \times 12.5 \times 10^{-3} = 62.5 \text{ mW}$
- 따라서 평균 전력은 35mW이다.

$$P_{avg} = \frac{P_1 + P_0}{2} = \frac{7.5 \times 10^{-3} + 62.5 \times 10^{-3}}{2} = 35 \times 10^{-3} = 35 \text{ mW}$$